

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年11月1日(01.11.2012)



(10) 国際公開番号

WO 2012/147950 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09G 3/20 (2006.01)
G02F 1/1339 (2006.01) G09G 3/36 (2006.01)
G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2012/061454
- (22) 国際出願日: 2012年4月27日(27.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-102374 2011年4月28日(28.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 酒井 保
(SAKAI, Tamotsu).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);

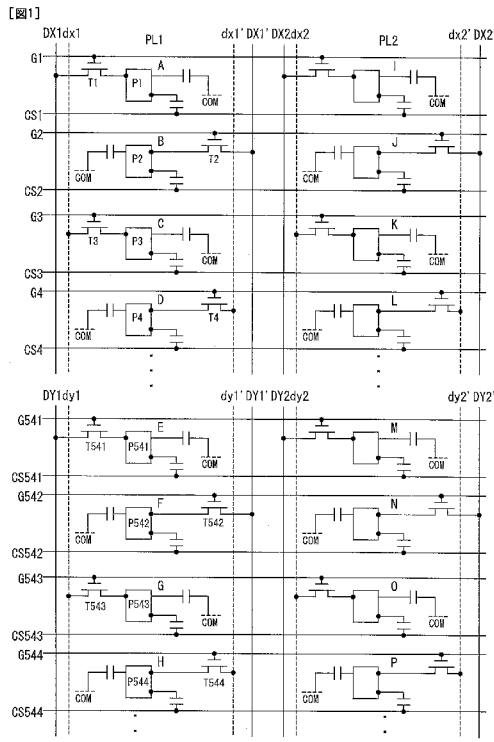
〒5300041 大阪府大阪市北区天神橋2丁目北2
番6号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LIQUID CRYSTAL PANEL, LIQUID CRYSTAL DISPLAY DEVICE, AND TELEVISION RECEIVER

(54) 発明の名称: 液晶パネル、液晶表示装置、テレビジョン受像機



(57) Abstract: This liquid crystal panel comprises: first and second substrates; a liquid crystal layer arranged between the first and second substrates; first and second pixels; a first conductor arranged on the liquid crystal layer; first and second transistors formed on the first substrate; a first pixel electrode included in the first pixel; a second pixel electrode included in the second pixel; and first and second data signal lines. The liquid crystal panel is configured such that: the first and second pixel electrodes and the first data signal line are formed on the first substrate; the first transistor is electrically connected to the first data signal line and the first pixel electrode; the second data signal line is formed on the second substrate; the second data signal line and the first conductor are electrically connected; the second transistor is electrically connected to the first conductor and the second pixel electrode; and the liquid crystal panel can be driven at high speed.

(57) 要約: 本液晶パネルは、第1および第2基板と、第1および第2基板間に配された液晶層と、第1および第2画素と、上記液晶層に配された第1導電体と、第1基板に形成された第1および第2トランジスタと、第1画素に含まれる第1画素電極と、第2画素に含まれる第2画素電極と、第1および第2データ信号線とを備え、第1および第2画素電極並びに第1データ信号線が第1基板に形成され、第1トランジスタは第1データ信号線および第1画素電極と電気的に接続され、第2データ信号線は第2基板に形成され、第2データ信号線と第1導電体とが電気的に接続されるとともに、第2トランジスタは第1導電体および第2画素電極と電気的に接続されており、高速駆動が可能な構成である。

WO 2012/147950 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：液晶パネル、液晶表示装置、テレビジョン受像機
技術分野

[0001] 本発明は、液晶パネルに含まれる２つの基板の構造に関する。

背景技術

[0002] 一般に液晶パネルは、アクティブマトリクス基板とこれに対向する対向基板とこれら両基板間に配された液晶層とを備え、アクティブマトリクス基板には、データ信号線と、走査信号線と、データ信号線および走査信号線に接続されたトランジスタと、該トランジスタに接続された画素電極とが形成され、対向基板には、共通電極とカラーフィルタおよびブラックマトリクスとが形成される。液晶パネルを備えた液晶表示装置では、アクティブマトリクス基板の走査信号線およびデータ信号線がそれぞれ、ソースドライバおよびゲートドライバによって駆動される。なお、文献１には、液晶パネルの歩留まりを高めるため、対向基板側に、ソースドライバとゲートドライバを形成する構成が開示されている。

先行技術文献

特許文献

[0003] 特許文献１：日本国公開特許公報「特開平１１－２０２３６４号」公報

発明の概要

発明が解決しようとする課題

[0004] 近年では高精細化や３次元表示を実現するべく、液晶パネルのさらなる高速駆動が求められているが、従来の液晶パネルでは、これ以上の高速駆動が難しいという問題がある。１水平走査期間をさらに短縮すると、必要な画素充電率を確保できなくなるおそれが高いためである。

[0005] 本発明の目的は、さらなる高速駆動を可能とする液晶パネルを実現することにある。

課題を解決するための手段

[0006] 本液晶パネルは、第1および第2基板と、第1および第2基板間に配された液晶層と、第1および第2画素と、上記液晶層に配された第1導電体と、第1基板に形成された第1および第2トランジスタと、第1画素に含まれる第1画素電極と、第2画素に含まれる第2画素電極と、第1および第2データ信号線とを備え、第1および第2画素電極並びに第1データ信号線が第1基板に形成され、第1トランジスタは第1データ信号線および第1画素電極と電氣的に接続され、第2データ信号線は第2基板に形成され、第2データ信号線と第1導電体とが電氣的に接続されるとともに、第2トランジスタは第1導電体および第2画素電極と電氣的に接続されている。

発明の効果

[0007] 上記構成によれば、例えば、第1および第2画素電極に同時にデータ信号を書き込むことが可能となり、さらなる高速駆動が実現される。

図面の簡単な説明

[0008] [図1]実施例1の液晶パネル（画素A～P含む）の構成を示す回路図である。

[図2]第1基板の画素A・Bに対応する領域の平面図である。

[図3]第2基板の画素A・Bに対応する領域の平面図である。

[図4]画素Aの断面図（図2・3のA1－A1'に対応）である。

[図5]第1基板の画素C・Dに対応する領域の平面図である。

[図6]第2基板の画素C・Dに対応する領域の平面図である。

[図7]画素Cの断面図（図5・6のA3－A3'に対応）である。

[図8]第1基板の全体（端部を含む）のレイアウトを示す模式図である。

[図9]第2基板の全体（端部を含む）のレイアウトを示す模式図である。

[図10]図8の第1基板と図9の第2基板との貼り合わせ例を示す模式図である。

[図11]実施例1の液晶表示装置の構成を示す模式図である。

[図12]図10の液晶表示装置の駆動方法（垂直走査期間V1）を示す模式図である。

[図13]図10の液晶表示装置の駆動方法（垂直走査期間V2）を示す模式図

である。

[図14]図10の液晶表示装置の駆動方法（データ信号線の駆動方法）を示すタイミングチャートである。

[図15]図10の液晶表示装置のデータ書き込み方法（垂直走査期間V1の第1水平走査期間）を示す模式図である。

[図16]図10の液晶表示装置のデータ書き込み方法（垂直走査期間V1の第2水平走査期間）を示す模式図である。

[図17]図10の液晶表示装置のデータ書き込み方法（垂直走査期間V2の第1水平走査期間）を示す模式図である。

[図18]図10の液晶表示装置のデータ書き込み方法（垂直走査期間V2の第2水平走査期間）を示す模式図である。

[図19]実施例1の液晶パネルの端部（長辺に沿った部分）構成を示す断面図である。

[図20]本液晶パネルの表示単位の構成を示す模式図であり、（a）は、3画素（R・G・B）を表示単位とする場合、（b）は、6画素（R・G・B・Y・M・C）を表示単位とする場合、（c）は、6画素（R・G・B・G・M・Y）を表示単位とする場合を示している。

[図21]第1基板の変形例（第1基板の画素A・Bに対応する領域）を示す平面図である。

[図22]図21の変形例での画素Aの断面図（図21のA1-A1'に対応）である。

[図23]実施例2の液晶パネル（画素A～P含む）の構成を示す回路図である。

[図24]実施例2の液晶表示装置のデータ書き込み方法を示す模式図である。

[図25]実施例3の液晶パネル（画素A～P含む）の構成を示す回路図である。

[図26]実施例3の液晶表示装置のデータ書き込み方法を示す模式図である。

[図27]実施例4の液晶パネル（画素A～P含む）の構成を示す回路図である。

。

[図28]実施例4の液晶表示装置のデータ書き込み方法を示す模式図である。

[図29]図2の変形例を示す平面図である。

[図30]図3の変形例を示す平面図である。

[図31]図4の変形例（図29・30のa1-a1'に対応）を示す断面図である。

[図32]図5の変形例を示す平面図である。

[図33]図6の変形例を示す平面図である。

[図34]図7の変形例（図32・33のa3-a3'に対応）を示す断面図である。

[図35]本液晶表示装置の別構成例を示す模式図である。

発明を実施するための形態

[0009] 本発明の実施の形態を、図1～34を用いて説明すれば、以下のとおりである。

[0010] [実施例1]

図1は実施例1にかかる液晶パネルの構成を示す回路図である。なお、以下の説明では、HDTV（高精細度テレビジョン）対応の液晶パネル（1080ライン）を前提とするがこれは一例に過ぎない。また、説明の便宜のため、液晶パネルの走査方向（短辺に沿う方向）を列方向とする。また、原則として、液晶パネルを構成する2つの基板の一方（第1基板）に形成される構成を実線で、他方（第2基板）に形成される構成を破線で示すものとする。

。

[0011] 実施例1の液晶パネルは、第1および第2基板と、第1および第2基板間に配された液晶層とを備え、図1に示すように、画素列PL1に、画素電極P1を含む画素Aと、画素電極P2を含む画素Bと、画素電極P3を含む画素Cと、画素電極P4を含む画素Dと、画素電極P541を含む画素Eと、画素電極P542を含む画素Fと、画素電極P543を含む画素Gと、画素電極P544を含む画素Hとが含まれている。

[0012] なお、画素A～画素Dは、液晶パネルの上半分の領域（液晶パネルを走査方向に2分割したときに、走査方向上流側となる領域）に、連続して並べられ、画素E～画素Hは、液晶パネルの下半分の領域（液晶パネルを走査方向に2分割したときに、走査方向下流側となる領域）に、連続して並べられている。

[0013] ここで、第1基板の上半分の領域（第1基板を走査方向に2分割したときに、走査方向上流側となる領域）には、画素電極P1～P4、走査信号線G1～G4、データ信号線DX1・DX2・DX1'・DX2'、トランジスタT1～T4、および保持容量配線CS1～CS4が形成され、第2基板の上半分の領域（第2基板を走査方向に2分割したときに、走査方向上流側となる領域）には、データ信号線dx1・dx2・dx1'・dx2'および対向（共通）電極COMが形成される。

[0014] 図1では、データ信号線DX1（第1基板）とデータ信号線dx1（第2基板）とが重なっていないが、実際には両者は重なっており（後述）、同様に、データ信号線DX1'（第1基板）とデータ信号線dx1'（第2基板）とが重なっている。そして、平面視において、データ信号線DX1とデータ信号線DX1'との間に画素電極P1～P4がこの順に列方向に並べられ、画素電極P1は、走査信号線G1の走査方向下流側に配され、画素電極P2は、走査信号線G2の走査方向下流側に配され、画素電極P3は、走査信号線G3の走査方向下流側に配され、画素電極P4は、走査信号線G4の走査方向下流側に配されている。

[0015] 画素電極P1は、トランジスタT1を介して、データ信号線DX1および走査信号線G1に接続され、画素電極P2は、トランジスタT2を介して、データ信号線DX1'および走査信号線G2に接続され、画素電極P3は、トランジスタT3を介して、データ信号線dx1および走査信号線G3に接続され、画素電極P4は、トランジスタT4を介して、データ信号線dx1'および走査信号線G4に接続される。なお、画素電極P1～P4それぞれと対向電極COMとの間には液晶容量が形成される。また、保持容量配線C

S 1 ~ C S 4 は各走査信号線と平行に設けられ、画素 P 1 は保持容量配線 C S 1 と保持容量を形成し、画素 P 2 は保持容量配線 C S 2 と保持容量を形成し、画素 P 3 は保持容量配線 C S 3 と保持容量を形成し、画素 P 4 は保持容量配線 C S 4 と保持容量を形成する。

[0016] 一方、第 1 基板の下半分の領域（第 1 基板を走査方向に 2 分割したときに、走査方向下流側となる領域）には、画素電極 P 5 4 1 ~ P 5 4 4、走査信号線 G 5 4 1 ~ G 5 4 4、データ信号線 D Y 1 ・ D Y 2 ・ D Y 1' ・ D Y 2'、トランジスタ T 5 4 1 ~ T 5 4 4、および保持容量配線 C S 5 4 1 ~ C S 5 4 4 が形成され、第 2 基板の下半分の領域（第 2 基板を走査方向に 2 分割したときに、走査方向下流側となる領域）には、データ信号線 d y 1 ・ d y 2 ・ d y 1' ・ d y 2' および対向（共通）電極 C O M が形成される。

[0017] 図 1 では、データ信号線 D Y 1（第 1 基板）とデータ信号線 d y 1（第 2 基板）とが重なっていないが、実際には両者は重なっており（後述）、同様に、データ信号線 D Y 1'（第 1 基板）とデータ信号線 d y 1'（第 2 基板）とが重なっている。そして、平面視において、データ信号線 D Y 1 とデータ信号線 D Y 1' との間に画素電極 P 5 4 1 ~ P 5 4 4 がこの順に列方向に並べられ、画素電極 P 5 4 1 は、走査信号線 G 5 4 1 の走査方向下流側に配され、画素電極 P 5 4 2 は、走査信号線 G 5 4 2 の走査方向下流側に配され、画素電極 P 5 4 3 は、走査信号線 G 5 4 3 の走査方向下流側に配され、画素電極 P 5 4 4 は、走査信号線 G 5 4 4 の走査方向下流側に配されている。

[0018] 画素電極 P 5 4 1 は、トランジスタ T 5 4 1 を介して、データ信号線 D Y 1 および走査信号線 G 5 4 1 に接続され、画素電極 P 5 4 2 は、トランジスタ T 5 4 2 を介して、データ信号線 D Y 1' および走査信号線 G 5 4 2 に接続され、画素電極 P 5 4 3 は、トランジスタ T 5 4 3 を介して、データ信号線 d y 1 および走査信号線 G 5 4 3 に接続され、画素電極 P 5 4 4 は、トランジスタ T 5 4 4 を介して、データ信号線 d y 1' および走査信号線 G 5 4 4 に接続される。なお、画素電極 P 5 4 1 ~ P 5 4 4 それぞれと対向電極 C O M との間には液晶容量が形成される。また、保持容量配線 C S 5 4 1 ~ C

S 5 4 4 は各走査信号線と平行に設けられ、画素 P 5 4 1 は保持容量配線 C S 5 4 1 と保持容量を形成し、画素 P 5 4 2 は保持容量配線 C S 5 4 2 と保持容量を形成し、画素 P 5 4 3 は保持容量配線 C S 5 4 3 と保持容量を形成し、画素 P 5 4 4 は保持容量配線 C S 4 と保持容量を形成する。

[0019] さらに図 1 では、第 1 基板の上半分には、データ信号線 D X 1、D X 1'、D X 2 および D X 2' がこの順に並べられ、第 2 基板の上半分には、データ信号線 d x 1、d x 1'、d x 2 および d x 2' がこの順に並べられており、画素 A と行方向に隣接する画素 I の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 D X 2 に接続し、画素 B と行方向に隣接する画素 J の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 D X 2' に接続し、画素 C と行方向に隣接する画素 K の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 d x 2 に接続し、画素 D と行方向に隣接する画素 L の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 d x 2' に接続する。

[0020] 同様に、図 1 では、第 1 基板の下半分には、データ信号線 D Y 1、D Y 1'、D Y 2 および D Y 2' がこの順に並べられ、第 2 基板の下半分には、データ信号線 d y 1、d y 1'、d y 2 および d y 2' がこの順に並べられており、画素 E と行方向に隣接する画素 M の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 D Y 2 に接続し、画素 F と行方向に隣接する画素 N の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 D Y 2' に接続し、画素 G と行方向に隣接する画素 O の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 d y 2 に接続し、画素 H と行方向に隣接する画素 P の画素電極は、第 1 基板に設けられ、トランジスタを介してデータ信号線 d y 2' に接続する。

[0021] 図 2 は第 1 基板 (S U 1) の画素 A・B に対応する部分の構成を示す平面図であり、図 3 は第 2 基板 (S U 2) の画素 A・B に対応する部分の構成を示す平面図であり、図 4 は、液晶パネル L C P の画素 A の断面図 (図 2・3 の A 1 - A 1' に対応) である。また、図 5 は第 1 基板 (S U 1) の画素 C

・ Dに対応する部分の構成を示す平面図であり、図6は第2基板（SU2）の画素C・Dに対応する部分の構成を示す平面図であり、図7は、液晶パネルLCPの画素Cの断面図（図5・6のA3-A3'に対応）である。

[0022] 図4・7に示すように、第1基板SU1では、ガラス基板31上に、走査信号線G1の延伸部g1（トランジスタT1のゲート電極）と、走査信号線G3の延伸部g3（トランジスタT3のゲート電極）とが形成され、延伸部g1・g3を覆うようにゲート絶縁膜21が形成され、ゲート絶縁膜21上に、データ信号線DX1・DX1'と、トランジスタT1の半導体層24並びにソース電極8およびドレイン電極9と、トランジスタT3の半導体層24並びにソース電極8およびドレイン電極9とが形成され、トランジスタT1・T3のチャネルを覆うように、パッシベーション膜25およびこれよりも厚い有機絶縁膜26からなる層間絶縁膜（チャネル保護膜）が形成され、層間絶縁膜上に、画素電極P1・P3および中継電極TM1～TM4・TM1'～TM4'が、透光性導電膜（ITO等）を用いて形成される。

[0023] 一方、第1基板SU2では、ガラス基板32上にデータ信号線dx1・dx1'が形成され、データ信号線dx1・dx1'を覆うようにメタルコート膜MC（絶縁膜）が形成され、メタルコート絶縁膜MC上に、カラーフィルタCFおよびブラックマトリクスBMが形成され、カラーフィルタCFおよびブラックマトリクスBMを覆うようにオーバーコート膜MC（絶縁膜）が形成され、オーバーコート膜MC上に、対向（共通）電極COMおよび中継電極tm1～tm4・tm1'～tm4'が、透光性導電膜（ITO等）を用いて形成される。なお、対向電極COMはパネル全体に単一形成（ベタ形成）することができ、対向電極COMの低抵抗化の観点からはこれが望ましい。ただ、単一形成では対向電極COMと（第2基板SU2の）データ信号線との寄生容量が大きくなるおそれがあり、これを避けるために、対向電極COMを複数に分割形成してもよい。例えば、対向電極COMをストライプ状に分割形成し、パネルプロセスに合わせて、各対向電極COMを複数画素列（縦が1画素列×横が数画素）に対応する大きさとするすることができる。

[0024] また、図2～7に示すように、第2基板のデータ信号線 $d \times 1$ は、第1基板のデータ信号線 $D \times 1$ に重なる（平面視で一致する）ように設けられ、第2基板のデータ信号線 $d \times 1'$ は、第1基板のデータ信号線 $D \times 1'$ に重なる（平面視で一致する）ように設けられ、第1基板 $S U 1$ および第2基板 $S U 2$ 間には、液晶層 $L C L$ が充填され、液晶層 $L C L$ （第1および第2基板間）には、導電性フォトスペーサ $F S 3 \cdot F S 3'$ が形成される。

[0025] 図2～4に示すように、第1基板 $S U 1$ の画素 $A \cdot B$ に対応する領域では、データ信号線 $D \times 1$ と重なるように中継電極 $T M 1$ が形成されるとともに、データ信号線 $D \times 1'$ と重なるように中継電極 $T M 1'$ が形成され、平面視において、データ信号線 $D \times 1$ 、トランジスタ $T 1$ （図示せず）のソース電極8、走査信号線 $G 1$ の延伸部 $g 1$ （トランジスタ $T 1$ のゲート電極）およびトランジスタ $T 1$ のドレイン電極9がこの順に行方向に並べられ、トランジスタ $T 1$ のソース電極8、走査信号線 $G 1$ の延伸部 $g 1$ およびトランジスタ $T 1$ のドレイン電極9が半導体層24と重なっている。また、データ信号線 $D \times 1$ と中継電極 $t m 1$ とが層間絶縁膜を貫くコンタクトホール11dを介して接続され、中継電極 $t m 1$ とトランジスタ $T 1$ のソース電極8とが層間絶縁膜を貫くコンタクトホール11bを介して接続され、トランジスタ $T 1$ のドレイン電極9と画素電極 $P 1$ とが層間絶縁膜を貫くコンタクトホール11aを介して接続されている。さらに、保持容量配線 $C S 1$ と重なるように容量電極27が配され、容量電極27と画素電極 $P 1$ とがコンタクトホール11cを介して接続されている。

[0026] また、図2～4に示すように、第2基板 $S U 2$ の画素 $A \cdot B$ に対応する領域では、データ信号線 $d \times 1$ と重なるように中継電極 $t m 1$ が形成されるとともに、データ信号線 $D \times 1'$ と重なるように中継電極 $t m 1'$ が形成され、データ信号線 $d \times 1$ と中継電極 $t m 1$ とがコンタクトホール $h 1$ を介して接続され、データ信号線 $d \times 1'$ と中継電極 $t m 1'$ とがコンタクトホール $h 1'$ を介して接続されている。

[0027] 図5～7に示すように、第1基板 $S U 1$ の画素 $C \cdot D$ に対応する領域では

、データ信号線D X 1と重なるように中継電極T M 3・T M 4が形成されるとともに、データ信号線D X 1'と重なるように中継電極T M 3'・T M 4'が形成され、平面視において、データ信号線D X 1、トランジスタT 3（図示せず）のソース電極8、走査信号線G 3の延伸部g 3（トランジスタT 1のゲート電極）およびトランジスタT 3のドレイン電極9がこの順に行方向に並べられ、トランジスタT 3のソース電極8、走査信号線G 3の延伸部g 3およびトランジスタT 3のドレイン電極9が半導体層2 4と重なっている。また、中継電極T M 3が、導電性フォトスペーサF S 3と接触しており、中継電極T M 3とトランジスタT 3のソース電極8とが層間絶縁膜を貫くコンタクトホール1 1 bを介して接続され、トランジスタT 3のドレイン電極9と画素電極P 3とが層間絶縁膜を貫くコンタクトホール1 1 aを介して接続されている。同様に、中継電極T M 4'が、導電性フォトスペーサF S 4'と接触しており、中継電極T M 4'とトランジスタT 4のソース電極8とが層間絶縁膜を貫くコンタクトホール1 1 bを介して接続され、トランジスタT 4のドレイン電極9と画素電極P 4とが層間絶縁膜を貫くコンタクトホール1 1 aを介して接続されている。さらに、保持容量配線C S 3と重なるように容量電極2 7が配され、容量電極2 7と画素電極P 3とがコンタクトホール1 1 cを介して接続されている。

[0028] また、図5～7に示すように、第2基板S U 2の画素C・Dに対応する領域では、データ信号線d x 1と重なるように中継電極t m 3・t m 4が形成されるとともに、データ信号線D X 1'と重なるように中継電極t m 3'・t m 4'が形成され、データ信号線d x 1と中継電極t m 3とがコンタクトホールh 3を介して接続され、データ信号線d x 1'と中継電極t m 4'とがコンタクトホールh 4'を介して接続されている。また、中継電極t m 3が、導電性フォトスペーサF S 3と接触するとともに、中継電極t m 4'が、導電性フォトスペーサF S 4'と接触している。

[0029] このように、第2基板のデータ信号線d x 1は、コンタクトホールh 3、第2基板の中継電極t m 3、液晶層の導電性フォトスペーサF S 3、第1基

板の中継電極 T M 3、およびコンタクトホール 1 1 b を介して、第 1 基板のトランジスタ T 3 のソース電極 8 に接続される。同様に、第 2 基板のデータ信号線 d x 1' は、コンタクトホール h 4'、第 2 基板の中継電極 t m 4'、液晶層の導電性フォトスペーサ F S 4'、第 1 基板の中継電極 T M 4'、およびコンタクトホール 1 1 b を介して、第 1 基板のトランジスタ T 4 のソース電極 8 に接続される。

[0030] なお、図 2・4 のようにデータ信号線 D X 1 を、一旦中継電極 T M 1 (I T O 等) を介してトランジスタ T 1 のソース電極 8 に接続することで、データ信号線とトランジスタのソース電極との間の抵抗値 (寄生抵抗値) を、画素 A・C 間で揃えることができる。

[0031] 図 8 は第 1 基板の全体構成を示す模式図であり、図 9 は第 2 基板の全体構成を示す模式図であり、図 1 0 は、液晶パネルの全体構成を示す模式図である。図 8 に示すように、第 1 基板の表示領域には、複数の走査信号線と、複数のデータ信号線と、複数のトランジスタと、複数の画素電極とが含まれ、第 1 基板の非表示領域には、2 つの長辺 (行方向に平行な辺) それぞれに沿って複数のソース接続パッド S P が並べられるとともに、2 つの短辺 (列方向に平行な辺) それぞれに沿って、複数のゲート接続パッド G P が並べられている。

なお、複数のソース接続パッド S P の半数はデータ信号線に接続され、残り半数は、基板間接続パッド b p に接続され、各ゲート接続パッド G P は走査信号線に接続されている。

また、図 9 に示すように、第 2 基板の表示領域には、複数のデータ信号線が含まれ、第 2 基板の非表示領域には、2 つの長辺 (行方向に平行な辺) それぞれに沿って、複数の基板間接続パッド B P が並べられている。なお、各基板間接続パッド B P はデータ信号線に接続されている。そして、図 8 の第 1 基板と図 9 の第 2 基板とをそれぞれのデータ信号線同士が重なるように張り合わせた後に液晶材を充填すれば図 1 0 に示す液晶パネルとなり、第 2 基板の各データ信号線は、基板間接続パッド B P (第 2 基板) および基板間接続

パッドb p（第1基板）を介して、第1基板のソース接続パッドS Pに接続される。

[0032] 図11は、図10の端部領域TAの構成を示す断面図である。図11に示されるように、第1基板には、ソース接続パッドS P、ゲートメタルGM（走査信号線と同層）、接続電極C E（データ信号線と同層）、基板間接続パッドb p（画素電極と同層）が設けられ、第2基板には、基板間接続パッドB P（対向電極と同層）が設けられ、第1および第2基板間に、導電性の接続ビーズB Zが設けられる。ここでは、ソース接続パッドS Pが、ゲートメタルGMを介して接続電極C Eに接続され、接続電極C Eが、第1基板の層間絶縁膜（25・26）を貫くコンタクトホールを介して基板間接続パッドb pに接続され、基板間接続パッドb pが、接続ビーズB Zを介して第2基板の基板間接続パッドB Pに接続され、基板間接続パッドB Pが、メタルコート膜MCおよびオーバーコート膜OCを貫くコンタクトホールを介して、第2基板のデータ信号線d x 1に接続されている。なお、ソース接続パッドS Pはフレキシブルプリント基板FCを介してソースドライバSDXに接続される。また、ソース接続パッドS Pおよび基板間接続パッドB P・b pはそれぞれ、例えば、ITOで形成される。なお、ゲートメタルGMは腐食しやすいので、ソース接続パッドS P（ITO）および絶縁膜（ゲート絶縁膜21や層間絶縁膜25）で被覆している。

[0033] 実施例1の液晶パネルでは、各画素（例えば、A・B・I・J）は1つの原色に対応しており、表示単位は、R（赤）・G（緑）・B（青）の3画素でもよいし（図12（a）参照）、R・G・B・Y（黄）・M（マゼンダ）・C（シアン）の6画素でもよいし（図12（b）参照）、R・G・B・G・M・Yの6画素でもよい（図12（c）参照）。

[0034] 本液晶パネルを備えた液晶表示装置は、例えば、図13のように構成され、パネル上半分のデータ信号線（DX1・DX2・DX1'・DX2'・dx1・dx2・dx1'・dx2'等）を駆動するソースドライバSDXと、パネル下半分のデータ信号線（DY1・DY2・DY1'・DY2'・d

y 1 ・ d y 2 ・ d y 1 ' ・ d y 2 ' 等) を駆動するソースドライバSDYと、各走査信号線の両側に接続する2つのゲートドライバGDL・GDRと、これらソースドライバSDX・SDYおよびゲートドライバGDL・GDRを制御する表示制御回路DCCとを備える。

[0035] 図14・15は、本液晶表示装置の走査信号線の駆動方法を示す模式図であり、図16は、本液晶表示装置のデータ信号線の駆動方法を示すタイミングチャートであり、図17～20は、本液晶表示装置のデータ書き込み方法を示す模式図である。

[0036] 本液晶表示装置では、図14・17～18に示すように、ある垂直走査期間(V1)の第1水平走査期間(H1)に、8本の走査信号線(G1・G2・g3・g4・G541・G542・g543・g544)を同時選択し、次いで、第2水平走査期間(H2)に、8本の走査信号線(G5・G6・g7・g8・G545・G546・g547・g548)を同時選択し、第3水平走査期間(H3)に、8本の走査信号線(G9・G10・g11・g12・G549・G550・g551・g552)を同時選択する。

[0037] これにより、例えば第1水平走査期間(H1)には、データ信号線DX1から走査信号線G1に接続する画素に、フレームF2の1ライン目のデータ信号が書き込まれ、データ信号線DX1'から走査信号線G2に接続する画素に、フレームF2の2ライン目のデータ信号が書き込まれ、データ信号線dx1から走査信号線G3に接続する画素に、フレームF2の3ライン目のデータ信号が書き込まれ、データ信号線dx1'から走査信号線G4に接続する画素に、フレームF2の4ライン目のデータ信号が書き込まれ、データ信号線DY1から走査信号線G541に接続する画素に、フレームF1の541ライン目のデータ信号が書き込まれ、データ信号線DY1'から走査信号線G542に接続する画素に、フレームF1の542ライン目のデータ信号が書き込まれ、データ信号線dy1から走査信号線G543に接続する画素に、フレームF1の543ライン目のデータ信号が書き込まれ、データ信号線dy1'から走査信号線G544に接続する画素に、フレームF1の5

4 4 ライン目のデータ信号が書き込まれる。

[0038] ここで、第1水平走査期間(H1)には、図16・17に示すように、データ信号線DX1・DY1からのデータ信号がプラス極性、データ信号線DX1'・DY1'からのデータ信号がマイナス極性、データ信号線dx1・dy1からのデータ信号がプラス極性、データ信号線dx1'・dy1'からのデータ信号がマイナス極性となっている。これにより、第1水平走査期間(H1)では、図17に示すように、画素Aはプラス極性、画素Bはマイナス極性、画素Cはプラス極性、画素Dはマイナス極性、画素Eはプラス極性、画素Fはマイナス極性、画素Gはプラス極性、画素Hはマイナス極性となる。

[0039] なお、図16・17に示すように、第1水平走査期間(H1)には、データ信号線DX2・DY2からのデータ信号がマイナス極性、データ信号線DX2'・DY2'からのデータ信号がプラス極性、データ信号線dx2・dy2からのデータ信号がマイナス極性、データ信号線dx2'・dy2'からのデータ信号がプラス極性となっている。これにより、第1水平走査期間(H1)では、図17に示すように、画素Aと行方向に隣接する画素Iはマイナス極性、画素Bと行方向に隣接する画素Jはプラス極性、画素Cと行方向に隣接する画素Kはマイナス極性、画素Dと行方向に隣接する画素Lはプラス極性、画素Eと行方向に隣接する画素Mはマイナス極性、画素Fと行方向に隣接する画素Nはプラス極性、画素Gと行方向に隣接する画素Oはマイナス極性、画素Hと行方向に隣接する画素Pはプラス極性となる。

[0040] また、第2水平走査期間(H2)でも、図16・18に示すように、データ信号線DX1・DY1からのデータ信号がプラス極性、データ信号線DX1'・DY1'からのデータ信号がマイナス極性、データ信号線dx1・dy1からのデータ信号がプラス極性、データ信号線dx1'・dy1'からのデータ信号がマイナス極性となっている。これにより、第2水平走査期間(H2)では、画素Dに続く4画素および画素Hに続く4画素に、図18に示すような極性のデータ信号が書き込まれる。

- [0041] 一方、次の垂直走査期間（V2）の第1水平走査期間（H1）では、図16・19に示すように、データ信号線DX1・DY1からのデータ信号がマイナス極性、データ信号線DX1'・DY1'からのデータ信号がプラス極性、データ信号線dx1・dy1からのデータ信号がマイナス極性、データ信号線dx1'・dy1'からのデータ信号がプラス極性となる。これにより、垂直走査期間（V2）の第1水平走査期間（H1）では、図19に示すように、画素Aはマイナス極性、画素Bはプラス極性、画素Cはマイナス極性、画素Dはプラス極性、画素Eはマイナス極性、画素Fはプラス極性、画素Gはマイナス極性、画素Hはプラス極性となる（各データ信号線からのデータ信号極性は1垂直走査期間ごとに反転する）。
- [0042] また、垂直走査期間（V2）の第2水平走査期間（H2）では、図16・20に示すように、データ信号線DX1・DY1からのデータ信号がマイナス極性、データ信号線DX1'・DY1'からのデータ信号がプラス極性、データ信号線dx1・dy1からのデータ信号がマイナス極性、データ信号線dx1'・dy1'からのデータ信号がプラス極性となっている。これにより、垂直走査期間（V2）の第2水平走査期間（H2）では、画素Dに続く4画素および画素Hに続く4画素に、図20に示すような極性のデータ信号が書き込まれる。
- [0043] このように、本液晶パネルは8倍速駆動（第1および第2基板それぞれを4倍速駆動すること）が可能となるため、高速駆動が要求される液晶表示装置（例えば、高精細液晶表示装置や3次元表示対応の液晶表示装置）に好適である。なお、本実施例では、第1および第2基板それぞれを4倍速で駆動しているが、これに限定されない。第1および第2基板それぞれを、等速（1倍速）や2倍速で駆動することも可能である。
- [0044] また、各データ信号線のデータ信号の極性反転周期を1垂直走査期間としながら、図17～図20に示されるようなドット反転駆動を実現することができ、ソースドライバの消費電力の抑制と表示品位の向上を両立させることができる。

[0045] 図2では、データ信号線とトランジスタのソース電極との間の抵抗値を、画素A・C間で揃えるため、データ信号線DX1を、一旦中継電極TM1を介してトランジスタT1のソース電極8に接続しているがこの構成に限定されない。データ信号線とトランジスタのソース電極との間の抵抗値を低く抑えることができるプロセスでは、中継電極TM1を除去し、図21およびそのA1-A1'断面図である図22に示すように、データ信号線DX1の延伸部を半導体層24に重ね、この延伸部をソース電極として機能させる構成でも構わない。

[0046] なお、図2～図7を、図29～図34のように変形することも可能である。すなわち、第1基板SU1では、中継電極TM1'・TM2・TM3'・TM4を形成せず、導電性フォトスペーサFS3'・FS4を設けず、また、第2基板SU2でも、中継電極tm1・tm1'・tm2・tm2'・tm3'・tm4を形成せずに、対向電極COMを、中継電極tm1・tm1'・tm2・tm2'・tm3'・tm4の形成領域まで拡張し、対向電極COMの（寄生）抵抗値を下げることもできる。

[0047] [実施例2]

図1の液晶パネルを変形し、図23に示すように、液晶パネル上半分について、画素Aの画素電極を、トランジスタを介して、データ信号線DX1に接続し、画素Bの画素電極を、トランジスタを介して、データ信号線dx1に接続し、画素Cの画素電極を、トランジスタを介して、データ信号線dx1'に接続し、画素Dの画素電極を、トランジスタを介して、データ信号線DX1'に接続し、画素Iの画素電極を、トランジスタを介して、データ信号線dx2に接続し、画素Jの画素電極を、トランジスタを介して、データ信号線DX2に接続し、画素Kの画素電極を、トランジスタを介して、データ信号線DX2'に接続し、画素Lの画素電極を、トランジスタを介して、データ信号線dx2'に接続し、さらに、液晶パネル下半分も上半分と同一の接続関係とすることもできる。

[0048] この場合は、図24に示すように、データ信号線DX1、DX1'、DX

2、 $D \times 2'$ $d \times 1$ 、 $d \times 1'$ 、 $d \times 2$ 、 $d \times 2'$ それぞれのデータ信号の極性を、第1極性、第2極性、第1極性、第2極性、第2極性、第1極性、第2極性、第1極性とし（第1および第2極性はそれぞれ、プラスまたはマイナス極性）、さらに、液晶パネル下半分も上半分と同一駆動とし、各データ信号のデータ信号の極性反転周期を1垂直走査期間とすることで、図24のようなドット反転駆動を実現することができる。

[0049] 〔実施例3〕

図1の液晶パネルを変形し、図25に示すように、液晶パネル上半分について、画素Aの画素電極を、トランジスタを介して、データ信号線 $D \times 1$ に接続し、画素Bの画素電極を、トランジスタを介して、データ信号線 $d \times 1$ に接続し、画素Cの画素電極を、トランジスタを介して、データ信号線 $D \times 1'$ に接続し、画素Dの画素電極を、トランジスタを介して、データ信号線 $d \times 1'$ に接続し、画素Iの画素電極を、トランジスタを介して、データ信号線 $d \times 2$ に接続し、画素Jの画素電極を、トランジスタを介して、データ信号線 $D \times 2$ に接続し、画素Kの画素電極を、トランジスタを介して、データ信号線 $d \times 2'$ に接続し、画素Lの画素電極を、トランジスタを介して、データ信号線 $D \times 2'$ に接続し、さらに、液晶パネル下半分も上半分と同一の接続関係とすることもできる。

[0050] この場合は、図26に示すように、データ信号線 $D \times 1$ 、 $D \times 1'$ 、 $D \times 2$ 、 $D \times 2'$ $d \times 1$ 、 $d \times 1'$ 、 $d \times 2$ 、 $d \times 2'$ それぞれのデータ信号の極性を、第1極性、第1極性、第1極性、第1極性、第2極性、第2極性、第2極性、第2極性とし（第1および第2極性はそれぞれ、プラスまたはマイナス極性）、さらに、液晶パネル下半分も上半分と同一駆動とし、各データ信号のデータ信号の極性反転周期を1垂直走査期間とすることで、図26のようなドット反転駆動を実現することができる。また、同一基板の各データ信号線のデータ信号が同極性になるため、データ信号線間の干渉（寄生容量等の影響）を抑えることができる。

[0051] 〔実施例4〕

図1の液晶パネルを変形し、図27に示すように、液晶パネル上半分について、画素Aの画素電極を、トランジスタを介して、データ信号線D X 1に接続し、画素Bの画素電極を、トランジスタを介して、データ信号線d x 1に接続し、画素Cの画素電極を、トランジスタを介して、データ信号線D X 1'に接続し、画素Dの画素電極を、トランジスタを介して、データ信号線d x 1'に接続し、画素Iの画素電極を、トランジスタを介して、データ信号線D X 2に接続し、画素Jの画素電極を、トランジスタを介して、データ信号線d x 2に接続し、画素Kの画素電極を、トランジスタを介して、データ信号線D X 2'に接続し、画素Lの画素電極を、トランジスタを介して、データ信号線d x 2'に接続し、さらに、液晶パネル下半分も上半分と同一の接続関係とすることもできる。

[0052] この場合は、図28に示すように、データ信号線D X 1、D X 1'、D X 2、D X 2'、d X 1、d X 1'、d X 2、d X 2'それぞれのデータ信号の極性を、第1極性、第1極性、第2極性、第2極性、第2極性、第2極性、第1極性、第1極性とし（第1および第2極性はそれぞれ、プラスまたはマイナス極性）、さらに、液晶パネル下半分も上半分と同一駆動とし、各データ信号のデータ信号の極性反転周期を1垂直走査期間とすることで、図28のようなドット反転駆動を実現することができる。

[0053] 以上のように、本液晶パネルは、第1および第2基板と、第1および第2基板間に配された液晶層と、第1および第2画素と、上記液晶層に配された第1導電体と、第1基板に形成された第1および第2トランジスタと、第1画素に含まれる第1画素電極と、第2画素に含まれる第2画素電極と、第1および第2データ信号線とを備え、第1および第2画素電極並びに第1データ信号線が第1基板に形成され、第1トランジスタは第1データ信号線および第1画素電極と電氣的に接続され、第2データ信号線は第2基板に形成され、第2データ信号線と第1導電体とが電氣的に接続されるとともに、第2トランジスタは第1導電体および第2画素電極と電氣的に接続されていることを特徴とする。

- [0054] 上記構成によれば、例えば、第1および第2画素電極に同時にデータ信号を書き込むことが可能となり、さらなる高速駆動が実現される。
- [0055] 本液晶パネルは、第1および第2基板と、第1および第2基板間に配された液晶層と、第1および第2画素と、導電体と、第1基板に形成された第1および第2トランジスタと、第1画素に含まれる第1画素電極と、第2画素に含まれる第2画素電極と、第1および第2データ信号線とを備え、第1および第2画素電極並びに第1データ信号線が第1基板に形成され、第1トランジスタは第1データ信号線および第1画素電極と電氣的に接続され、第2データ信号線は第2基板に形成され、第2データ信号線と導電体とが電氣的に接続されるとともに、第2トランジスタは導電体および第2画素電極と電氣的に接続されている構成とすることもできる。この液晶パネルを備えた液晶表示装置では、例えば図35に示すように、第1データ信号線D X 1は、第1基板に接続された第1基板用データ信号線駆動回路S D X 1で駆動され、第2データ信号線d x 1は第2基板に接続された第2基板用データ信号線駆動回路S D X 2で駆動される。なお、上記導電体は液晶層に設けても（例えば、導電性スペーサを用いても）よいし、両基板間のシール部分に設けてもよいし、液晶パネルの端面（側面）に設けてもよい。
- [0056] 本液晶パネルでは、第2基板には第1画素電極と対向する対向電極が形成され、第1画素電極と同層に第1中継電極が形成されるとともに、対向電極と同層に第2中継電極が形成され、第2データ信号線と第2中継電極とが電氣的に接続され、第1および第2中継電極が第1導電体を介して電氣的に接続され、第1中継電極と第2トランジスタの1つの導通電極とが電氣的に接続されている構成とすることもできる。
- [0057] 本液晶パネルでは、第1導電体は、液晶層の厚みを調整するスペーサである構成とすることもできる。
- [0058] 本液晶パネルでは、第1および第2データ信号線が互いに重なるように配置されている構成とすることもできる。
- [0059] 本液晶パネルでは、第1画素電極と同層に第3中継電極が形成され、第1

データ信号線と第1トランジスタの1つの導通電極とが第3中継電極を介して電氣的に接続されている構成とすることもできる。

[0060] 本液晶パネルでは、第3および第4画素と、上記液晶層に配された第2導電体と、第1基板に形成された第3および第4トランジスタと、第3画素に含まれる第3画素電極と、第4画素に含まれる第4画素電極と、第3および第4データ信号線を備え、第1基板には第3および第4画素電極と第3データ信号線とが形成され、第3トランジスタは第3データ信号線および第3画素電極と電氣的に接続され、第2基板には第4データ信号線が形成され、第4データ信号線と第2導電体とが電氣的に接続されるとともに、第4トランジスタは第2導電体および第4画素電極と電氣的に接続されている構成とすることもできる。

[0061] 本液晶パネルでは、第1基板に形成された第1～第4走査信号線を備え、第1～第4トランジスタはそれぞれ、第1～第4走査信号線と電氣的に接続され、走査方向を列方向として、第1～第4画素が同一の画素列に含まれる構成とすることもできる。

[0062] 本液晶パネルでは、上記画素列で、上記第1～第4画素が、第1画素、第3画素、第2画素、および第4画素の順に連続して並んでいる構成とすることもできる。

[0063] 本液晶パネルでは、上記画素列で、上記第1～第4画素が、第1画素、第2画素、第3画素、および第4画素の順に連続して並んでいる構成とすることもできる。

[0064] 本液晶パネルでは、上記画素列で、上記第1～第4画素が、第1画素、第2画素、第4画素、および第3画素の順に連続して並んでいる構成とすることもできる。

[0065] 本液晶パネルでは、第1および第2基板それぞれの非表示領域に基板間接続パッドが設けられ、第2基板の基板間接続パッドと第2データ信号線とが電氣的に接続されている構成とすることもできる。

[0066] 本液晶パネルでは、第1基板の基板間接続パッドと第2基板の基板間接続

パッドとが、導電性フォトスペーサあるいは導電性ビーズを介して接続されている構成とすることもできる。

[0067] 本液晶パネルでは、第1基板に複数のドライバ接続パッドが設けられ、第1データ信号線と1つのドライバ接続パッドとが電氣的に接続され、第1基板の基板間接続パッドと別のドライバ接続パッドとが電氣的に接続されている構成とすることもできる。

[0068] 本液晶表示装置は、上記液晶パネルを備える。

[0069] 本液晶表示装置では、第1および第2走査信号線が同時選択される構成とすることもできる。

[0070] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

産業上の利用可能性

[0071] 本発明は、高速駆動が要求される液晶パネルに好適である。

符号の説明

[0072] A～P 画素

P1～P4 画素電極

T1～T4 トランジスタ

DX1・dx1・DX1'・dx1' データ信号線

DY1・dy1・DY1'・dy1' データ信号線

FS3 導電性のフォトスペーサ（第1導電体）

TM3 中継電極（第1中継電極）

tm3 中継電極（第2中継電極）

TM1 中継電極（第3中継電極）

G1～G4 走査信号線

COM 対向（共通）電極

BP bp 基板間接続パッド

SP ソース接続パッド（ドライバ接続パッド）

請求の範囲

- [請求項1] 第1および第2基板と、第1および第2基板間に配された液晶層と、第1および第2画素と、上記液晶層に配された第1導電体と、第1基板に形成された第1および第2トランジスタと、第1画素に含まれる第1画素電極と、第2画素に含まれる第2画素電極と、第1および第2データ信号線とを備え、
- 第1および第2画素電極並びに第1データ信号線が第1基板に形成され、
- 第1トランジスタは第1データ信号線および第1画素電極と電氣的に接続され、
- 第2データ信号線は第2基板に形成され、
- 第2データ信号線と第1導電体とが電氣的に接続されるとともに、第2トランジスタは第1導電体および第2画素電極と電氣的に接続されている液晶パネル。
- [請求項2] 第2基板には第1画素電極と対向する対向電極が形成され、
- 第1画素電極と同層に第1中継電極が形成されるとともに、対向電極と同層に第2中継電極が形成され、
- 第2データ信号線と第2中継電極とが電氣的に接続され、第1および第2中継電極が第1導電体を介して電氣的に接続され、第1中継電極と第2トランジスタの1つの導通電極とが電氣的に接続されている請求項1記載の液晶パネル。
- [請求項3] 第1導電体は、液晶層の厚みを調整するスペーサである請求項1記載の液晶パネル。
- [請求項4] 第1および第2データ信号線が互いに重なるように配置されている請求項1記載の液晶パネル。
- [請求項5] 第1画素電極と同層に第3中継電極が形成され、
- 第1データ信号線と第1トランジスタの1つの導通電極とが第3中継電極を介して電氣的に接続されている請求項2記載の液晶パネル。

- [請求項6] 第3および第4画素と、上記液晶層に配された第2導電体と、第1基板に形成された第3および第4トランジスタと、第3画素に含まれる第3画素電極と、第4画素に含まれる第4画素電極と、第3および第4データ信号線を備え、
- 第1基板には第3および第4画素電極と第3データ信号線とが形成され、
- 第3トランジスタは第3データ信号線および第3画素電極と電氣的に接続され、
- 第2基板には第4データ信号線が形成され、
- 第4データ信号線と第2導電体とが電氣的に接続されるとともに、第4トランジスタは第2導電体および第4画素電極と電氣的に接続されている請求項1記載の液晶パネル。
- [請求項7] 第1基板に形成された第1～第4走査信号線を備え、
- 第1～第4トランジスタはそれぞれ、第1～第4走査信号線と電氣的に接続され、
- 走査方向を列方向として、第1～第4画素が同一の画素列に含まれる請求項6記載の液晶パネル。
- [請求項8] 上記画素列では、上記第1～第4画素が、第1画素、第3画素、第2画素、および第4画素の順に連続して並んでいる請求項7記載の液晶パネル。
- [請求項9] 上記画素列では、上記第1～第4画素が、第1画素、第2画素、第3画素、および第4画素の順に連続して並んでいる請求項7記載の液晶パネル。
- [請求項10] 上記画素列では、上記第1～第4画素が、第1画素、第2画素、第4画素、および第3画素の順に連続して並んでいる請求項7記載の液晶パネル。
- [請求項11] 第1および2基板それぞれの非表示領域に基板間接続パッドが設けられ、

第2基板の基板間接続パッドと第2データ信号線とが電氣的に接続されている請求項1記載の液晶パネル。

[請求項12] 第1基板の基板間接続パッドと第2基板の基板間接続パッドとが、導電性フォトスペーサあるいは導電性ビーズを介して接続されている請求項1記載の液晶パネル。

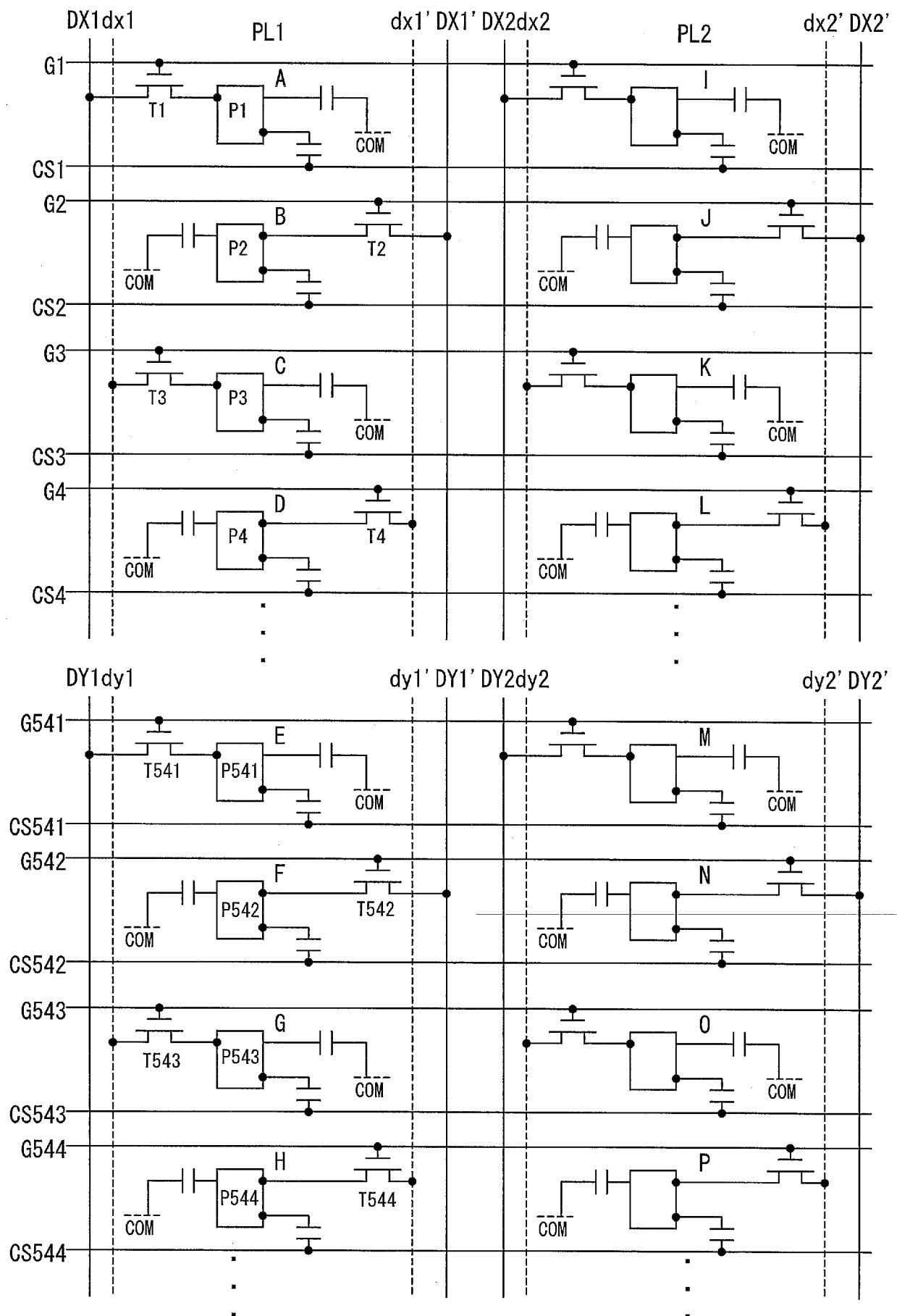
[請求項13] 第1基板に複数のドライバ接続パッドが設けられ、
第1データ信号線と1つのドライバ接続パッドとが電氣的に接続され、

第1基板の基板間接続パッドと別のドライバ接続パッドとが電氣的に接続されている請求項1記載の液晶パネル。

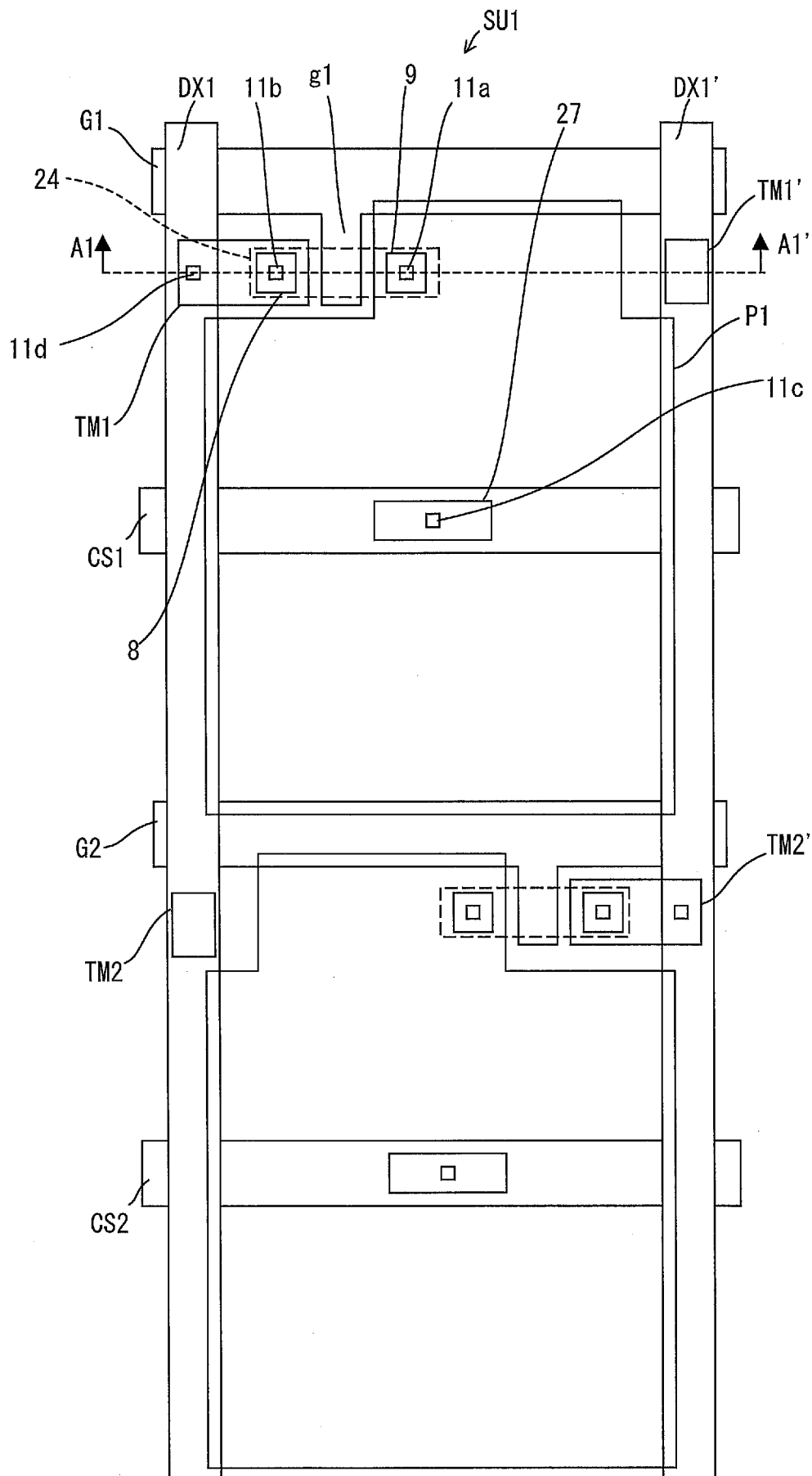
[請求項14] 請求項1～13のいずれか1項に記載の液晶パネルを備える液晶表示装置。

[請求項15] 第1および第2走査信号線が同時選択される請求項14に記載の液晶表示装置。

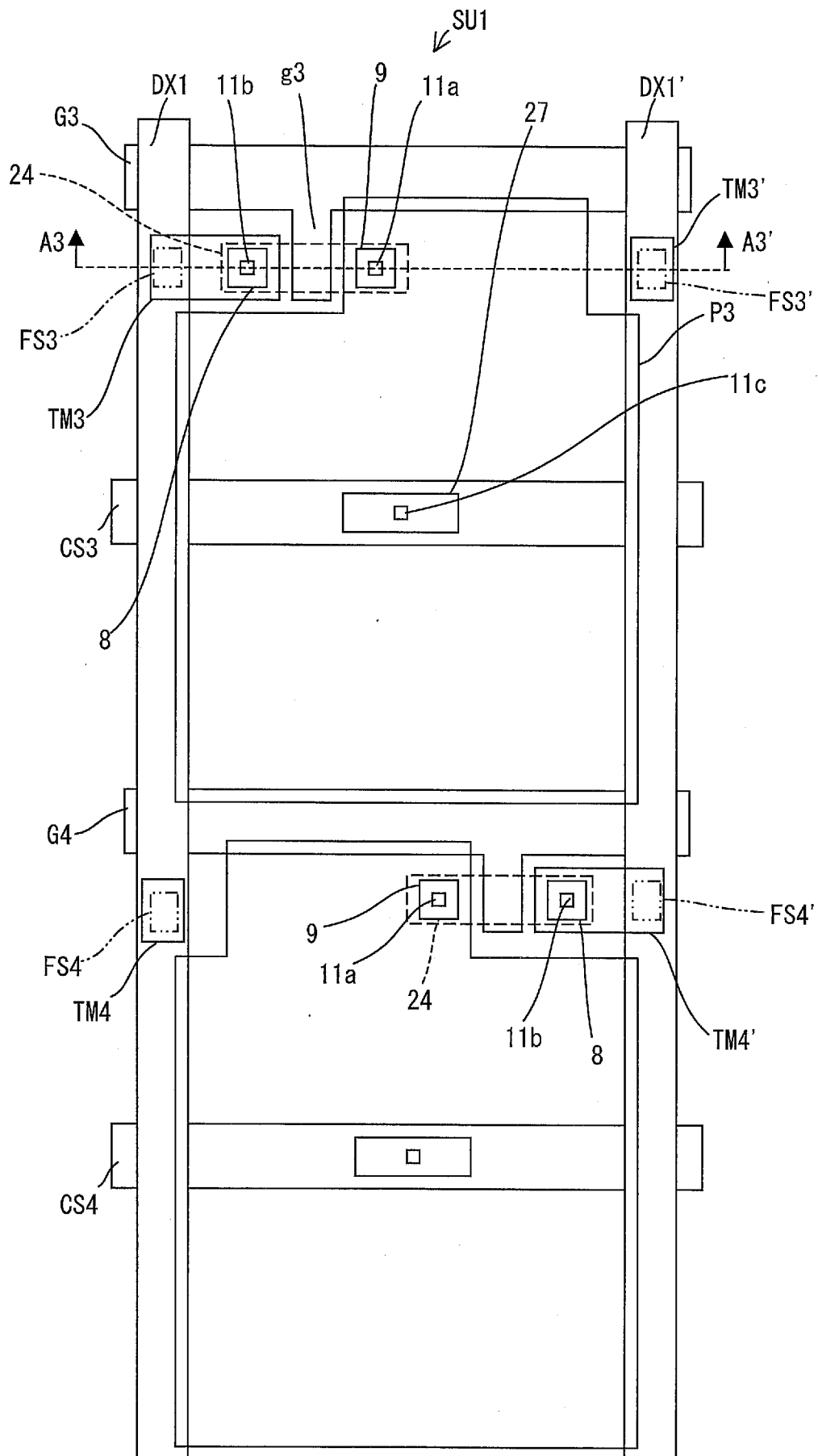
[図1]



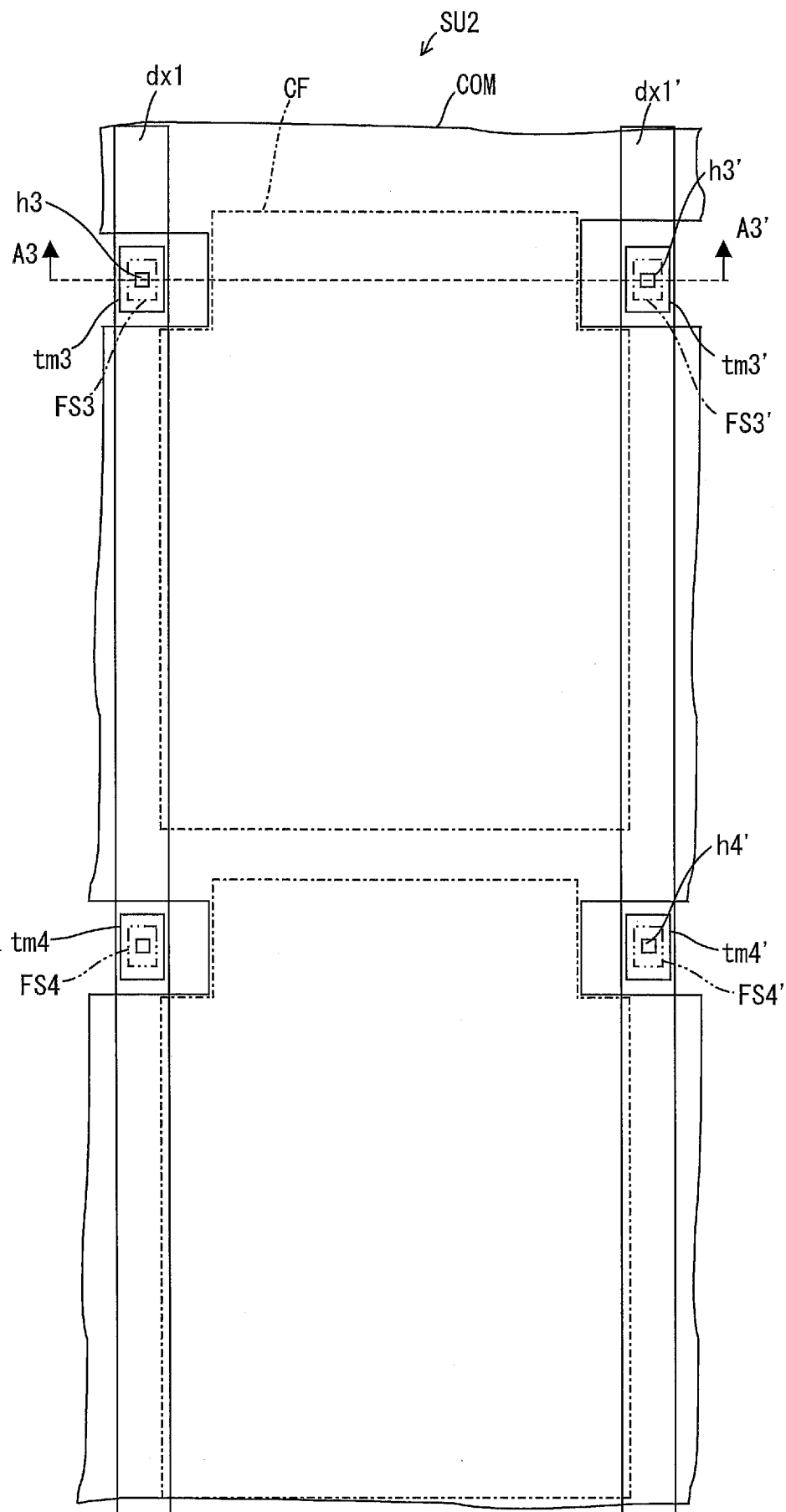
[図2]



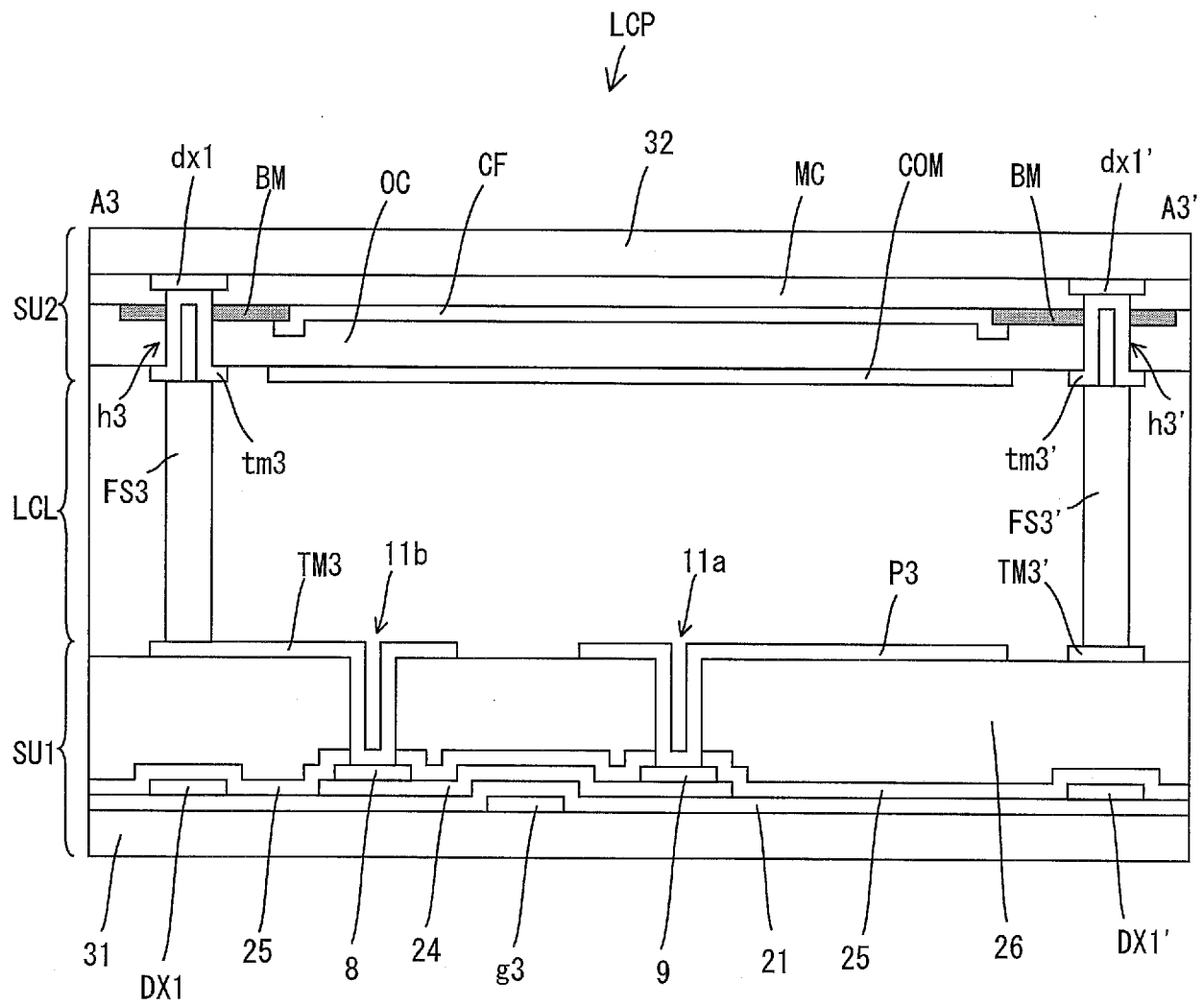
[図5]



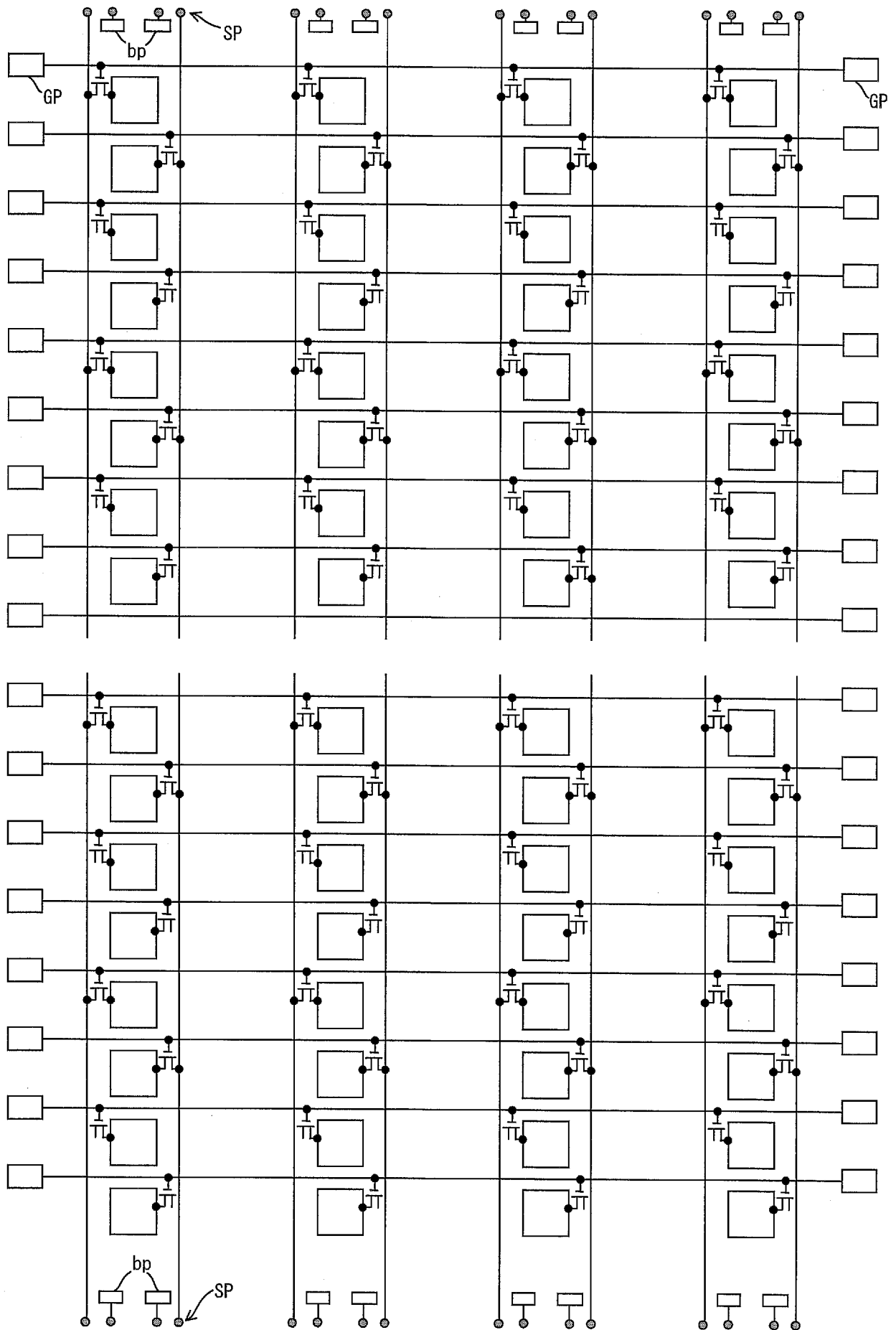
[図6]



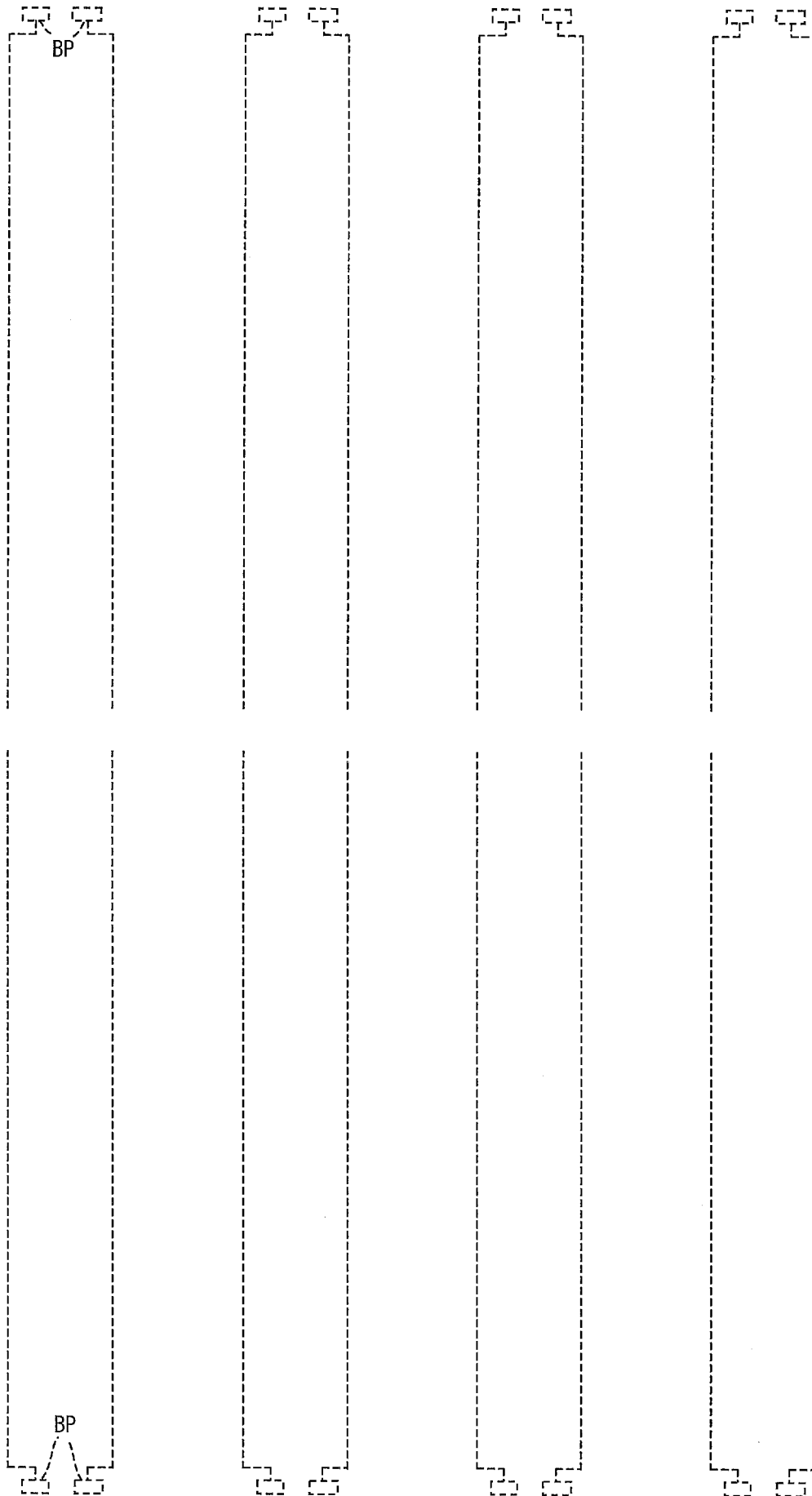
[図7]



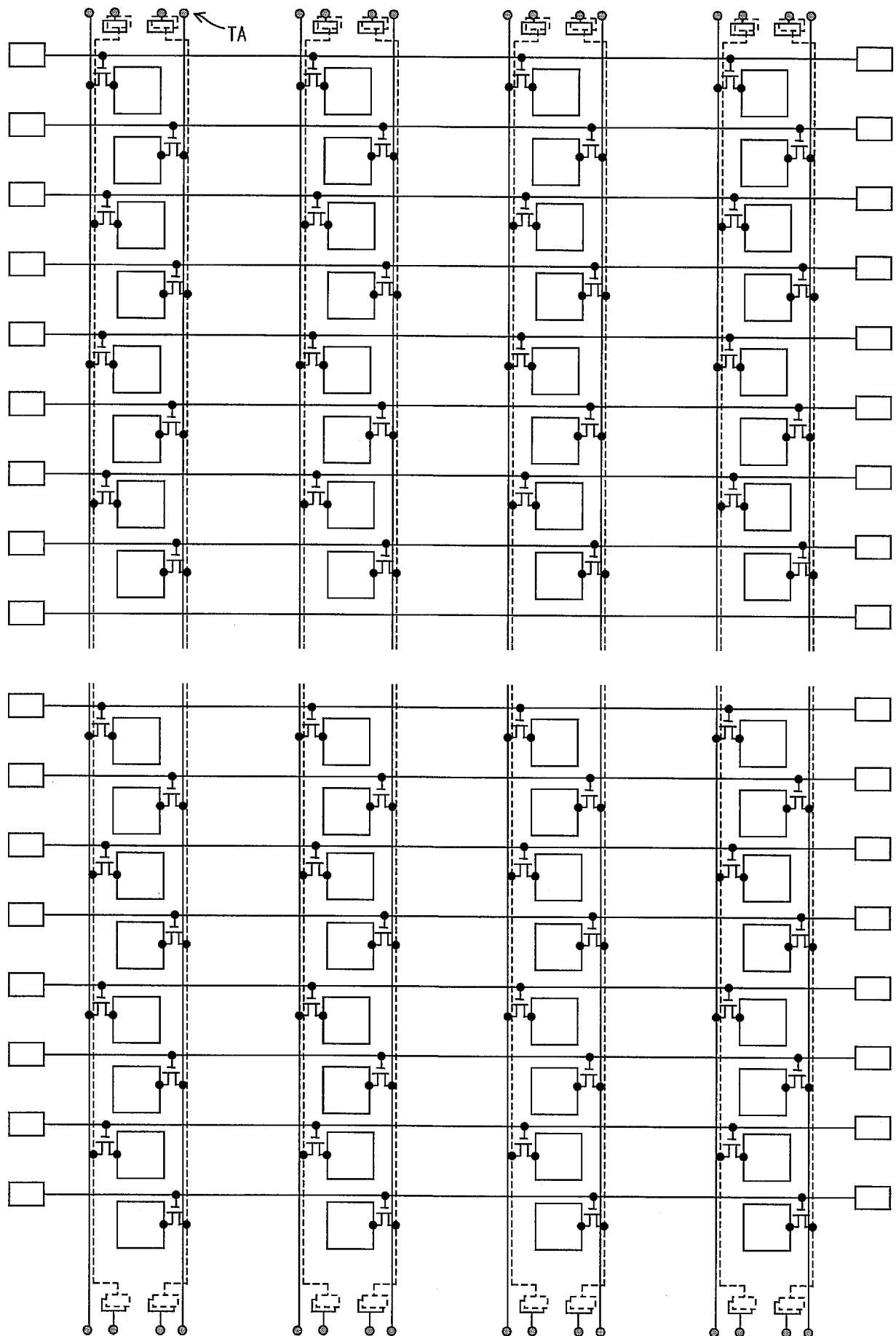
[図8]



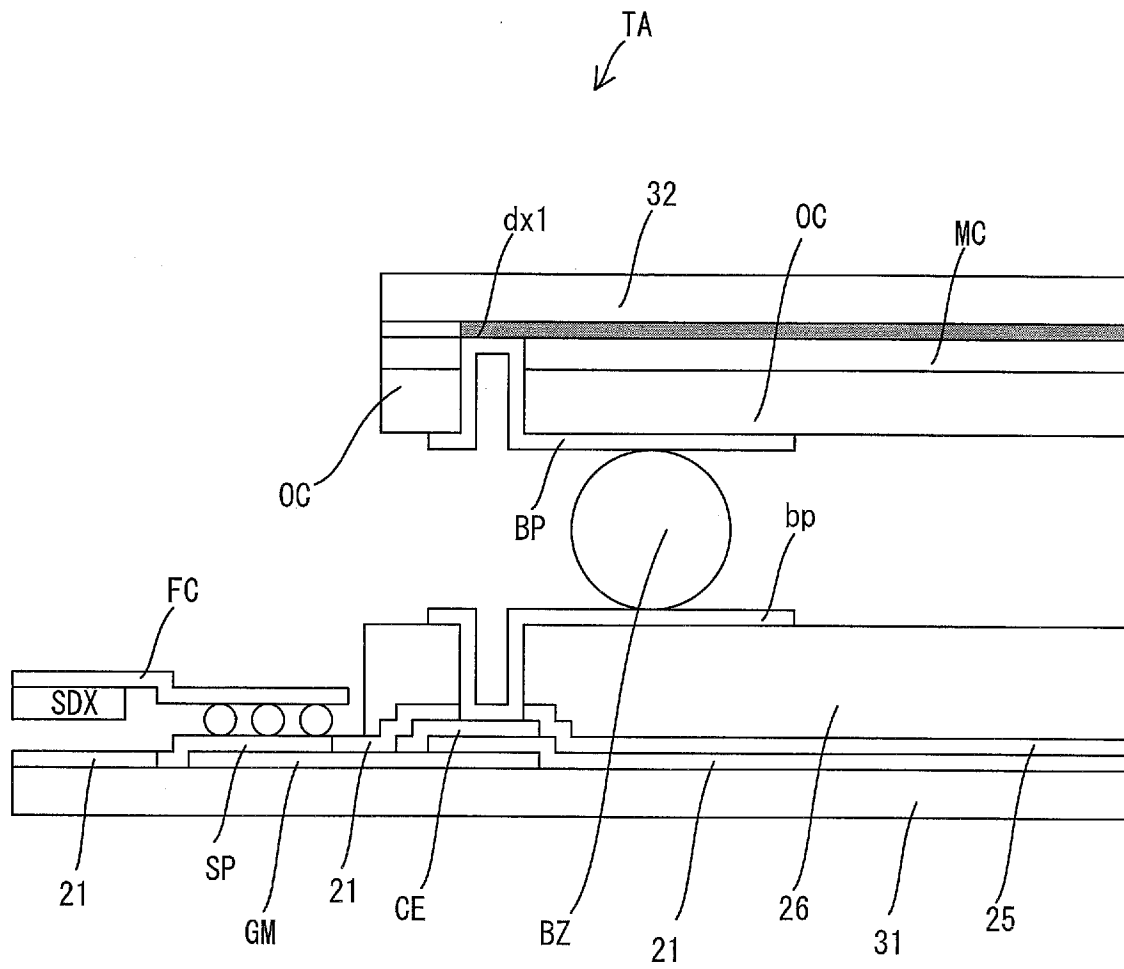
[図9]



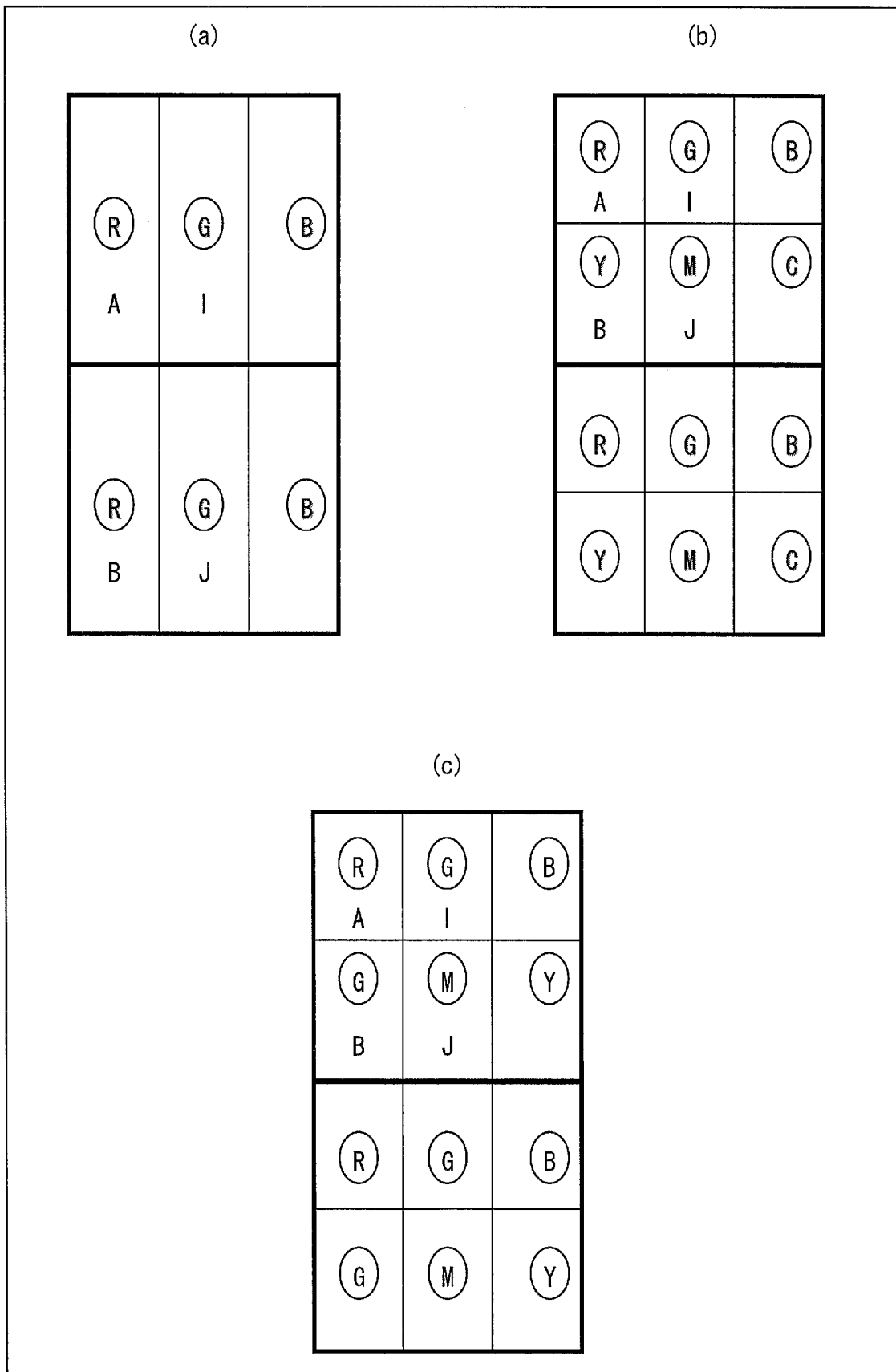
[図10]



[図11]



[図12]



The diagram illustrates a 2D array structure with the following components and connections:

- DCC**: A box at the top left with three arrows pointing to the left, top, and right boundaries of the array.
- SDX**: A box at the top center with an arrow pointing to the top boundary of the array.
- GDL**: A label on the left side of the array, indicating the vertical extent.
- GDR**: A label on the right side of the array, indicating the horizontal extent.
- SDY**: A box at the bottom center with an arrow pointing to the bottom boundary of the array.

The array itself is a grid of cells. The top row is labeled **SDX**. The leftmost column is labeled **GDL**. The rightmost column is labeled **GDR**. The bottom row is labeled **SDY**. The grid contains several vertical dashed lines and horizontal dotted lines, suggesting a partitioned or segmented structure.

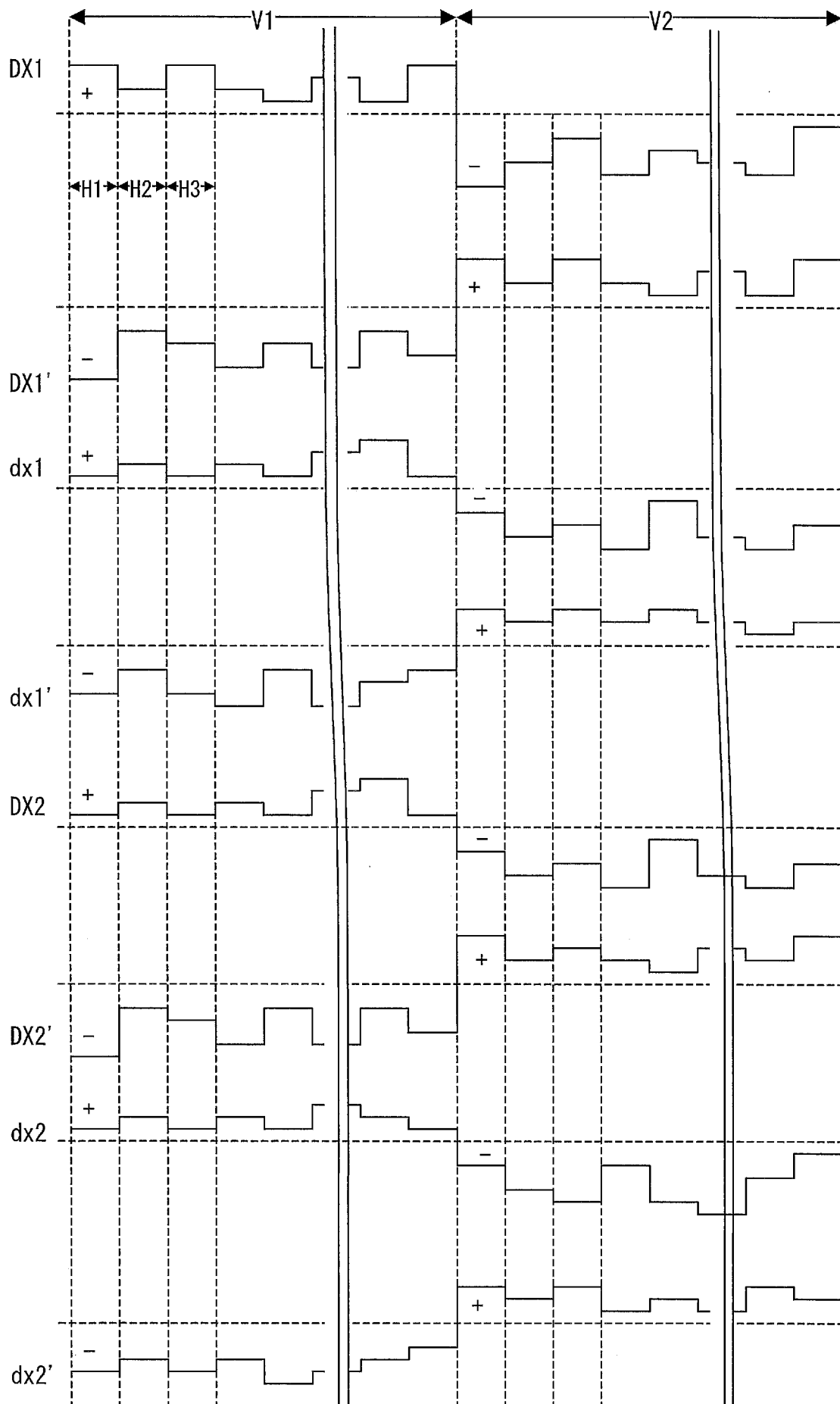
[図14]

		PL1				PL2					
		DX1	dx1	dx1'	DX1'	DX2	dx2	dx2'	DX2'		
H1	(F2_Data1)	G1									
	(F2_Data2)	G2									
	(F2_Data3)	G3									
	(F2_Data4)	G4									
H2	(F2_Data5)	G5									
	(F2_Data6)	G6									
	(F2_Data7)	G7									
	(F2_Data8)	G8									
H3	(F2_Data9)	G9									
	(F2_Data10)	G10									
	(F2_Data11)	G11									
	(F2_Data12)	G12									
	.		.				.				
	.		.				.				
	.		.				.				
	(F2_Data540)	g540									
		DY1	dy1	dy1'	DY1'	DY2	dy2	dy2'	DY2'		
H1	(F1_Data541)	G541									
	(F1_Data542)	G542									
	(F1_Data543)	G543									
	(F1_Data544)	G544									
H2	(F1_Data545)	G545									
	(F1_Data546)	G546									
	(F1_Data547)	G547									
	(F1_Data548)	G548									
H3	(F1_Data549)	G549									
	(F1_Data550)	G550									
	(F1_Data551)	G551									
	(F1_Data552)	G552									
	.		.				.				
	.		.				.				
	.		.				.				
	(F1_Data1080)	g1080									

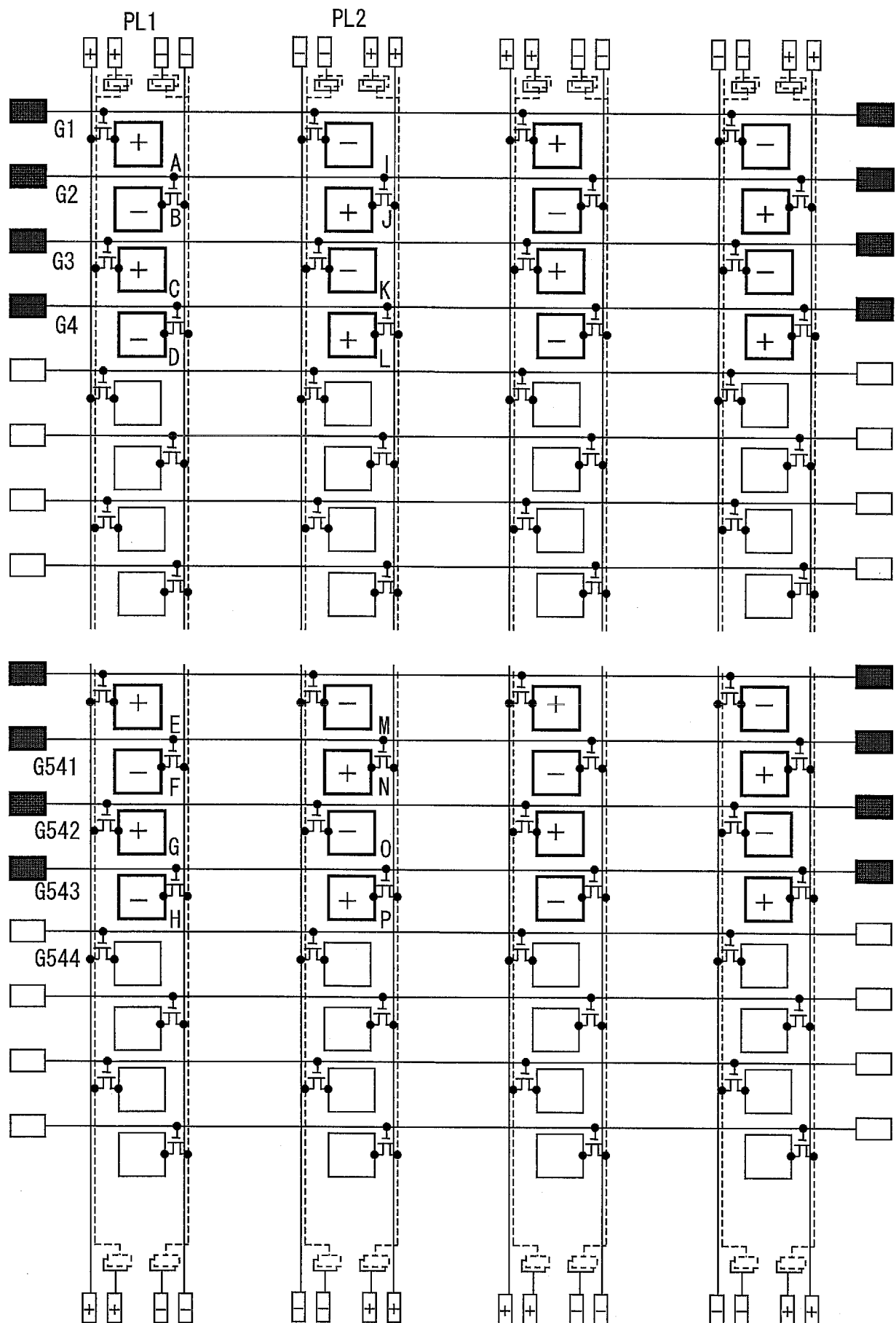
[図15]

		PL1				PL2					
		DX1	dx1	dx1'	DX1'	DX2	dx2	dx2'	DX2'		
H1	(F3_Data1)	G1									
	(F3_Data2)	G2									
	(F3_Data3)	G3									
	(F3_Data4)	G4									
H2	(F3_Data5)	G5									
	(F3_Data6)	G6									
	(F3_Data7)	G7									
	(F3_Data8)	G8									
H3	(F3_Data9)	G9									
	(F3_Data10)	G10									
	(F3_Data11)	G11									
	(F3_Data12)	G12									
	⋮			⋮				⋮			
	⋮			⋮				⋮			
	⋮			⋮				⋮			
	(F3_Data540)	g540									
		DY1	dy1	dy1'	DY1'	DY2	dy2	dy2'	DY2'		
H1	(F2_Data541)	G541									
	(F2_Data542)	G542									
	(F2_Data543)	G543									
	(F2_Data544)	G544									
H2	(F2_Data545)	G545									
	(F2_Data546)	G546									
	(F2_Data547)	G547									
	(F2_Data548)	G548									
H3	(F2_Data549)	G549									
	(F2_Data550)	G550									
	(F2_Data551)	G551									
	(F2_Data552)	G552									
	⋮			⋮				⋮			
	⋮			⋮				⋮			
	⋮			⋮				⋮			
	(F2_Data1080)	g1080									

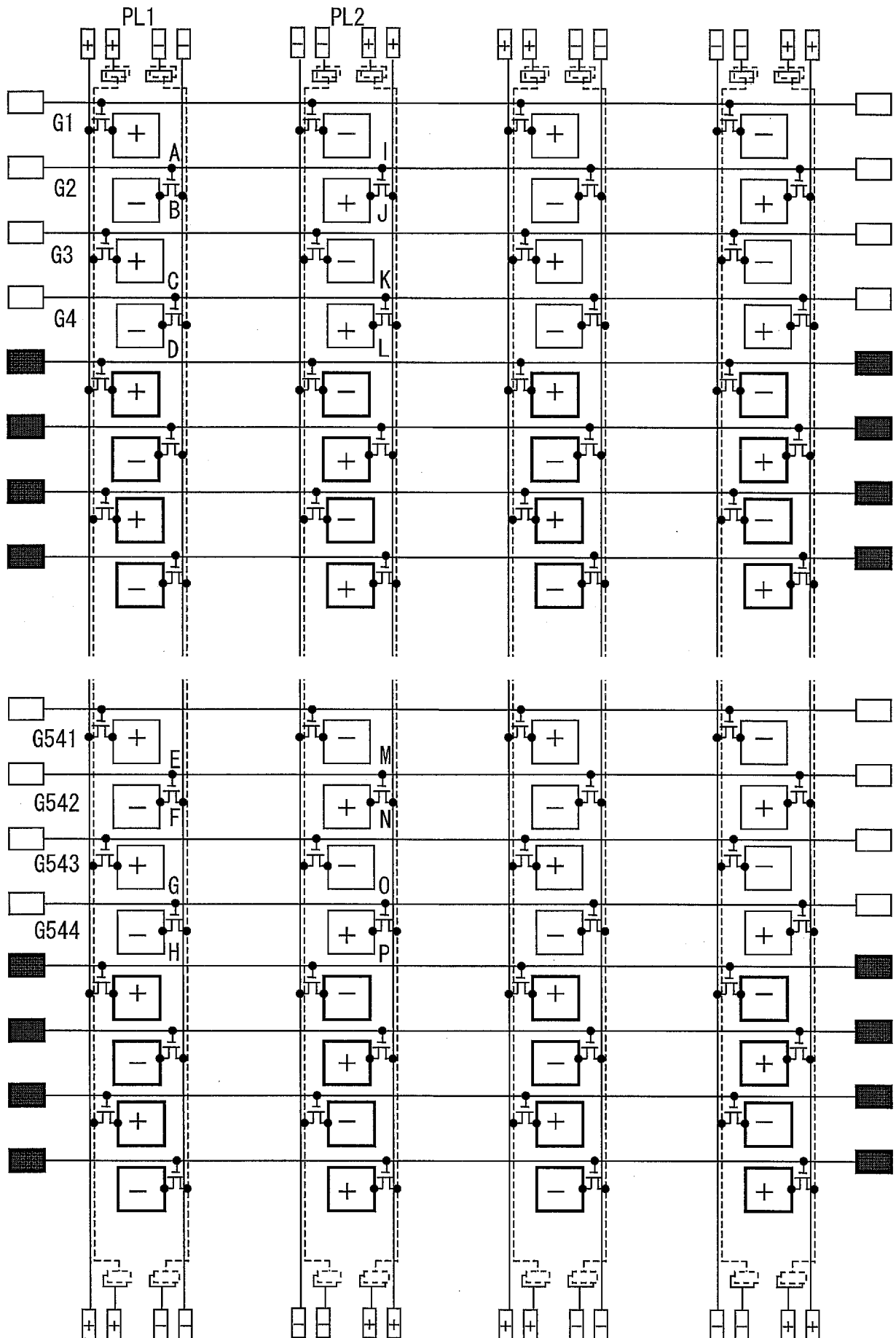
[図16]



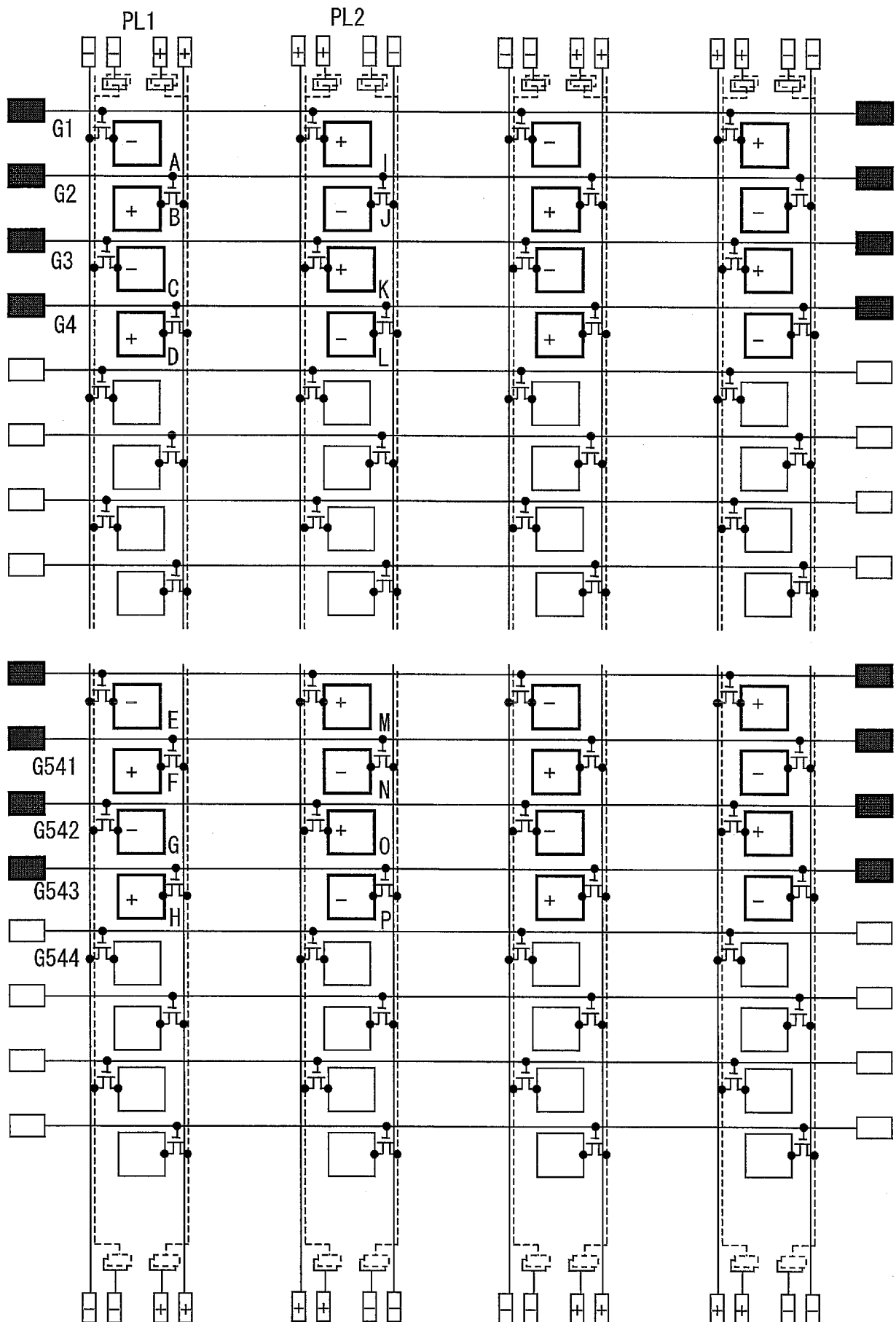
[図17]



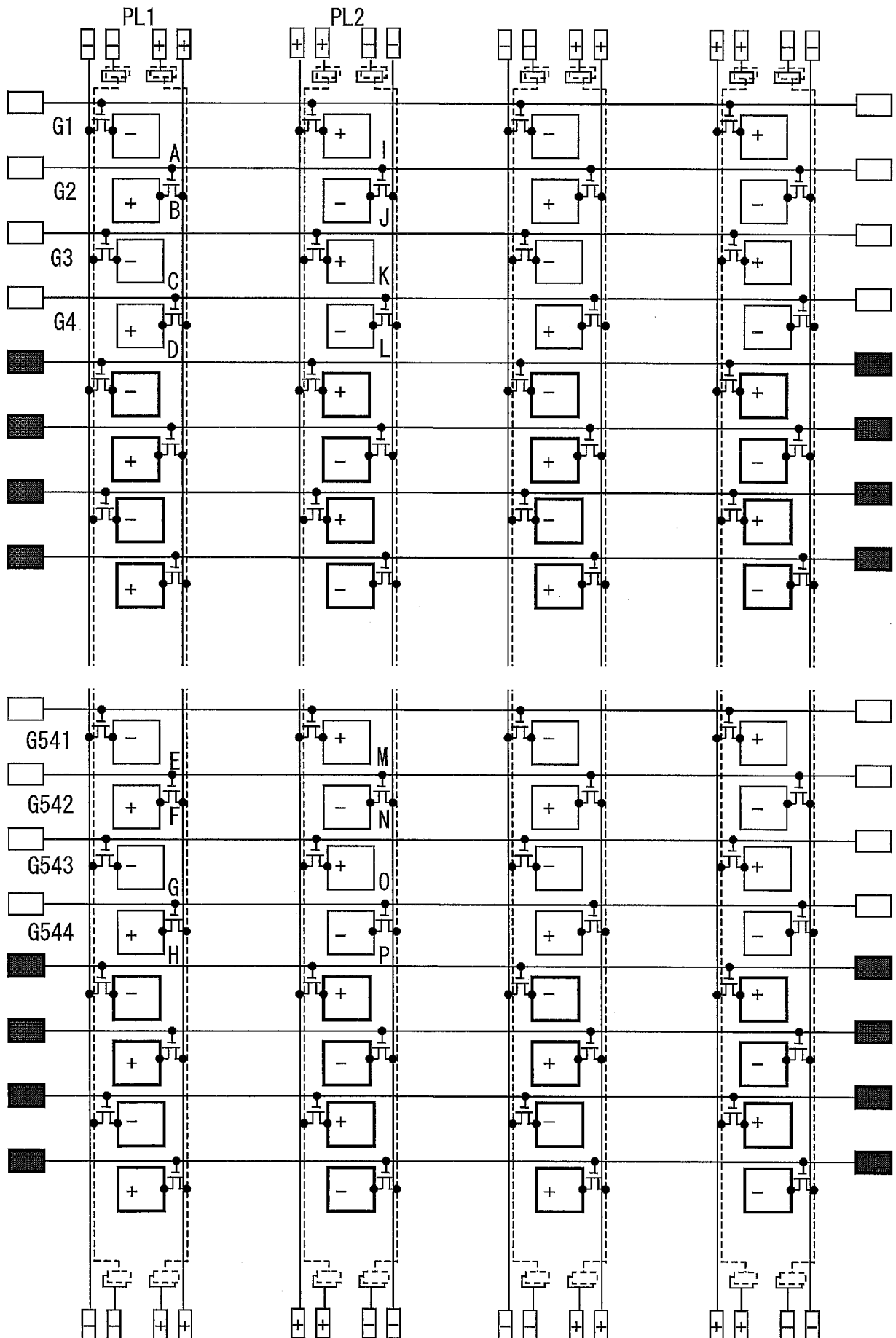
[図18]



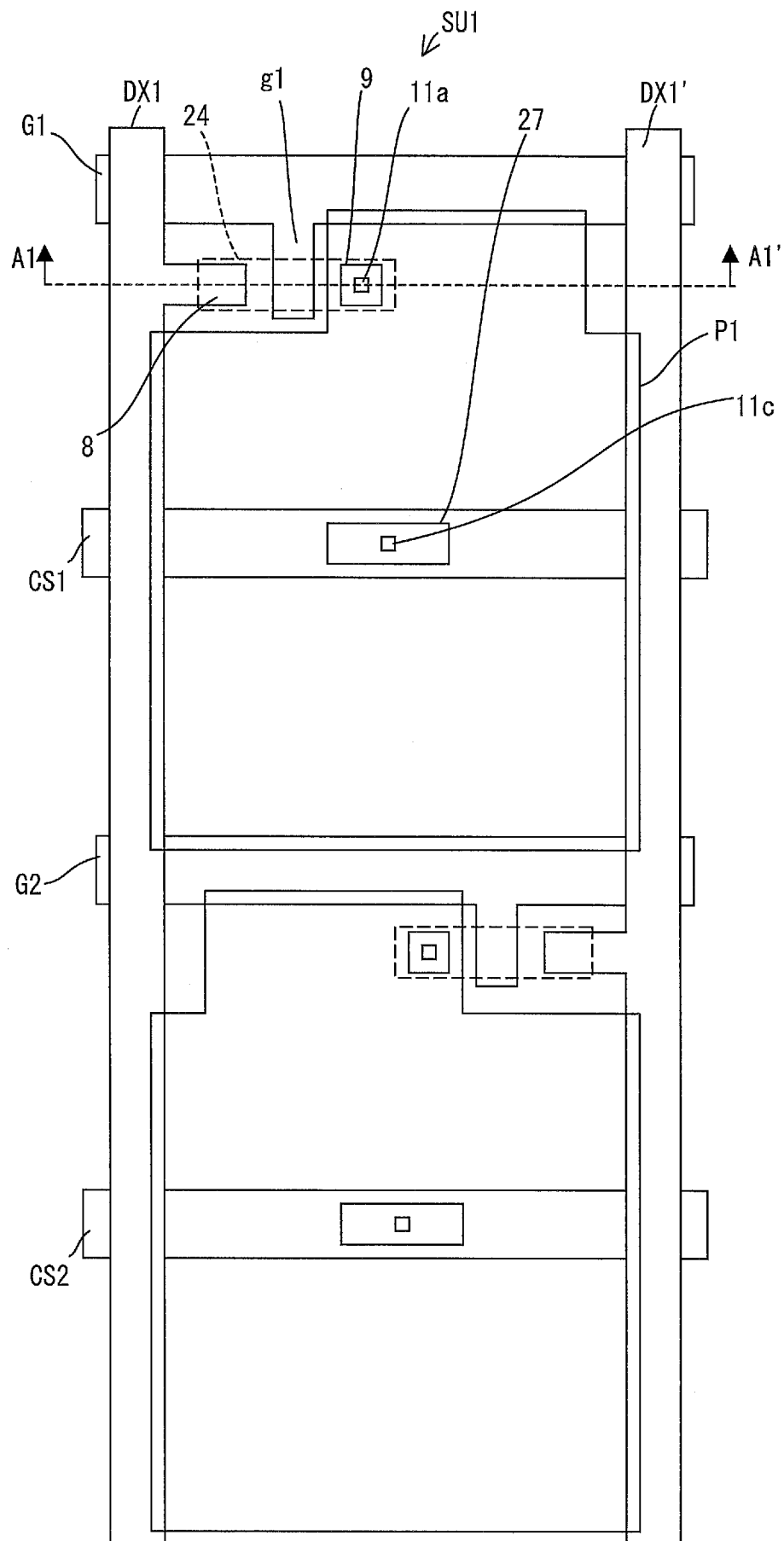
[図19]



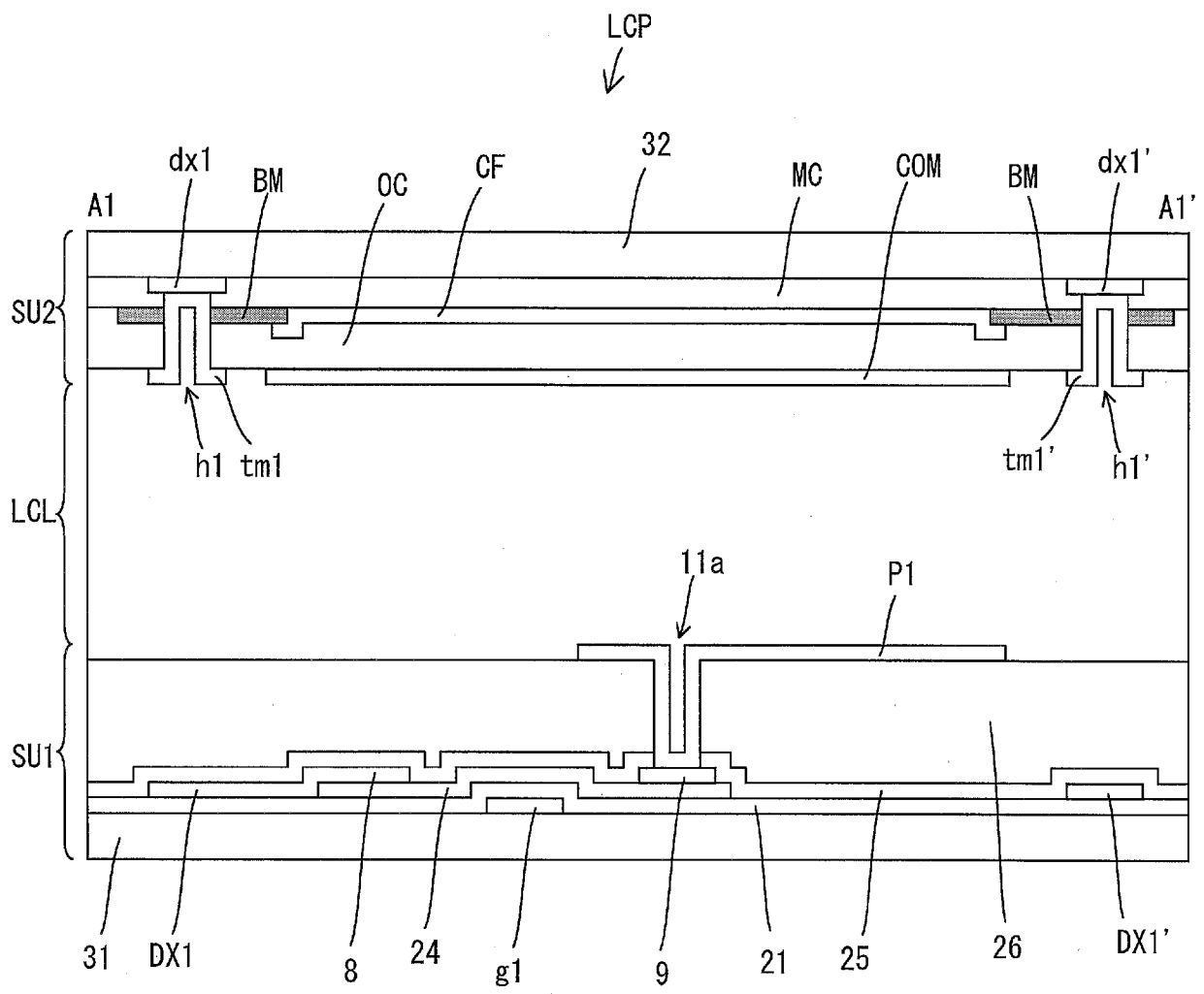
[図20]



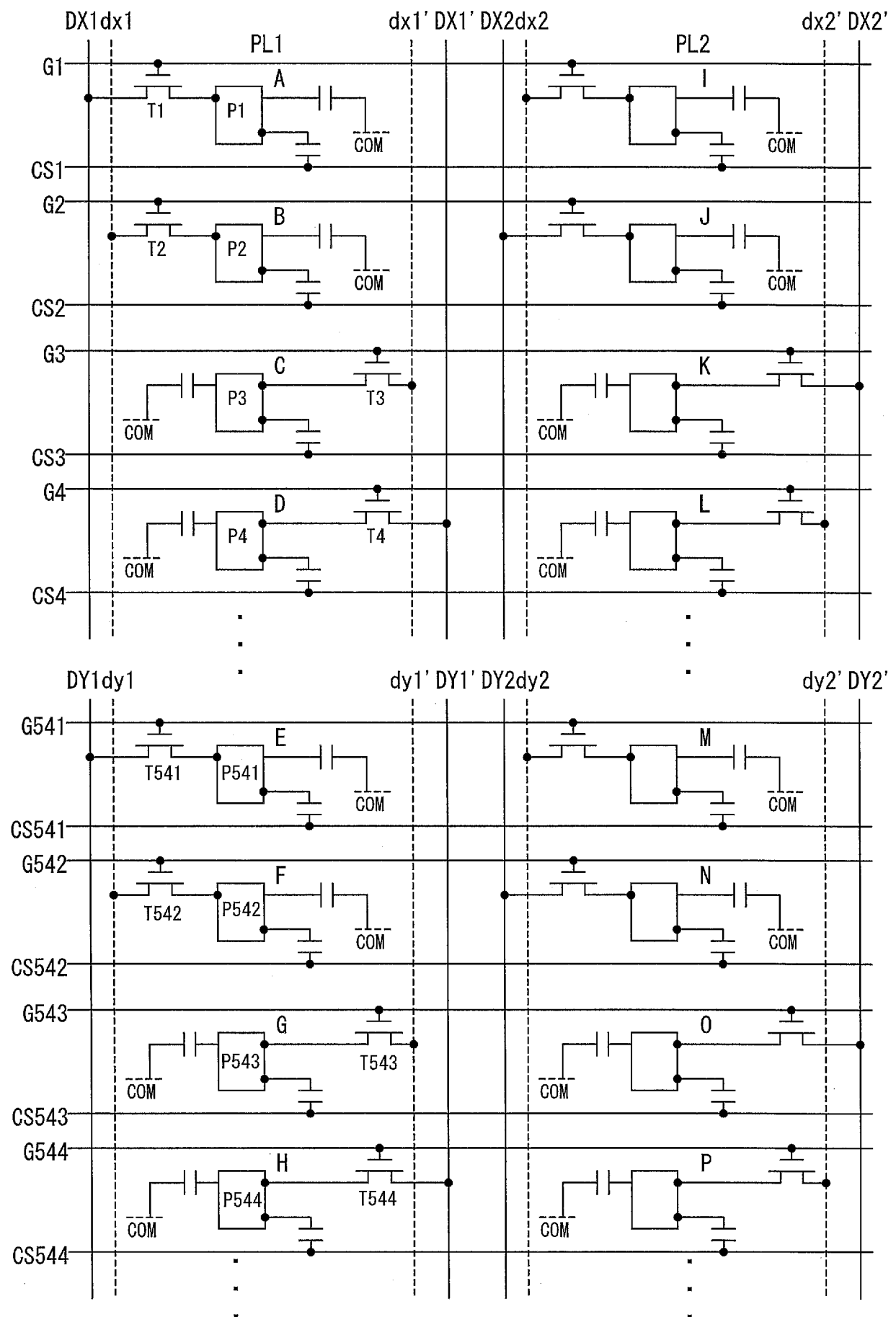
[図21]



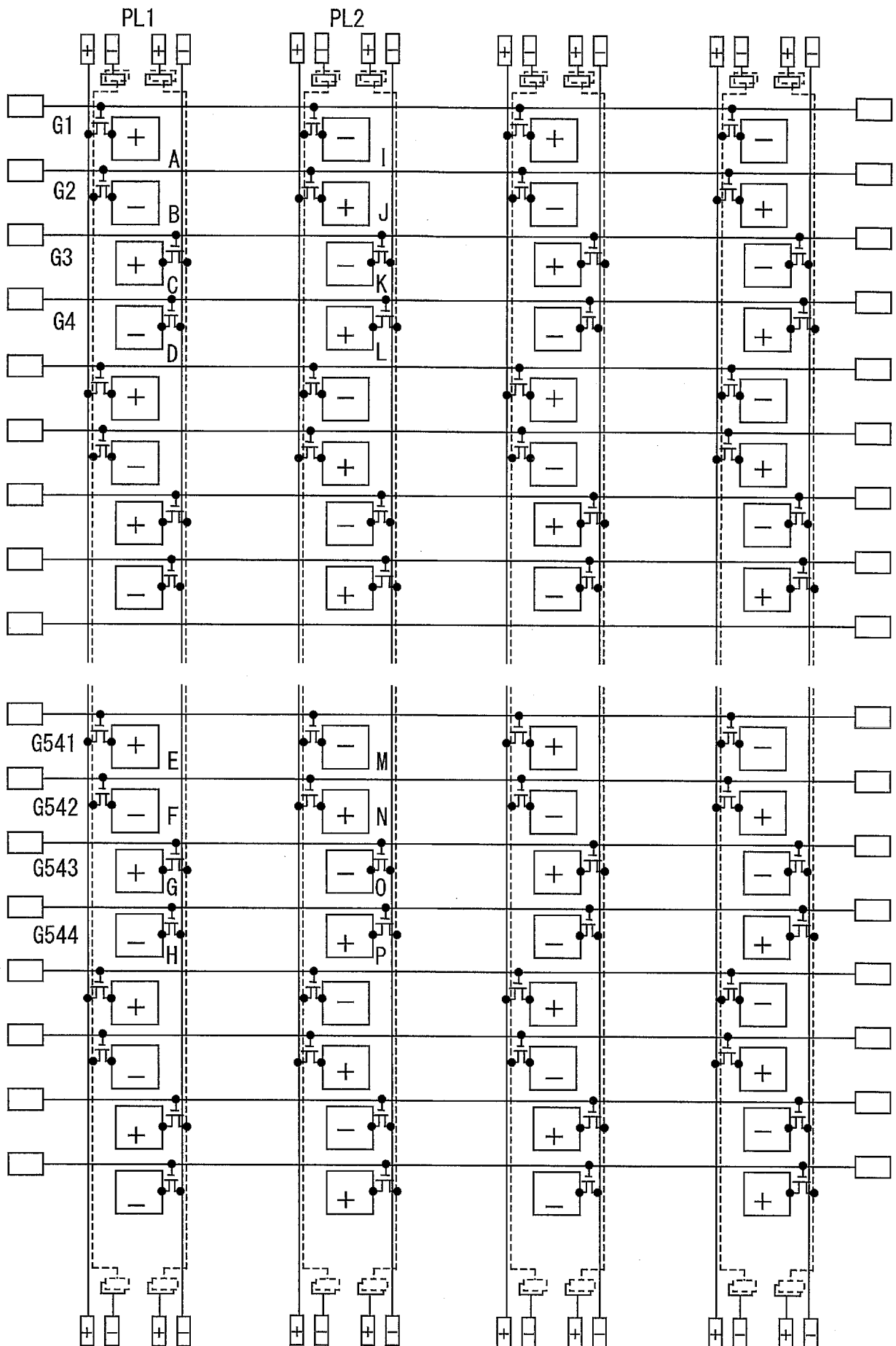
[図22]



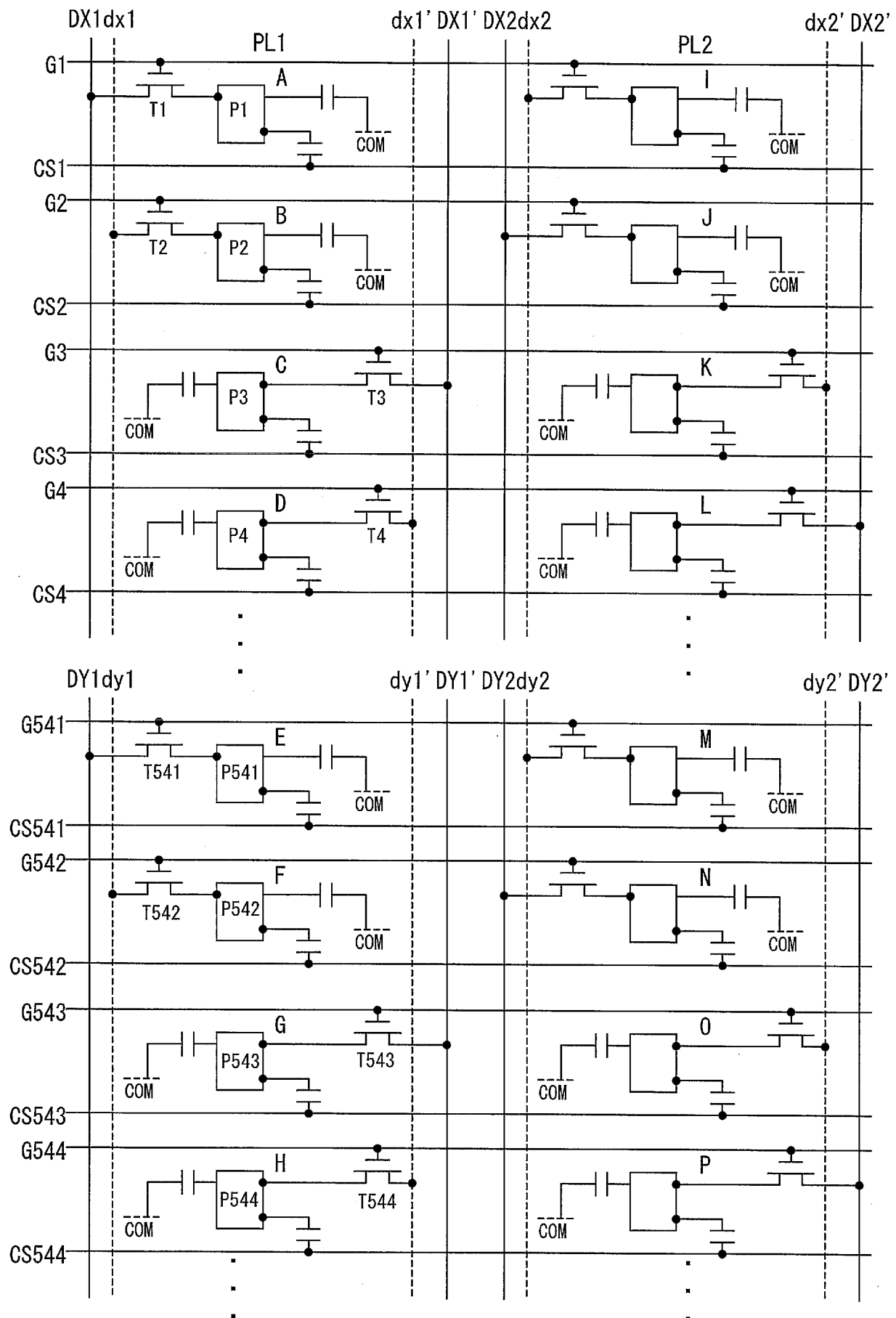
[図23]

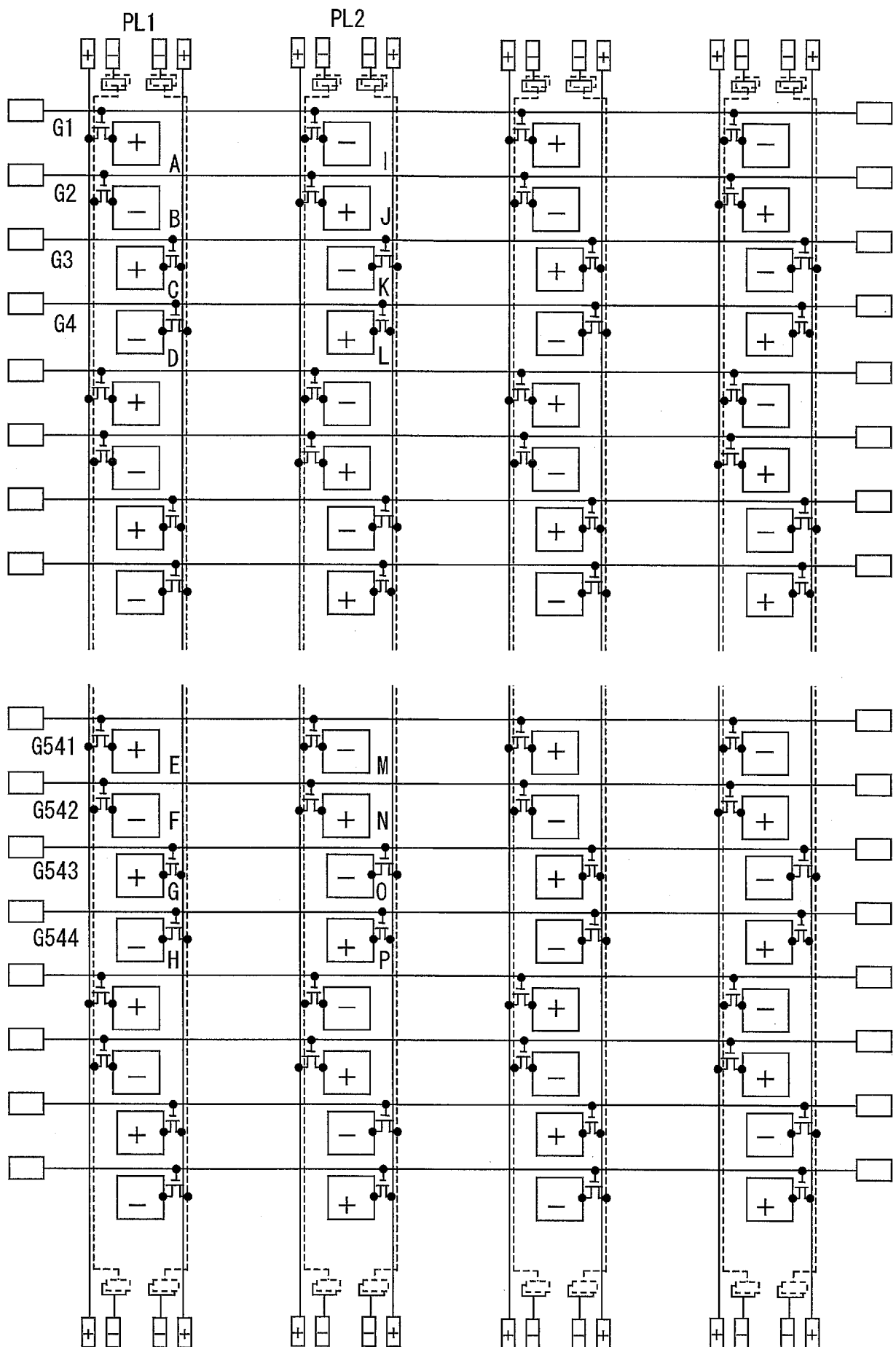


[図24]

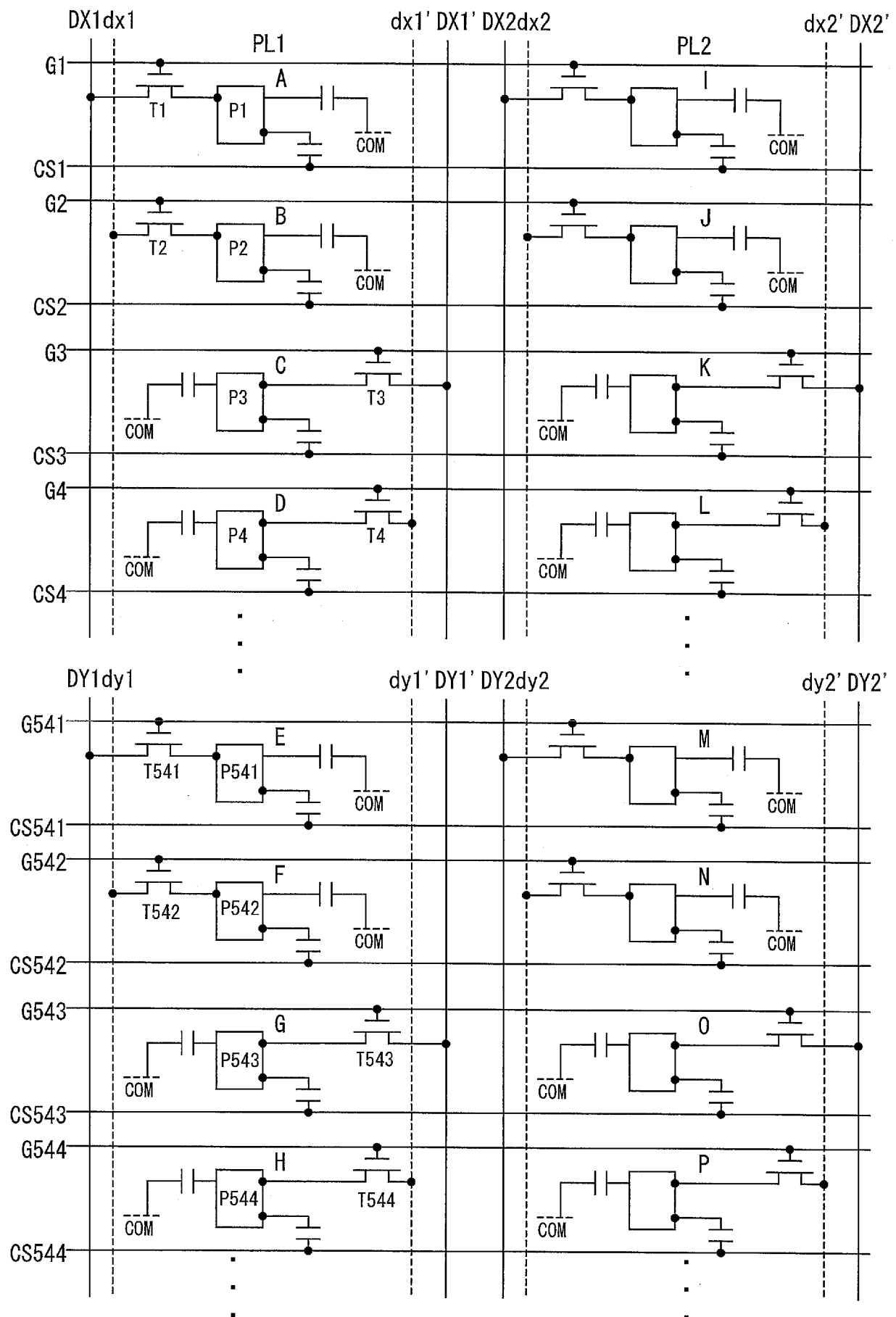


[図25]

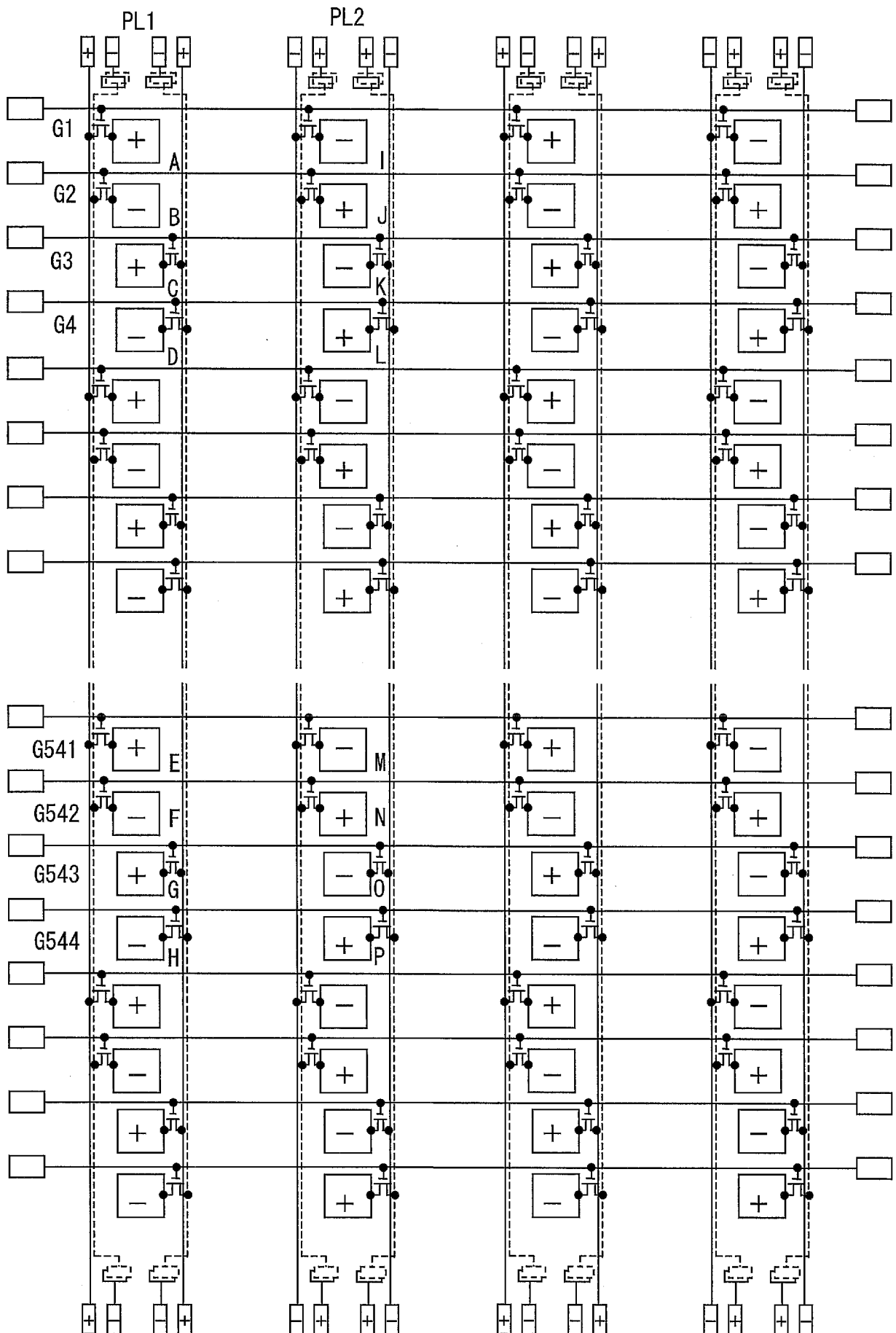




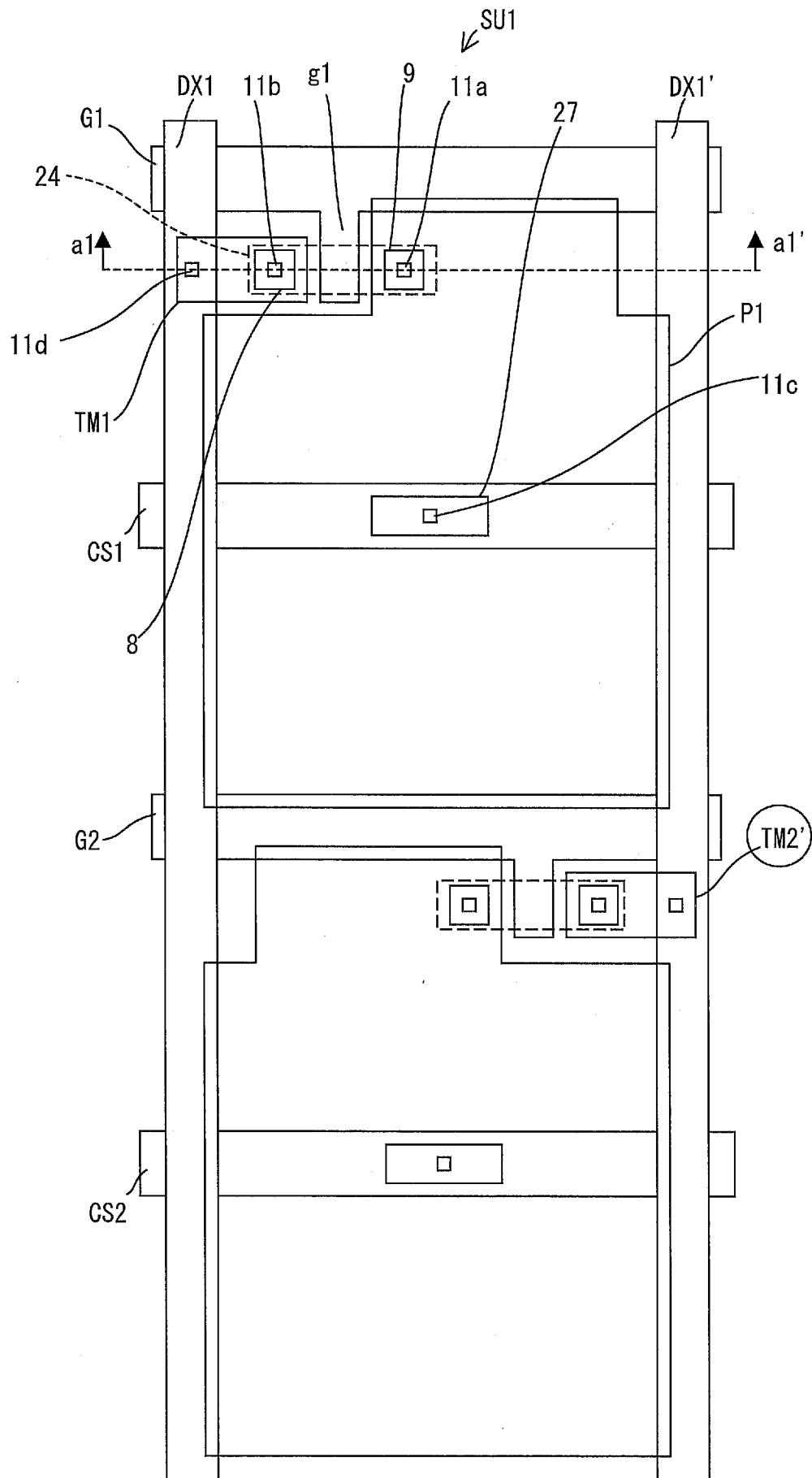
[図27]



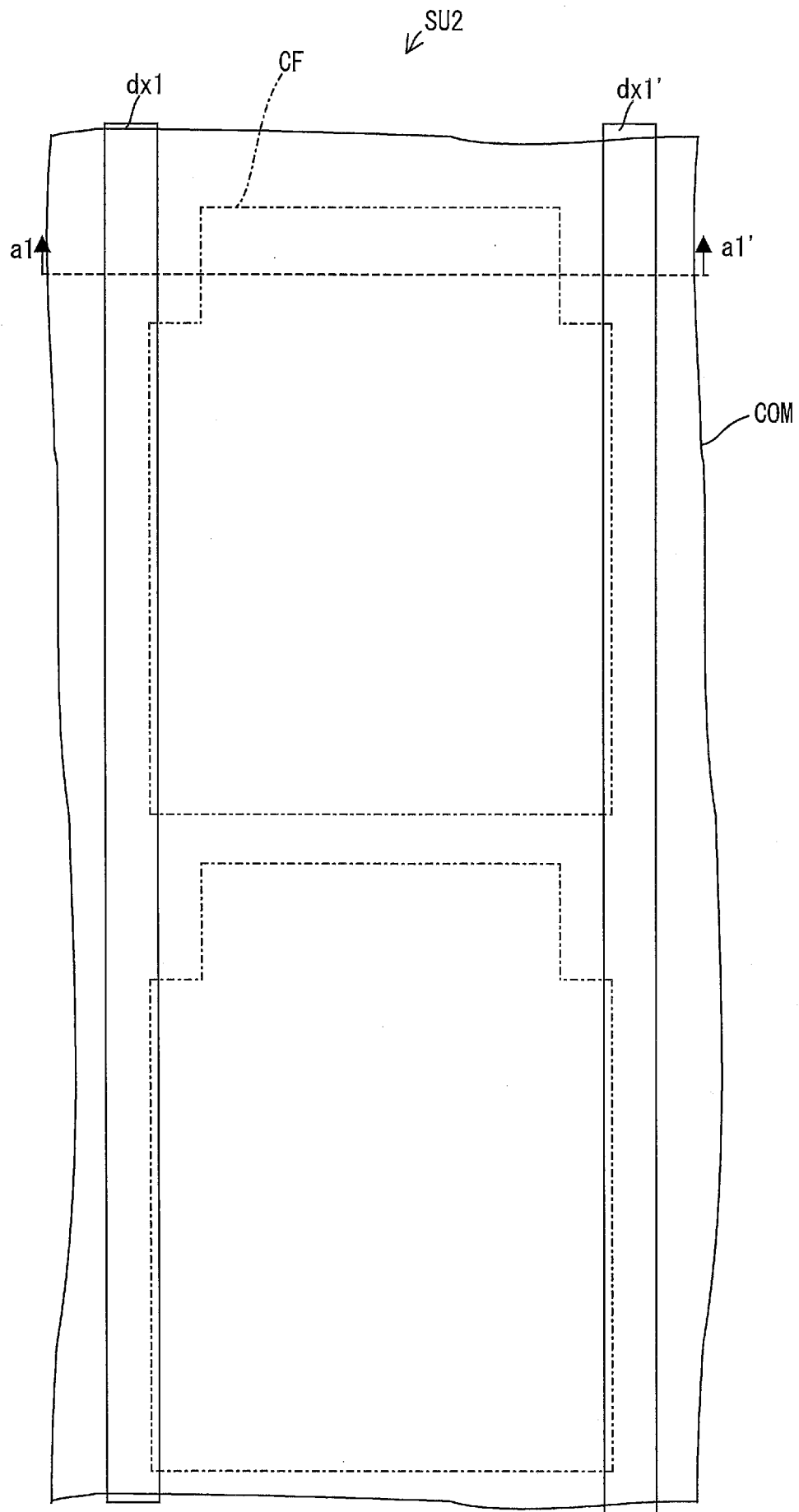
[図28]



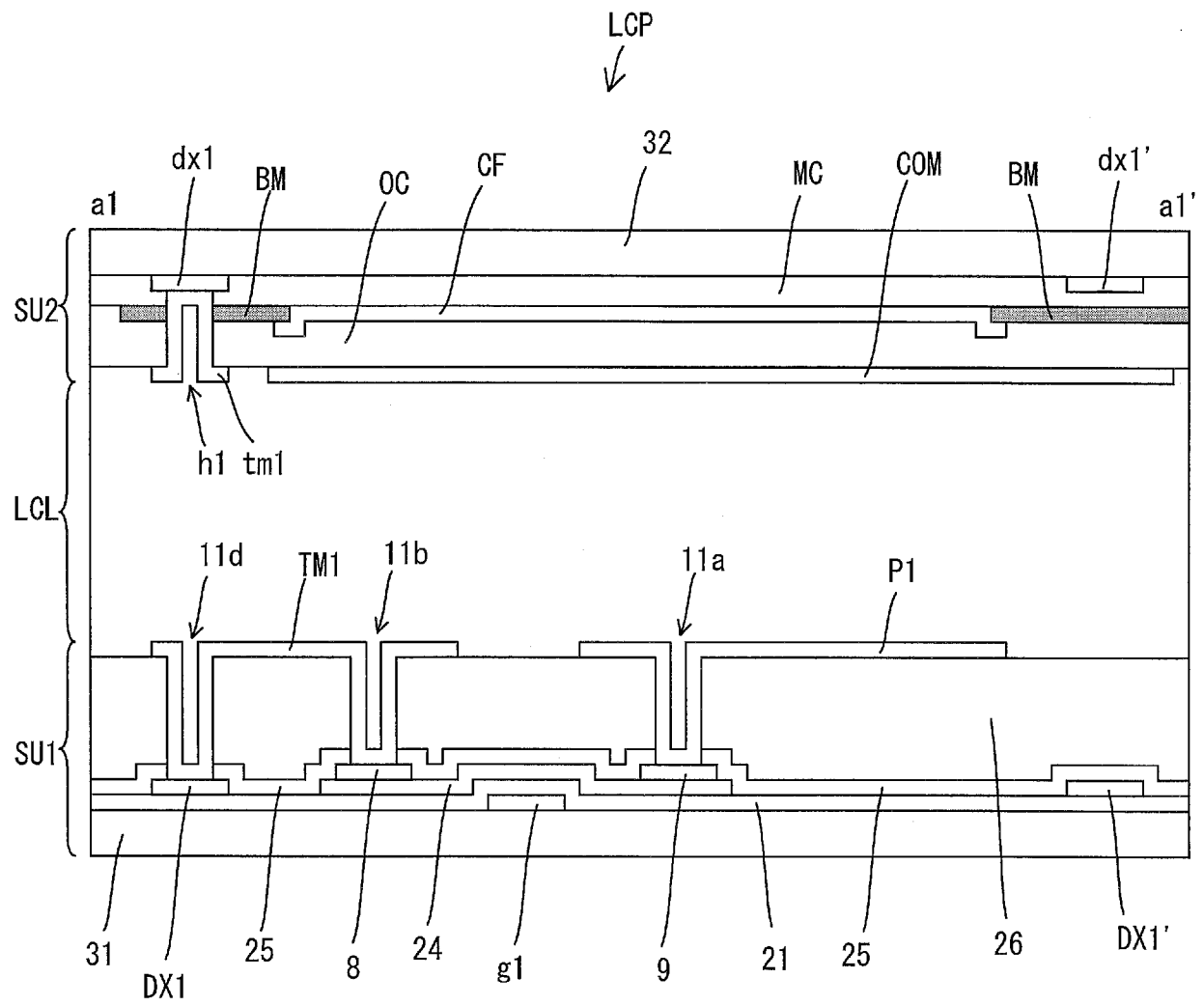
[図29]



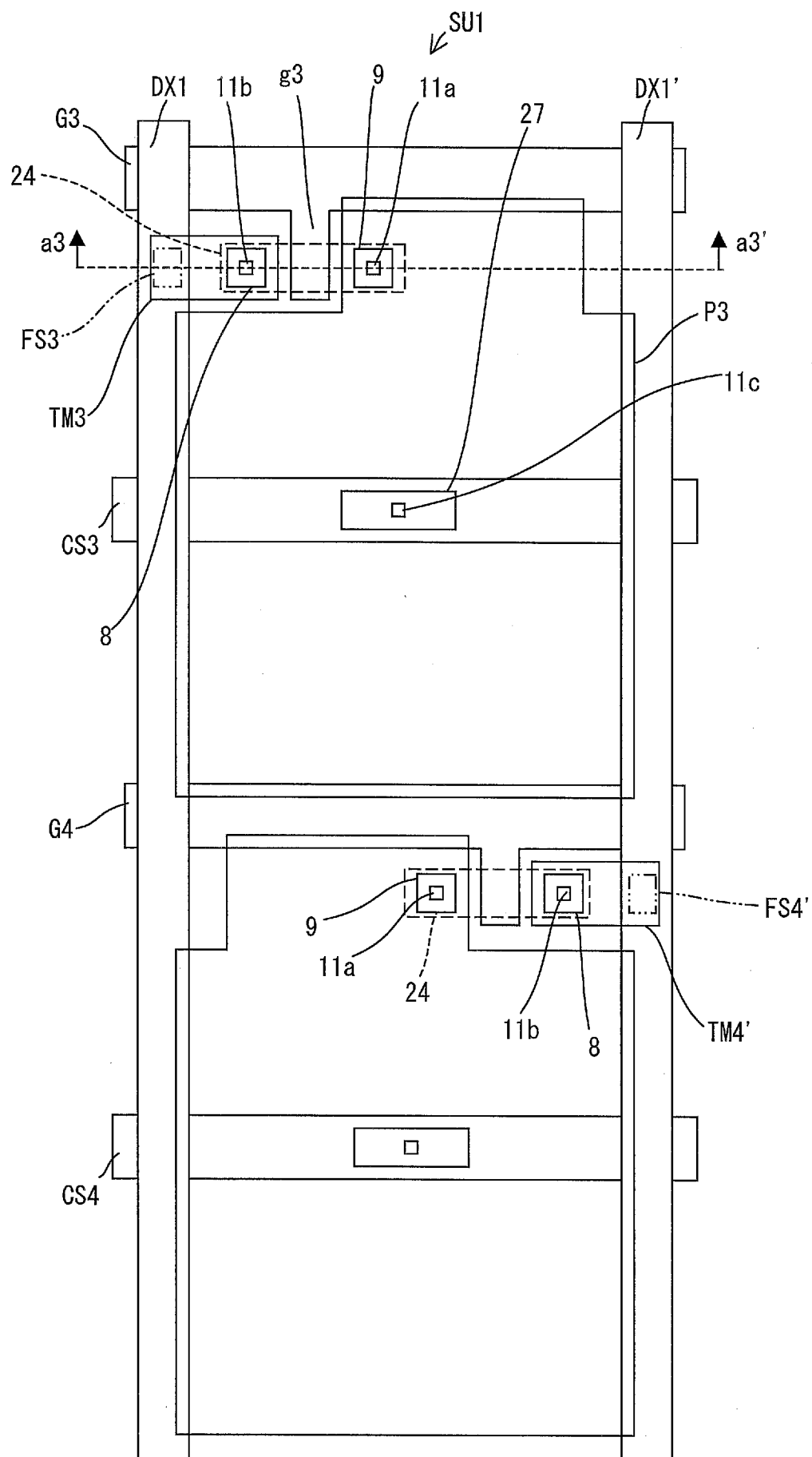
[図30]



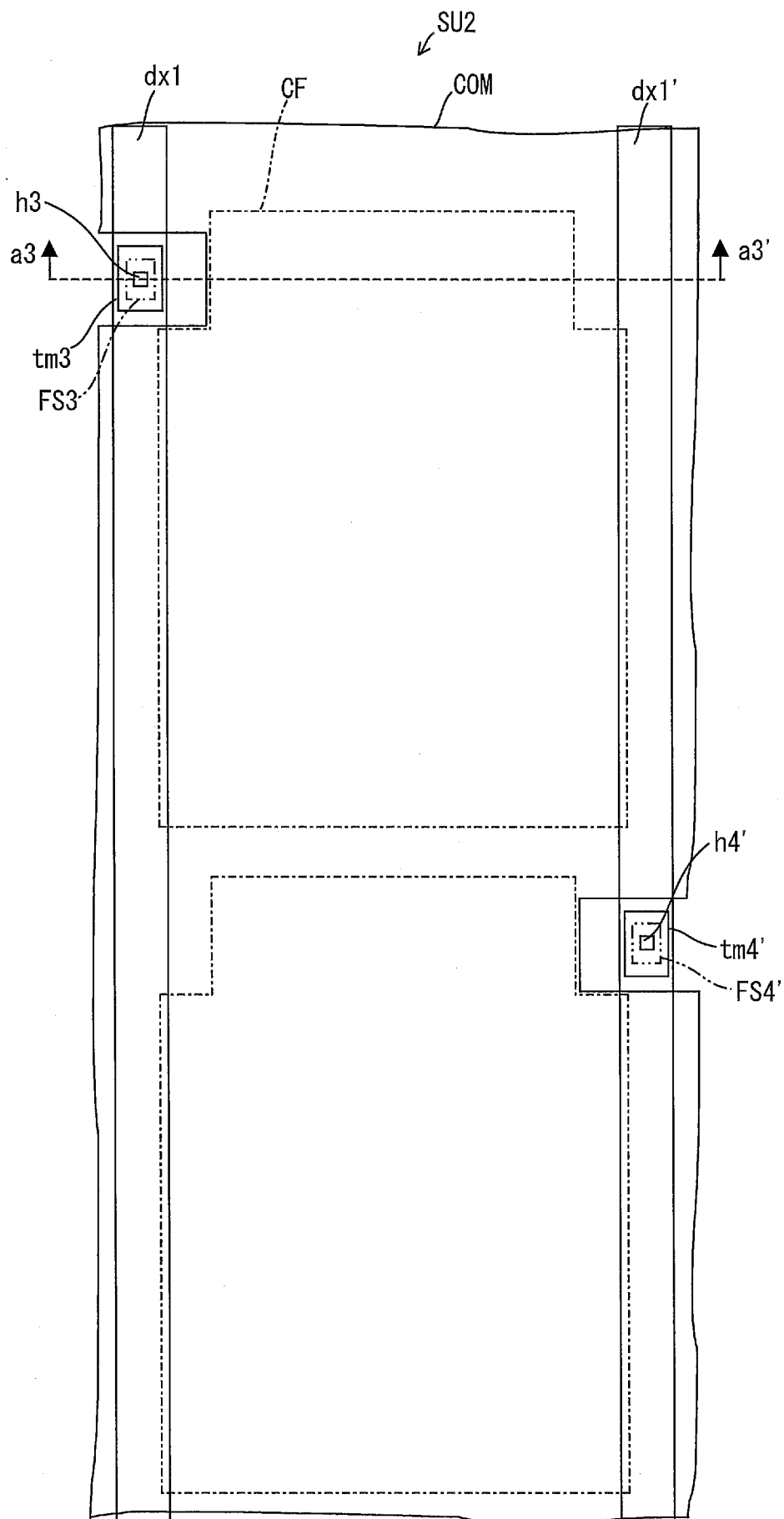
[図31]



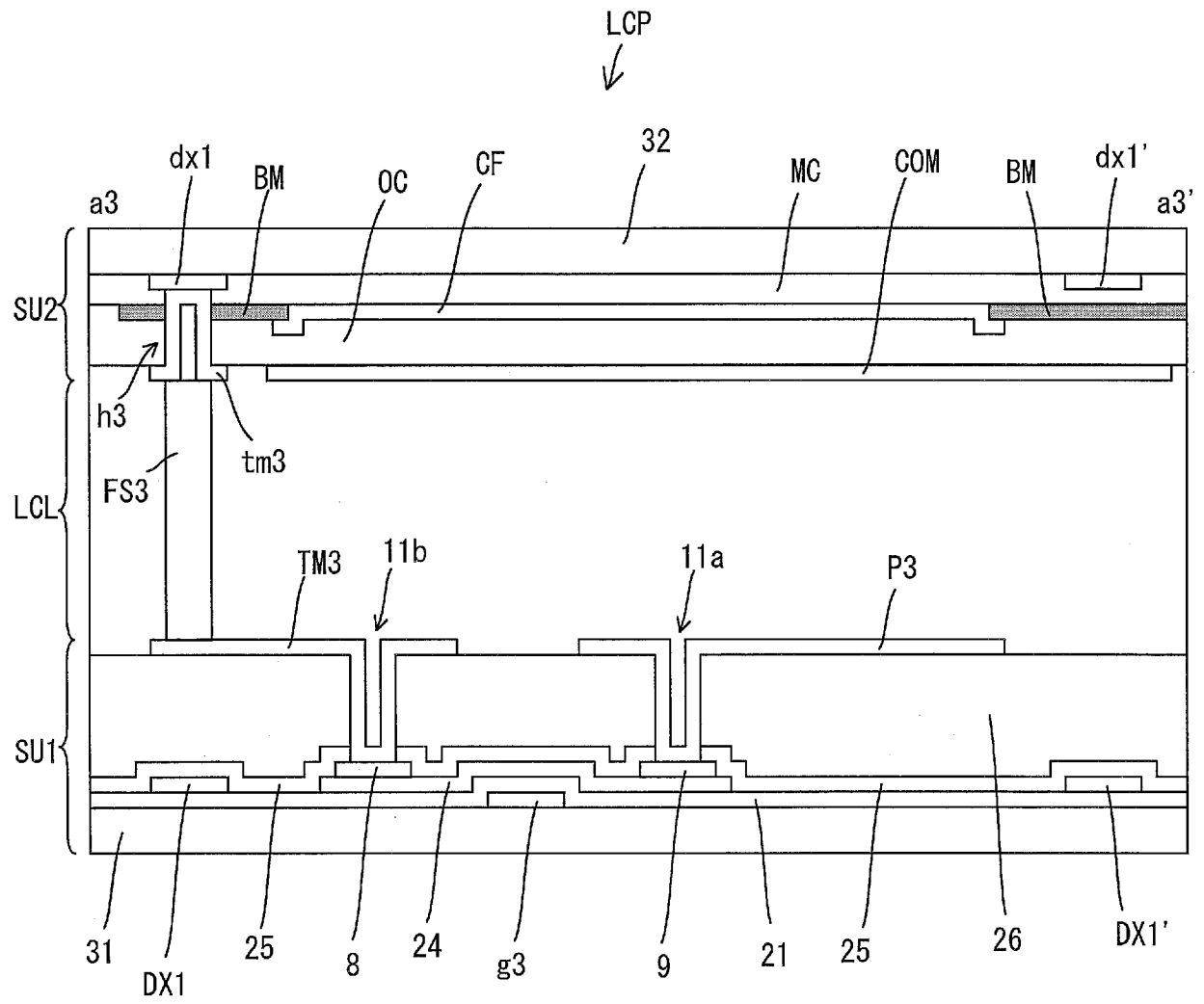
[図32]



[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061454

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/1339(2006.01)i, G02F1/1345(2006.01)i,
G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1339, G02F1/1345, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2-15241 A (Stanley Electric Co., Ltd.), 18 January 1990 (18.01.1990), entire text; all drawings (Family: none)	1, 3-4, 14-15 6-13 2, 5
Y	JP 10-253987 A (Matsushita Electric Industrial Co., Ltd.), 25 September 1998 (25.09.1998), entire text; all drawings (Family: none)	6-10
Y	JP 4-120519 A (Fujitsu Ltd.), 21 April 1992 (21.04.1992), entire text; all drawings (Family: none)	11-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May, 2012 (21.05.12)

Date of mailing of the international search report
10 July, 2012 (10.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061454

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-293722 A (Fujitsu Ltd.), 04 December 1990 (04.12.1990), entire text; all drawings (Family: none)	1-15
A	JP 5-66410 A (Toshiba Corp.), 19 March 1993 (19.03.1993), entire text; all drawings (Family: none)	1-15
A	JP 2003-249655 A (NEC Corp.), 05 September 2003 (05.09.2003), entire text; all drawings & US 2003-160240 A1	5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368(2006.01)i, G02F1/1339(2006.01)i, G02F1/1345(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G02F1/1339, G02F1/1345, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	J P 2 - 1 5 2 4 1 A (スタンレー株式会社) 1 9 9 0 . 0 1 . 1 8、全文、全図 (ファミリーなし)	1, 3-4, 14-15 6-13 2, 5
Y	J P 1 0 - 2 5 3 9 8 7 A (松下電器産業株式会社) 1 9 9 8 . 0 9 . 2 5、全文、全図 (ファミリーなし)	6-10
Y	J P 4 - 1 2 0 5 1 9 A (富士通株式会社) 1 9 9 2 . 0 4 . 2 1、全文、全図 (ファミリーなし)	11-13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

1 0 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山口 裕之

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3

2 L

2 9 1 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 - 2 9 3 7 2 2 A (富士通株式会社) 1 9 9 0 . 1 2 . 0 4、全文、全図 (ファミリーなし)	1-15
A	J P 5 - 6 6 4 1 0 A (株式会社東芝) 1 9 9 3 . 0 3 . 1 9、全文、全図 (ファミリーなし)	1-15
A	J P 2 0 0 3 - 2 4 9 6 5 5 A (日本電気株式会社) 2 0 0 3 . 0 9 . 0 5、全文、全図 & U S 2 0 0 3 - 1 6 0 2 4 0 A 1	5