



[12] 发明专利说明书

专利号 ZL 200410100137.0

[45] 授权公告日 2009年6月3日

[11] 授权公告号 CN 100495373C

[22] 申请日 2004.12.2

[21] 申请号 200410100137.0

[30] 优先权

[32] 2003.12.5 [33] CN [31] 200310120798.5

[73] 专利权人 联发科技股份有限公司

地址 台湾省新竹县新竹科学工业园

[72] 发明人 林彦宇 胡世昌 陈筱宛

[56] 参考文献

US6256683 B1 2001.7.3

US2002133646 A1 2002.9.19

JP2000105737 A 2000.4.11

审查员 朱世菡

[74] 专利代理机构 北京市柳沈律师事务所
代理人 吕晓章 马莹

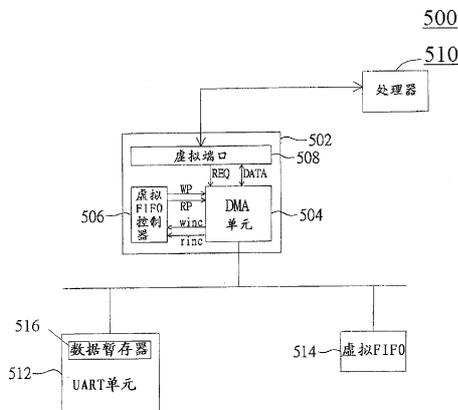
权利要求书5页 说明书9页 附图7页

[54] 发明名称

虚拟先进先出直接存储器存取装置

[57] 摘要

一种虚拟先进先出 (FIFO) 直接存储器存取 (DMA) 装置, 用以装设在具有一处理器、一 UART 单元及一虚拟 FIFO 的电子装置中。虚拟 FIFO DMA 装置中, DMA 单元用以将数据在 UART 单元及虚拟 FIFO 之间搬移。虚拟 FIFO 控制器与 DMA 单元电性连接, 虚拟 FIFO 控制器具有一读取指标与一写入指标。当 DMA 单元对虚拟 FIFO 进行读取动作或写入动作时, 虚拟 FIFO 控制器对应地改变读取指标或写入指标的值。虚拟端口分别与 DMA 单元及处理器电性连接, 处理器通过虚拟端口与 DMA 单元读取虚拟 FIFO 的数据或将数据写入虚拟 FIFO 中。



1. 一种虚拟先进先出(FIFO)直接存储器存取(DMA)装置, 装设在一电子装置中, 该电子装置具有一处理器、一通用异步收发器(UART)单元及一虚拟FIFO单元, 该虚拟FIFO DMA装置包括:

一DMA单元, 与UART单元及虚拟FIFO单元电性连接, 该DMA单元用以将数据在UART单元及虚拟FIFO单元之间搬移;

一虚拟FIFO控制器, 与DMA单元电性连接, 用来控制该DMA单元对该虚拟FIFO单元的数据写入或读取动作; 以及

一虚拟端口, 分别与DMA单元及处理器电性连接, 该处理器连接于该虚拟FIFO DMA装置, 通过该虚拟端口与DMA单元读取虚拟FIFO单元的数据或将数据写入虚拟FIFO单元中。

2. 如权利要求1所述的装置, 其中, 该虚拟FIFO控制器具有一读取指标与一写入指针, 当该DMA单元对该虚拟FIFO单元进行读取动作或写入动作时, 该虚拟FIFO控制器对应地改变该读取指标或该写入指标的值。

3. 如权利要求2所述的装置, 其中, 该虚拟FIFO控制器的该读取指标与该写入指标分别用来指向对该虚拟FIFO单元的数据读取位置与数据写入位置, 该UART单元具有一数据缓存器, 当该UART单元接收到数据, 且该UART单元收满一特定量的数据时, 该UART单元发出一要求信号, 以通知该DMA单元将该数据缓存器的数据移动至该虚拟FIFO单元中写入指针WP所指向的位置, 该DMA单元还发出一写入通知信号至该虚拟FIFO控制器, 以使该虚拟FIFO控制器对应地改变该写入指标的值;

其中, 该虚拟端口具有一外围组件地址, 以使该处理器将该虚拟FIFO DMA装置视为一外围组件, 当该处理器欲读取虚拟FIFO单元中的数据时, 该处理器发出一读取信号至该虚拟端口, 使得该虚拟端口发出一DMA读取要求至该DMA单元, 该DMA单元将依照该读取指针来读取该虚拟FIFO单元, 以读取一第一数据, 该DMA单元并发出一读取通知信号至该虚拟FIFO控制器, 使该虚拟FIFO控制器改变该读取指标的值, 该DMA单元将该第一数据传送至该虚拟端口, 该虚拟端口则将该第一数据传送给该处理器。

4. 如权利要求3所述的装置, 其中, 该电子装置为一行动电话。

5. 如权利要求2所述的装置, 其中, 该虚拟FIFO控制器的该读取指标

与该写入指标分别用来指向对该虚拟 FIFO 单元的数据读取位置与数据写入位置, 该 UART 单元具有一数据缓存器, 当该处理器有数据欲通过该 UART 单元传送时, 该处理器将一传送指令与一待传送数据传送至该虚拟端口, 该虚拟端口发出一写入要求至该 DMA 单元, 使该 DMA 单元依照该写入指针的值将该待传送数据写入该虚拟 FIFO 单元中, 该 DMA 单元发出一写入通知信号至该虚拟 FIFO 控制器, 以使该虚拟 FIFO 控制器对应地改变该写入指标 WP 的值, 该 DMA 单元依序地将储存于该虚拟 FIFO 单元中的数据, 移动至该 UART 单元的该数据缓存器中以依序传送出去。

6. 如权利要求 2 所述的装置, 其中, 该虚拟端口具有一外围组件地址以使该处理器将该虚拟 FIFO DMA 装置视为一外围组件, 当该处理器读取该虚拟端口时, 该虚拟端口发出一 DMA 读取要求至该 DMA 单元, 该 DMA 单元依照该读取指针读取该虚拟 FIFO 单元的一第一数据, 该虚拟 FIFO 控制器改变该读取指标的值, 该 DMA 单元并将该第一数据传送至该虚拟端口, 该虚拟端口将该第一数据传送给该处理器;

当该处理器传送待写入的一第二数据至该虚拟端口时, 该虚拟端口发出一 DMA 写入要求至该 DMA 单元, 该 DMA 单元依照该写入指针将该第二数据写入该虚拟 FIFO 单元, 该虚拟 FIFO 控制器并改变该写入指标的值。

7. 如权利要求 2 所述的装置, 该虚拟 FIFO 控制器具有一流量控制功能, 当该虚拟 FIFO 单元实质上为满态时, 该虚拟 FIFO 控制器使任何写入动作无效, 而当该虚拟 FIFO 单元实质上为空态时, 该虚拟 FIFO 控制器使任何读取动作无效。

8. 一种电子装置, 包括:

一虚拟先进先出(FIFO)直接存储器存取(DMA)装置, 包括:

一 DMA 单元, 与 UART 单元及虚拟 FIFO 单元电性连接, 该 DMA 单元用以将数据在 UART 单元及虚拟 FIFO 单元之间搬移;

一虚拟 FIFO 控制器, 与 DMA 单元电性连接, 用来控制该 DMA 单元对该虚拟 FIFO 单元的数据写入或读取动作; 以及

一虚拟端口, 分别与 DMA 单元及处理器电性连接,

一 UART 单元, 与该 DMA 单元电性连接;

一虚拟 FIFO 单元, 与该 DMA 单元电性连接, 该 UART 单元及该虚拟 FIFO 单元之间的数据搬移动作由该 DMA 单元来执行;

一处理器，与该虚拟端口电性连接，该处理器通过该虚拟端口与该 DMA 单元读取该虚拟 FIFO 单元的数据或将数据写入该虚拟 FIFO 单元中。

9. 如权利要求 8 所述的电子装置，其中，该虚拟 FIFO 控制器具有一读取指标与一写入指针，当该 DMA 单元对该虚拟 FIFO 单元进行读取动作或写入动作时，该虚拟 FIFO 控制器对应地改变该读取指标或该写入指标的值。

10. 如权利要求 8 所述的电子装置，其中，该 UART 单元具有一数据缓存器，当该数据缓存器为满态时，该 DMA 单元则将该数据缓存器的数据转移至该虚拟 FIFO 单元中。

11. 如权利要求 10 所述的电子装置，其中，该电子装置为一行动电话。

12. 如权利要求 8 所述的电子装置，其中，该虚拟端口具有一外围组件地址以使该处理器将该虚拟 FIFO DMA 装置视为一外围组件，当该处理器读取该虚拟端口时，该虚拟端口发出一 DMA 读取要求至该 DMA 单元，该 DMA 单元依照该读取指针读取该虚拟 FIFO 单元的一第一数据，该虚拟 FIFO 控制器改变该读取指标的值，该 DMA 单元并将该第一数据传送至该虚拟端口，该虚拟端口将该第一数据传送给该处理器；

当该处理器传送待写入的一第二数据至该虚拟端口时，该虚拟端口发出一 DMA 写入要求至该 DMA 单元，该 DMA 单元依照该写入指针将该第二数据写入该虚拟 FIFO 单元，该虚拟 FIFO 控制器并改变该写入指标的值。

13. 如权利要求 8 所述的电子装置，该虚拟 FIFO 控制器具有一流量控制功能，当该虚拟 FIFO 单元实质上为满态时，该虚拟 FIFO 控制器使任何写入动作无效，而当该虚拟 FIFO 单元实质上为空态时，该虚拟 FIFO 控制器使任何读取动作无效。

14. 一种存储器存取方法，应用于一电子装置，该电子装置具有一处理器、一通用异步收发器(UART)单元，一虚拟先进先出直接存储器存取(FIFO DMA)装置，以及一虚拟 FIFO 单元，该 FIFO DMA 装置具有一 DMA 单元以及一虚拟 FIFO 控制器，该 DMA 单元连接于该 UART 单元及该虚拟 FIFO 单元之间，用来在该 UART 单元及该虚拟 FIFO 单元之间进行数据的搬移，该虚拟 FIFO 控制器连接于该 DMA 单元，用来控制该 DMA 单元对该虚拟 FIFO 单元的数据写入或读取动作，该存储器存取方法包括：

(a)该 UART 单元接收数据；

(b)该 DMA 单元将该 UART 单元中的数据移动至该虚拟 FIFO 单元；以

及

(c)该处理器经由该 DMA 单元读取该虚拟 FIFO 单元中的数据，

其中，该 UART 单元具有一数据缓存器，该步骤(b)包括：

(b1)当该 UART 单元收满一特定量的数据时，该 UART 单元发出一要求信号，以通知该 DMA 单元将该数据缓存器的数据移动至该虚拟 FIFO 单元中写入指针 WP 所指向的位置；以及

(b2)该 DMA 单元发出一写入通知信号至该虚拟 FIFO 控制器，以使该虚拟 FIFO 控制器对应地改变该写入指标的值；

其中，该虚拟端口具有一外围组件地址，以使该处理器将该虚拟 FIFO DMA 装置视为一外围组件，该步骤(c)包括：

(c1)该处理器发出一读取信号至该虚拟端口，使得该虚拟端口发出一 DMA 读取要求至该 DMA 单元；

(c2)该 DMA 单元依照该读取指针来读取该虚拟 FIFO 单元，以读取一第一数据；

(c3)该 DMA 单元发出一读取通知信号至该虚拟 FIFO 控制器，使该虚拟 FIFO 控制器改变该读取指标的值；以及

(c4)该 DMA 单元将该第一数据传送至该虚拟端口，该虚拟端口则将该第一数据传送给该处理器。

15. 如权利要求 14 所述的方法，其中，该虚拟 FIFO 控制器具有一读取指标与一写入指针，当该 DMA 单元对该虚拟 FIFO 单元进行读取动作或写入动作时，该虚拟 FIFO 控制器对应地改变该读取指标或该写入指标的值。

16. 如权利要求 14 所述的方法，其中，该电子装置为一移动电话。

17. 一种存储器存取方法，应用于一电子装置，该电子装置具有一处理器、一通用异步收发器(UART)单元，一虚拟先进先出直接存储器存取(FIFO DMA)装置，以及一虚拟 FIFO 单元，该 FIFO DMA 装置具有一 DMA 单元以及一虚拟 FIFO 控制器，该 DMA 单元连接于该 UART 单元及该虚拟 FIFO 单元之间，用来在该 UART 单元及该虚拟 FIFO 单元之间进行数据的搬移，该虚拟 FIFO 控制器连接于该 DMA 单元，用来控制该 DMA 单元对该虚拟 FIFO 单元的数据写入或读取动作，该存储器存取方法包括：

(a)该处理器经由该存取单元将一数据写入至该数据储存单元中；

(b)该存取单元将该数据从该数据储存单元，移动至该收发单元；以及

(c)该收发单元传送该数据，

其中，该 UART 单元具有一数据缓存器，该虚拟端口具有一外围组件地址，以使该处理器将该虚拟 FIFO DMA 装置视为一外围组件，该步骤(a)包括：

(a1)该处理器将一传送指令与一待传送数据传送至该虚拟端口；

(a2)该虚拟端口发出一写入要求至该 DMA 单元，使该 DMA 单元依照该写入指针的值将该待传送数据写入该虚拟 FIFO 单元中；以及

(a3)该 DMA 单元发出一写入通知信号至该虚拟 FIFO 控制器，以使该虚拟 FIFO 控制器对应地改变该写入指标的值；

而于该步骤(b)中，该 DMA 单元依序地将储存于该虚拟 FIFO 单元中的数据，移动至该 UART 单元的该数据缓存器中。

18. 如权利要求 17 所述的方法，其中，该虚拟 FIFO 控制器具有一读取指标与一写入指针，当该 DMA 单元对该虚拟 FIFO 单元进行读取动作或写入动作时，该虚拟 FIFO 控制器对应地改变该读取指标或该写入指标的值。

19. 如权利要求 17 所述的方法，其中，该电子装置为一行动电话。

虚拟先进先出直接存储器存取装置

技术领域

本发明涉及一种直接存储器存取(Direct Memory Access, DMA)装置,尤其涉及一种虚拟先进先出(First In First Out, FIFO) DMA 装置。

背景技术

请参照第 1 图,示出了传统电子装置中,使用通用异步收发器(Universal Asynchronous Receiver/Transmitter, UART)传送数据时的方块图。当高层软件作业程序(Higher layer software task)102 欲藉由 UART 单元 110 将一第一笔数据传送出去时,高层软件作业程序 102 先呼叫 UART 驱动程序(driver),使 UART 驱动程序将此第一笔数据填入缓冲器 104 中。缓冲器 104 例如是环状缓冲器(ring buffer)或是双缓冲器(double buffer)。当此第一笔数据完全地填入缓冲器 104 之后, UART 驱动程序更新 UART 驱动程序中所设定的一缓冲器指标(buffer point)至下一个地址。然后,通过 DMA 单元 106,储存在缓冲器 104 中的此第一笔数据被搬移至 UART 先进先出(First In First Out, FIFO)单元中储存, UART 单元 110 将串行式地(serially)输出此第一笔数据。其中,缓冲器 104 与 UART FIFO 单元 108 之间的数据搬移,除了利用 DMA 单元 106 来完成之外,亦可藉由处理器(processor)来达成。通常利用 DMA 单元 106 来搬移数据时的效率较佳。

然而,在较复杂的电子装置中,可能会有数个高层软件作业程序 102A 与中断服务程序(Interrupt Service Routine, ISR)112 同时使用同一个 UART 单元 110 来进行数据传送的情形,如第 2 图所示。此种状况下,缓冲器 104 中的数据很可能被覆盖而导致数据错误。其原因,在高层软件作业程序 102A 的第一笔数据正被填入缓冲器 104 的过程中,若 ISR 112 亦同时有一第二笔数据需要藉由 UART 单元 110 来传送,则 ISR 112 会呼叫 UART 驱动程序,以将此第二笔数据存入缓冲器 106 中。因为之前高层软件作业程序 102A 的第一笔数据让未完全填入缓冲器 104 中,故 UART 驱动程序尚未更新缓冲器指针。故此第二笔数据将会根据原来的缓冲器指标,而被写入缓冲器 104 中。

如此一来,原本已经储存在缓冲器 104 中的第一笔数据将被覆盖。而当 UART 驱动软件完成 ISR 112 的第二笔数据写入缓冲器 104 的动作之后,高层软件作业程序 102A 将会继续将其余的第一笔数据填入缓冲器 104 中,而覆盖掉部分的第二笔数据。此时储存在缓冲器 104 中第一笔数据与第二笔数据均会有漏失(loss)而产生错误。

传统解决缓冲器 104 中数据错误的作法有二。其一,在高层软件作业程序 102A 呼叫 UART 驱动软件前,先不使能 ISR 112,以避免数据错误的情况产生。但是,当有时效性的 ISR 112 无法执行时,很可能导致系统无法实时对此 ISR 112 进行处理而产生系统错误。

其二,使用两个缓冲器。请参照第 3 图,示出了使用两个缓冲器以进行 UART 传送时的方块图。ISR 112 的第二笔数据先储存在缓冲器 104A 中,而高层软件作业程序 102A 的第一笔数据则是先储存缓冲器 104B 中。然后,藉由控制多任务器 114,第一笔数据与第二笔数据交替的移动至 UART FIFO 单元 108 中,并由 UART 单元 110 传送出去。然而,此法需使用较多的存储器来作为缓冲器,而且 UART 驱动软件的控制亦较为复杂。

除了上述的进行 UART 传送时会遇到数据漏失与错误的情形之外,进行 UART 接收时,传统的电子装置亦会有多项问题产生。请参照第 4 图,示出了传统电子装置中,进行 UART 接收时的方块图。当 UART 单元 410 接收到一第三笔数据之后,第三笔数据先暂存在 UART FIFO 单元 408。然后,由 DMA 单元 406 将第三笔数据移动至缓冲器 404 中。当 DMA 单元 406 已将预设长度的数据传送至缓冲器 404 之后,DMA 单元 406 通知处理器 416 来读取储存在缓冲器 404 中的数据。例如,每当 DMA 单元 406 将 500 个字节数据传送至缓冲器 404 之后,DMA 单元 406 就会通知处理器 416 读取储存在缓冲器 404 中的数据。

然而由于 UART 单元 410 所接收到的第三笔数据的长度无法预知,故 DMA 单元 406 无法得知是否已经将第三笔数据接收完毕。例如,假设第三笔数据的长度为 700 个字节,当 DMA 单元 406 将前 500 个字节数据传送至缓冲器 404 之后,DMA 单元 406 就会通知处理器 416 读取储存在缓冲器 404 中的数据。但是,当 DMA 单元 406 将后 200 个字节数据传送至缓冲器 404 之后,由于尚未达到预设的数据长度而且 DMA 单元 406 并不知道第三笔数据已经接受完毕,因此 DMA 单元 406 不会通知处理器 416 去读取储存在缓冲

器 404 中的数据。因此，处理器 416 必须定时地去侦测 UART FIFO 单元 408 的状态，以得知 UART FIFO 单元 408 是处于空白(empty)状态(因为数据已经被搬移至缓冲器 404)，并且进一步判断 UART FIFO 单元 408 处于空白状态是否达到一预设期间，如果是，则表示数据已经接收完毕，此时，处理器 416 就会读取缓冲器 404 中的数据以进行处理。

在处理器 416 侦测 UART FIFO 单元 408 的状态之前，处理器 416 必须先将 DAM 单元 406 非使能(disabled)，以免因为 DAM 单元 406 的数据搬移动作而使处理器 416 侦测错误。而在非使能 DAM 单元 406 之前，UART 单元 410 必先被非使能，并发出信号以通知传送端禁止传送数据。

但是，若在将 DMA 单元 406 非使能的同时，数据正好传入 UART 单元 410，此时，因 DMA 单元 406 无法实时地将 UART FIFO 单元 408 中的数据移动至缓冲器 404 中，故极可能导致 UART FIFO 单元 408 中的数据满溢(overflow)，而使数据遗失。为了避免这样的情况，必须让 UART FIFO 单元 418 保留 16 字节以上的缓冲区，以避免数据遗失。

另一方面，若改用处理器 416 来移动 UART FIFO 单元 408 中的数据至缓冲器 404 的话，为了避免处理器 416 因为 UART FIFO 单元 408 很快地被填满，而常常被中断来处理数据搬移的动作，故必须加大 UART FIFO 单元 408 的大小。但，这样的作法会使成本提高。

总括来说，传统电子装置中，在进行 UART 传送时，会有 UART 驱动程序无法实时地更新缓冲器指针，而导致数据被覆盖的数据错误的情形。而在进行 UART 接收时，则会有(1)处理器 416 必须定时地去侦测缓冲器 404 与 UART FIFO 单元 408 的状态，而使处理器 416 效能降低；(2)DMA 单元 406 被非使能时，为了避免 UART FIFO 单元 408 产生满溢的情形，UART FIFO 单元 408 必须额外保留 16 字节的缓冲区，以避免上述的数据满溢的情形。如此，将会提高成本并增加 UART FIFO 单元 408 的芯片面积。

发明内容

有鉴于此，本发明的目的就是提供一种虚拟 FIFO DMA 装置，可于进行 UART 传送时，实时地更新指标的值，以避免数据被覆盖而导致数据错误。本发明还可于进行 UART 接收时，不需额外保留 UART FIFO 单元的 16 字节的空间，可达到节省成本并降低 UART FIFO 单元的芯片面积。

根据本发明的目的,提出一种虚拟先进先出(FIFO)直接存储器存取(DMA)装置,装设在一电子装置中,该电子装置具有一处理器、一通用异步收发器(UART)单元及一虚拟 FIFO 单元,该虚拟 FIFO DMA 装置包括:一 DMA 单元,与 UART 单元及虚拟 FIFO 单元电性连接,该 DMA 单元用以将数据在 UART 单元及虚拟 FIFO 单元之间搬移;一虚拟 FIFO 控制器,与 DMA 单元电性连接,用来控制该 DMA 单元对该虚拟 FIFO 单元的数据写入或读取动作;以及一虚拟端口,分别与 DMA 单元及处理器电性连接,该处理器连接于该虚拟 FIFO DMA 装置,通过该虚拟端口与 DMA 单元读取虚拟 FIFO 单元的数据或将数据写入虚拟 FIFO 单元中。

根据本发明的另一目的,提出一种电子装置,包括:一虚拟先进先出(FIFO)直接存储器存取(DMA)装置,包括:一 DMA 单元,与 UART 单元及虚拟 FIFO 单元电性连接,该 DMA 单元用以将数据在 UART 单元及虚拟 FIFO 单元之间搬移;一虚拟 FIFO 控制器,与 DMA 单元电性连接,用来控制该 DMA 单元对该虚拟 FIFO 单元的数据写入或读取动作;以及一虚拟端口,分别与 DMA 单元及处理器电性连接,一 UART 单元,与该 DMA 单元电性连接;一虚拟 FIFO 单元,与该 DMA 单元电性连接,该 UART 单元及该虚拟 FIFO 单元之间的数据搬移动作由该 DMA 单元来执行;一处理器,与该虚拟端口电性连接,该处理器通过该虚拟端口与该 DMA 单元读取该虚拟 FIFO 单元的数据或将数据写入该虚拟 FIFO 单元中。

根据本发明的又一目的,提出一种存储器存取方法,应用于一电子装置,该电子装置具有一处理器、一通用异步收发器(UART)单元收发单元,一存储器存取装置虚拟先进先出直接存储器存取(FIFO DMA)装置,以及一数据储存单元虚拟 FIFO 单元,该存储器存取装置 FIFO DMA 装置具有一存取单元 DMA 单元以及一虚拟 FIFO 控制器,该 DMA 单元存取单元连接于该 UART 收发单元及该虚拟 FIFO 单元数据储存单元之间,用来在该 UART 收发单元及该虚拟 FIFO 单元数据储存单元之间进行数据的搬移,该虚拟 FIFO 控制器连接于该 DMA 单元存取单元,用来控制该 DMA 单元存取单元对该虚拟 FIFO 单元数据储存单元的数据写入或读取动作,该存储器存取方法包括:(a)该 UART 收发单元接收数据;(b)该 DMA 单元存取单元将该 UART 收发单元中的数据移动至该虚拟 FIFO 单元数据储存单元;以及(c)该处理器经由该 DMA 单元存取单元读取该虚拟 FIFO 单元数据储存单元中的数据,其中,该 UART 单元

具有一数据缓存器, 该步骤(b)包括: (b1)当该 UART 单元收满一特定量的数据时, 该 UART 单元发出一要求信号, 以通知该 DMA 单元将该数据缓存器的数据移动至该虚拟 FIFO 单元中写入指针 WP 所指向的位置; 以及(b2)该 DMA 单元发出一写入通知信号至该虚拟 FIFO 控制器, 以使该虚拟 FIFO 控制器对应地改变该写入指标的值, 其中, 该虚拟端口具有一外围组件地址, 以使该处理器将该虚拟 FIFO DMA 装置视为一外围组件, 该步骤(c)包括: (c1)该处理器发出一读取信号至该虚拟端口, 使得该虚拟端口发出一 DMA 读取要求至该 DMA 单元; (c2)该 DMA 单元依照该读取指针来读取该虚拟 FIFO 单元, 以读取一第一数据; (c3)该 DMA 单元发出一读取通知信号至该虚拟 FIFO 控制器, 使该虚拟 FIFO 控制器改变该读取指标的值; 以及(c4)该 DMA 单元将该第一数据传送至该虚拟端口, 该虚拟端口则将该第一数据传送给该处理器。

根据本发明的又一目的, 提出了一种存储器存取方法, 应用于一电子装置, 该电子装置具有一处理器、一通用异步收发器(UART)单元, 一虚拟先进先出直接存储器存取(FIFO DMA)装置, 以及一虚拟 FIFO 单元, 该 FIFO DMA 装置具有一 DMA 单元以及一虚拟 FIFO 控制器, 该 DMA 单元连接于该 UART 单元及该虚拟 FIFO 单元之间, 用来在该 UART 单元及该虚拟 FIFO 单元之间进行数据的搬移, 该虚拟 FIFO 控制器连接于该 DMA 单元, 用来控制该 DMA 单元对该虚拟 FIFO 单元的数据写入或读取动作, 应用于一电子装置, 该电子装置具有一处理器、一收发单元, 一存储器存取装置, 以及一数据储存单元, 该存储器存取装置具有一存取单元以及一控制器, 该存取单元连接于该收发单元及该数据储存单元之间, 用来在该收发单元及该数据储存单元之间进行数据的搬移, 该控制器连接于该存取单元, 用来控制该存取单元对该数据储存单元的数据写入或读取动作, 该存储器存取方法包括: (a) 该处理器经由该存取单元将一数据写入至该数据储存单元中; (b)该存取单元将该数据从该数据储存单元, 移动至该收发单元; 以及(c)该收发单元传送该数据, 其中, 该 UART 单元具有一数据缓存器, 该虚拟端口具有一外围组件地址, 以使该处理器将该虚拟 FIFO DMA 装置视为一外围组件, 该步骤(a)包括: (a1)该处理器将一传送指令与一待传送数据传送至该虚拟端口; (a2)该虚拟端口发出一写入要求至该 DMA 单元, 使该 DMA 单元依照该写入指针的值将该待传送数据写入该虚拟 FIFO 单元中; 以及(a3)该 DMA 单元发出一写入通知信号至

该虚拟 FIFO 控制器, 以使该虚拟 FIFO 控制器对应地改变该写入指标的值; 而于该步骤(b)中, 该 DMA 单元依序地将储存于该虚拟 FIFO 单元中的数据, 移动至该 UART 单元的该数据缓存器中。

为使本发明的上述目的、特征、和优点能更明显易懂, 下文特举一较佳实施例, 并配合所附图式, 作详细说明如下:

附图说明

图 1 示出了在传统电子装置中, 使用通用异步收发器(Universal Asynchronous Receiver/Transmitter, UART)传送数据时的方块图。

图 2 示出了当数个高层作业软件程序与中断服务程序(Interrupt Service Routine, ISR)同时使用同一个 UART 单元来进行数据传送的示意图。

图 3 示出了使用两个缓冲器以进行 UART 传送时的方块图。

图 4 示出了在传统电子装置中, 进行 UART 接收时的方块图。

图 5 示出了依照本发明一较佳实施例的一种虚拟先进先出(First In First Out, FIFO)直接存储器存取(Direct Memory Access, DMA)装置的方块图。

图 6 示出了当 UART 单元执行数据接收时, 使用本发明的虚拟 FIFO DMA 装置的电子装置的系统方块图。

图 7 示出了当 UART 单元执行传送功能时, 使用本发明的虚拟 FIFO DMA 装置的电子装置的系统方块图。

具体实施方式

本发明与图 1 至图 4 所示的习知技术的不同之处在于, 本发明将电子装置中的存储器中的某一区域做为虚拟 FIFO, 以取代习知技术中的 UART FIFO 单元, 因此, 本发明的 UART 单元中, 并不需配置有 UART FIFO 单元。如此, 可节省 UART FIFO 单元的成本与芯片面积。电子装置的处理程序经由本发明的虚拟 FIFO DMA 装置来存取虚拟 FIFO, 以有效地避免数据被覆盖而导致的数据错误。

请参照图 5, 其绘示依照本发明一较佳实施例的一种虚拟先进先出(First In First Out, FIFO)直接存储器存取(Direct Memory Access, DMA)装置的方块图。本发明的虚拟 FIFO DMA 装置 502, 用以装设在一电子装置 500 中。举例而言, 电子装置 500 是行动电话。电子装置 500 具有一处理器(P processor)510、

一 UART 单元 512 及一虚拟 FIFO 514。本发明的虚拟 FIFO DMA 装置 502 包括有一 DMA 单元 504、一虚拟 FIFO 控制器 506 及一虚拟端口 (Virtual Port) 508。DMA 单元 504 用以与 UART 单元 512 及虚拟 FIFO 514 电性连接，DMA 单元 504 用以将数据在 UART 单元 512 及虚拟 FIFO 514 之间搬移。虚拟 FIFO 控制器 506 与 DMA 单元 504 电性连接。虚拟 FIFO 控制器 506 具有一读取指标 RP 与一写入指标 WP，分别用来指向对虚拟 FIFO 514 的数据读取位置与数据写入位置。当 DMA 单元 504 对虚拟 FIFO 514 进行读取动作或写入动作时，虚拟 FIFO 控制器 506 对应地改变读取指标 RP 或写入指标 WP 的值。虚拟端口 508 分别与 DMA 单元 504 及处理器 510 电性连接，以做为两者的存取接口。处理器 510 通过虚拟端口 508 与 DMA 单元 504 读取虚拟 FIFO 514 的数据或将数据写入虚拟 FIFO 514 中。

请参看图 6，示出了当 UART 单元 512 执行数据接收时，使用本发明的虚拟 FIFO DMA 装置 502 的电子装置 500 的系统方块图。在电子装置 500 中，UART 单元 512 与 DMA 单元 504 电性连接，虚拟 FIFO 514 与 DMA 单元 504 电性连接，而处理器 510 与虚拟端口 508 电性连接。UART 单元 512 具有一数据缓存器 516，数据缓存器 516 的存储器大小例如是 1 字节 (byte)。在电子装置 500 开机之后，在 UART 单元 512 使能之前，处理器 510 会将存储器中的某一区域设定成虚拟 FIFO，并且使能虚拟 FIFO DMA 装置 502，并且发出 DMA 设定信号 DMA_set 以将写入指标 WP 与读取指标 RP 的初始值设定为该区域的起始位置。

接着，处理器 510 会使能 UART 单元 512。当 UART 单元 512 接收到数据，且 UART 单元 512 收满一字节的数据时，UART 单元 512 发出要求信号 DMA_req，以通知 DMA 单元 504 将数据缓存器 516 中的数据移动 (写入) 至虚拟 FIFO 514 中写入指针 WP 所指向的位置。此时，DMA 单元 504 会发出一写入通知信号 Winc 至虚拟 FIFO 控制器 506，以使虚拟 FIFO 控制器 506 对应地改变写入指标 WP 的值。

此外，处理器 510 可以随时通过虚拟端口 508 与 DMA 单元 504 来读取虚拟 FIFO 514 的数据。虚拟端口 508 具有一外围组件地址 (peripheral device address)，以使处理器 510 将虚拟 FIFO DMA 装置 502 视为一外围组件。当处理器 510 欲读取虚拟 FIFO 514 中的数据时，其会发出一读取信号至虚拟端口 508，使得虚拟端口 508 发出一 DMA 读取要求 (read request) REQ_R 至 DMA

单元 504。此时，DMA 单元 504 会依照读取指针 RP 来读取虚拟 FIFO 514，以读取一第一数据 DATA(1)。DMA 单元 504 并发出读取通知信号 Rinc 至虚拟 FIFO 控制器 506，使虚拟 FIFO 控制器 506 接着改变读取指标 RP 的值。然后，DMA 单元 504 将第一数据 DATA(1)传送至虚拟端口 508，虚拟端口 508 则将第一数据 DATA(1)传送给处理器 510。

虚拟 FIFO 控制器 506 还具有流量控制(flow control)功能。当虚拟 FIFO 514 实质上为满态(full)时，虚拟 FIFO 控制器 506 使任何写入动作无效，虚拟 FIFO 控制器 506 将会指示 UART 单元 512 通知传送端停止传送数据。而当虚拟 FIFO 514 实质上为空态(empty)时，虚拟 FIFO 控制器 506 使任何读取动作无效。虚拟 FIFO 514 可额外保留 16 字节的缓冲区，以满足虚拟 FIFO 514 为接近满态，且传送端尚未停止传送数据时，DMA 单元 504 仍须将 UART 单元 512 中的数据传送至虚拟 FIFO 514 中时的情况。

在本发明中，由于处理器 510 经由 UART 单元 512 来对虚拟 FIFO 514 进行存取，而 UART 单元每收到一个字节数据时就会将数据写入虚拟 FIFO 514 中，因此即使 UART 单元 512 无法预知所接收的数据的长度，且 DMA 单元 504 无法得知是否已经将由多个字节所组成的整笔数据接收完毕，处理器 510 也不需将 DMA 单元 504 非使能，而仍可持续通过 UART 单元 512 来对虚拟 FIFO 514 进行存取。再者，由于本发明将存储器中的某一区域设定成虚拟 FIFO，因此 UART 单元 512 不需额外设置 16 字节的 UART FIFO 单元，而可以节省 UART 单元 512 的芯片面积。

请参照图 7，示出了当 UART 单元执行传送功能时，UART 单元使用本发明的虚拟 FIFO DMA 装置 502 的电子装置的系统方块图。在电子装置 500 中，当处理器 510 有数据欲通过 UART 单元 512 传送时，处理器 510 将传送指令与待传送数据 DATA(2)传送至虚拟端口 508。虚拟端口 508 发出一写入请求(write request)REQ_W 至 DMA 单元 504，使 DMA 单元 504 依照写入指针 WP 的值将待传送数据 DATA(2)写入虚拟 FIFO 514 中。同时，DMA 单元 504 发出一写入通知信号 Winc 至虚拟 FIFO 控制器 506，以使虚拟 FIFO 控制器 506 对应地改变写入指标 WP 的值。然后，DMA 单元 504 依序地将储存在虚拟 FIFO 514 中的数据，移动至 UART 单元 512 中的数据缓存器 516 中以依序传送出去。

由于所有处理器 510 对虚拟 FIFO 514 的写入动作，包括由所有高层作业

软件程序与 ISR 所指示的写入动作,皆经由虚拟 FIFO DMA 装置 502 来完成。不管是高层作业软件程序或是 ISR 所指示的写入动作,处理器 510 均通过虚拟端口 508 与 DMA 单元 504 来将数据写入虚拟 FIFO 514 中,并在写入的同时,DMA 单元 504 发出写入通知信号 Winc,以指示虚拟 FIFO 控制器 506 更新写入指标 WP 的值。与传统作法的 UART 驱动软件只能在高层作业软件程序或是 ISR 所欲写入的整笔数据均写入之后方更新缓冲器指标的值的作法相较,由于本发明的虚拟 FIFO 控制器 506 可在数据写入的同时实时地更新写入指标 WP 的值,故可以避免数据被覆盖的数据错误的情形。

通过本发明的虚拟 FIFO DMA 装置的使用,UART 驱动软件可以将虚拟 FIFO 视为一个单纯的 FIFO 单元来进行控制。如此,可以减少 UART 驱动软件的复杂度。再者,与传统作法相较,本发明将存储器中的某一区域设定成虚拟 FIFO,并且利用虚拟 FIFO DMA 装置来存取该虚拟 FIFO,因此无须额外使用 UART FIFO 单元,故可节省 UART 单元的芯片面积。

综上所述,虽然本发明已以一较佳实施例揭露如上,然其并非用以限定本发明,任何熟习此技艺者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视后附的申请专利范围所界定者为准。

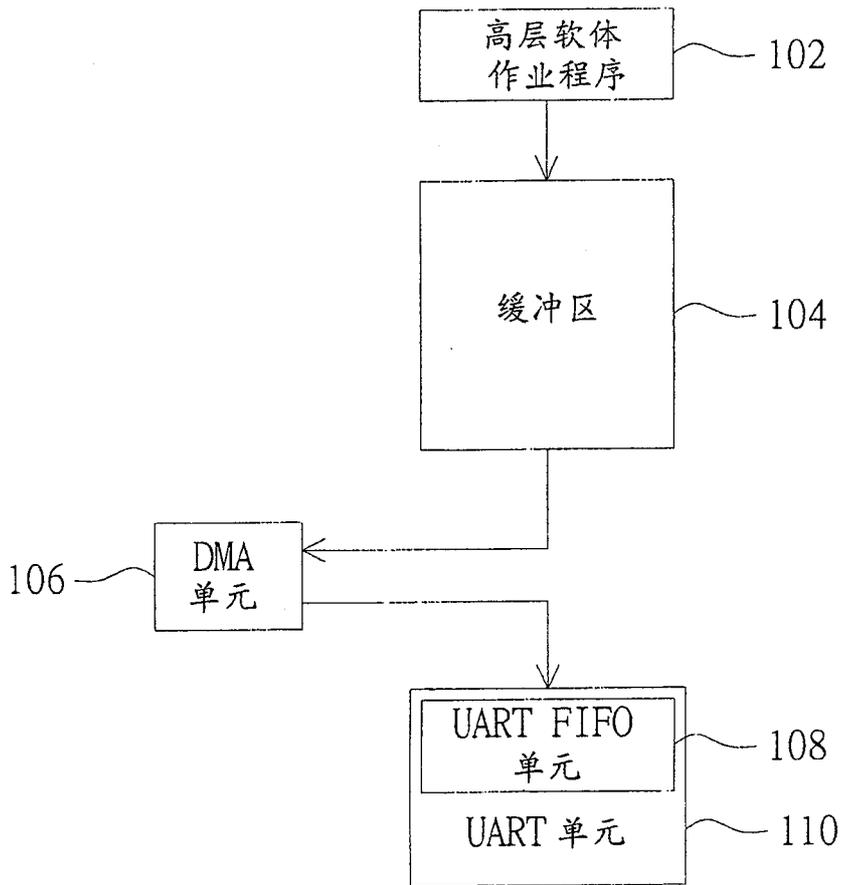


图 1

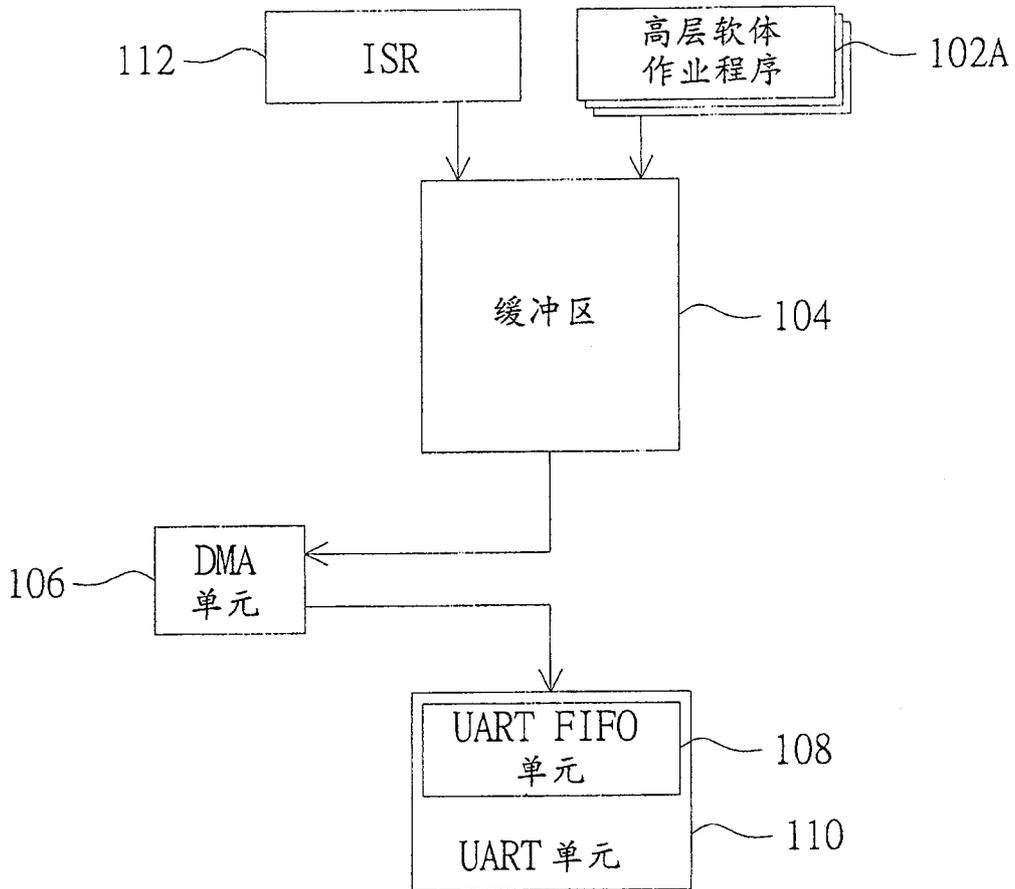


图 2

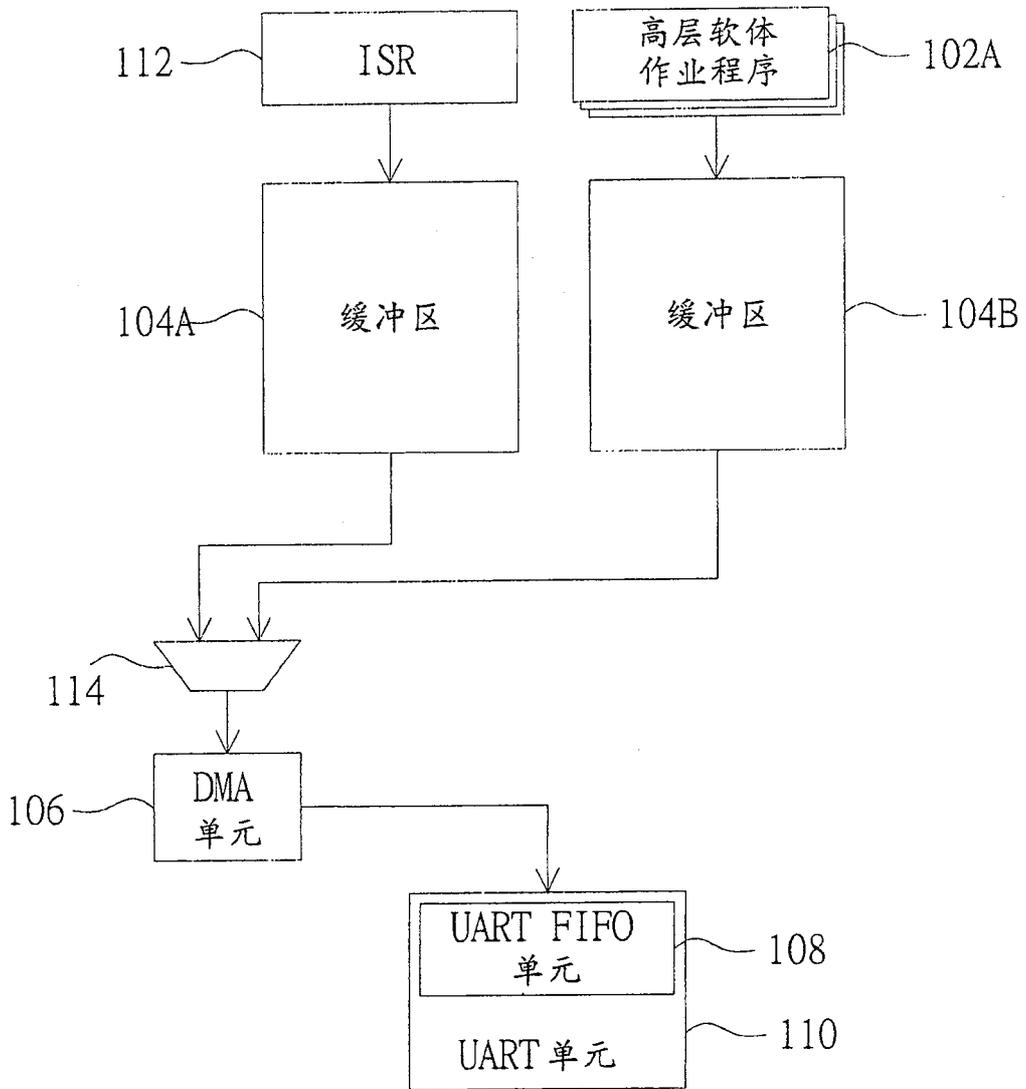


图 3

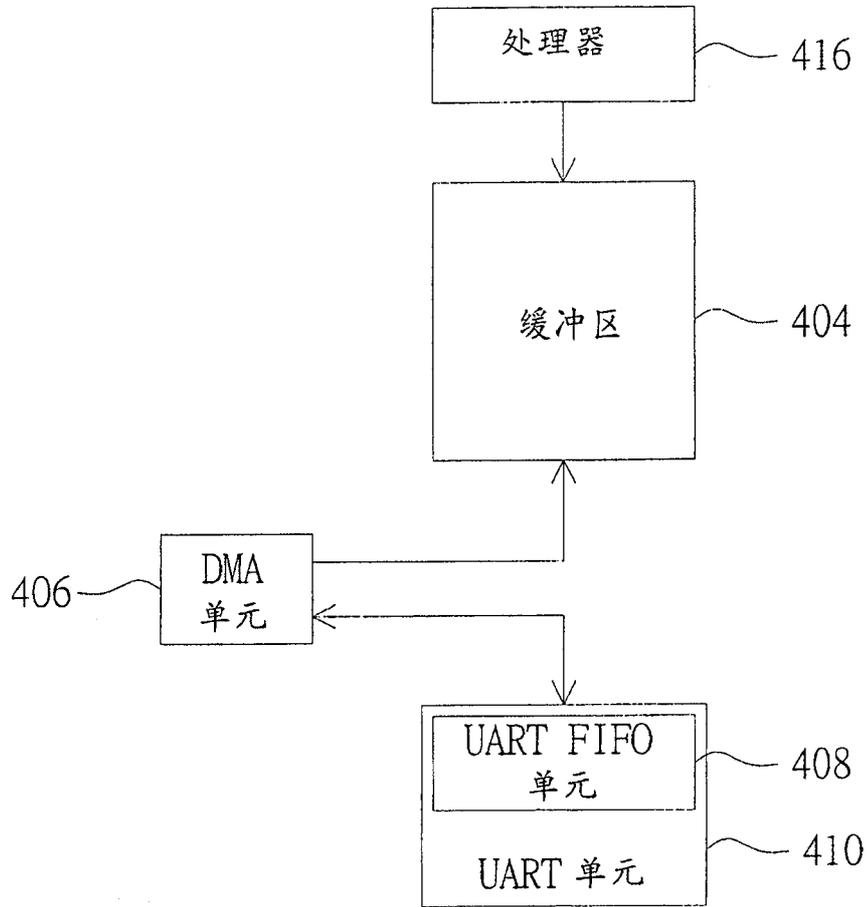


图 4

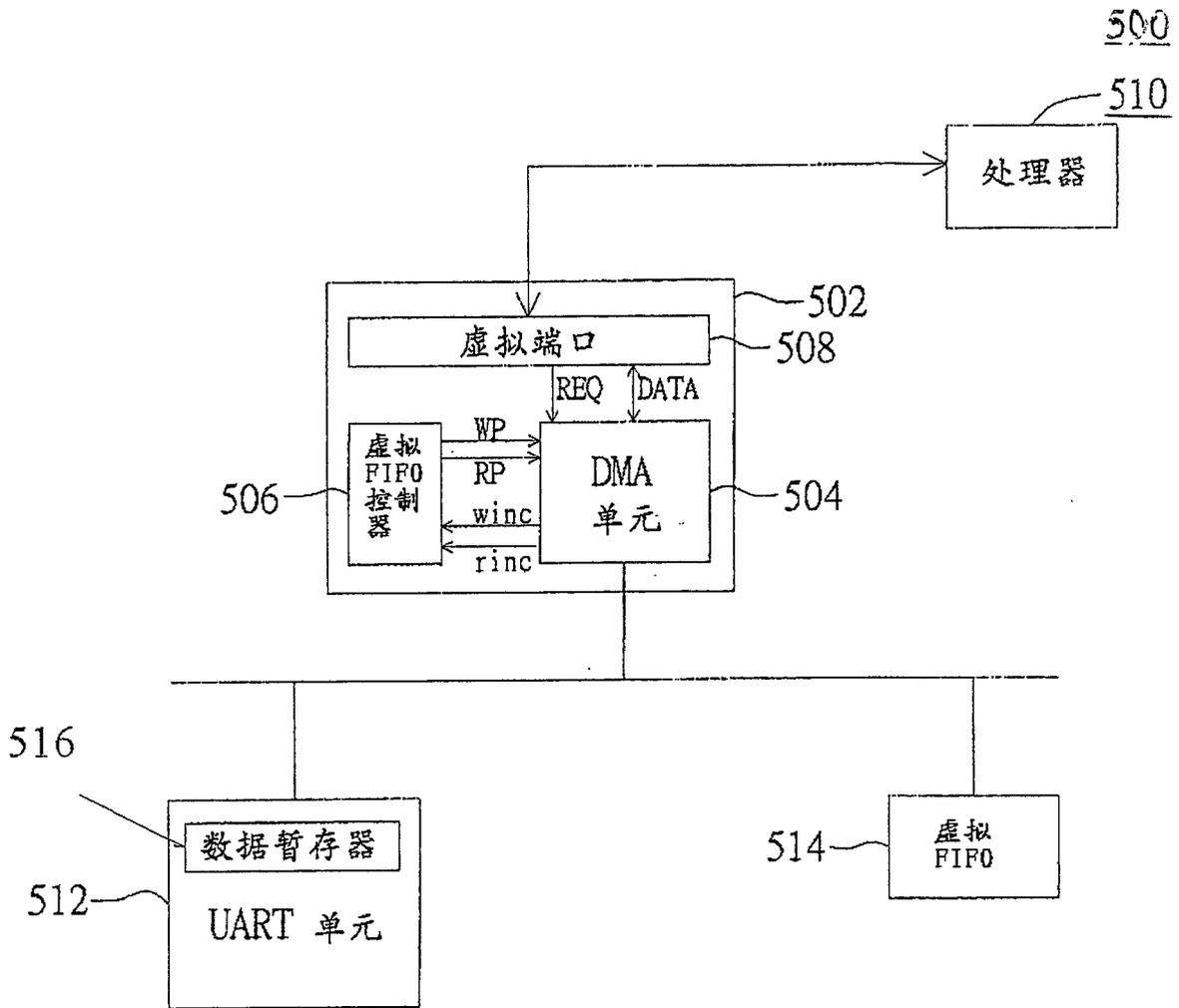


图 5

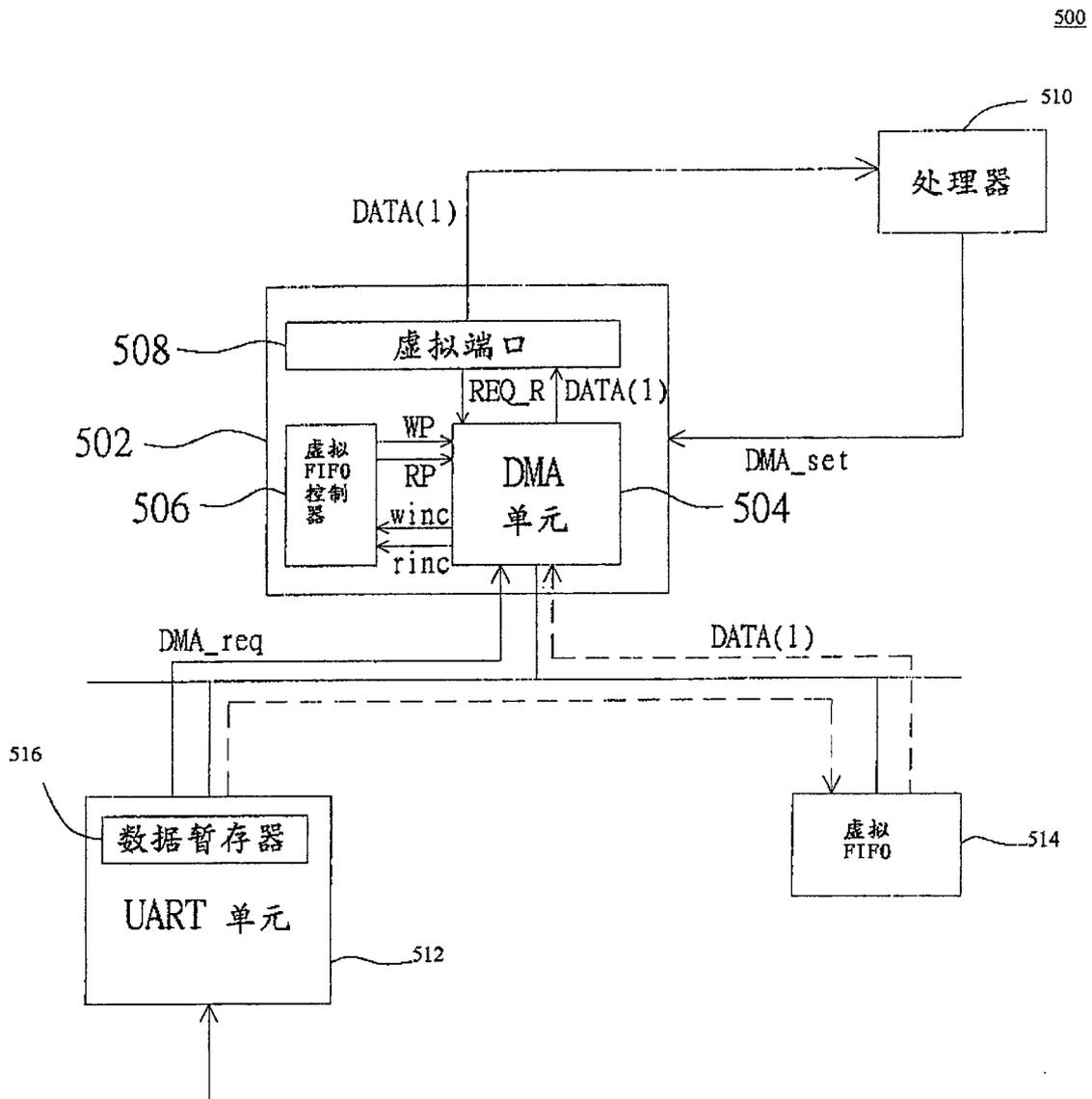


图 6

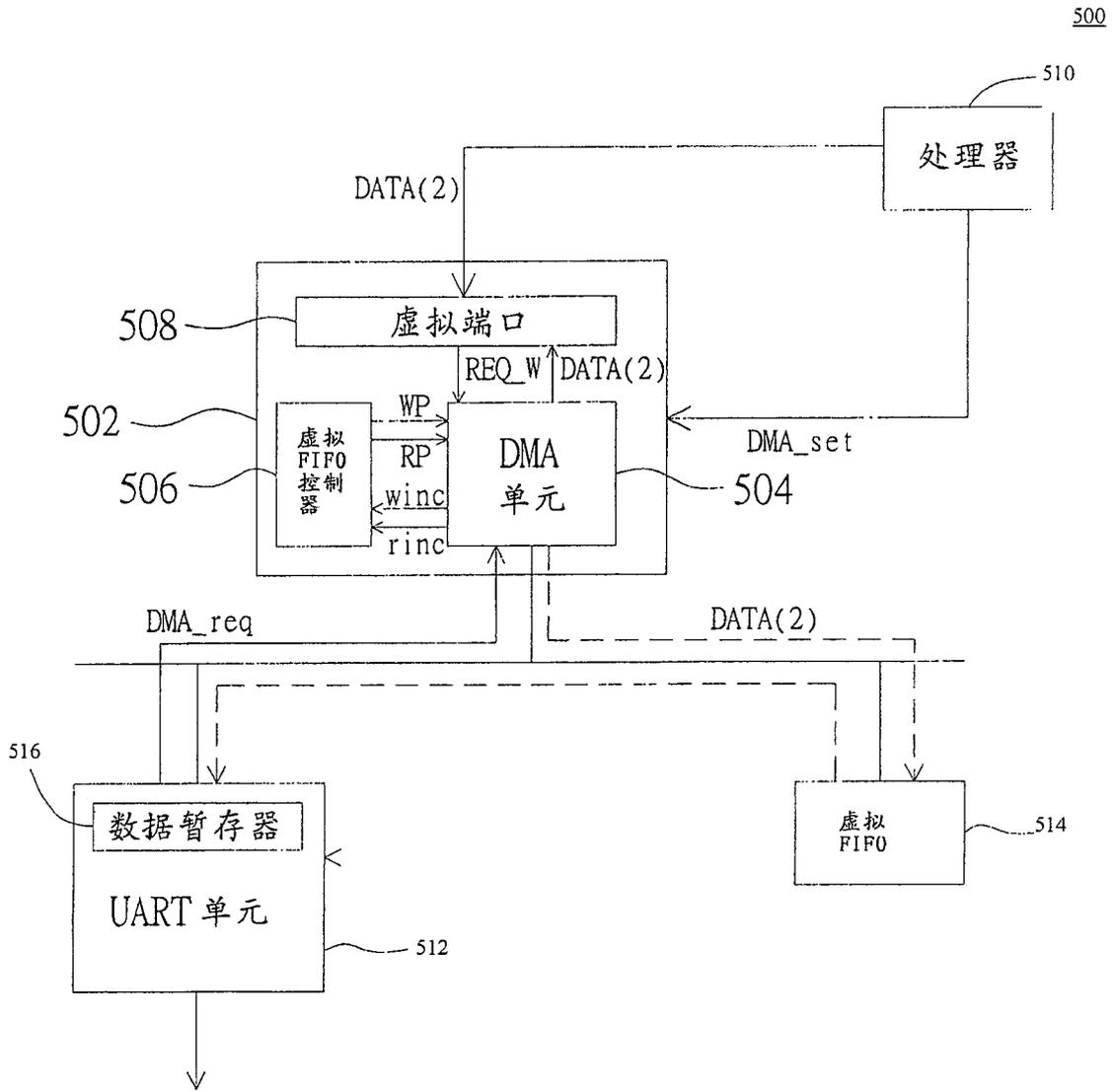


图 7