

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-527273

(P2021-527273A)

(43) 公表日 令和3年10月11日(2021. 10. 11)

(51) Int.Cl. F 1 テーマコード (参考)
G 0 6 T 1/20 (2006.01) G 0 6 T 1/20 Z 5 B 0 5 7

審査請求 未請求 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2020-569907 (P2020-569907) (86) (22) 出願日 令和1年6月12日 (2019. 6. 12) (85) 翻訳文提出日 令和2年12月14日 (2020. 12. 14) (86) 国際出願番号 PCT/US2019/036687 (87) 国際公開番号 W02019/241331 (87) 国際公開日 令和1年12月19日 (2019. 12. 19) (31) 優先権主張番号 16/006, 637 (32) 優先日 平成30年6月12日 (2018. 6. 12) (33) 優先権主張国・地域又は機関 米国 (US)	(71) 出願人 504318164 カール・ツアイス・アーゲー ドイツ連邦共和国・7 3 4 4 7・オーベル コヒェン・カール・ツアイス・シュトラ セ・2 2 (74) 代理人 100098394 弁理士 山川 茂樹 (74) 代理人 100064621 弁理士 山川 政樹 (72) 発明者 マクガーヴェイ, ジェームズ・イー アメリカ合衆国・1 4 4 6 4・ニューヨー ク州・ハムリン・クラークソン ハムリン タウン ライン ロード・1 3 9
--	--

最終頁に続く

(54) 【発明の名称】 デジタル画像を処理するための方法、装置、及びシステム

(57) 【要約】

【課題】 デジタル画像を処理するための方法、装置、及びシステムを提供する。

【解決手段】 大型画像を処理するための方法、画像前処理装置、及びカメラシステムが提供される。方法は、画像前処理装置においてイメージセンサから画像フレームを受信するステップであって、画像フレームはイメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有するステップと、画像フレームを、画像信号プロセッサにより逐次的に処理されることになる第一及び第二の画像サブフレームに分割するステップであって、第一及び第二の画像サブフレームの各々は、センサ画素解像度より小さいサブフレーム画素解像度と、第一及び第二の画像サブフレームが相互に重複する領域とを有するステップと、を含む。サブフレーム画素解像度は、画像信号プロセッサの処理能力によって事前に決定され、第一及び第二の画像サブフレームは画像信号プロセッサによって連続的に処理される。

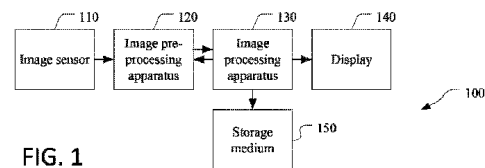


FIG. 1

【特許請求の範囲】

【請求項 1】

デジタル画像を処理する方法において、

イメージセンサから画像フレームを受信するステップであって、前記画像フレームは、前記イメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有するステップと

前記画像フレームを、画像信号プロセッサにより逐次的に処理されることになる第一及び第二の画像サブフレームに分割するステップであって、前記第一及び第二の画像サブフレームの各々は、前記センサ画素解像度より小さいサブフレーム画素解像度と、前記第一及び第二の画像サブフレームが相互に重複する領域とを有し、前記サブフレーム画素解像度は、前記画像信号プロセッサの処理能力によって事前に決定されるステップと、

前記第一及び第二の画像サブフレームを前記画像信号プロセッサによって連続的に処理するステップと、
を含む方法。

【請求項 2】

前記分割するステップは、前記画像フレームを前記第一及び第二の画像サブフレームに水平に分割するステップを含む、請求項 1 に記載の方法。

【請求項 3】

前記分割するステップは、前記画像フレームを前記第一及び第二の画像サブフレームに垂直に分割するステップを含む、請求項 1 に記載の方法。

【請求項 4】

前記分割するステップは、前記画像フレームを、前記第一の画像サブフレーム、前記第二の画像サブフレーム、及び少なくとも 1 つの第三の画像サブフレームに分割するステップを含む、請求項 1 に記載の方法。

【請求項 5】

前記画像フレームの画素行の第一の数は、前記第一及び第二のサブフレームの画素行の第二の数と実質的に等しく、

前記画像フレームの画素列の第一の数は、前記第一及び第二のサブフレームの画素列の第二の数より大きい、
請求項 1 に記載の方法。

【請求項 6】

前記画像フレーム内の欠陥を補正するステップと、

前記補正された画像フレームをバッファメモリに送信するステップと、

前記画像フレームを前記バッファメモリに保存するステップと、

前記第一の画像サブフレームを前記バッファメモリから受信するステップと、

前記第一の画像サブフレームを前記画像信号プロセッサに送信するステップと、

前記第一の画像サブフレームを前記画像信号プロセッサにより処理するステップと、

前記第二の画像サブフレームを前記バッファメモリから受信するステップと、

前記第一の画像サブフレームを前記画像信号プロセッサにより前記処理するステップが完了したところで、前記第二の画像サブフレームを前記画像信号プロセッサに送信するステップと、

前記第二の画像サブフレームを前記画像信号プロセッサにより処理するステップと、
をさらに含む、請求項 1 に記載の方法。

【請求項 7】

前記バッファメモリは第一のバッファメモリであり、

前記方法が、

前記第一及び第二の画像サブフレームを、前記画像信号プロセッサにより処理した後に第二のバッファメモリに保存するステップと、

前記第二のバッファメモリに保存された前記第一及び第二の画像サブフレームを、デジタル信号プロセッサにより静止画像フレームに組み立て直すステップと、

前記静止画像フレームを前記デジタル信号プロセッサにより後処理するステップと、
前記後処理された静止画像フレームを非一時的コンピュータ可読記憶媒体にグラフィックス画像フォーマットで保存するステップと、
をさらに含む、請求項 1 に記載の方法。

【請求項 8】

前記第一のバッファメモリに保存された前記画像フレームを、前記デジタル信号プロセッサにより処理して、前記画像フレームからノイズを除去するステップと、
前記デジタル信号プロセッサにより処理された前記画像フレームを前記非一時的コンピュータ可読記憶媒体に生画像フォーマットで保存するステップと、
をさらに含む、請求項 7 に記載の方法。

10

【請求項 9】

前記非一時的コンピュータ可読記憶媒体はソリッドステートドライブ（SSD）である、請求項 8 に記載の方法。

【請求項 10】

前記グラフィックス画像フォーマットは、Tagged Image File Format（TIFF）とJoint Photographic Experts Group（JPEG）フォーマットとからなる群より選択される、請求項 7 に記載の方法。

【請求項 11】

前記生画像フォーマットはDigital Negative（DNG）フォーマットである、請求項 8 に記載の方法。

20

【請求項 12】

前記デジタル信号プロセッサは、グラフィックスプロセッシングユニット（GPU）である、請求項 8 に記載の方法。

【請求項 13】

画像前処理装置において前記画像フレームを前記イメージセンサから受信するステップであって、前記前処理装置はピクセルプロセッサと、データインタフェースと、画像データトランスミッタと、を含むステップと、

前記画像フレーム内の欠陥を前記画素プロセッサにより補正するステップと、

前記画像フレームを前記データインタフェースを介してバッファメモリに送信するステップと、

30

前記画像フレームを前記バッファメモリに保存するステップと、

前記第一の画像サブフレームを前記データインタフェースを介して前記バッファメモリから受信するステップと、

前記第一の画像サブフレームを前記イメージャデータインタフェースを介して前記画像信号プロセッサに送信するステップと、

前記第一の画像サブフレームを前記画像信号プロセッサにより処理するステップと、

前記第二の画像サブフレームを前記データインタフェースを介して前記バッファメモリから受信するステップと、

前記画像信号プロセッサにより前記第一の画像サブフレームを前記画像信号プロセッサにより前記処理するステップが完了したところで、前記第二の画像サブフレームを前記イメージャデータインタフェースを介して前記画像信号プロセッサに送信するステップと、

40

前記第二の画像サブフレームを前記画像信号プロセッサにより処理するステップと、
をさらに含む、請求項 1 に記載の方法。

【請求項 14】

前記前処理装置はField-Programmable Gate Array（FPGA）である、請求項 13 に記載の方法。

【請求項 15】

前記画像信号プロセッサは第一の画像信号プロセッサであり、

前記イメージャデータインタフェースは第一のイメージャデータインタフェースであり、

、

50

前記方法が、

前記画像フレームを、前記画像フレームから画素の列及び行の少なくとも一方を除去することによって撮影ビュー画像フレームにリサイズするステップと、

前記撮影ビュー画像フレームを第二のイメージャータインタフェースを介して第二の画像信号プロセッサに送信するステップと、

前記撮影ビュー画像フレームを前記第二の画像信号プロセッサにより処理するステップと、

前記撮影ビュー画像フレームをディスプレイ上に表示するステップと、
をさらに含む、請求項 1 に記載の方法。

【請求項 16】

10

画像前処理装置において、

イメージセンサから画像フレームを受信するように構成された画像データレシーバであって、前記画像フレームは、前記イメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する画像データレシーバと、

データインタフェース及びイメージャータインタフェースと、

前記画像データレシーバ、前記データインタフェース、及び前記イメージャータインタフェースと通信するダイレクトメモリアクセス (DMA) コントローラであって、

前記画像フレームを前記データインタフェースを介してバッファメモリに保存し、

第一及び第二の画像サブフレームであって、前記画像フレームを画像信号プロセッサにより処理されることになる前記第一及び第二の画像サブフレームに分割することによって前記画像フレームから生成された第一及び第二の画像サブフレームを受信し、前記第一及び第二の画像サブフレームの各々は、前記センサ画素解像度より小さいサブフレーム画素解像度と、前記第一及び第二の画像サブフレームが相互に重複する領域とを有し、前記サブフレーム画素解像度は前記画像信号プロセッサの処理能力によって事前に決定され、

20

前記第一及び第二のサブフレームを、前記イメージャータインタフェースを介して前記画像信号プロセッサに連続的に送信する

ように構成された DMA コントローラと、

を含む画像前処理装置。

【請求項 17】

前記画像フレームは前記第一及び第二の画像サブフレームに水平に分割される、請求項 16 に記載の画像前処理装置。

30

【請求項 18】

前記画像フレームは前記第一及び第二の画像サブフレームに垂直に分割される、請求項 16 に記載の画像前処理装置。

【請求項 19】

前記画像フレームは、前記第一の画像サブフレーム、前記第二の画像サブフレーム、及び少なくとも 1 つの第三の画像サブフレームに分割される、請求項 16 に記載の画像前処理装置。

【請求項 20】

前記イメージセンサから前記画像データレシーバを介して受信した前記画像フレーム中の欠陥を補正するように構成された画素プロセッサをさらに含む、
請求項 16 に記載の画像前処理装置。

40

【請求項 21】

前記画像信号プロセッサは第一の画像信号プロセッサであり、

前記イメージャータインタフェースは第一のイメージャータインタフェースであり、

、

前記画像前処理装置は、

画像ダウンサイザであって、前記画素プロセッサと通信して、

前記補正された画像フレームを前記画素プロセッサから受信し、

前記補正された画像フレームを、前記補正された画像フレームから画素の列と行の少

50

なくとも一方を除去することによって撮影ビュー画像フレームにリサイズし、

前記撮影ビュー画像フレームを、第二のイメージャータインタフェースを介して前記第二の画像信号プロセッサに送信し、処理され及びディスプレイ上に表示されるようにする

ように構成された画像ダウンサイザをさらに含む、

請求項 16 に記載の画像前処理装置。

【請求項 22】

前記画像前処理装置は Field-Programmable Gate Array (FPGA) である、請求項 16 に記載の画像前処理装置。

【請求項 23】

デジタル画像を処理するためのカメラシステムにおいて、

イメージセンサと、

前記イメージセンサと通信し、バッファメモリ及び画像信号プロセッサを含む画像処理装置と、

前記画像処理装置に接続されたディスプレイと、

を含むカメラシステム。

【請求項 24】

前記画像処理装置は、前記バッファメモリ内に保存された前記画像フレームを、前記画像信号プロセッサにより処理されることになる前記第一及び第二の画像サブフレームに分割するように構成されたデジタル信号プロセッサをさらに含み、前記第一及び前記第二の画像サブフレームの各々は、前記センサ画素解像度より小さいサブフレーム画素解像度と、前記第一及び第二の画像サブフレームが相互に重複する領域とを有し、前記サブフレーム画素解像度は前記画像信号プロセッサの処理能力によって事前に決定される、請求項 23 に記載のカメラシステム。

【請求項 25】

前記画像処理装置に接続される非一時的コンピュータ可読記憶媒体をさらに含み、

前記バッファメモリは第一のバッファメモリであり、

前記画像処理装置は、前記第一及び第二の画像サブフレームが前記画像信号プロセッサにより処理された後に保存される第二のバッファメモリをさらに含み、

前記デジタル信号プロセッサは、

前記第二のバッファメモリ内に保存された前記第一及び第二の画像サブフレームを静止画像フレームに組み立て直し、

前記静止画像フレームを後処理し、

前記後処理された静止画像フレームを前記非一時的コンピュータ可読記憶媒体にグラフィックス画像フォーマットで保存する

ように構成される、

請求項 24 に記載のカメラシステム。

【請求項 26】

前記デジタル信号プロセッサはさらに、

前記第一のバッファメモリに保存された前記画像フレームを前記デジタル信号プロセッサによって処理して、前記画像フレームからノイズを除去し、

前記デジタル信号プロセッサにより処理された前記画像フレームを前記非一時的コンピュータ可読記憶媒体に生画像フォーマットで保存する

ように構成される、請求項 25 に記載のカメラシステム。

【請求項 27】

前記非一時的コンピュータ可読記憶媒体は、ソリッドステートドライブ (SSD) である、請求項 25 に記載のカメラシステム。

【請求項 28】

前記グラフィックス画像フォーマットは、Tagged Image File Format (TIFF) と Joint Photographic Experts Gro

10

20

30

40

50

up (J P E G) フォーマットとからなる群より選択される、請求項 25 に記載のカメラシステム。

【請求項 29】

前記生画像フォーマットは Digital Negative (DNG) フォーマットである、請求項 26 に記載のカメラシステム。

【請求項 30】

前記デジタル信号プロセッサは、グラフィックスプロセッシングユニット (GPU) である、請求項 25 に記載のカメラシステム。

【請求項 31】

前記イメージセンサと通信する画像前処理装置をさらに含み、

10

前記画像前処理装置は、

前記イメージセンサから画像フレームを受信するように構成された画像データレシーバであって、前記画像フレームが前記イメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する、画像データレシーバと、

データインタフェース及びイメージャデータインタフェースと、

前記画像データレシーバ、前記データインタフェース、及び前記イメージャデータインタフェースと通信するダイレクトメモリアクセス (DMA) コントローラであって、

前記画像フレームを前記データインタフェースを介して前記バッファメモリに保存し、

前記画像フレームから生成される第一及び第二のサブフレームを受信し、

20

前記第一及び第二のサブフレームを前記イメージャデータインタフェースを介して前記画像信号プロセッサに連続的に送信する

ように構成された DMA コントローラと、

を含む、請求項 23 に記載のカメラシステム。

【請求項 32】

前記画像前処理装置は Field-Programmable Gate Array (FPGA) である、請求項 31 に記載のカメラシステム。

【請求項 33】

前記イメージセンサと通信する画像前処理装置であって、

前記イメージセンサから画像フレームを受信する画像データレシーバであって、前記画像フレームは前記イメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する画像データレシーバと、

30

前記画像フレームを前記バッファメモリに送信するイメージャデータトランスミッタと、

を含む画像前処理装置をさらに含み、

前記画像処理装置は、

前記画像フレームを前記バッファメモリに保存し、

前記画像フレームから生成された第一及び第二のサブフレームを受信し、

前記第一及び第二のサブフレームを前記画像信号プロセッサに連続的に送信する

ように構成されたプリプロセッサを含む、

40

請求項 23 に記載のカメラシステム。

【請求項 34】

前記画像信号プロセッサは第一の画像信号プロセッサであり、

前記画像処理装置は、第二の画像信号プロセッサをさらに含み、

前記イメージャデータインタフェースは第一のイメージャデータインタフェースであり

、

前記画像前処理装置は、第二のイメージャデータインタフェースと画像ダウンサイザをさらに含み、前記画像ダウンサイザは、前記第二のイメージャデータインタフェースと通信して、

前記画像フレームを、前記画像フレームから画素の列及び行の少なくとも一方を除去

50

することによって撮影ビュー画像フレームにリサイズし、

前記撮影ビュー画像フレームを前記第二のイメージャデータインタフェースを介して前記第二の画像信号プロセッサに送信するように構成され、前記第二の画像信号プロセッサは、前記撮影ビュー画像フレームを処理し、前記処理された撮影ビュー画像フレームを前記ディスプレイに転送するように構成される、

請求項 3 1 に記載のカメラシステム。

【請求項 3 5】

前記イメージセンサは、電荷結合素子（C C D）センサ、相補型金属酸化膜半導体（C M O S）センサ、及び N 型金属酸化膜半導体（N M O S）センサのうちの少なくとも 1 つであり、

前記イメージセンサは、前記画像信号プロセッサの前記処理能力より大きい画素解像度を有する、

請求項 2 3 に記載のカメラシステム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連特許出願との相互参照

本願は、2 0 1 8 年 6 月 1 2 日に出願された米国特許出願第 1 6 / 0 0 6 , 6 3 7 号の優先権を主張するものであり、その開示の全体を参照によって本願に援用する。

【0 0 0 2】

本発明は、デジタル画像の処理に関し、詳しくは、静止画像モードで高画素解像度の大型デジタル画像を処理することに関する。さらに、本発明はデジタル画像の処理を行う装置とシステムに関する。

【背景技術】

【0 0 0 3】

デジタルカメラは、デジタル画像を捕捉するイメージセンサを含み、一般に、静止画像モード又はライブビューモードで動作する。静止画像及びライブビュー画像を生成するために、様々な技術が使用されてよい。高品質の静止画像を生成することは重要であるが、ライブビュー又はプレビューのための画像は、それより低く、ただし容認可能な画像品質で生成されてよい。

【0 0 0 4】

イメージセンサは典型的に、画素ごとの光強度を検出する。色情報を記録できるようにするために、カラーフィルタがイメージセンサの基板に結合されてよく、これは特定の色を特定の画素に割り当て、各画素がその特定の色に関する光強度を検出する。デジタルカメラで使用されるカラーフィルタの典型的なパターンは、ベイヤフィルタである。ベイヤフィルタは、赤及び緑のフィルタと青及び緑のフィルタの交互の行を含み、各行はそれぞれ、赤及び緑のフィルタと青及び緑のフィルタを交互に含む。緑フィルタは緑の光子を優先的にイメージセンサのそれぞれの画素の検出器（例えば、フォトダイオード）まで通過させる。同時に、緑フィルタに到達した赤及び青光子は、フィルタにより透過されず、したがって、それぞれの検出器により検出されない。同様に、赤フィルタは優先的に赤い光子を、青フィルタは青い光子だけをそれぞれの検出器へと通過させる。

【0 0 0 5】

各画像フレームの画像画素解像度は、イメージセンサの画素解像度に依存し、一般にデジタル画像に含まれる情報の詳細を説明する。換言すれば、画像画素解像度を増大させることにより、画像の詳細レベルを高めることができる。画像フレームの画素解像度は典型的に、画素列の数（画像の幅）と画素行の数（画像の高さ）により表され、これが、専用の画像プロセッサにより処理する必要のある画素総数となる。

【0 0 0 6】

ベイヤフィルタをイメージセンサの前段に適用すると、その結果としてイメージセンサにより生成される画像フレームは、補間又はデモザイキングを行うことによって各画素に

10

20

30

40

50

ついて3色すべてを生成し、デジタル画像を表示、印刷、又は保存できるようにする必要がある。

【0007】

デジタルカメラの場合、補間又はデモザイキングは専用の画像信号プロセッサ（ISP）だけではなく、画像処理ソフトウェアプログラムを実行する汎用プロセッサ（CPU）によっても行われてよい。

【0008】

補間又はデモザイキングのプロセスは、使用される数学アルゴリズムの有効性に依りて、特に静止画像モードで処理する必要のある画素数があるに大きいことから、非常に複雑となり得る。（特許文献1）には、高品質の静止画像を生成するための、より複雑なデジタル技術はソフトウェアに実装され、CPUで実行され、他方で、容認可能な品質のプレビュー画像を生成するための、より複雑でない技術は特定用途集積回路（ASIC）に実装される電子カメラが記載されている。

【0009】

しかしながら、静止画像のためにCPUを利用すると、高解像度デジタルカメラの製造コストが大幅に増大することがある。特に、静止画像処理は、ISPによる静止画像処理より格段に遅く、これは、すべてのステップをCPU上で逐次的に行わなければならないのに対し、ISPではこれらは同時にパイプライン処理されるからである。反面、画像処理能力が相応に高いISPを用いた静止画像処理はまた、デジタルカメラの製造コストの有意な増大につながる可能性がある。したがって、比較的低い処理能力のISPを、フル解像度の高品質静止画像フレームの処理にも使用でき、補間及びデモザイキング等の画像処理のためのCPUが不要であるような新規な手法が必要とされている。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】米国特許第6,292,218 B1号明細書

【発明の概要】

【発明が解決しようとする課題】

【0011】

そこで、本発明の目的は、限定的な処理能力を有する画像信号プロセッサによって、静止画像モードで高画素解像度の大型デジタル画像を処理するための方法、画像処理装置、及びシステムを提供することである。

【課題を解決するための手段】

【0012】

本発明の第一の態様によれば、デジタル画像を処理する方法が提供され、画像フレームが画像前処理装置におけるイメージセンサから受信される。画像フレームは、イメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する。本開示におけるセンサ画素解像度と実質的に等しいフレーム画素解像度は、センサ画素解像度と等しいフレーム画素解像度と、センサ画素解像度からわずかに異なるフレーム画素解像度を含んでいてよい。特に、実質的に等しいとは、フレーム画素解像度がセンサ画素解像度よりわずかに低いことがあり得ることを意味し、なぜなら、幾つかの画像フレーム行及び／又は画像フレーム列はフルセンサ画素解像度から省かれるからである。画像フレームは、少なくとも2つの画像サブフレームに分割され、これらが画像信号プロセッサにより逐次的に処理される。その後、少なくとも2つの画像サブフレームは、画像信号プロセッサにより連続的に処理される。

【0013】

本発明の第二の態様によれば、画像前処理装置が提供され、これはイメージセンサから画像フレームを受信するように構成された画像データレシーバを含み、画像フレームはイメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する。画像前処理装置は、データインタフェースと、イメージャデータインタフェースと、画像データ

レシーバ、データインタフェース、及びイメージャデータインタフェースと通信するダイレクトメモリアクセス（DMA）コントローラと、をさらに含む。DMAコントローラは、データインタフェースを介してバッファメモリに画像フレームを保存し、第一及び第二の画像サブフレームであって、画像フレームを第一及び第二の画像サブフレームに分割することによって画像フレームから生成され、画像信号プロセッサにより処理されることになる第一及び第二の画像サブフレームを受信し、第一及び第二のサブフレームを、イメージャデータインタフェースを介して画像信号プロセッサに連続的に送信するように構成される。

【0014】

第一及び第二の画像サブフレームの各々は、センサ画素解像度より小さいサブフレーム画素面積と、第一及び第二の画像サブフレームが相互に重複する領域とを有する。サブフレーム画素解像度は、画像信号プロセッサの処理能力により事前に決定される。

【0015】

本発明の第三の態様によれば、デジタル画像を処理するためのカメラシステムが提供される。カメラシステムは、イメージセンサと、イメージセンサと通信する画像前処理装置と、前処理装置と通信し、バッファメモリ及び画像信号プロセッサを含む画像処理装置と、画像処理装置に接続されたディスプレイと、を含む。画像前処理装置は、イメージセンサから画像フレームを受信するように構成された画像データレシーバであって、画像フレームはイメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する画像データレシーバと、データインタフェース及びイメージャデータインタフェースと、画像データレシーバ、データインタフェース、及びイメージャデータインタフェースと通信するダイレクトメモリアクセス（DMA）コントローラと、を含む。DMAコントローラは、データインタフェースを介してバッファメモリに画像フレームを保存し、画像フレームから生成された第一及び第二のサブフレームを受信し、第一及び第二のサブフレームを、イメージャデータインタフェースを介して画像信号プロセッサに連続的に送信するように構成される。

【0016】

その結果、本発明のある態様による画像前処理装置の使用によって、画像前処理装置により動作が実行されなければ、ダウンサイズされたプレビュー画像フレームのみを処理できるが、高解像度の静止画像フレームは処理できないような処理能力を有するISPを有する既製の画像処理装置を使用できる。

【0017】

ここで、以下の図面を参照しながら本発明を説明する。

【図面の簡単な説明】

【0018】

【図1】本発明の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの概略図を示す。

【図2】本発明の例示的な実施形態による画像前処理装置の概略図を示す。

【図3】本発明の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの他の詳細な概略図を示す。

【図4A】イメージセンサにより生成される画像フレームの例を示す。

【図4B】図4Aの画像フレームから生成される第一の画像サブフレームの例を示す。

【図4C】図4Aの画像フレームから生成される第二の画像サブフレームの例を示す。

【図5】本発明の例示的な実施形態による、画像フレームを処理するためにカメラシステムにより実行される動作を示すフローチャートである。

【図6】本発明の例示的な実施形態による、静止画像フレームを生成するためにカメラシステムにより実行される動作を示すフローチャートである。

【図7】本発明の第二の例示的な実施形態による画像前処理装置の概略図を示す。

【図8】本発明の第三の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの概略図を示す。

10

20

30

40

50

【図 9】本発明の第二の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの詳細な概略図を示す。

【図 10】本発明の第三の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの詳細な概略図を示す。

【図 11】本発明の第四の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの詳細な概略図を示す。

【発明を実施するための形態】

【0019】

図 1 は、本発明の例示的な実施形態による、デジタル画像を処理するためのカメラシステム 100 を示す。カメラシステム 100 は、イメージセンサ 110 と、画像前処理装置 120 と、そこにディスプレイ 140 と記憶媒体 150 が接続される画像処理装置 130 と、を含む。

【0020】

イメージセンサ 110 は、ライブビューモードと静止画像撮影モードで動作可能である。何れのモードでも、イメージセンサ 110 の有効画素面積全体が使用され、画像フレームはイメージセンサ 110 によって生成されて、画像前処理装置 120 に出力される。後でより詳しく述べるように、ライブビューをプレビューするため、又は静止画像撮影のプレビューのために、画像フレームは画像前処理装置 120 によってダウンサイズされて、高フレームレートが実現される。しかしながら、静止画像撮影の場合、画像フレームのすべてのラインと列がダウンサイズされずに処理される。

【0021】

ライブビュー画像及び撮影ビュー画像はディスプレイ 140 に表示される。ディスプレイ 140 は電子ビューファインダ (EVF) を含んでいてよく、これは画像処理装置 130 に、Mobile Industry Processor Interface (MIPI) Alliance により規定された MIPI display serial interface (MIPI DSI) (図示せず) を介して接続されるが、これに限定されない。ディスプレイ 140 はまた、デジタルカメラ (図示せず) のバックディスプレイも含んでいてよく、これも画像処理装置 130 に MIPI を介して接続される。

【0022】

記憶媒体 150 は非一時的コンピュータ可読記憶媒体、例えばソリッドステートドライブ (SSD) であるが、これに限定されない。他の何れの非一時的コンピュータ可読記憶媒体も記憶媒体 150 として利用できる。

【0023】

図 2 は、画像前処理装置 120 の概略図を示す。画像前処理装置 120 は、画像データレシーバ 210 と、ダイレクトメモリアクセス (DMA) コントローラ 220 と、データインタフェース 230 と、静止画像処理に必要なイメージャデータインタフェース 240 と、を含む。画像データレシーバ 210 は、イメージセンサ 110 から画像フレームを受信するように構成される。画像フレームは、イメージセンサのセンサ画素解像度と実質的に等しいフレーム画素解像度を有する。換言すれば、画像フレームは、イメージセンサの有効画素面積のすべてのセンサ画素の画像情報を含む。

【0024】

データインタフェース 230 は、画像前処理装置 120 を画像処理装置 130 中のバッファメモリ 250 に接続する。イメージャデータインタフェース 240 は、前処理装置 120 を ISP 260 に接続する。DMA コントローラ 220 は、画像データレシーバ 210、データインタフェース 230、及びイメージャデータインタフェース 240 と通信し、画像フレームを、データインタフェース 230 を介してバッファメモリ 250 に保存し、バッファメモリ 250 からの第一及び第二の画像サブフレームを、データインタフェース 230 を介して受信し、第一及び第二のサブフレームを ISP 260 に、イメージャデータインタフェース 240 を介して連続的に送信するように構成される。

【0025】

10

20

30

40

50

次に、図3を参照すると、本発明の例示的な実施形態による、デジタル画像を処理するためのカメラシステム300の他のより詳細な概略図が示されている。図3に示されるように、カメラシステム300は、そこにイメージセンサ110が接続される画像前処理装置310と、画像処理装置330と、を含む。画像処理装置330は、画像前処理装置310、ディスプレイ140、及び記憶媒体150と通信する。

【0026】

図3に示されるカメラシステム300の例示的な実施形態の画像処理装置330は、System-on-Chip (SoC) アーキテクチャを有し、イメージセンサから受信した画像フレームを処理して、表示、印刷、又は保存可能なデジタル画像を生成するために必要なすべての構成要素を内蔵する。それゆえ、画像処理装置330は、画像プロセッサ342を含み、これは例えばデジタルシグナルプロセッサ(DSP)又はグラフィックスプロセッシングユニット(GPU)として実装されてよい。画像処理装置330は、第一のISP 338と、静止画像プリバッファ334に保存されることになる画像フレームを送受信するように構成されたデータランシバ332と、をさらに含む。それに加えて、イメージャデータレシバ336が提供され、これはISP 338により処理されることになる画像サブフレームを受信するように構成される。ISP 338により処理された画像サブフレームは、静止画像ポストバッファ340に保存される。ディスプレイコントローラ352が提供され、これは、イメージセンサ110により捕捉された画像フレームがディスプレイ140全体で見られるようにするための動作を実行する。ディスプレイコントローラ352は、表示データトランスミッタ354を介してディスプレイ140に接続される。グラフィックス画像フォーマットの静止画像フレーム又は生画像フォーマットの画像フレームを記憶媒体150に保存するために、ストレージコントローラ356及びストレージインタフェース358が提供される。

【0027】

画像前処理装置310は、データランシバ312と、第一のイメージャデータトランスミッタ314を含む。データランシバ312とデータランシバ332は、画像前処理装置310と画像処理装置330との間のデータインタフェースを形成する。データインタフェース312、332は、高速シリアルコンピュータ拡張バス標準インタフェース、例えばPeripheral Component Interconnect Express (PCIe) 標準インタフェースであってよいが、これに限定されない。

【0028】

データインタフェース312、332のように、イメージャデータトランスミッタ314はイメージャデータレシバ336と共に、画像前処理装置310と画像処理装置330との間の別のインタフェース(すなわち、イメージャデータインタフェース)を形成する。データランシバ312とイメージャデータトランスミッタ314は、受信DMA (RX-DMA) コントローラ316と送信DMA (TX-DMA) コントローラ318によって制御される。RX-DMA コントローラ316はイメージャデータトランスミッタ314とFirst-In-First-Out (FIFO) バッファ320を介して通信する。画像前処理装置310はまた、画像データレシバ322と、FIFO バッファ326を介してTX-DMA コントローラ318と通信する画素プロセッサ324も含む。

【0029】

図3に示される例示的な実施形態による第一及び第二のイメージャデータインタフェース314、336及び346、348は、Mobile Industry Processor Interface (MIPI) Camera Serial Interface (CSI) 画像データインタフェースである。しかしながら、イメージャデータインタフェースは、MIPI CSIに限定されず、その代わりに他の何れのシリアルインタフェースも利用できる。

【0030】

10

20

30

40

50

図 3 に示される例示的な実施形態において、画像前処理装置 310 は、Field-Programmable Gate Array (FPGA) として実装される。しかしながら、画像前処理装置 310 は、特定用途集積回路 (ASIC) としても実装されてよい。

【0031】

画像前処理装置 310 は、画像ダウンサイザ 328 をさらに含み、これは FIFO バッファ 344 を介して第二のイメージャデータトランスミッタ 346 に接続され、それが第二のイメージャデータレシーバ 348 と共に第二のイメージャデータインタフェースを形成する。イメージャデータレシーバ 348 は、第二の ISP 350 に接続される。

【0032】

イメージャデータインタフェース 314、336 及び 346、348 のどちらも、静止画像撮影モードで利用できる。ISP 338 及び 350 は、静止画像撮影モードに入ると構成され、ライブビュー状態と撮影状態との間で変化しない。静止画像処理は、画像前処理装置 310、ISP 338、及び画像プロセッサ 342 によって行われる。

【0033】

前述のように、イメージセンサ 110 は異なるモード、すなわちライブビューモードと静止画像撮影モードで動作する。第一のイメージャデータインタフェース 314、336 は ISP 338 と共に、静止画像フレームが撮影されるときだけ使用される。第二のイメージャデータインタフェース 346、348 は、ISP 350 と共に、ライブビュー及び撮影プレビューのみに利用される。

【0034】

両方のモードで、イメージセンサの有効画素面積全体が使用される。画像フレームがイメージセンサ 110 から画像前処理装置 310 の画像データレシーバ 322 によって受信されると、どちらのモードでもセンサ画素が画素プロセッサ 324 によって補正される。しかしながら、静止画像撮影モードでは、すべてのラインと列がイメージセンサ 110 が読み出されるのに対し、ライブビューモードでは、ラインをスキップして、高いフレームレートが実現されてもよい。例えば、ライブビューでは、イメージセンサ 110 はラインの 4 分の 1 のみを出力し、列はすべて出力してもよい。イメージャデータインタフェース 346、348 は限定的なデータレートしかサポートしないかもしれないため、画素補正後、フレームは、限定的なデータレートに対応するために画像ダウンサイザ 328 によって水平に 4 : 1 にリサイズされてもよい。ライブビューでの画像フレームは ISP 350 によって処理され、その後、ディスプレイ 140 にとって適正な解像度に非対称にスケールリングされる。

【0035】

イメージセンサ 110 の典型的なアスペクト比は 3 : 2 であり、ディスプレイ 140 の典型的なアスペクト比は 16 : 9 である。例えば、イメージセンサ 110 のアスペクト比が 3 : 2 であり、ディスプレイ 140 のアスペクト比が 16 : 9 であると、イメージセンサ 110 から受信された画像フレーム全体がディスプレイ 140 上で見えるように、ディスプレイコントローラ 352 で黒いバーが追加されてよい。

【0036】

静止画像撮影モードでは、イメージセンサ 110 のすべてのラインと列が読み出される。静止画像撮影ビューでは、画素の補正は画素プロセッサ 324 によってライブビューモードの場合と同様に行われる。しかしながら、列のスキッピングも画像ダウンサイザ 328 によって行われる。その結果、静止画像撮影モードでイメージャデータインタフェース 346、348 を介して送信される画像データのフォーマットは、ライブビューモードの場合と同じであり、ISP 350 の再構成は不要である。静止画像撮影フレームは、それらがイメージセンサ 110 によって撮影されながら、ライブビュー画像フレームよりはるかに遅いフレームレートで表示される。

【0037】

ライブビュー画像フレームと静止画像撮影フレームは通常異なるインテグレーションタ

10

20

30

40

50

イムを有し、撮影はフラッシュ照明で行われ得るため、ISP 350を通る画像パスとISP 338を通る画像パスとの間に露光及びホワイトバランスの変化があってもよい。イメージ統計はISP 350で収集され、統計データは、ISP 350によるライブビューとISP 336による静止画像フレームのその後の処理の両方に関する露光、ホワイトバランス、及び焦点調節を特定するために使用される。

【0038】

イメージャデータインタフェース314、336及びISP 338は、静止画像フレームが撮影されるときだけ使用される。静止画像撮影中、フル解像度フレームが画像前処理装置からデータランシーバ312及び332を介して画像処理装置330に出力され、静止画像プリバッファ334のメモリ領域に保存される。イメージセンサ110から撮影される完全なフル解像度画像フレームが静止画像プリバッファに保存されると、画像プロセッサ342によってプリISP処理が行われる。プリISP処理が完了すると、プリISP処理された画像フレームがストレージコントローラ356によって生画像フォーマット、例えばDigital Negative (DNG) フォーマットで記憶媒体150に保存されてよい。

10

【0039】

ISP 338の処理能力ではセンサ幅全体に対応できないため、ISP 338は、静止画像撮影モード中にイメージセンサ110により生成される画像フレーム全体を処理できず、画像フレームは画像サブフレームで、すなわち画像幅の半分のタイル又は部分で処理する必要がある。この目的のために、画像フレームは画像プロセッサ342によって第一及び第二の画像サブフレームに分割され、これらはISP 338によって逐次的に処理されることになる。第一及び第二の画像サブフレームは各々、センサ画素解像度より小さいサブフレーム画素解像度と、第一及び第二の画像サブフレームが相互に重複する領域とを有する。サブフレーム画素解像度は、ISP 338の処理能力により事前に決定される。その後、第一及び第二の画像サブフレームは、ISP 338によって逐次的に処理される。

20

【0040】

換言すれば、画像データはデータインタフェース312、332を通じて画像前処理装置310に戻され、そこでイメージャデータインタフェース314、336を通じてISP 338のフロントエンドにストリームされる。各画像サブフレームが処理されると、それは静止画像ポストバッファ340に保存され、高い画像品質の完全な画像へと組み立て直される。

30

【0041】

近年、イメージセンサの革新によってイメージセンサの利用可能な画素解像度が急激に向上した。それと同時に、同等の処理パワーを有する費用対効果の高いISPの開発は遅れ、ボトルネックとなり得る事態が生じた。前述の方式によれば、完全な画像の品質が大きく改善され、また、例えば静止画像撮影モード中にイメージセンサ110が生成する画像フレーム全体を処理できないISPを含むデジタル画像処理システムの全体的性能も向上する。したがって、ハードウェアのコストを下げることができ、ISPの処理パワーのボトルネックの影響も最小限にすることができる。

40

【0042】

画像プロセッサ342は、静止画像ポストバッファ内の画像サブフレームに対してポストISP処理を行う。この時点で、グラフィックス画像フォーマット、例えばYCbCr Tagged Image File Format (TIFF) 又はJoint Photographic Experts Group (JPEG) フォーマットの完成した画像フレームは、記憶媒体150内に保存されてよい。JPEGエンコーダ（図示せず）によって、完成した画像フレームを圧縮してから、記憶媒体150に保存することも可能である。

【0043】

画像サブフレームの処理は、画像フレームの撮影と同期しておらず、画像フレームの撮

50

影より幾分遅く、イメージセンサ 110 がライブビューモードに戻った後も背景プロセスとして続けられてもよい。連写の場合、1 フレームあたり最大 3 ファイルを保存するのにかなり長い時間がかかるため、静止画像プリバッファ 334 が空になるのは、連写中のファイルレートと比べて比較的遅い。静止画像プリバッファが満杯になると、ユーザがカメラのシャッターボタンを押していても、撮影は遮断される。バッファが空になると、追加の連写フレームを撮影できる。

【0044】

図 4 A は、イメージセンサ 110 により生成される画像フレーム 410 の例を示す。図 4 A は、画像フレームの画素列の数（画素の幅を表す）が画像フレームの画素行の数（画素の高さを表す）より大きいフレームを示しているが、幅と高さの他の何れの比も可能である。図 4 A ～ 4 C に示される例示的实施形態において、画像フレーム 410 は例えば、図 4 A に示されている点線によって第一及び第二の画像サブフレームに垂直に分割される。しかしながら、画像フレーム 410 の他の何れの分割も可能である。例えば、画像フレーム 410 は、3 つのサブフレームに水平に分割されてもよく、画像フレーム 410 は垂直にさらに分割されてもよく、又は、結果として得られるサブフレームが ISP 338 により処理可能な画像サブフレーム解像度を有するかぎり、それ以外でもよい。

【0045】

図 4 B は、画像プロセッサ 342 により画像フレーム 410 から生成された第一の画像サブフレーム 420 の例を示し、図 4 C は、画像プロセッサ 342 により画像フレーム 410 から生成された第二の画像サブフレーム 440 の例を示す。図 4 B 及び 4 C に示されるように、第一及び第二の画像サブフレームの各々は、第一及び第二のサブフレーム 420 及び 440 が相互に重複する領域 430、450 を有する。

【0046】

次に、図 5 を参照すると（図 3 及び 4 A ～ 4 C に関する）、本発明の例示的な実施形態による、画像フレーム 410 を処理するためのカメラシステム 100 が実行する動作を含む方法 500 を例示するフローチャートが示されている。方法 500 は、ステップ 510 から始まり、そこで画像フレーム 410 が静止画像モードで動作するイメージセンサ 110 から受信される。520 で、画像フレーム 410 は、第一及び第二の画像サブフレーム 420 及び 440 に分割され、530 で、第一及び第二の画像サブフレーム 420 及び 440 が ISP 338 によって連続的に処理される。

【0047】

次に、図 6 を参照する（引き続き図 3 及び 4 A ～ 4 C に関する）。図 6 は、本発明の例示的な実施形態による、カメラシステム 100 を動作させて静止画像フレームを生成する方法 600 を示すフローチャートである。方法は、ステップ 605 から始まり、そこで画像フレーム 410 の中の欠陥が画素プロセッサ 324 により補正される。方法は、610 に進み、そこで補正された画像フレームが画像前処理装置 310 の TX-DMA コントローラ 318 によって、図 3 に示される静止画像プリバッファ 334 に送信される。615 で、画像フレーム 410 は静止画像プリバッファ 334 に保存され、620 で、第一の画像サブフレーム 420 がデータインタフェース 312、332 を介して、画像前処理装置 310 の RX-DMA コントローラ 316 によって受信される。第一の画像サブフレーム 420 は、静止画像プリバッファ内で画像プロセッサ 342 によって生成されてから、画像前処理装置に送信される。

【0048】

方法は 625 に続き、そこで第一の画像サブフレーム 420 が RX-DMA コントローラ 316 によってイメージャデータインタフェース 314、336 を介して ISP 338 に送信され、630 で、ISP 338 によって処理される。635 で、第二の画像サブフレーム 440 が静止画像プリバッファ 334 から画像前処理装置 310 の RX-DMA コントローラ 316 によって受信され、640 で、第二の画像サブフレーム 440 がイメージャデータインタフェース 314、336 を介して ISP 338 に送信され、645 で、ISP 338 によって処理される。方法は、650 で終了し、そこで、ISP

10

20

30

40

50

338によって処理された後に静止画像ポストバッファ340に保存された処理済みの第一及び第二の画像サブフレーム420及び440が、静止画像ポストバッファ340の中で静止画像フレームに組み立て直される。静止画像ポストバッファ340における組み立て直し又はサブフレーム合成は設定変更可能であり、重複領域は、ISP 338の中で決定される画像品質パラメータ及び空間成分により特定される。

【0049】

ISP 338の処理エンジンの構成では、画像の前処理及び後処理の空間成分によって画像品質が最小化されてもよく、これはサブフレームの処理と最終的な静止画像フレームに影響を与え得る。

【0050】

ノイズフィルタリング及びその他の固定パターンノイズ除去が、画像プロセッサ342によって画像全体について行われる。前処理ブロックは、ADC、ペDESTAL補正、ブラックオフセット除去処理等の最小限のセンサ関連詳細事項がISP 338の外部で行われて、フルフレーム撮影に依存する空間アーチファクトのすべてが回避されるような方法でチューニングされる。

【0051】

図7は、カメラシステム700の画像前処理装置720の概略図を示す。画像前処理装置720は、画像データレシーバ210と、静止画像処理のためのイメージャデータインタフェース240を含む。画像データレシーバ210及びデータインタフェース240の構成は、図2に関してすでに述べた。

【0052】

図7に示されるように、画像前処理装置720は、画像フレーム410をバッファメモリ250に保存し、第一及び第二の画像サブフレーム420及び440をバッファメモリ250から受信し、第一及び第二のサブフレームをISP 260に連続的に送信するためのDMAコントローラとデータインタフェースを必要としない。その代わりに、第二の例示的な実施形態において、イメージセンサ110により生成された画像フレーム410は、イメージセンサ110から、画像前処理装置720を通じて画像データレシーバ210及びイメージャデータインタフェース240を介してプリプロセッサ730へと送信される。プリプロセッサ730は、画像フレーム410をバッファメモリ250に保存し、第一及び第二の画像サブフレーム420及び430をバッファメモリ250から受信し、第一及び第二のサブフレームをISP 260に連続的に送信する。

【0053】

図8は、本発明の第三の実施形態による、デジタル画像を処理するためのカメラシステム800の概略図を示す。この例示的な実施形態において、イメージセンサ110はプリプロセッサ730に直接接続され、中間の画像前処理装置はない。その結果、図8に示されるカメラシステム800では、画像プロセッサ110は画像フレーム410をプリプロセッサ730に直接送信し、それが画像フレーム410をバッファメモリ250に保存し、第一及び第二の画像サブフレーム420及び430をバッファメモリ250から受信し、第一及び第二のサブフレームをISP 260に連続的に送信する。

【0054】

次に図9を参照すると、本発明の第二の例示的な実施形態による、デジタル画像を処理するためのカメラシステム700の詳細な概略図が示されている。図9に示されるように、カメラシステムは、そこにイメージセンサ110が接続される画像前処理装置910と、画像処理装置930を含む。画像処理装置930は、画像前処理装置910、ディスプレイ140、及び記憶媒体150と通信する。より明瞭にするために、図3と同じ要素の説明は省く。

【0055】

図9に示されるカメラシステムの第二の例示的な実施形態における画像処理装置930は、SoCアーキテクチャを有し、イメージセンサから受信した画像フレームを処理して、表示、印刷、又は保存可能なデジタル画像を生成するために必要なすべてのコンポーネ

10

20

30

40

50

ントを内蔵する。特に、画像処理装置 930 はプリプロセッサ 932 を含む。プリプロセッサ 932 は、画像データレシーバ 336 により受信された画像フレーム 410 が静止画像プリバッファ 334 に保存されるようにするための動作を実行する。それに加えて、プリプロセッサ 932 は、静止画像プリバッファ 334 から画像プロセッサ 342 により生成された第一及び第二の画像サブフレーム 420 及び 430 を受信して、第一及び第二の画像サブフレーム 420 及び 430 を ISP 338 に連続的に送信するように構成される。それゆえ、プリプロセッサ 932 は、データを変調せずに、静止画像プリバッファ 334 から ISP 1 のフロントエンドに返される第一及び第二の画像サブフレーム 420 及び 430 のためのデータパスを提供する。

【0056】

ISP 338 等の ISP は典型的に複雑な構造であり、それによって複数の動作パラメータを設定できる。したがって、データパスは、テスト画像を ISP によって異なるパラメータにより複数回処理できるようにする必要がある。これによって、同じ画像が何度も再生されて、その後、正しいパラメータが設定される。それによって、ISP 及び ISP の構造をテストすることができる。SOC 内のこのようなテストは、画像処理装置の構成から、ISP がイメージセンサからライブデータしか受信できないのであれば不可能であろう。

【0057】

図 3 に示される画像処理装置 310 は、静止画像プリバッファ 334 と ISP 338 との間のデータパスを含まない。したがって、図 3 に示される例示的な実施形態におけるデータパスは、データインタフェース 332 及び 312、受信 DMA コントローラ 316、FIFO 320、画像データトランスミッタ 314、及び画像データレシーバ 336 を介して前処理装置 310 により作られる。

【0058】

図 9 に示される例示的な実施形態における静止画像プリバッファ 334 から ISP 338 までの第一及び第二の画像サブフレーム 420 及び 430 のためのデータパスは、プリプロセッサ 932 を介して提供されるため、画像前処理装置 910 において、画像フレーム 410 は、画素プロセッサ 324 により処理された後、FIFO 320 に送信され、その後、画像データトランスミッタ 314 を介してプリプロセッサ 932 に送信される。図 3 に示される例示的な実施形態における FIFO 326、DMA コントローラ 318 及び 316、並びにデータインタフェース 312 及び 332 は、図 9 では省略されている。

【0059】

図 10 は、本発明の第三の例示的な実施形態による、デジタル画像を処理するためのカメラシステム 800 の詳細な概略図を示す。図 10 において、画像処理装置全体が省かれて、イメージセンサ 110 は画像処理装置 1030 の画像データレシーバ 336 に直接接続される。この例示的な実施形態では、イメージセンサ 110 は画像フレーム 410 を画像データレシーバ 336 の通信規格に従って出力し、図 3 及び 9 に示される例示的な実施形態における画素プロセッサ 324 により実行される画像データの補正は、ISP 338 によって行われるか、又は分配される。

【0060】

図 10 に示されるように、画像処理装置 1030 は、図 3 及び 9 の ISP 350 のような別の ISP を介したライブビューのための第二のデータパスを含まない。したがって、図 10 に示される例示的な実施形態において、ビューデータは静止画像ポストバッファ 340 から収集され、静止画像ポストバッファ 340 からディスプレイコントローラ 352 へと送信される。

【0061】

また別の例示的な実施形態によれば、図 9 及び 10 のプリプロセッサ 932 もまた省くことができ、直接データパス（図示せず）を画像データレシーバ 336 と静止画像プリバッファ 334 との間及び静止画像プリバッファ 334 と ISP 338 との間に確立でき

10

20

30

40

50

る。

【0062】

図11は、本発明の第四の例示的な実施形態による、デジタル画像を処理するためのカメラシステムの詳細な概略図を示す。図11に示されるように、画像処理装置1130は、ISP 350を介するライブビューのための第二のデータパスを含む。すなわち、画像処理装置1130は、イメージャデータレシーバ336からのデータパスを含み、それによって1つのイメージセンサの入力を2つ又はそれ以上のISPの何れかにルーティングすることができる。

【0063】

図11に示される例示的な実施形態において、プリ画像プロセッサ932はライブビューの画像フレームをダウンサイズできなくてよく、又は、前述のように、プリプロセッサ932は完全に省かれてよい。しかしながら、多くのイメージセンサは、水平及び垂直両次元のスキッピング及びビニングを行って出力解像度を低下させることができ、それによってイメージセンサ110を画像処理装置1130に直接接続でき、例えばISP 350を介したライブビューを行うことができる。このようなイメージセンサはまた、画像処理装置1030に、又は上述の他の例示的な実施形態の何れの画像処理装置にも接続して、出力解像度を低下させるためのその他の能力を提供できる。

【0064】

以上の説明は、本発明の例示的な実施形態のものであり、付属の特許請求の範囲により定義される本発明の主旨と範囲から逸脱せずに、様々な変更や改良を加えてよいと理解されたい。

【符号の説明】

【0065】

- 100 カメラシステム
- 110 イメージセンサ
- 120 画像前処理装置
- 130 画像処理装置
- 140 ディスプレイ
- 150 記憶媒体
- 210 画像データレシーバ
- 220 DMAコントローラ
- 230 データインタフェース
- 240 イメージャデータインタフェース
- 250 バッファメモリ
- 260 ISP
- 300 カメラシステム
- 310 画像前処理装置
- 312 データインタフェース
- 314 イメージャデータトランスミッタ
- 316 受信DMAコントローラ
- 318 送信DMAコントローラ
- 320 FIFOバッファ
- 322 画像データレシーバ
- 324 画素プロセッサ
- 326 FIFOバッファ
- 328 画像ダウンサイザ
- 330 画像処理装置
- 332 データインタフェース
- 334 静止画像プリバッファ
- 336 イメージャデータレシーバ

10

20

30

40

50

338 ISP
 340 静止画像ポストバッファ
 342 画像プロセッサ
 344 FIFOバッファ
 346 イメージャデータトランスミッタ
 348 イメージャデータレシーバ
 350 ISP
 352 ディスプレイコントローラ
 354 表示データトランスミッタ
 356 ストレージコントローラ
 358 ストレージインタフェース
 410 画像フレーム
 420 第一の画像サブフレーム
 440 第二の画像サブフレーム
 700 カメラシステム
 720 画像前処理装置
 730 プリプロセッサ
 800 カメラシステム
 910 画像前処理装置
 930 画像処理装置
 932 プリプロセッサ
 1030 画像処理装置
 1130 画像処理装置

10

20

【図 1】

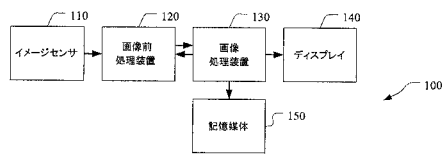


図 1

【図 2】

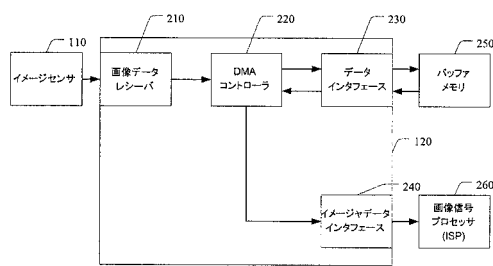


図 2

【図 3】

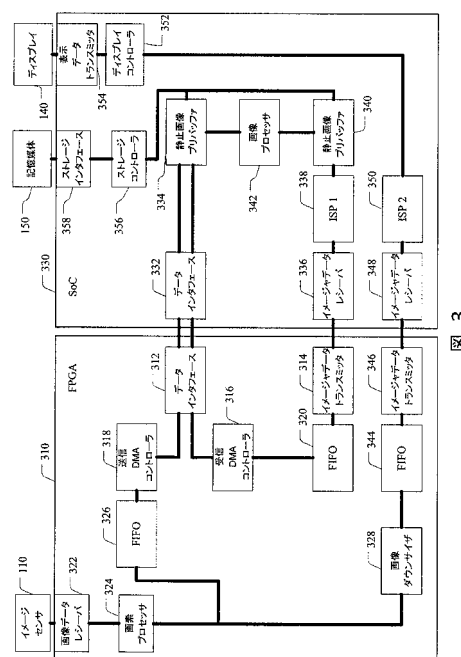
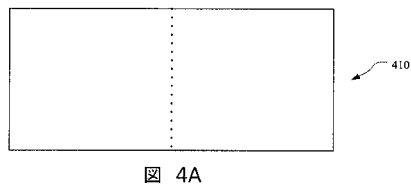
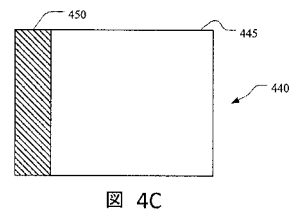


図 3

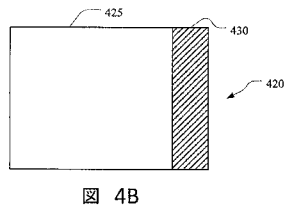
【図 4 A】



【図 4 C】



【図 4 B】



【図 5】

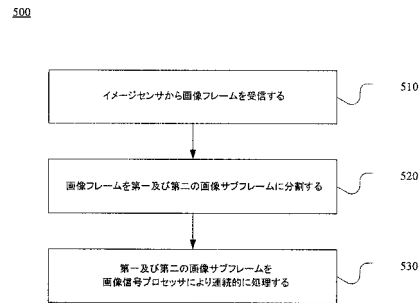


図 5

【図 6】

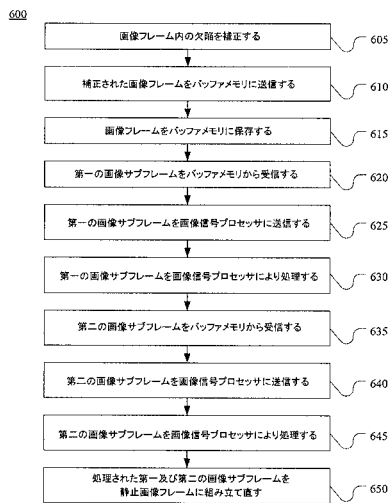


図 6

【図 7】

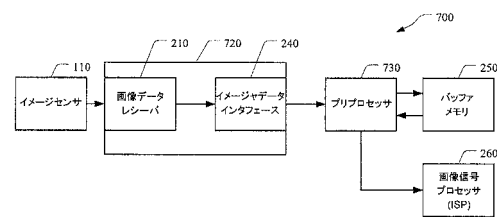


図 7

【図 8】

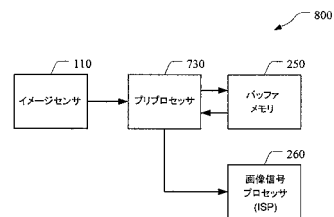


図 8

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2019/036687

A. CLASSIFICATION OF SUBJECT MATTER

IPC(8) - H04N 3/15; H04N 9/04; H04N 1/21; H04N 5/222; H04N 5/225 (2019.01)

CPC - H04N 5/3454; H04N 9/045; H04N 1/0044; H04N 1/2112; H04N 1/2158 (2019.08)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

See Search History document

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

USPC - 348/E3.02; 348/E9.01; 348/234; 348/558; 348/564 (keyword delimited)

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

See Search History document

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2007/0177021 A1 (SHAN et al) 02 August 2007 (02.08.2007) entire document	23
A		1-22
A	US 2014/0043435 A1 (BLAYVAS) 13 February 2014 (13.02.2014) entire document	1-22
A	US 2008/0002160 A1 (CHANG et al) 03 January 2008 (03.01.2008) entire document	1-22
A	US 5,047,858 A (AIMONOYA) 10 September 1991 (10.09.1991) entire document	1-35
A	CHAN, "Digital Imaging- Pixels and Sensors." In: Seawood Photo. 27 January 2018 (27.01.2018) Retrieved on 11 August 2019 (11.08.2019) from <https://www.seawood.com/seawoodblog/2018/1/27/digital-imaging-pixels-and-sensors> entire document	1-35
A	US 6,788,338 B1 (DINEV et al) 07 September 2004 (07.09.2004) entire document	1-35
A	US 6,292,218 B1 (PARULSKI et al) 18 September 2001 (18.09.2001) entire document	1-35

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 August 2019

Date of mailing of the international search report

22 AUG 2019

Name and mailing address of the ISA/US

Mail Stop PCT, Attn: ISA/US, Commissioner for Patents
P.O. Box 1450, Alexandria, VA 22313-1450

Facsimile No. 571-273-8300

Authorized officer

Blaine R. Copenheaver

PCT Helpdesk: 571-272-4300
PCT OSP: 571-272-7774

Form PCT/ISA/210 (second sheet) (January 2015)

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 ヴァレーラ, ハルシェシュ

カナダ国・ブイ 3 エス 8 エイ 6 ・ブリティッシュコロンビア州・サレー・6 2 エイ アヴェニュー
・ナンバー 1 1 1 - 1 5 1 5 2

F ターム(参考) 5B057 CA01 CA08 CA12 CA16 CB01 CB08 CB12 CB16 CD05 CE02
CE06 CH09 CH11 CH14 CH16 DA16 DB02 DB06 DB09