(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102034712 B
(45)授权公告日 2014.04.30

(21)申请号 201010294426.4

(22)申请日 2010.09.20

(30)优先权数据
12/565,611 2009.09.23 US

(73)专利权人 万国半导体股份有限公司
地址 美国加利福尼亚州桑尼维尔奥克米德大道475号

(72)发明人 戴嵩山 哈姆扎·耶尔马兹 安荷·叭剌 常虹 陈军

(74)专利代理机构 上海申新律师事务所 31272
代理人 竺路玲

(51)Int.Cl.
H01L 21/336(2006.01)
H01L 29/78(2006.01)
H01L 29/06(2006.01)

(56)对比文件
US 6710403 B2,2004.03.23,
US 2004031987 A1,2004.02.19,
US 2007194374 A1,2007.08.23,

审查员 王磊

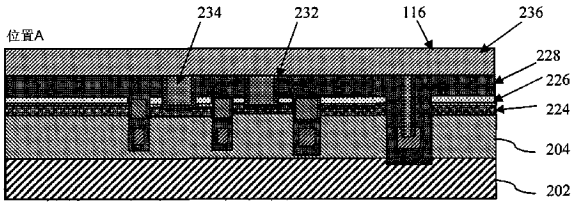
权利要求书3页 说明书8页 附图11页

(54)发明名称

三掩膜形成屏蔽栅极沟槽场效应晶体管的方法及器件

(57)摘要

在带有三掩膜屏蔽栅工艺的沟槽中直接接触,本发明提出了一种半导体器件及其制备方法。在半导体衬底上使用沟槽掩膜,刻蚀衬底形成三种不同宽度的沟槽。第一导电材料形成在沟槽底部。第二导电材料形成在第一导电材料上方。绝缘层将第一和第二导电材料分隔开。第一绝缘层沉积在沟槽上方。本体层形成在衬底的顶部。源极形成在本体层中。在沟槽和源极上方使用第二绝缘层。在第二绝缘层上方使用接触掩膜。形成穿过第二绝缘层的源极和栅极接头。源极和栅极金属形成在第二绝缘层上方。



CN 102034712 B

1. 一种用于制备屏蔽栅极沟槽半导体器件的方法，其特征在于，包括：

步骤 a：将沟槽掩膜作为第一掩膜，用于半导体衬底；

步骤 b：刻蚀半导体衬底，形成晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3），它们的宽度分别为晶体管元沟槽宽度（W1）、栅极沟槽宽度（W2）和源极沟槽宽度（W3），其中源极沟槽（TR3）是最宽和最深的沟槽，源极沟槽宽度（W3）取决于栅极沟槽（TR2）的深度（D2）；

步骤 c：在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）的底部，制备第一导电材料，以形成源极电极；

步骤 d：在晶体管元沟槽（TR1）和栅极沟槽（TR2）中的第一导电材料上方，制备第二导电材料，以形成栅极电极，其中第一和第二导电材料相互分离，并通过绝缘材料，与半导体衬底分离；

步骤 e：在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）上方，沉积第一绝缘层，其中用绝缘物填满源极沟槽（TR3）的顶部；

步骤 f：在衬底的顶部，制备一个本体层；

步骤 g：在本体层的顶部，制备一个源极层；

步骤 h：在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）以及源极层的上方，制备第二绝缘层；

步骤 i：在第二绝缘层上方，运用接触掩膜作为第二掩膜；

步骤 j：在源极沟槽（TR3）中形成源极电极接触，在栅极沟槽（TR2）中形成栅极电极接触，并形成源极和本体接触到半导体衬底；以及

步骤 k：运用一个金属掩膜作为第三掩膜，在第二绝缘层上方，制备源极金属和栅极金属。

2. 如权利要求 1 所述的方法，其特征在于，步骤 k 包括：

在第二绝缘层上方，沉积一个金属层；

在金属层上方，使用所述的金属掩膜作为第三掩膜；以及

通过金属掩膜，刻蚀金属层，形成栅极金属和源极金属。

3. 如权利要求 1 所述的方法，其特征在于，步骤 a 包括：

在半导体衬底上方，沉积一个氧化层；以及

用第一掩膜形成氧化层的图案，以制备一个硬掩膜。

4. 如权利要求 1 所述的方法，其特征在于，晶体管元沟槽宽度（W1）为 0.3 微米至 0.5 微米；栅极沟槽宽度（W2）为 0.6 微米至 0.9 微米；以及源极沟槽宽度（W3）为 1.2 微米至 2.0 微米。

5. 如权利要求 1 所述的方法，其特征在于，源极沟槽宽度（W3）与栅极沟槽宽度（W2）之比的比例为 1.5 至 3。

6. 如权利要求 1 所述的方法，其特征在于，源极沟槽宽度（W3）与栅极沟槽的深度（D2）之比的比例为 1.1 至 1.3。

7. 如权利要求 1 所述的方法，其特征在于，步骤 c 包括：

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）的侧壁上，制备一个氧化层；

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中，原位沉积第一导电材料；

以及

回刻第一导电材料。

8. 如权利要求 7 所述的方法，其特征在于，氧化层的厚度为 1500 埃至 2500 埃。

9. 如权利要求 1 所述的方法，其特征在于，步骤 d 包括：

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中的源极电极上方，制备一个介质层；

对介质层进行化学机械抛光和回刻到预设厚度，以制备硅间介质层；

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）的裸露部分的侧壁上，生长栅极氧化物；以及

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中，沉积第二导电材料，沉积的预设厚度要填满晶体管元沟槽（TR1）和栅极沟槽（TR2），但不填满源极沟槽（TR3）。

10. 如权利要求 9 所述的方法，其特征在于，栅极氧化物的厚度在 250 埃至 1000 埃的范围内。

11. 如权利要求 9 所述的方法，其特征在于，选择源极沟槽的宽度（W3），并选择沉积一定量的第二导电材料，使源极沟槽（TR3）中的第二导电材料中留有一个缝隙。

12. 如权利要求 11 所述的方法，其特征在于，所述的缝隙的宽度为 0.1 微米至 0.3 微米。

13. 如权利要求 11 所述的方法，其特征在于，还包括在步骤 d 之后、步骤 e 之前，要进行：

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中，各向同性地刻蚀第二导电材料，从而完全除去源极沟槽（TR3）中的第二导电材料，但是晶体管元沟槽（TR1）和栅极沟槽（TR2）中仍然剩余一部分第二导电材料。

14. 如权利要求 13 所述的方法，其特征在于，晶体管元沟槽（TR1）和栅极沟槽（TR2）中的第二导电材料要向下凹陷，以便使源极沟槽（TR3）中的第二导电材料完全除去。

15. 如权利要求 1 所述的方法，其特征在于，还包括在步骤 e 之后、步骤 f 之前，除去一部分第一绝缘层，使第一绝缘层与衬底的顶面在一个平面上。

16. 如权利要求 15 所述的方法，其特征在于，制备一个本体层包括垂直植入和退火。

17. 如权利要求 15 所述的方法，其特征在于，制备源极层包括垂直植入和退火。

18. 如权利要求 15 所述的方法，其特征在于，第一绝缘层进一步凹陷至衬底的顶面以下。

19. 如权利要求 18 所述的方法，其特征在于，制备源极层包括倾斜植入和退火。

20. 如权利要求 1 所述的方法，其特征在于，步骤 j 包括：

选择性地刻蚀一部分第二绝缘层，以形成源极电极接触孔和栅极电极接触孔，以及源极和本体接触孔；

在源极电极接触孔和栅极电极接触孔，以及源极和本体接触孔的侧壁上，沉积阻隔材料；以及

用导电插头填充源极电极接触孔，栅极电极接触孔，以及源极和本体接触孔的剩余部分。

21. 如权利要求 20 所述的方法，其特征在于，源极电极接触孔比栅极电极接触孔更大。

22. 如权利要求 21 所述的方法，其特征在于，源极电极接触孔的宽度为 0.35 微米至 0.7 微米，栅极电极接触孔的宽度为 0.25 微米至 0.35 微米。

23. 如权利要求 1 所述的方法，其特征在于，还包括在步骤 g 之后、步骤 h 之前，要进行：

在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中，回刻第一绝缘层，以制备垫片；以及

在晶体管元沟槽（TR1）和栅极沟槽（TR2）中的第二导电材料上方，以及源极层上方，制备自对准多晶硅化物。

24. 一种半导体器件，其特征在于，包括：

多个屏蔽栅极沟槽场效应管，每个场效应管都含有一个导电屏蔽电极和一个导电栅极电极，形成在晶体管元沟槽（TR1）中；

一个源极沟槽（TR3），在源极沟槽（TR3）的底部只有一个导电屏蔽电极，没有导电栅极电极；

一个栅极沟槽（TR2），在导电屏蔽电极上方，栅极沟槽（TR2）具有一个导电栅极电极，其中源极沟槽（TR3）比栅极沟槽（TR2）更宽也更深；

一个或多个垂直屏蔽电极接头，用于将源极沟槽（TR3）中的导电屏蔽电极直接电连接到源极金属上；

垂直栅极接头，用于将栅极沟槽（TR2）中的导电栅极直接电连接到栅极金属上，其中该半导体器件是由一个三掩膜屏蔽栅工艺制成的，其中源极沟槽（TR3）比栅极沟槽（TR2）更宽也更深。

25. 如权利要求 24 所述的半导体器件，其特征在于，栅极沟槽（TR2）比晶体管元沟槽（TR1）更宽也更深。

26. 如权利要求 24 所述的半导体器件，其特征在于，屏蔽栅极场效应管是形成在一个重掺杂衬底上方的外延层中，其中只有源极沟槽（TR3）延伸到该重掺杂的衬底中，而晶体管元沟槽（TR1）和栅极沟槽（TR2）并没有。

27. 如权利要求 24 所述的半导体器件，其特征在于，源极沟槽（TR3）最外层的环也作为终止区的一个保护环。

三掩膜形成屏蔽栅极沟槽场效应晶体管的方法及器件

技术领域

[0001] 本发明主要涉及一种半导体器件，更确切地说，涉及一种沟槽栅极场效应晶体管（FET）以及制备同类器件的方法。

[0002] 背景技术

[0003] DMOS（双扩散 MOS）晶体管是一种 MOSFET（金属氧化物半导体场效应管），利用两个顺序扩散阶梯，校准到一个公共边上，构成晶体管的通道区。DMOS 晶体管通常是高电压、高电流器件，既可以作为分立式晶体管，也可以作为功率集成电路的元件。DMOS 晶体管仅用很低的正向电压降，就可以在单位面积上产生高电流。

[0004] 典型的 DMOS 晶体管是一种叫做沟槽 DMOS 晶体管的器件，其中通道位于沟槽的侧壁上，栅极形成在沟槽中，沟槽从源极延伸到漏极。布满了薄氧化层的沟槽用多晶硅填充，比平面垂直 DMOS 晶体管结构对电流的限制还低，因此它的导通电阻较小。

[0005] 双栅沟槽 MOSFET 已经研发并制造出来。美国公开号为 2006/0273386 的专利申请提出了一种制备屏蔽栅极场效应管的方法，这种晶体管在第二导电类型的半导体区域上方，具有一个第一导电类型的本体区。栅极沟槽通过本体区延伸，在半导体区域内终止。至少一个导电屏蔽电极沉积在栅极沟槽中。屏蔽电极连接在源电压上，从漏极屏蔽栅极电极，以降低栅漏电容（Cgd），并提高击穿电压。栅极电极沉积在栅极沟槽中，但与至少一个导电屏蔽电极 绝缘。屏蔽介质层使至少一个导电屏蔽电极与半导体区域相绝缘。栅极介质层使栅极电极与本体区相绝缘。之所以形成屏蔽介质层，是为了使它向外扩展，直接延伸到本体区下方。

[0006] 但是，制备这种屏蔽栅场效应管的传统方法需要六至八个掩膜工艺，不仅昂贵而且耗时。

[0007] 正是基于以上情况，我们提出了本发明的各种实施例。

发明内容

[0008] 本发明所提供的一种用于制备屏蔽栅极沟槽半导体器件的方法，包括以下步骤：

[0009] 步骤 a：将沟槽掩膜作为第一掩膜，用于半导体衬底；

[0010] 步骤 b：刻蚀半导体衬底，形成晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3），它们的宽度分别为晶体管元沟槽宽度（W1）、栅极沟槽宽度（W2）和源极沟槽宽度（W3），其中源极沟槽（TR3）是最宽和最深的沟槽，源极沟槽宽度（W3）取决于栅极沟槽（TR2）的深度（D2）；

[0011] 步骤 c：在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）的底部，制备第一导电材料，以形成源极电极；

[0012] 步骤 d：在晶体管元沟槽（TR1）和栅极沟槽（TR2）中的第一导电材料上方，制备第二导电材料，以形成栅极电极，其中第一和第二导电材料相互分离，并通过绝缘材料，与半导体衬底分离；

[0013] 步骤 e：在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）上方，沉积第一

绝缘层，其中用绝缘物填满源极沟槽（TR3）的顶部；

[0014] 步骤 f：在衬底的顶部，制备一个本体层；

[0015] 步骤 g：在本体层的顶部，制备一个源极层；

[0016] 步骤 h：在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）以及源极的上方，制备第二绝缘层；

[0017] 步骤 i：在第二绝缘层上方，运用接触掩膜作为第二掩膜；

[0018] 步骤 j：在源极沟槽（TR3）中形成源极电极接触，在栅极沟槽（TR2）中形成栅极电极接触，并形成源极 / 本体接触到半导体衬底；以及

[0019] 步骤 k：运用一个金属掩膜作为第三掩膜，在第二绝缘层上方，制备源极金属和栅极金属。

[0020] 上述的方法，其中，步骤 k 包括：

[0021] 在第二绝缘层上方，沉积一个金属层；

[0022] 在金属层上方，使用所述的金属掩膜作为第三掩膜；以及

[0023] 通过金属掩膜，刻蚀金属层，形成栅极金属和源极金属。

[0024] 上述的方法，其中，步骤 a 包括：

[0025] 在半导体衬底上方，沉积一个氧化层；以及

[0026] 用第一掩膜形成氧化层的图案，以制备一个硬掩膜。

[0027] 上述的方法，其中，晶体管元沟槽宽度（W1）为 0.3 微米至 0.5 微米；栅极沟槽宽度（W2）为 0.6 微米至 0.9 微米；以及源极沟槽宽度（W3）为 1.2 微米至 2.0 微米。

[0028] 上述的方法，其中，源极沟槽宽度（W3）与栅极沟槽宽度（W2）之比的比例为 1.5 至 3。

[0029] 上述的方法，其中，源极沟槽宽度（W3）与栅极沟槽的深度（D2）之比的比例为 1.1 至 1.3。

[0030] 上述的方法，其中，步骤 c 包括：

[0031] 在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）的侧壁上，制备一个氧化层；

[0032] 在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中，原位沉积第一导电材料；以及

[0033] 回刻第一导电材料。

[0034] 上述的方法，其中，氧化层的厚度为 1500 埃至 2500 埃。

[0035] 上述的方法，其中，步骤 d 包括：

[0036] 在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中的源极电极上方，制备一个介质层；

[0037] 对介质层进行化学机械抛光和 / 或回刻到预设厚度，以制备硅间介质层；

[0038] 在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）的裸露部分的侧壁上，生长栅极氧化物；以及

[0039] 在晶体管元沟槽（TR1）、栅极沟槽（TR2）和源极沟槽（TR3）中，沉积第二导电材料，沉积的预设厚度要填满晶体管元沟槽（TR1）和栅极沟槽（TR2），但不填满源极沟槽（TR3）。

[0040] 上述的方法，其中，栅极氧化物的厚度在 250 埃至 1000 埃的范围内。

[0041] 上述的方法，其中，选择源极沟槽的宽度 (W3)，并选择沉积一定量的第二导电材料，使源极沟槽 (TR3) 中的第二导电材料中留有一个缝隙。

[0042] 上述的方法，其中，所述的缝隙的宽度为 0.1 微米至 0.3 微米。

[0043] 上述的方法，其中，还包括在步骤 d 之后、步骤 e 之前，要进行：

[0044] 在晶体管元沟槽 (TR1)、栅极沟槽 (TR2) 和源极沟槽 (TR3) 中，各 向同性地刻蚀第二导电材料，从而完全除去源极沟槽 (TR3) 中的第二导电材料，但是晶体管元沟槽 (TR1) 和栅极沟槽 (TR2) 中仍然剩余一部分第二导电材料。

[0045] 上述的方法，其中，晶体管元沟槽 (TR1) 和栅极沟槽 (TR2) 中的第二导电材料要在一定程度上向下凹陷，以便使源极沟槽 (TR3) 中残留的第二导电材料最少。

[0046] 上述的方法，其中，还包括在步骤 e 之后、步骤 f 之前，除去一部分第一绝缘层，使第一绝缘层与衬底的顶面在一个平面上。

[0047] 上述的方法，其中，制备一个本体层包括垂直植入和退火。

[0048] 上述的方法，其中，制备源极层包括垂直植入和退火。

[0049] 上述的方法，其中，第一绝缘层进一步凹陷至衬底的顶面以下。

[0050] 上述的方法，其中，制备源极层包括倾斜植入和退火。

[0051] 上述的方法，其中，步骤 j 包括：

[0052] 选择性地刻蚀一部分第二绝缘层，以形成源极电极接触孔和栅极电极接触孔，以及源极 / 本体接触孔；

[0053] 在源极电极接触孔和栅极电极接触孔，以及源极 / 本体接触孔的侧壁上，沉积阻隔材料；以及

[0054] 用导电插头填充源极电极接触孔，栅极电极接触孔，以及源极 / 本体接触孔的剩余部分。

[0055] 上述的方法，其中，源极电极接触孔比栅极电极接触孔更大。

[0056] 上述的方法，其中，源极电极接触孔的宽度为 0.35 微米至 0.7 微米，栅极电极接触孔的宽度为 0.25 微米至 0.35 微米。

[0057] 上述的方法，其中，还包括在步骤 g 之后、步骤 h 之前，要进行：

[0058] 在晶体管元沟槽 (TR1)、栅极沟槽 (TR2) 和源极沟槽 (TR3) 中，回刻第一绝缘层，以制备垫片；以及

[0059] 在晶体管元沟槽 (TR1) 和栅极沟槽 (TR2) 中的第二导电材料上方，以及源极层上方，制备自对准多晶硅化物。

[0060] 本发明还提供一种半导体器件，包括：

[0061] 多个屏蔽栅极沟槽场效应管，每个场效应管都含有一个导电屏蔽电极和一个导电栅极电极，形成在晶体管元沟槽 (TR1) 中；

[0062] 一个源极沟槽 (TR3)，在源极沟槽 (TR3) 的底部只有一个导电屏蔽电极，没有导电栅极电极；

[0063] 一个栅极沟槽 (TR2)，在导电屏蔽电极上方，栅极沟槽 (TR2) 具有一个导电栅极电极，其中源极沟槽 (TR3) 比栅极沟槽 (TR2) 更宽也更深；

[0064] 一个或多个垂直屏蔽电极接头，用于将源极沟槽 (TR3) 中的导电屏蔽电极直接电连接到源极金属上；

[0065] 垂直栅极接头，用于将栅极沟槽（TR2）中的导电栅极直接电连接到栅极金属上，其中该半导体器件是由一个三掩膜屏蔽栅工艺制成的，其中源极沟槽（TR3）比栅极沟槽（TR2）更宽也更深。

[0066] 上述的半导体器件，其中，栅极沟槽（TR2）比晶体管元沟槽（TR1）更宽也更深。

[0067] 上述的半导体器件，其中，屏蔽栅极场效应管是形成在一个重掺杂衬底上方的外延层中，其中只有源极沟槽（TR3）延伸到该重掺杂的衬底中，而晶体管元沟槽（TR1）和栅极沟槽（TR2）并没有。

[0068] 上述的半导体器件，其中，源极沟槽（TR3）最外层的环也作为终止区的一个保护环。

附图说明

[0069] 阅读以下详细说明并参照以下附图后，本发明的其他特点和优势将显而易见：

[0070] 图 1A 和 1B 表示依据本发明的一个实施例，半导体器件布局的俯视图。

[0071] 图 1C 表示在与图 1A-1B 所示的半导体器件相同的沟槽中，形成的具有多晶硅源极和多晶硅栅极的屏蔽栅场效应管剖面图。

[0072] 图 2A-2Y 表示依据本发明的一个实施例，如图 1A-1C 所示的屏蔽栅场效应管的制备方法的剖面图。

[0073] 图 3 表示依据本发明的一个实施例，源极多晶硅连接的剖面图。

[0074] 图 4 表示依据本发明的一个实施例，栅极多晶硅连接的剖面图。

[0075] 图 5 表示依据本发明的一个实施例，源极多晶硅结构在第三个方向上的剖面图。

具体实施方式

[0076] 为了解释说明，以下详细说明涵盖了多个特殊细节，但本领域的所有技术人员都应理解，以下细节的许多变化和修改仍属本发明的范围。因此，本发明以下典型实施例的提出，没有对请求权项的发明造成任何一般性的损失，也没有附加任何限制。

[0077] 本发明的实施例提出了制备屏蔽栅极沟槽 FET 晶体管的方法，其中源极和栅极与三掩膜屏蔽栅工艺直接接触。

[0078] 图 1A-1B 表示含有底部漏极屏蔽栅沟槽 FET 的半导体器件 100 两种布局的俯视图。如图 1A 所示，半导体器件 100 由半导体衬底构成。器件 100 含有一个第一沟槽图案 102 和一个第二沟槽图案 104。第一沟槽图案 102 包括一个或多个互联的沟槽，每个沟槽都包含由第一导电材料（例如第一多晶硅层，称为多晶硅 1）构成的源极电极，源极电极电耦合到源电压上。第二沟槽图案 104 同样也包括一个或多个互联的沟槽，每个沟槽除了包含源极电极之外，还包含由第二导电材料（例如第二多晶硅层，称为多晶硅 2）构成的栅极电极。源极电极也可作为屏蔽电极，形成在衬底中的沟槽底部，栅极电极形成在沟槽的顶部。通过第一和第二沟槽图案 102、104 中的沟槽侧壁和底部的绝缘材料，第一和第二导电材料可以与衬底 101 的材料电绝缘。在第一沟槽图案 102 和第二沟槽图案 104 中的沟槽互联在一起，在沟槽的底部含有一个源极电极。另外，第二沟槽图案 104 中的沟槽在沟槽顶部还含有一个栅极电极，栅极电极通过绝缘材料与源极电极绝缘。要注意的是，由于第一导电材料和衬底 101 的材料之间存在厚绝缘层，因此第一沟槽图案 102 最外面的部分也可以作为一

个保护环。

[0079] 从第二沟槽图案 104，到位于半导体器件顶部的栅极金属 114，由接头 110 提供垂直电接触。从第一沟槽图案 102，到位于半导体器件 100 顶部的源极金属 116，由另外的接头 112 提供垂直电接触。第一沟槽图案 102 中的屏蔽电极，与第二沟槽图案 104 中的屏蔽电极互相联接。作为示例，源极金属 116 接地，底部的漏极金属（图中没有表示出）连接高电压（负），用于 N- 通道操作——用于 P- 通道操作，与之相反，漏极金属连接到正高电压上。图 1A 和 1B 表示接头 112 可能出现的不同位置。接头 112 可以在源极金属 116 的边缘处，如图 1A 所示，由于靠近晶片边缘，该处的电压会很高。还可选择将接头 112 置于源极金属 116 的中心，如图 1B 所示，该处的电压很低。

[0080] 半导体器件 100 也含有接头 106，将晶体管元 108 的源极和本体区电连接到源极金属 116 上。晶体管元 108 可以屏蔽栅极沟槽 FET。晶体管元 108 的中心部分 109 剖面图，如图 1C 所示。可以用第二沟槽图案 104 的沟槽 104′ 构成晶体管元 108。半导体衬底具有一个承载外延层 132 的重掺杂衬底层 131，沟槽 104′ 形成在半导体衬底中。晶体管元 108 的中心部分 109 含有第一导电材料 122（例如多晶硅 1），在中心沟槽 104’ 的底部作为源极 / 屏蔽电极。第一导电材料对晶体管元 108 的栅极电极 124 形成屏蔽。第二导电材料（例如多晶硅 2）在晶体管元顶部作为栅极电极。第一和第二导电材料与衬底 101 电绝缘，并通过含有硅间氧化层 (IPO)126 等绝缘材料，实现相互绝缘。晶体管元 108 还包括位于外延层 132 顶部的源极区 133，以及在源极区 133 下方的本体区 134。源极金属 116 覆盖在晶体管元 108 上。

[0081] 图 2A-2Y 表示制备如图 1A-1B 所示的半导体器件的三掩膜工艺的剖面图。在图 2A-2Y 中，沿 A 线和 B 线的剖面分别记为“位置 A”或“位置 B”。

[0082] 如图 2A 和 2B 所示，第一掩膜，例如光掩膜（图中没有表示出），沉积在半导体衬底上方，半导体衬底包括位于重掺杂的 N- 衬底 202 上方的相对轻掺杂的 N- 外延层 204 等。第一光掩膜形成带有开口的图案，以定义沟槽。还可选择，在 N- 外延层 204 上方，将光掩膜形成氧化层（图中没有表示出）的图案；并将氧化层作为硬掩膜，用于刻蚀沟槽。然后，如图 2A 所示，通过掩膜刻蚀 N- 外延层 204 和 N- 衬底 202，沿 A 线形成沟槽 206、208 和 210。沟槽 206 会在接下来的工艺中形成晶体管元 108 的一部分（就像图 1A-1C 的中心部分 109 的沟槽 104’ 那样）。为了简化，将这些沟槽 206 统称为晶体管元沟槽。另一个沟槽 208 可以用于制备连接到栅极金属层上的那部分沟槽图案（对应图 1A-1B 的接头 110）。为了简化，将该沟槽 208 称为栅极沟槽。然而，另一个沟槽 210 将制成连接到源极金属层上的那部分沟槽图案。为了简化，将该沟槽 210 称为源极沟槽（对应图 1A-1B 的接头 112）。如图 1A-1B 所示，这些沟槽全部互联在一起。如图 2B 所示（沿线 B 的剖面图），沟槽 208 和 210 的一部分形成在衬底的其他部分中。尽管晶体管元沟槽 206 和栅极沟槽 208 可以形成在 N- 外延层 204 中，但源极沟槽 210 可以一直向下延伸到 N- 衬底 202 中。沟槽 206、208 和 210 的宽度是不同的。举例来说，晶体管元沟槽 206 的宽度是这三种沟槽里最窄的，例如约为 0.3 至 0.5 微米。栅极沟槽 208 比晶体管元沟槽要宽，例如约为 0.6 至 0.9 微米。源极沟槽 210 比栅极沟槽要宽，例如约为 1.2 至 2.0 微米。对于一个特定的刻蚀周期来说，掩膜开口越宽，通过干刻蚀（典型用于多晶硅回刻）等各向异性的刻蚀工艺刻蚀出来的沟槽越深。由于必须要让源极沟槽的深度大于栅极沟槽，因此源极沟槽 210 的宽度要大于栅极沟

槽 208 的深度。最佳情况是，源极沟槽 210 的宽度与沟槽 208 的宽度之比，即 $W_{沟槽210}/W_{沟槽208}$ 大约在 1.5 至 3 之间，沟槽 210 的宽度与沟槽 208 的深度之比，即 $W_{沟槽210}/D_{沟槽208}$ 大约在 1.1 至 1.3 之间。因此，利用单掩膜和单刻蚀工艺，可以形成具有不同深度的沟槽。

[0083] 如图 2C-2D 所示，可以在沟槽 206、208 和 210 的侧壁和底部，形成一个薄绝缘层 216（例如一种氧化层）。例如，可以通过热生长氧化物与高温氧化物 (HTO) 沉积相结合，制备绝缘层 216。氧化层 216 的总厚度大约在 1500 埃至 2500 埃之间，以便闭锁高漏源电压 V_{DS}。然后，将第一导电材料 218（例如记为多晶硅 1 的多晶硅材料）原位沉积在沟槽中，并进行回刻，例如刻蚀到沟槽深度的 1/2 处。

[0084] 如图 2E-2F 所示，在第一导电材料（例如多晶硅 1 或源极 / 屏蔽电极）层 218 上方，形成一个较厚的绝缘层 217。较厚的绝缘层 217 可以是一种通过高密度等离子 (HDP) 氧化物沉积所形成的氧化物，这仅作为示例，不作为局限。然后，对绝缘层 217 进行化学机械抛光 (CMP)，并且在导电材料 218 上方，将绝缘层 217 回刻到预设的厚度。利用湿刻蚀，除去沟槽侧壁上多余的绝缘材料。

[0085] 如图 2G-2H 所示，可以在沟槽的侧壁上形成薄栅极绝缘物 219（例如一种氧化物）。栅极氧化物的厚度约为 250 Å至 1000 Å。沉积第二导电材料层 220（例如第二多晶硅层记为多晶硅 2，或栅极电极），填充沟槽 206 和 208。由于源极沟槽 210 比较宽而且比较深，选取一定量的第二导电材料，不要完全填充源极沟槽 210，在源极沟槽 210 上方的第二导电材料 220 中，留下一个大约 0.1 微米至 0.3 微米的缝隙 221。

[0086] 如图 2I-2J 所示，可以各向同性地回刻第二导电材料 220。由于具有缝隙 221，并且沟槽开口越宽，刻蚀得越快，因此可以完全除去源极沟槽 210 中的导电材料 220。为了使源极沟槽 210 中剩余的导电材料 220 最少，可以通过一个较长的各向同性刻蚀工艺，在一定程度上使沟槽 206 和 208 中的第二导电材料 220 向下凹陷。

[0087] 形成一个薄绝缘层 222（例如一个氧化层），填满沟槽 206、208 和 210。例如，如图 2K 和 2M 所示，通过热氧化与低温氧化或高密度等离子 (HDP) 沉积相结合，形成一个氧化层。然后对薄绝缘层 222 进行化学机械抛光和 / 或回刻。图 2L 表示图 2K 所示工艺的一种可选方式。在这种情况下，绝缘层 222 的回刻程度更大，以便将来进行倾斜源极植入。

[0088] 如图 2N 和 2P 所示，在 N- 外延层 206 的顶部形成一个本体层 224，然后在本体层 224 的顶部形成一个源极层 226。可以通过垂直植入和退火等方式，形成本体层 224 和源极层 226。图 2O 表示图 2N 所示工艺的一种可选方式，该方式通过倾斜植入，形成源极 226。在这种方式下，由于倾斜植入并除去栅极电极 220 上方的氧化物 222，如图 2L 所示，使得源极植入物触及栅极电极 220 的厚度很小，因此源极层 226 植入的厚度较小。

[0089] 图 2Q-2V 表示形成接头。如图 2Q 和 2S 所示，在该结构上方形成一个绝缘层 228（例如磷硅酸盐玻璃 (BPSG) 等低温氧化层 228），并增稠。在绝缘层 228 上制备一个接触掩膜（图中没有表示出），形成带开口的图案，以定义接触孔。该接触掩膜是此工艺中使用的第二个光掩膜。通过掩膜中的开口，刻蚀绝缘层 228 以及本体层 224 和源极层 226 的一部分，形成接触孔 229，并将沟槽 208 和 210 中的氧化物，向下刻蚀到多晶硅 1 或多晶硅 2 层，形成孔 231 和 233。首先，利用氧化刻蚀，将氧化层 228 以及沟槽（例如 222）中的氧化物刻蚀掉，直到露出硅或多晶硅。然后，利用硅刻蚀，通过源极层 226 刻蚀，使接触孔 229 中的本体层 224 裸露出来。图 2R 表示图 2Q 所示方法的一种可选方式。在这种情况下，形成接触

孔 229 的刻蚀过程，一直进行到本体层 224 的顶面为止。然后，利用本体接触植入和扩散的标准工艺，在接触孔 229 的底部附近，制备一个本体接触区 230。由于源极 / 屏蔽 电极 218 以及栅极电极 220 都是重掺杂的，因此不会受到本体接触植入的影响。

[0090] 鉴于沟槽 210 中的源极 / 屏蔽电极 218 的深度，接触孔 231 的尺寸可能大于接触孔 233 或 229 的尺寸。例如，接触孔 231 的尺寸大约在 0.25 至 0.35 微米之间，而接触孔 233 的尺寸大约在 0.35 至 0.7 微米之间。

[0091] 如图 2T-2V 所示，可以在接触孔 229、231 和 233 中沉积一层阻隔材料 232（例如 Ti/TiN 等）。然后，使用导电（例如钨 (W)）插头 234 填满接触孔 229、231 和 233。源极区 226 上方的接触孔 229 中的阻隔金属 232 和钨插头 234，作为源极 / 本体接头。在该结构上方，沉积一个金属层 236(Al-Si 较佳）。在金属层 236 上沉积一个带图案的金属掩膜（图中没有表示出），随后通过金属刻蚀，将金属层 236 分成多个电绝缘部分，这些部分构成栅极和源极金属，比如图 1A-1B 所示的半导体器件 100 的栅极金属 114 和源极金属 116，从而完成整个器件。金属掩膜是该工艺中的第三个光掩膜。源极区上方的接触孔 229 中的阻隔金属 232 和钨插头 234，作为从源极层 226 和本体层 224 到源极金属 116（图 1A-1B) 的垂直源极沟槽接头 112。栅极沟槽 208 上方的接触孔 233 中的阻隔金属 232 和钨插头 234，作为从栅极电极 220 到栅极金属 114（图 1A-1B) 的垂直栅极沟槽接头 110。还可选择，随后利用一个额外的掩膜进行钝化。标准工艺并不需要掩膜，就能在器件的底部形成一个漏极金属（图中没有表示出）。

[0092] 图 2W 表示与图 2N 相同的工艺，图 2X-2Y 表示在源极植入和驱动之后，立即进行硅材料可选的硅化工艺，也就是如果有必要的话，在如图 2N 或图 2W 所示的工艺之后立即进行。在这种情况下，如图 2X 所示，回刻绝缘层 222，形成氧化物垫片 238。例如，如果第二导电材料 220（例如多晶硅 2) 上方的沟槽中的绝缘层 222，是一层厚度约为 1200 埃至 2000 埃的氧化层，则可以使用干刻蚀。侧壁的垫片厚度最好是在 500 埃至 800 埃之间。垫片能够防止源极层 226 和第二导电材料（栅极电极 220) 之间短接。如图 2Y 所示，如果第二导电材料 220 是多晶硅，则可以通过标准的硅化工艺，在第二导电材料 220 上方以及源极层 226 上方，形成自对准多晶硅化物 240。硅化工艺包括在氮气气氛中，580℃至 680℃温度下的快速热退火 (RTA) 沉积 Ti/TiN，在 Ti/TiN 与硅或多晶硅接触的地方形成自对准多晶硅化物 220，然后剥去剩余的 TiN。金属自对准多晶硅化物可以是 TiSi、NiSi 或 CoSi。为了降低栅极电阻，可以选用 TiSi。由于为了形成自对准多晶硅化物，Ti/TiN 不会与氧化物相互反应，因此氧化物垫片 238 中不含自对准多晶硅化物。

[0093] 在形成自对准多晶硅化物之后，如图 2Q-2V 所示，可以接下来形成接头和金属。

[0094] 图 3-5 表示上述器件中所出现的不同类型的沟槽结构的示例。为了简化，图 3-5 省去了源极和本体区、BPSG 等细节。图 3 表示通过如图 2T 所示的工艺形成的源极多晶硅，连接和终止的结构 300 的剖面图。如图所示，形成在半导体衬底 301 中的绝缘沟槽中的多晶硅源极 / 屏蔽电极 302，可以通过 W- 插头接头 304，直接垂直连接到源极金属（图中没有表示出）上。图 4 表示如图 2V 所示的工艺形成的栅极多晶硅连接结构 400 的剖面图。如图 4 所示，形成在半导体衬底 401 中的绝缘沟槽中的多晶硅栅极电极 402，可以通过 W- 插头接头 404，直接垂直连接到栅极金属（图中没有表示出）上。在传 统的方法中，多晶硅源极 / 屏蔽和栅极电极分别连接到源极金属和栅极金属上。

[0095] 图 5 表示依据上述图 2A-2Y 所述的工艺，所形成的源极沟槽的一部分结构 500 的剖面图。如图 5 所示，可以通过在一个被氧化物部分填充的沟槽（例如半导体衬底 501 中的源极沟槽 210）中，沉积多晶硅（例如多晶硅 1）形成沟槽结构 500 的导电部分 502。沟槽的其余部分可以用绝缘物 504（例如一种氧化物）填满。尽管图 5 与图 3 类似，但图 5 所处的沟槽图案区中并没有形成源极电极接头。作为示例，图 3 和图 5 中所示的结构，对应的是图 1A 的第一沟槽图案 102 的最外层沟槽。该最外层沟槽不仅作为终止沟槽 / 保护环，通过它的厚氧化物侧壁，防止晶片边缘处的高电压，而且还作为源极金属 116 的接触区，通过接头 112、304，接触沟槽中的源极电极 302、502。

[0096] 尽管以上内容完整说明了本发明的较佳实施例，但仍可能存在各种等价的变化和修正。因此，本发明的范围不应由上述说明限定，而应由所附的权利要求书及其等价范围限定。任何特点，无论是否较佳，都应与其他任何特点相结合，无论是否较佳。在以下的权利要求书中，除非特别说明，否则不定冠词“一个”或“一种”指的是下文中的一个或多个项目。除非在指定的权利要求中用“意思是”明确引用该限制条件，否则所附的权利要求书不应看做是含有定义加功能的局限。

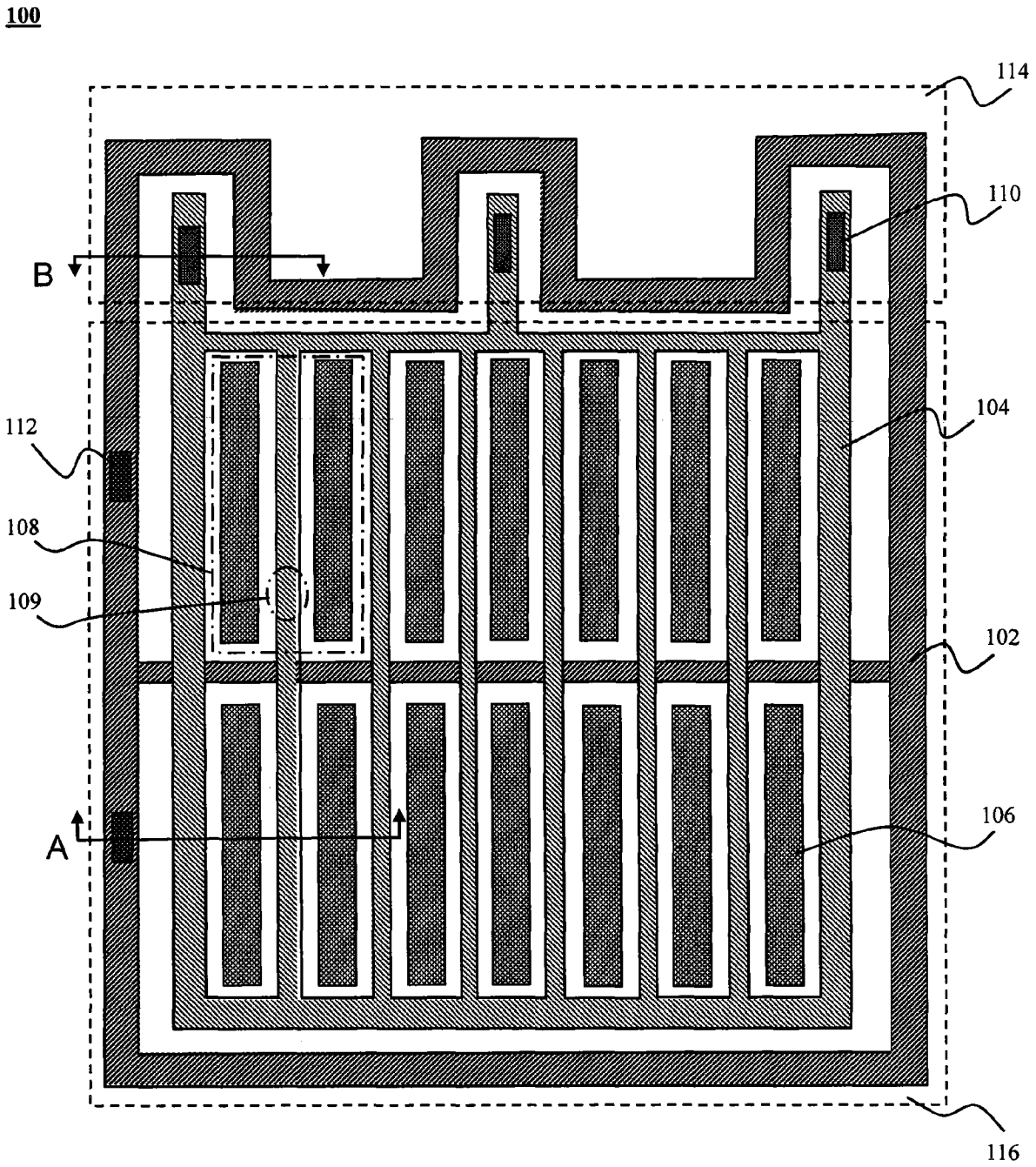


图 1A

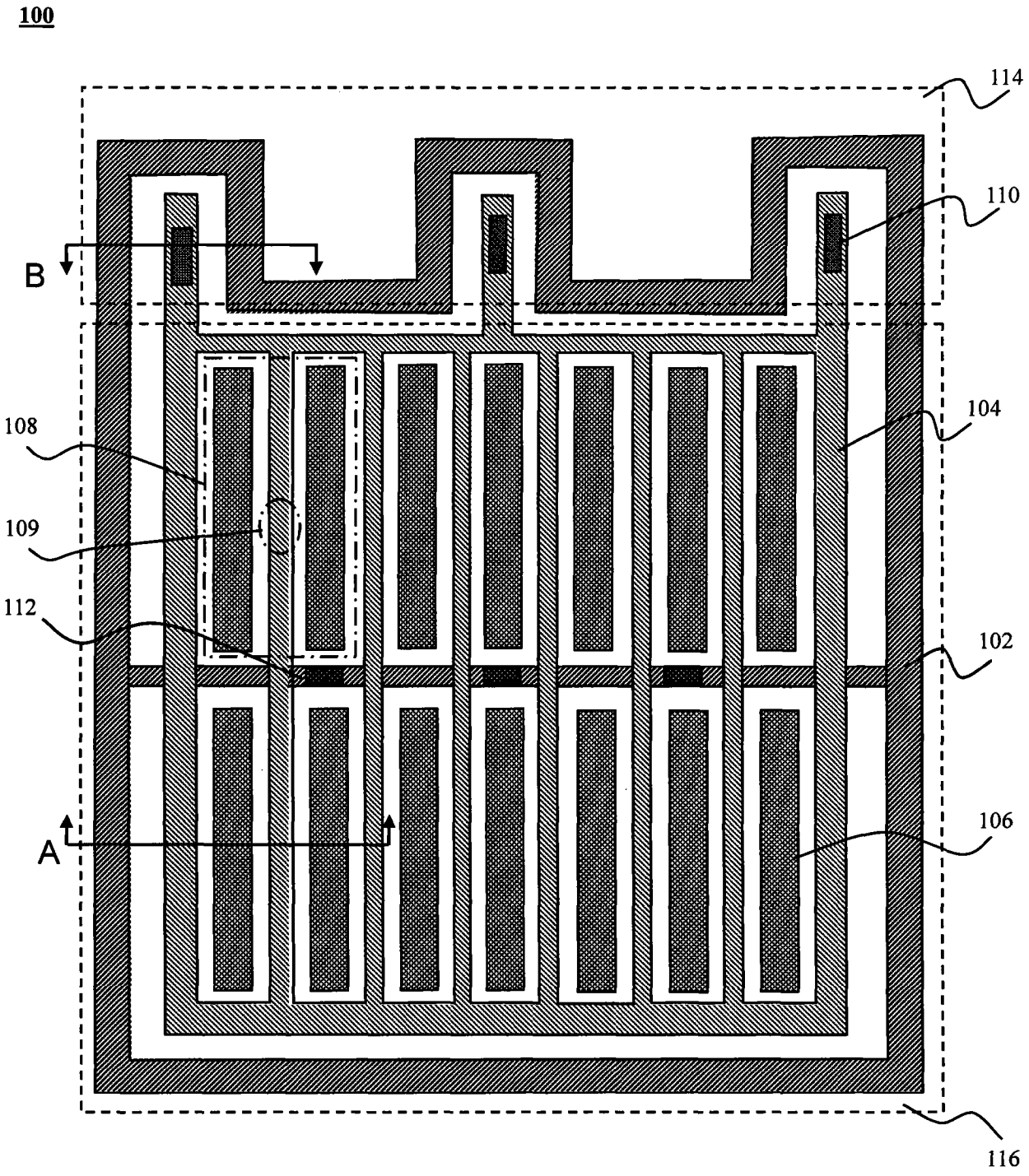


图 1B

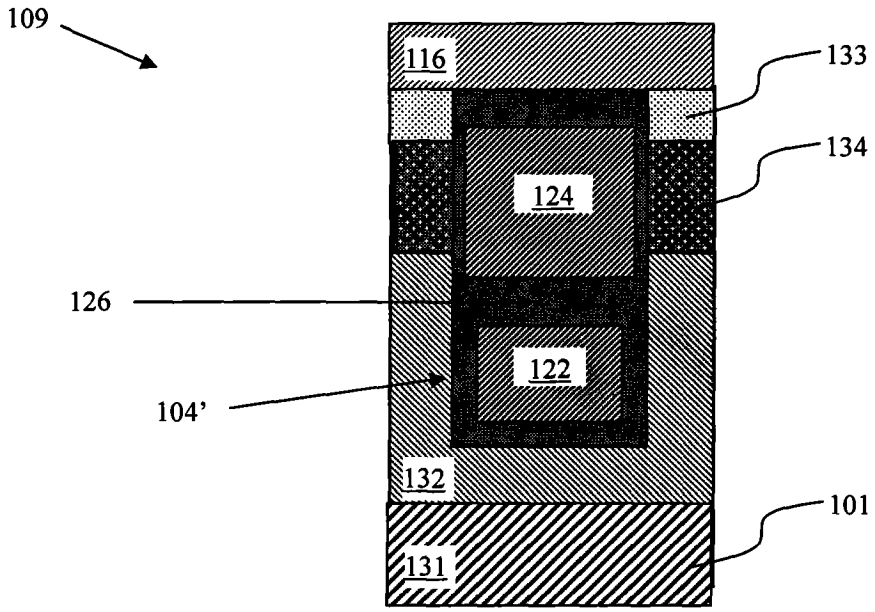

109
116
133
134
124
126
122
104'
132
101
131

图 1C

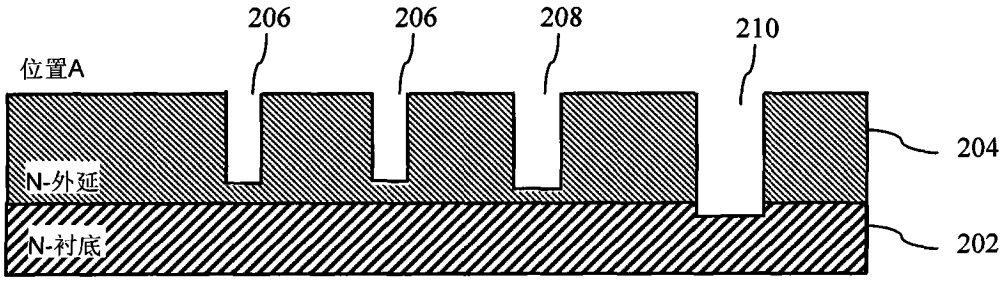

206
206
208
210
位置A
204
N-外延
N-衬底
202

图 2A

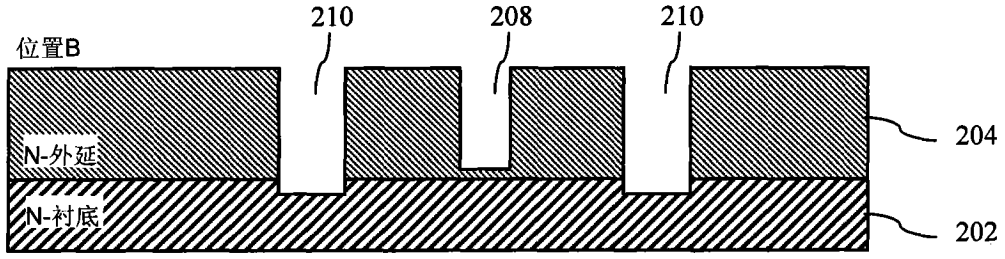

210
208
210
位置B
204
N-外延
N-衬底
202

图 2B

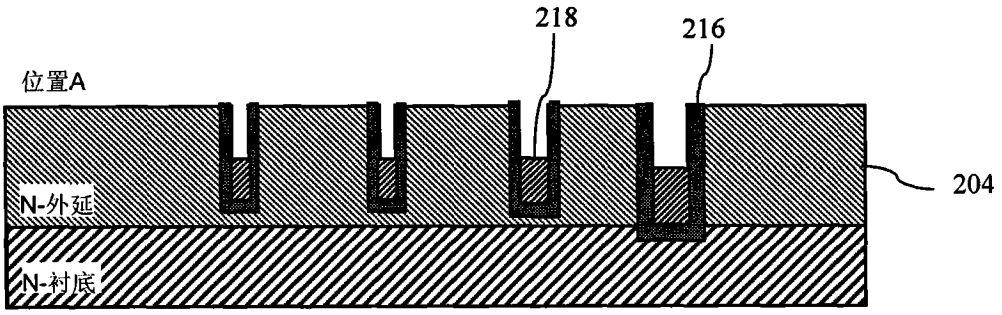


图 2C

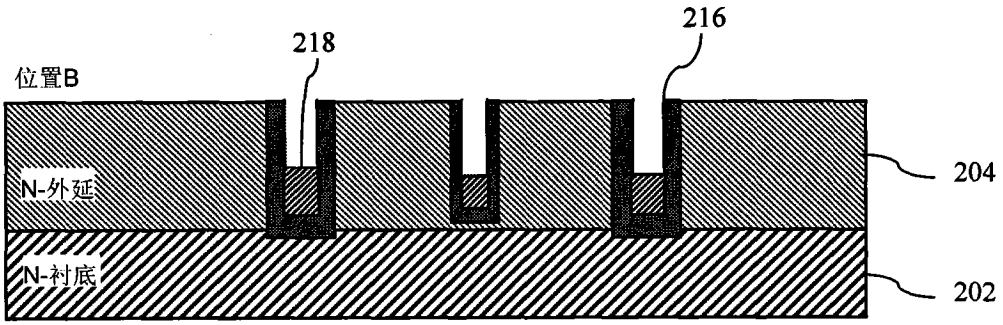


图 2D

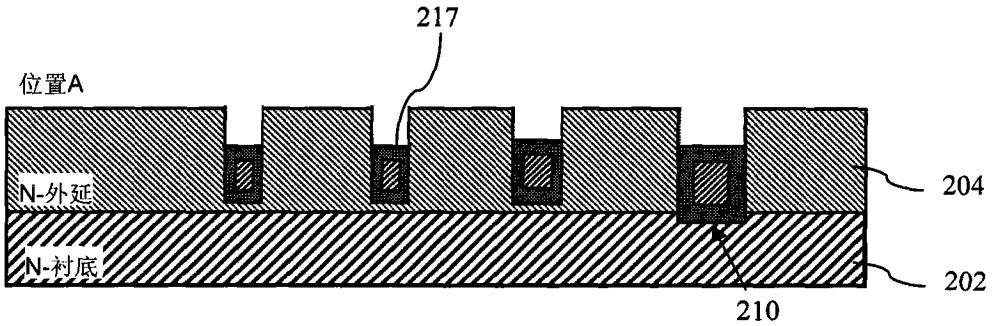


图 2E

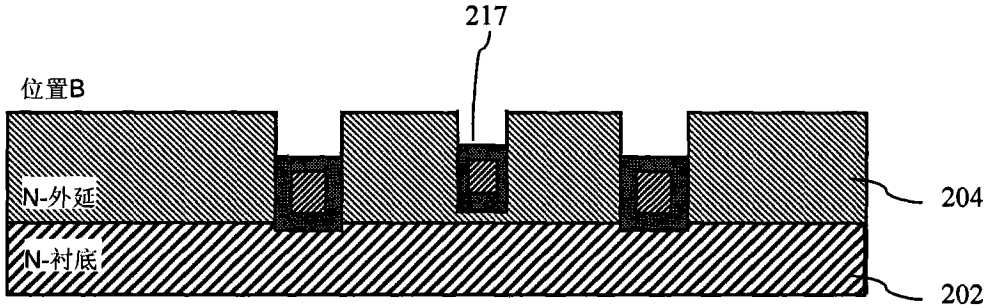


图 2F

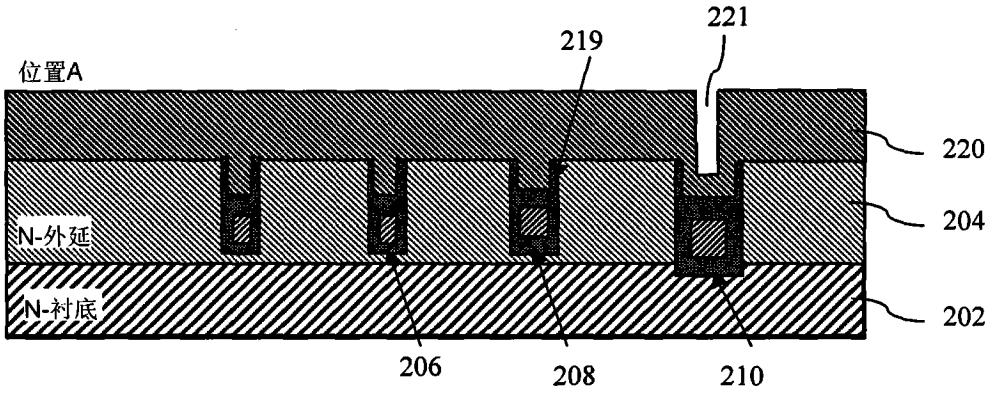

221
219
位置A
220
204
N-外延
N-衬底
202
206
208
210

图 2G

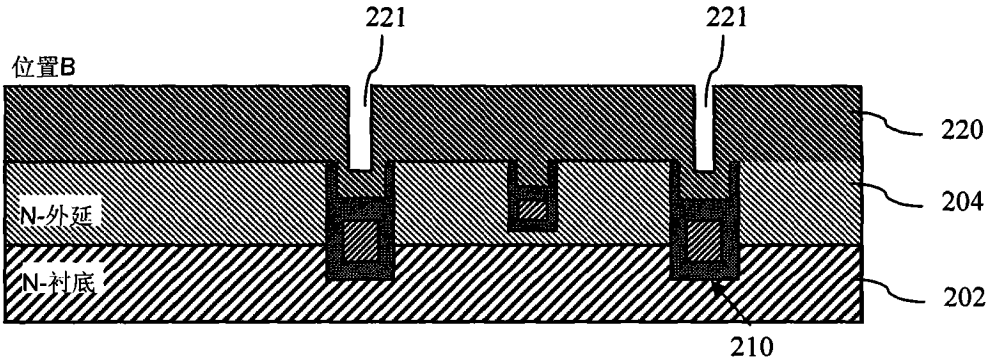

221
221
位置B
220
204
N-外延
N-衬底
202
210

图 2H

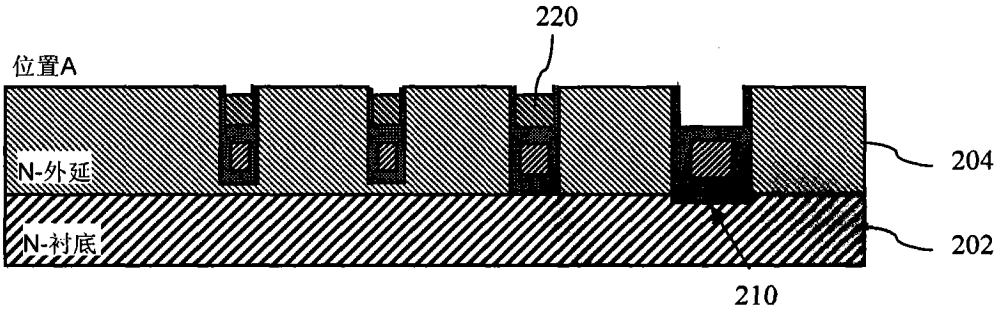

220
位置A
204
N-外延
N-衬底
202
210

图 2I

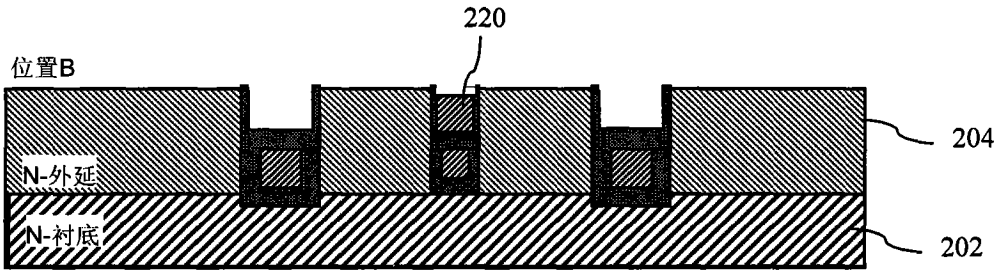


图 2J

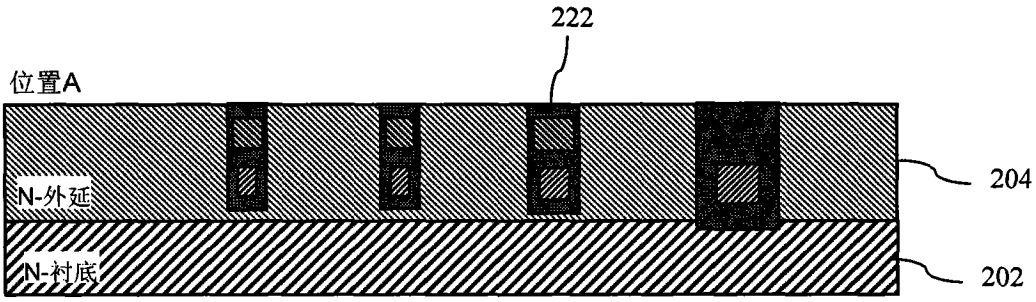


图 2K

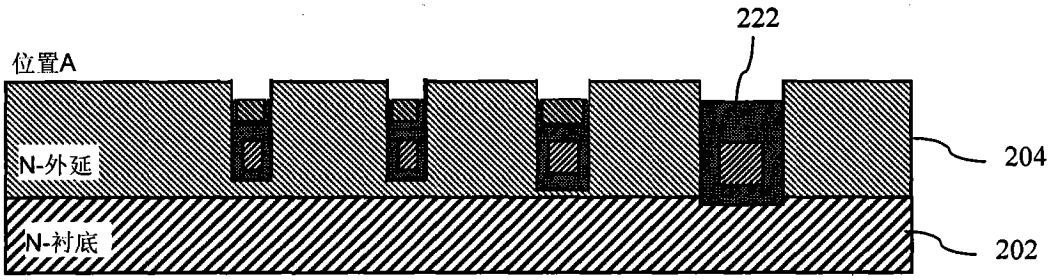


图 2L

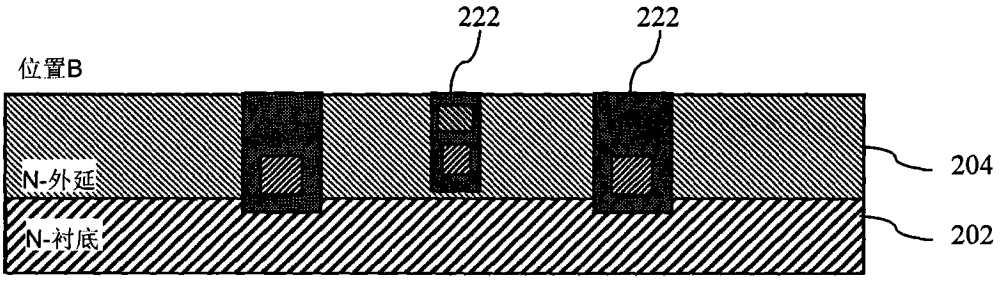


图 2M

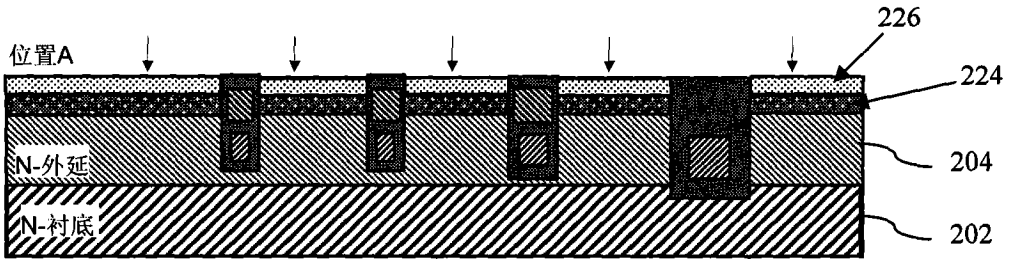


图 2N

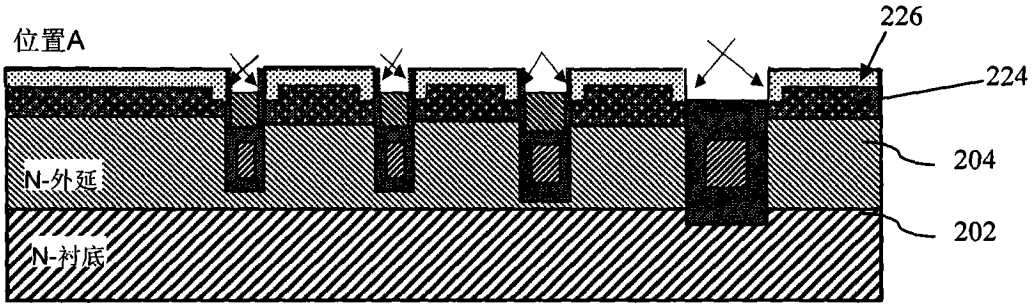


图 2O

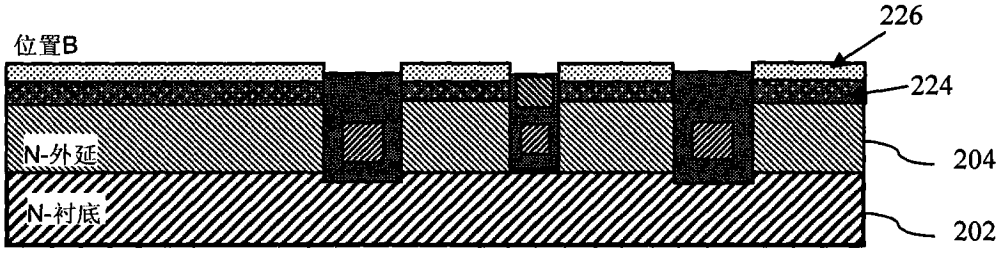


图 2P

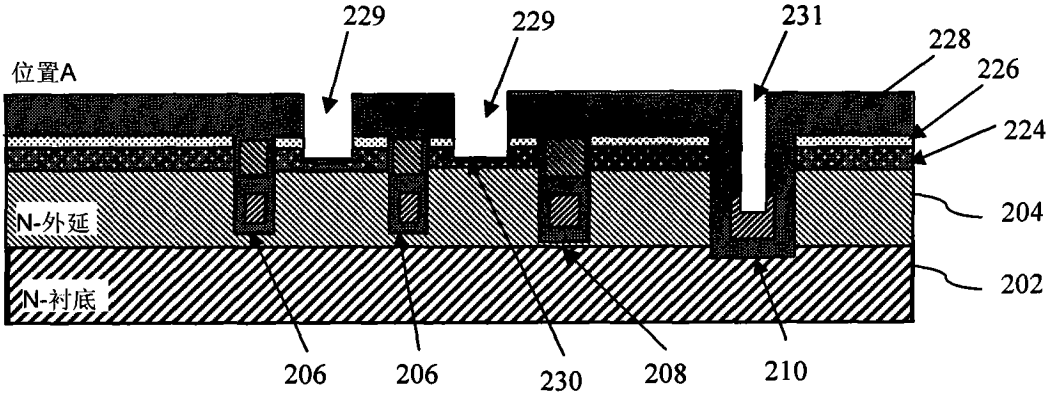


图 2Q

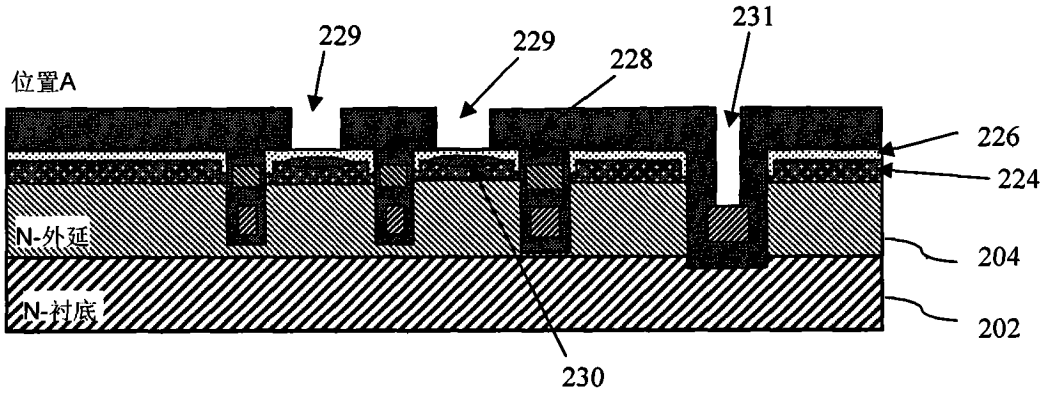

229
229
228
231
位置A
226
224
N-外延
204
N-衬底
202
230

图 2R

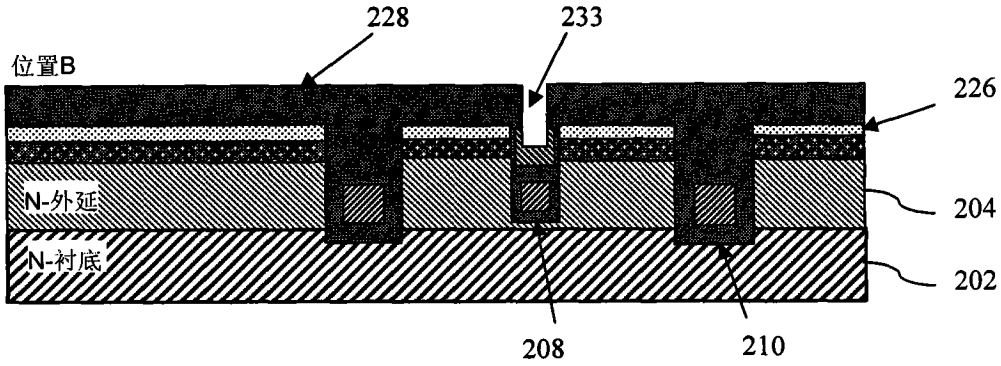

228
233
位置B
226
N-外延
204
N-衬底
202
208
210

图 2S

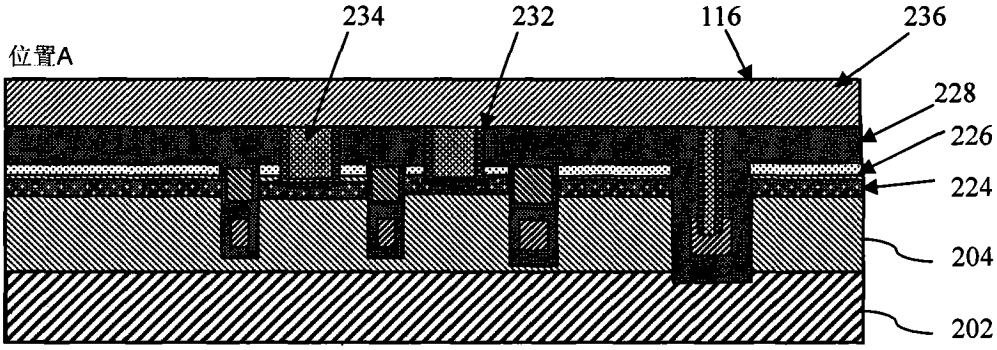

234
232
116
236
位置A
228
226
224
204
202

图 2T

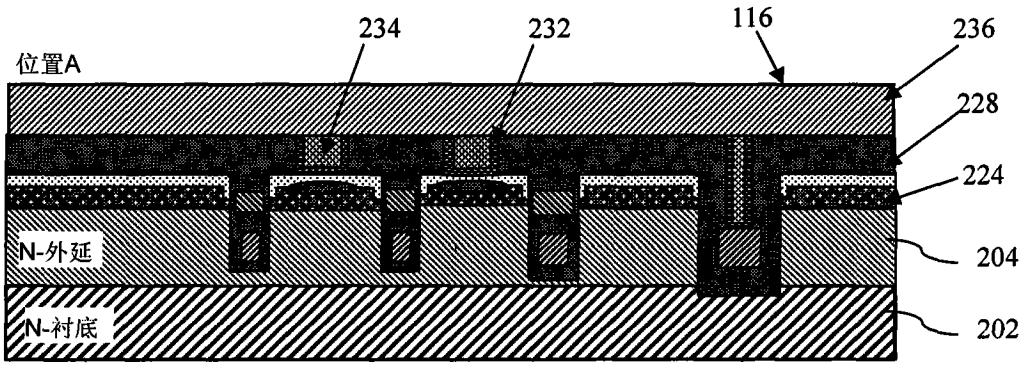

位置A
234
232
116
236
228
224
N-外延
204
N-衬底
202

图 2U

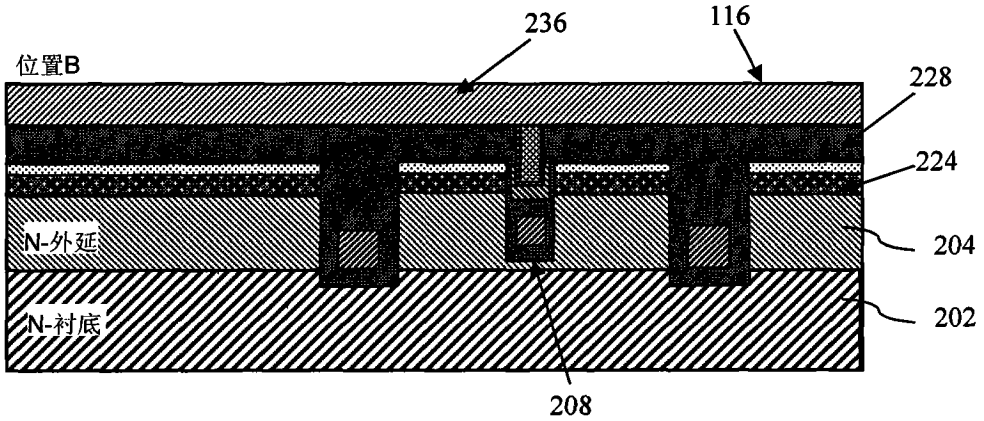

位置B
236
116
228
224
N-外延
204
N-衬底
202
208

图 2V

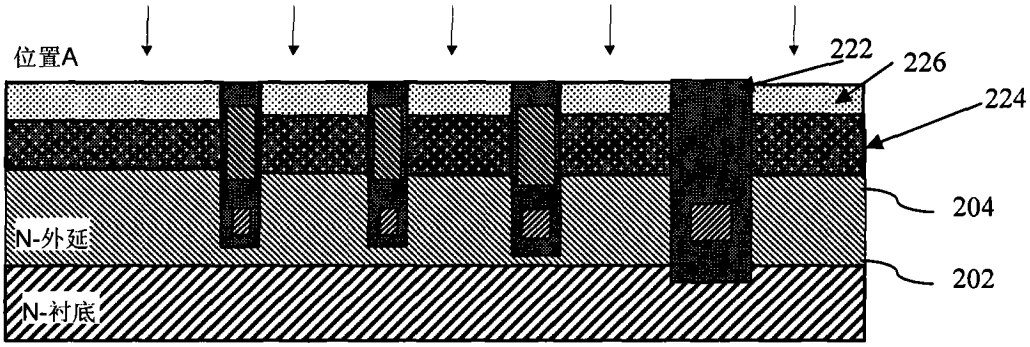

位置A
222
226
224
204
N-外延
202
N-衬底

图 2W

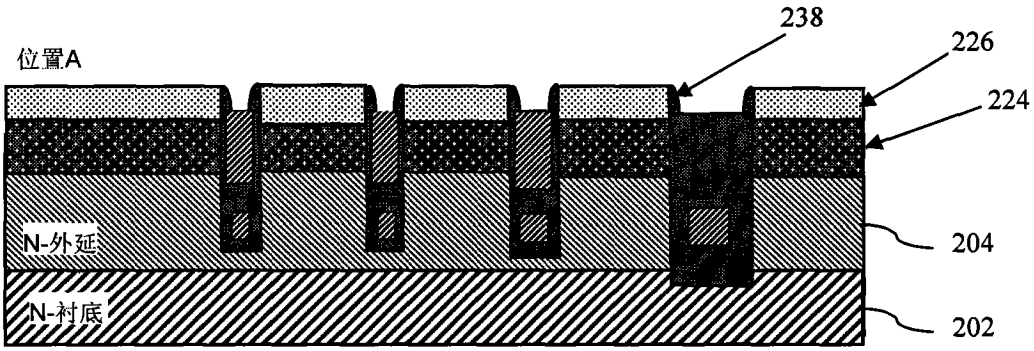

238
226
224
位置A
N-外延
204
N-衬底
202

图 2X

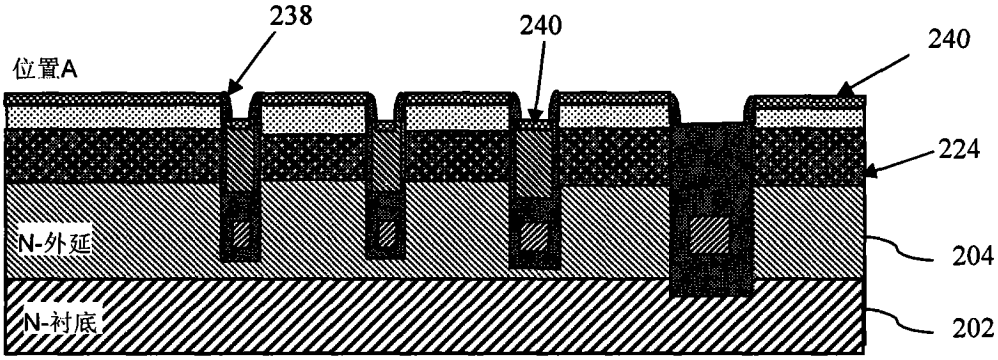

238
240
240
位置A
224
N-外延
204
N-衬底
202

图 2Y

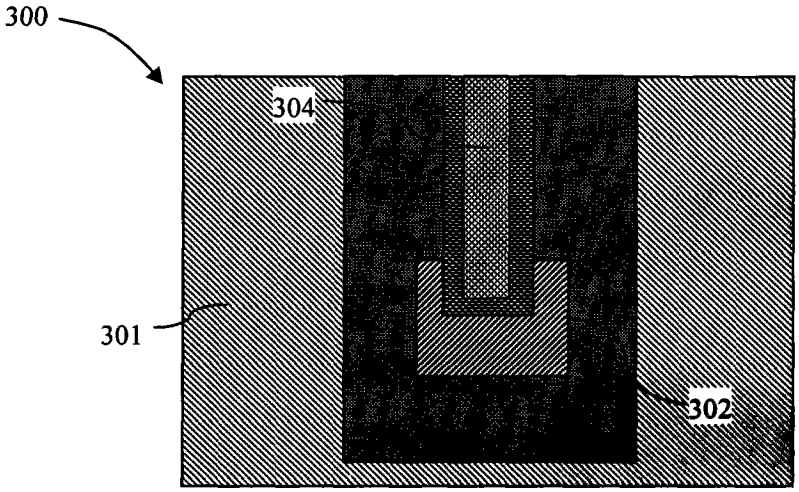

300
304
301
302

图 3

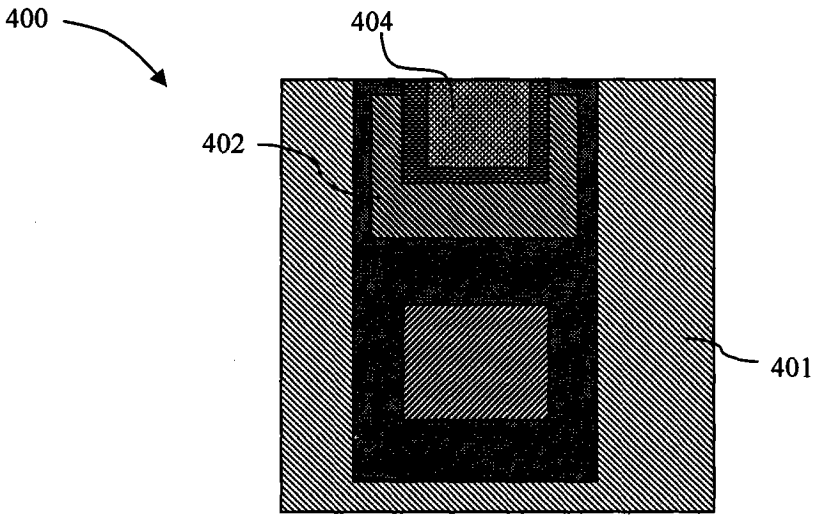


图 4

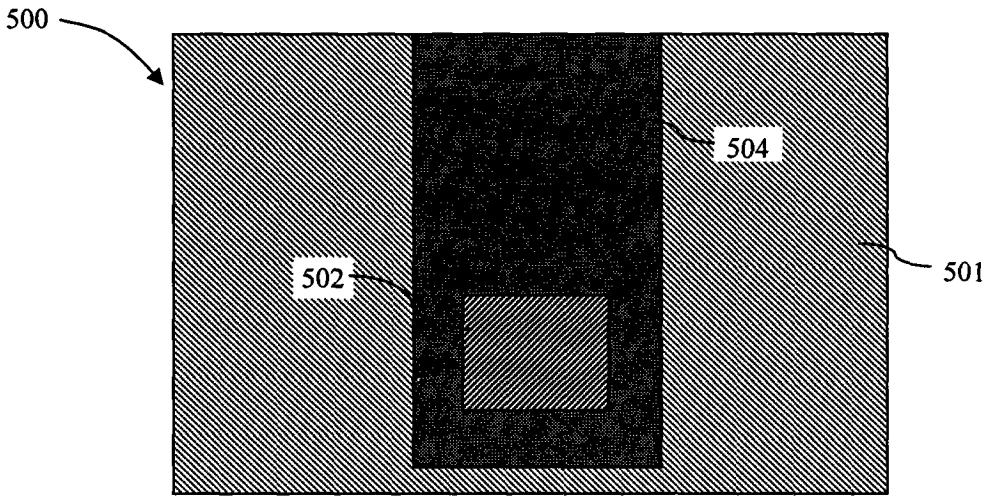


图 5