

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体装置、アクティブマトリクス基板、及び表示装置

技術分野

[0001] 本発明は、例えば、トランジスタなどのスイッチング素子を備えた半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置に関する。

背景技術

[0002] 近年、例えば液晶表示装置のようなフラットパネルディスプレイは、在来のブラウン管に比べて薄型、軽量などの特長を有する。そのため、液晶テレビ、モニター、携帯電話などに幅広く利用されている。このような液晶表示装置の液晶パネルには、複数のデータ配線（ソース電極配線または信号線とも称される）及び複数の走査配線（ゲート電極配線またはゲート線）がマトリクス状に配線されたアクティブマトリクス基板が用いられる。アクティブマトリクス基板には、データ配線と走査配線との交差部の近傍に設けられる薄膜トランジスタ（T F T : Thin Film Transistor、以下、“T F T”と略称する。）などのスイッチング素子と、このスイッチング素子に接続された画素電極を有する画素が、マトリクス状に配置される。

[0003] このように、画素ごとにスイッチング素子を備える表示装置の低消費電力化のためには、駆動周波数を下げることが効果的である。しかし、液晶パネルにおいて、駆動周波数を下げると、液晶画素の電圧保持期間が長くなることにより、保持期間中に液晶画素に印加される電圧を保てなくなり、表示に不具合が発生する。そのため、表示品質を落とさずに、駆動周波数を下げることが困難であった。

[0004] 液晶画素の電圧変動を抑えるためのT F Tの構成例として、液晶画素の一端を、直列に接続された2つのT F Tの各ドレイン～ソース間を介して、信号線に接続するとともに、この2つのT F Tの各ゲートをそれぞれゲート線

に接続する構成が提案されている（例えば、特許文献1参照）。この従来技術では、前記2つのTFT間の接続点に、補助容量の一端を接続し、さらに、液晶画素の他端と、補助容量の他端をそれぞれ接地している。この構成により、TFTの非導通時のリーク電流による液晶画素電圧の変動を抑えることが可能とされていた。

先行技術文献

特許文献

[0005] 特許文献1：特開平4－251818号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、複数個のスイッチング部を直列に接続し、かつ、スイッチング素子の接続部に容量を接続した構成において、リーク電流を効果的に抑制することができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一実施形態における半導体装置は、直列に接続された複数のスイッチング素子と、前記複数のスイッチング素子の一端側に一方の電極が接続され、他方の電極が第1の容量制御線に接続された第1の容量と、前記複数のスイッチング素子のうち隣り合うスイッチング素子の間に一方の電極が接続され、他方の電極が第2の容量制御線に接続された第2の容量と、前記複数のスイッチング素子の少なくとも1つに対して入射する光を遮る遮光膜とを備える。

発明の効果

[0008] 本発明の実施形態によれば、複数個のスイッチング部を直列に接続し、かつ、スイッチング部の接続部に容量を接続したときでも、リーク電流を効果的に抑制することができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置を提供することが可能となる。

図面の簡単な説明

[0009] [図1]図1は、本発明の実施形態1にかかる液晶表示装置を説明する図である。

[図2]図2は、図1に示した液晶パネルの構成を説明する図である。

[図3]図3は、図2に示したスイッチング回路の等価回路の一例を示す回路図である。

[図4]図4は、図3に示したスイッチング回路の駆動信号波形の一例を示す図である。

[図5]図5は、遮光膜を設けた場合と、設けない場合との薄膜トランジスタのオフリーク電流の変化を示すグラフである。

[図6]図6は、アクティブマトリクス基板5において、縦方向に並ぶスイッチング回路の等価回路の一例を示す回路図である。

[図7]図7は、図6に示した回路を駆動した場合の信号波形の一例を示す図である。

[図8]図8は、図6に示した回路における駆動信号波形の他の例を示す図である。

[図9]図9は、スイッチング回路の要部構造を示す平面図である。

[図10]図10(a)、図10(b)、及び図10(c)は、それぞれ図9のV11a-V11a線断面図、V11b-V11b線断面図、及びV11c-V11c線断面図である。

[図11]図11は、上記スイッチング回路の要部構造の変形例を示す平面図である。

[図12]図12(a)、図12(b)、及び図12(c)は、それぞれ図11のV11a-V11a線断面図、V11b-V11b線断面図、及びV11c-V11c線断面図である。

[図13]図13は、実施形態2にかかるスイッチング回路の等価回路の一例を示す回路図である。

[図14]図14は、図13に示した回路を駆動した場合の信号波形の一例を示

す図である。

[図15]図15は、実施形態3に係るスイッチング回路18の等価回路の一例を示す回路図である。

発明を実施するための形態

[0010] 本発明の一実施形態における半導体装置は、直列に接続された複数のスイッチング素子と、前記複数のスイッチング素子の一端側に一方の電極が接続され、他方の電極が第1の容量制御線に接続された第1の容量と、前記複数のスイッチング素子のうち隣り合うスイッチング素子の間に一方の電極が接続され、他方の電極が第2の容量制御線に接続された第2の容量と、前記複数のスイッチング素子の少なくとも1つに対して入射する光を遮る遮光膜とを備える。

[0011] 上記のように構成された半導体装置では、複数のスイッチング素子の少なくとも1つに対して入射する光を遮る遮光膜が形成されている。これにより、光によるリーク電流が発生するのを防ぐことができる。

[0012] さらに、上記半導体装置では、複数のスイッチング素子の一端側は、第1の容量を介して第1の容量配線に接続され、隣り合うスイッチング素子の間の接続点には、第2の容量を介して第2の容量配線が接続されている。この構成のため、隣り合うスイッチング素子の間における電圧を、複数のスイッチング素子の一端側の電圧とは独立して制御することが可能になる。そのため、第2の容量配線及び第2の容量を用いて、隣り合うスイッチング素子の間における電圧を制御することにより、第1の容量と第2の容量の間に設けられたスイッチング素子のリーク電流による電圧の変動を抑えることが可能になる。

[0013] この結果、上記従来例と異なり、複数個のスイッチング素子を直列に接続し、かつ、スイッチング素子の接続部に容量を接続したときでも、リーク電流を確実に抑制することができ、複数個のスイッチング素子の一端部側での電圧変動を抑えることができる半導体装置を構成することができる。

[0014] 例えば、上記従来技術でも、駆動周波数を下げた場合に、リーク電流を十

分に抑えることは困難であった。スイッチング素子として低温ポリシリコン T F T を用いた液晶パネルにおいて駆動周波数を下げると、保持期間中に液晶に印加される電圧を保てなくなり、表示に不具合が発生する。

[0015] また、上記従来技術のように、2つのスイッチング部 S W 1 及び S W 2 を直列に接続し、かつ、S W 1 及び S W 2 の接続部に容量を接続したときでも、低周波駆動を行い保持期間が長くなるにつれ、S W 1 のオフリークによって、S W 1 と S W 2 の接続部分の電圧が徐々に変化してしまう。そのため、S W 2 のオフリーク電流が時間と共に増加し、それとともに液晶印加電圧が変化してしまう。従って、極めて低い駆動周波数での動作は困難である。

[0016] これに対して、本発明の実施形態は、複数個のスイッチング部を直列に接続し、かつ、スイッチング素子の接続部に容量を接続したときでも、リーク電流を確実に抑制することができる。そのため、複数個のスイッチング素子の一端部側での電圧変動を抑えることができる。

[0017] 本発明の実施形態における上記半導体装置において、前記第 1 の容量と第 2 の容量の間に接続されたスイッチング素子が O F F のときに、当該スイッチング素子において前記第 1 の容量側と前記第 2 の容量側との電位差を少なくするよう前記第 2 の容量配線の電圧を変化させることができる。このように、第 2 の容量配線を制御することで、前記第 1 の容量側と前記第 2 の容量側との電位差を少なくし、リーク電流による、複数のスイッチング素子の一端側の電圧の変動を抑えることができる。

[0018] 上記半導体装置は、前記第 1 の容量と第 2 の容量の間に接続されたスイッチング素子が O F F のときに、当該スイッチング素子において前記第 1 の容量側の電圧より前記第 2 の容量側の電圧が高くなるよう前記第 2 の容量配線の電圧を変化させるよう構成することができる。これにより、前記スイッチング素子が O F F のときに、リーク電流等により、第 1 の容量側より第 2 の容量側の電圧が低くなった場合に、電位差を少なくすることができる。

[0019] 上記半導体装置は、前記第 1 の容量と第 2 の容量の間に接続されたスイッ

チング素子がOFFであり、前記第2の容量配線の電圧を変化させる直前において、当該スイッチング素子における前記第1の容量側の電圧より前記第2の容量側の電圧が低くなるよう構成することができる。これにより、リーク電流等のために第1の容量側の電圧より第2の容量側の電圧が低くなった状態で、前記第2の容量配線の電圧を変化させることで、第1の容量側と第2の容量側の電位差を少なくすることができる。

[0020] 上記半導体装置は、前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFのときに、前記第2の容量配線の電圧が同一時間毎（一定の時間間隔で）に2回以上変化するよう構成することができる。このように一定時間間隔で電圧を変化させることで、例えば、各回の電圧の変化量を等しくすることができ、前記第2の容量配線の電圧調整を単純化することができる。

[0021] 上記半導体装置は、前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFのときに、前記第2の容量配線の電圧が同一変化量で2回以上変化するよう構成することができる。これにより、前記第2の容量配線の電圧調整を単純化することができる。

[0022] 前記半導体装置は、他の半導体装置とともに並べて配置されており、前記半導体装置の前記第2の容量配線は、隣接して設けられる他の半導体装置の前記スイッチング素子へ接続され、当該スイッチング素子の制御信号を兼ねている態様とすることができる。これにより、配線の本数を少なくすることができる。ここで、他の半導体装置は、上記半導体装置と同様の構成とすることができる。

[0023] 前記半導体装置は、実施形態の一つとして、アクティブマトリクス基板の各画素に設けられ、前記複数のスイッチング素子の一端側には、画素電極が接続され、他端側には画素信号を前記複数のスイッチング素子を介して供給するための信号線が接続される態様とすることができる。

[0024] このように、前記半導体装置をアクティブマトリクス基板の各画素に設けることにより、スイッチング素子を介して画素電極に書き込まれた電荷がリー

ク電流によって時間と共に失われてしまうことを抑制できる。その結果、アクティブマトリクス基板を用いた表示装置の駆動周波数を下げ、低消費電力化を図りつつ、良好な表示を維持することができる。

[0025] 前記アクティブマトリクス基板の半導体装置において、前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなり、前記画素電極の電圧を保持すべき期間において、当該スイッチング素子において前記画素電極側と、前記信号線側の電位差を少なくするよう前記第2の容量配線の電圧を変化させることが好ましい。これにより、画素電極の電圧を保持すべき期間において、リーク電流による画素電極の電圧の変化を抑えることができる。

[0026] 上記アクティブマトリクス基板に設けられた半導体装置において、前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなり、前記画素電極の電圧を保持すべき期間において、当該スイッチング素子において前記第1の容量側の電圧より前記第2の容量側の電圧が高くなるよう前記第2の容量配線の電圧を変化させる構成とすることができる。これにより、前記画素電極の電圧を保持すべき期間において、リーク電流等のために第1の容量側の電圧が第2の容量側より低くなった場合にも、電位差を少なくすることができる。

[0027] 上記アクティブマトリクス基板に設けられた半導体装置において、前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなり、前記画素電極の電圧を保持すべき期間において、前記第2の容量配線の電圧を変化させる直前において、当該スイッチング素子における前記第1の容量側の電圧より前記第2の容量側の電圧が低くなる構成とすることができる。これにより、前記画素電極の電圧を保持すべき期間において、リーク電流等のために第1の容量側の電圧が第2の容量側より低くなった状態で、第2の容量配線の電圧変化により、電位差を少なくすることができる。

[0028] 上記アクティブマトリクス基板に設けられた半導体装置において、前記ス

イッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなり、前記画素電極の電圧を保持すべき期間において、前記第2の容量配線の電圧が同一時間毎に2回以上変化する構成とすることができる。このように画素電極の電圧を保持すべき期間において一定時間間隔で電圧を変化させることで、例えば、各回の電圧の変化量を等しくすることができ、第2の容量配線の電圧調整を単純化することができる。

[0029] 上記アクティブマトリクス基板に設けられた半導体装置において、前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなり、前記画素電極の電圧を保持すべき期間において、前記第2の容量配線の電圧が同一変化量で2回以上変化する構成とすることができる。これにより、画素電極の電圧を保持すべき期間における第2の容量配線の電圧調整を単純化することができる。

[0030] 上記アクティブマトリクス基板に設けられた半導体装置において、前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなる前記画素電極の電圧を保持すべき期間において、前記アクティブマトリクス基板上に形成される全ての第2の容量配線の電圧を同じタイミングで変化させる構成とすることができる。これにより、アクティブマトリクス基板の画素駆動処理を単純化することができる。

[0031] 上記アクティブマトリクス基板に設けられた半導体装置において、前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、前記スイッチング素子がOFFとなる前記画素電極の電圧を保持すべき期間において、前記アクティブマトリクス基板上に形成される全ての第2の容量配線の電圧を同一の電圧にすることができる。このように画素電極の電圧を保持すべき期間中、全ての第2の容量配線の電圧が同一になるよう制御することで、アクティブマトリクス基板の画素駆動処理を単純化することができる。

- [0032] 前記半導体装置は、アクティブマトリクス基板にマトリクス状に配置された画素の各々に設けられ、マトリクスにおける1つの行の画素に設けられた半導体装置の前記第2の容量配線は、隣接する行の画素に設けられた半導体装置のスイッチング素子へ制御信号を供給する走査線を兼ねている態様とすることができる。これにより、アクティブマトリクス基板に設ける配線数を少なくし、画素の開口率をより大きくできる。
- [0033] 前記半導体装置において、記第2の容量配線または前記第1の容量配線が、前記複数のスイッチング素子の少なくとも1つに対して入射する光を遮る位置まで延びて形成され、前記遮光膜を兼ねる構成とすることができる。これにより、第1または第2の容量配線と遮光膜とを一体的に形成することができ、開口率を向上させることができる。
- [0034] 前記半導体装置を用いたアクティブマトリクス基板も本発明の一実施形態である。また、前記アクティブマトリクス基板を含む表示部を備えた表示装置、並びに、前記表示部が液晶パネルまたは有機ELパネルである表示装置も、本発明に含まれる。
- [0035] 前記表示装置は、前記表示部の周囲環境の状態を検出するセンサーと、前記表示部の駆動制御を行う表示制御部を備え、前記表示制御部には、前記センサーからの検出結果に基づいて、フレーム周波数を調整する信号調整部が設けられてもよい。
- [0036] これにより、表示部で表示される表示画像のフレーム周波数を、周囲環境に応じて適切に調整することができ、優れた表示性能を有する表示装置を容易に構成することができる。
- [0037] 前記表示装置は、前記表示部の周囲環境の状態を検出するセンサーと、前記表示部の駆動制御を行う表示制御部を備え、前記表示制御部には、前記センサーからの検出結果に基づいて、前記第2の容量配線の信号を調整する信号調整部が設けられてもよい。
- [0038] これにより、第2の容量配線の信号を適切に調整することができ、周囲環境に応じたリーク電流の適切な抑制が可能になる。その結果、優れた表示性

能を有する表示装置を容易に構成することができる。

[0039] 以下、本発明の半導体装置、アクティブマトリクス基板、及び表示装置の実施形態について、図面を参照しながら説明する。尚、以下の説明では、本発明を、液晶パネルのアクティブマトリクス基板に用いられる画素電極用のスイッチング回路に適用した場合を例示して説明する。また、各図中の構成部材の寸法は、実際の構成部材の寸法及び各構成部材の寸法比率等を忠実に表したのではない。

[0040] [実施形態1]

(液晶表示装置の構成例)

図1は、本発明の実施形態1にかかる液晶表示装置を説明する図である。図1において、本実施形態の液晶表示装置1は、図1の上側が視認側（表示面側）として設置される液晶パネル2と、液晶パネル2の非表示面側（図1の下側）に配置されて、当該液晶パネル2を照明する照明光を発生するバックライト装置3（バックライトユニット）とが設けられている。液晶パネル2は、情報を表示する表示部を構成している。

[0041] 液晶パネル2は、一对の基板を構成するカラーフィルタ基板4（TFT基板）及びアクティブマトリクス基板5（対向基板）を備える。アクティブマトリクス基板5と、カラーフィルタ基板4とが対向配置されており、両基板の周縁部はシール材で接着され、その周縁部に囲まれた領域に液晶層が設けられている。すなわち、カラーフィルタ基板4とアクティブマトリクス基板5との間には、図示を省略した液晶層が挟持されている。

[0042] カラーフィルタ基板4及びアクティブマトリクス基板5の各外側表面にそれぞれ偏光板6、7が設けられている。また、カラーフィルタ基板4及びアクティブマトリクス基板5には、平板状の透明なガラス材またはアクリル樹脂などの透明な合成樹脂が使用されている。偏光板6、7には、TAC（トリアセチルセルロース）またはPVA（ポリビニルアルコール）などの樹脂フィルムが使用されており、液晶パネル2に設けられた表示面の有効表示領域を少なくとも覆うように対応するカラーフィルタ基板4またはアクティブ

マトリクス基板 5 に貼り合わせられている。

[0043] また、アクティブマトリクス基板 5 は、上記一对の基板の一方の基板を構成するものであり、アクティブマトリクス基板 5 では、液晶パネル 2 の表示面に含まれる複数の画素に応じて、画素電極や薄膜トランジスタ（TFT：Thin Film Transistor）などが上記液晶層との間に形成されている（詳細は後述。）。また、このアクティブマトリクス基板 5 では、後に詳述するように、上記薄膜トランジスタを含んだ本発明のスイッチング回路（半導体装置）が、画素単位に設けられている。一方、カラーフィルタ基板 4 は、一对の基板の他方の基板を構成するものであり、カラーフィルタ基板 4 には、カラーフィルタや対向電極などが上記液晶層との間に形成されている（図示せず）。

[0044] また、液晶パネル 2 では、当該液晶パネル 2 の駆動制御を行う制御装置（図示せず）に接続された FPC（Flexible Printed Circuit）8 が設けられており、上記液晶層を画素単位に動作することで表示面を画素単位に駆動して、当該表示面上に所望画像を表示するようになっている。

[0045] 尚、液晶パネル 2 の液晶モードや画素構造は任意である。また、液晶パネル 2 の駆動モードも任意である。すなわち、液晶パネル 2 としては、情報を表示できる任意の液晶パネルを用いることができる。それ故、図 1 においては液晶パネル 2 の詳細な構造を図示せず、その説明も省略する。

[0046] バックライト装置 3 は、光源としての発光ダイオード 9 と、発光ダイオード 9 に対向して配置された導光板 10 とを備えている。また、バックライト装置 3 では、断面 L 字状のベゼル 14 により、導光板 10 の上方に液晶パネル 2 が設置された状態で、発光ダイオード 9 及び導光板 10 が挟持されている。また、カラーフィルタ基板 4 には、ケース 11 が載置されている。これにより、バックライト装置 3 は、液晶パネル 2 に組み付けられて、当該バックライト装置 3 からの照明光が液晶パネル 2 に入射される透過型の液晶表示装置 1 として一体化されている。

[0047] 導光板 10 には、例えば透明なアクリル樹脂などの合成樹脂が用いられて

おり、発光ダイオード9からの光が入光される。導光板10の液晶パネル2と反対側（対向面側）には、反射シート12が設置されている。また、導光板10の液晶パネル2側（発光面側）には、レンズシートや拡散シートなどの光学シート13が設けられており、導光板10の内部を所定の導光方向（図1の左側から右側への方向）に導かれた発光ダイオード9からの光が均一な輝度をもつ平面状の上記照明光に変えられて液晶パネル2に与えられる。

[0048] 尚、上記の説明では、導光板10を有するエッジライト型のバックライト装置3を用いた構成について説明したが、本実施形態はこれに限定されるものではなく、直下型のバックライト装置を用いてもよい。また、発光ダイオード以外の冷陰極蛍光管や熱陰極蛍光管などの他の光源を有するバックライト装置も用いることができる。

[0049] （液晶パネルの構成例）

図2は、図1に示した液晶パネルの構成を説明する図である。図2において、液晶表示装置1（図1）には、文字や画像等の情報を表示する上記表示部としての液晶パネル2（図1）の駆動制御を行う表示制御部の一例であるパネル制御部15と、このパネル制御部15からの指示信号を基に動作するソースドライバ16及びゲートドライバ17が設けられている。また、液晶表示装置1には、後述の複数個の容量に対して、所定の信号を出力する容量用ドライバ21が設けられている。この容量用ドライバ21は、ソースドライバ16及びゲートドライバ17と同様に、パネル制御部15からの指示信号に基づき動作するようになっている。

[0050] パネル制御部15は、上記制御装置内に設けられたものであり、液晶表示装置1の外部からの映像信号が入力されるようになっている。また、パネル制御部15には、液晶パネル2の周囲温度を検出する温度センサーTSからの検出結果と、液晶パネル2に入光される外光の大きさを検出する光センサーOSからの検出結果が入力されるようになっている。これら温度センサーTS及び光センサーOSは、液晶パネル（表示部）2の周囲環境を検出するセンサーの一例である。

[0051] また、パネル制御部 15 は、入力された映像信号に対して所定の画像処理を行ってソースドライバ 16 及びゲートドライバ 17 への各指示信号を生成する画像処理部 15 a と、入力された映像信号に含まれた 1 フレーム分の表示データを記憶可能なフレームバッファ 15 b と、液晶パネル 2 に表示される表示画像のフレーム周波数を調整する信号調整部 15 c を備えている。そして、パネル制御部 15 が、入力された映像信号に応じて、ソースドライバ 16 及びゲートドライバ 17 の駆動制御を行うことにより、その映像信号に応じた情報が液晶パネル 2 に表示される。

[0052] また、信号調整部 15 c は、温度センサー TS 及び光センサー OS の各検出結果に基づいて、上記フレーム周波数を調整するように構成されている（詳細は後述。）。尚、信号調整部 15 c は、温度センサー TS 及び光センサー OS の各検出結果に基づいて、上記フレーム周波数の代わりに、またはフレーム周波数に加えて、容量用ドライバで制御される容量の電圧を調整してもよいし、温度センサー TS 及び光センサー OS の各検出結果及び入力された映像信号に基づいて、上記フレーム周波数または上記容量の電圧を調整するよう構成されてもよい。

[0053] ソースドライバ 16、ゲートドライバ 17、容量用ドライバ 21 は、アクティブマトリクス基板 5 上に設置されている。具体的には、ソースドライバ 16 は、アクティブマトリクス基板 5 の表面上において、表示パネルの一例である液晶パネル 2 の有効表示領域 A の外側領域で当該液晶パネル 2 の横方向に沿うように設置されている。また、ゲートドライバ 17 は、アクティブマトリクス基板 5 の表面上において、上記有効表示領域 A の外側領域で当該液晶パネル 2 の縦方向に沿うように設置されている。また、容量用ドライバ 21 は、アクティブマトリクス基板 5 の表面上において、ゲートドライバ 17 と対向するように、上記有効表示領域 A の外側領域で当該液晶パネル 2 の縦方向に沿うように設置されている。なお、ソースドライバ 16、ゲートドライバ 17 及び容量用ドライバ 21 の構成は上記例に限られない。例えば、これら少なくとも 2 つを有効表示領域 A の 1 つの辺側に集中して設けてもよ

い。

[0054] また、ソースドライバ16及びゲートドライバ17は、液晶パネル2側に設けられた複数の画素Pを画素単位に駆動する駆動回路であり、ソースドライバ16及びゲートドライバ17には、複数のソース電極配線SL1～SLm（mは、2以上の整数、以下、“SL”にて総称する。）及び複数のゲート電極配線GL1～GLn（nは、2以上の整数、以下、“GL”にて総称する。）がそれぞれ接続されている。これらのソース電極配線SL及びゲート電極配線GLは、それぞれデータ配線（信号線）及び走査配線（走査線）を構成しており、アクティブマトリクス基板5に含まれた透明なガラス材または透明な合成樹脂製の基材（図示せず）上で互いに交差するように、マトリクス状に配列されている。すなわち、ソース電極配線SLは、マトリクス状の列方向（液晶パネル2の縦方向）に平行となるように上記基材上に設けられ、ゲート電極配線GLは、マトリクス状の行方向（液晶パネル2の横方向）に平行となるように上記基材上に設けられている。

[0055] また、アクティブマトリクス基板5では、第1の容量配線CSL11～CSL1n（nは、2以上の整数、以下、“CSL1”にて総称する。）及び第2の容量配線CSL21～CSL2n（以下、“CSL2”にて総称する。）が設けられる。第1の容量配線CSL11～CSL1nは、第2の容量配線CSL21～CSL2nと、それぞれ平行になるように設けられる。尚、図2では、図を簡単にするため、CSL1とCSL2を1本の線で示している。これらの第1の容量配線CSL1及び第2の容量配線CSL2は、容量用ドライバ21に接続されている。さらに、第1の容量配線CSL1は、各画素の画素電極に第1の容量を介して接続される。第2の容量配線CSL2は、各画素のスイッチング回路18において直列に接続された複数の薄膜トランジスタの間の接続点に、第2の容量を介して接続される（詳細は後述。）。

[0056] ソース電極配線SLと、ゲート電極配線GLとの交差部の近傍には、本実施形態の半導体装置を用いた画素電極用（つまり、画素駆動回路用）のスイ

ッチング回路 18 と、スイッチング回路 18 に接続された画素電極 19 を有する上記画素 P が設けられている。また、各画素 P では、共通電極 20 が液晶パネル 2 に設けられた上記液晶層を間に挟んだ状態で画素電極 19 に対向するよう構成されている。すなわち、アクティブマトリクス基板 5 では、スイッチング回路 18、画素電極 19、及び共通電極 20 が画素単位に設けられている。

[0057] スイッチング回路 18 は、複数の薄膜トランジスタのソースドレイン間を直列に接続したもので、ソース電極配線 S L と画素電極 19 とを繋ぐ構成となっている。複数の薄膜トランジスタのゲートは、それぞれ、ゲート電極配線 G L に接続される。複数の薄膜トランジスタと画素電極側の接続点（ノード）は第 1 の容量を介して第 1 の容量配線 C S L 1 に接続される。複数の薄膜トランジスタのうち、隣り合う薄膜トランジスタ間の接続点は、第 2 の容量を介して、第 2 の容量配線 C S L 2 に接続される。また、スイッチング回路 18 の複数の薄膜トランジスタの少なくとも 1 つには、バックライトからの光を遮断する遮光膜が設けられる。遮光膜により薄膜トランジスタのリーク電流の増大が抑制される。

[0058] スイッチング回路 18 において、複数の薄膜トランジスタのゲートに、ゲート電極配線 G L を介して、ソースドレイン間が導通するのに十分な電圧が印加されると、ソース電極配線 S L と、画素電極及び第 1 の容量とが電氣的に接続される。これにより、複数の薄膜トランジスタが ON になると、画素電極と第 1 の容量とはソース電極線 S L から印加された所定の電圧に充電される。その後、ゲート電極配線 G L から印加されるゲート電圧が変化して、複数の薄膜トランジスタのソースドレイン間が非導通（OFF）になると、ソース電極配線 S L と画素電極及び第 1 の容量とは電氣的に切り離されるが、画素電極及び第 1 の容量に充電された電圧は保持される。このとき、第 1 の容量の容量値に比べ第 2 の容量の容量値が小さい場合、第 1 の容量の接続点と第 2 の容量の接続点との間の薄膜トランジスタのドレイン電位とソース電位は同電位とはならないため、電位差が生じることになる。そこで、

画素電極の電圧保持期間において、第2の容量配線CSL2を介して、上記電位差を0に近づけるよう電圧が印加される。これにより、リーク電流による画素電極の電圧変動が抑えられる。

- [0059] 上記の駆動を実現するために、ゲートドライバ17は、画像処理部15aからの指示信号に基づいて、ゲート電極配線GL1~GLnに対して、対応するスイッチング回路18の薄膜トランジスタをON状態にする走査信号（ゲート信号）を順次出力することができる。ソースドライバ16は、画像処理部15aからの指示信号に基づいて、表示画像の輝度（階調）に応じたデータ信号（電圧信号（階調電圧））を対応するソース電極配線SL1~SLmに出力することができる。
- [0060] また、容量用ドライバ21は、画像処理部15aからの指示信号に基づいて、容量配線CSL11~CSL1n及びCSL21~CSL2nに対して、画素電極の電圧保持期間における第1の容量と第2の容量の電圧を制御する信号を供給することができる。
- [0061] さて、アクティブマトリクス基板5では、ソース電極配線SLと、ゲート電極配線GLとによってマトリクス状に区画された各領域に、複数の各画素Pの領域が形成されている。これら複数の画素Pには、赤色（R）、緑色（G）、及び青色（B）の画素が含まれている。また、これらのRGBの画素は、例えばこの順番で、各ゲート電極配線GL1~GLnに平行に順次配設されている。さらに、これらのRGBの画素は、カラーフィルタ基板4側に設けられたカラーフィルタ層（図示せず）により、対応する色の表示を行えるようになっている。
- [0062] 緑色画素は、対向基板の緑色画素に対応する領域に緑色のカラーフィルタが配置されることにより、緑色を表示することができるものである。赤色画素、青色画素についても同様に、対向基板の各画素に対応する領域に赤色、青色のカラーフィルタが配置されることにより、赤色及び青色を表示することができるものである。緑色画素、赤色画素、及び青色画素は、3色で1つの画素ユニットを構成し、これにより、任意の色のカラー表示を行うことが

できる。

[0063] 上記のように、液晶表示装置 1 は、マトリクス状に配置された複数の画素で形成された表示領域と、表示画素を駆動するためのドライバを備えている。このドライバは、アクティブマトリクス基板上に同時に形成してもよいし、あるいはドライバチップとして端子領域を介して実装接続してもよい。

[0064] 以上の構成の液晶表示装置 1 では、薄膜トランジスタのオン・オフにより、画素毎に液晶層の液晶材料の配向方向が制御される。これにより、画素毎に、バックライトの光の透過率が制御される。例えば、各赤色画素、緑色画素、及び青色画素毎にバックライト光の透過率の制御がなされる。画素ユニットで任意の強度及び表示色で表示を行うことにより、液晶表示パネルにおいて任意の画像を表示することができる。

[0065] (スイッチング回路の構成例及び動作例)

図 3 は、図 2 に示したスイッチング回路 18 に用いられる半導体装置の等価回路の一例を示す回路図である。図 3 に示す例では、スイッチング回路 18 は、直列に接続された第 1 の薄膜トランジスタ T1 及び第 2 の薄膜トランジスタ T2 を備える。各薄膜トランジスタ T1 及び T2 には、例えば、MIS (Metal-Insulator-Semiconductor) 型のトランジスタを用いることができる。これらの薄膜トランジスタ T1 及び T2 の一端側は、液晶容量 C_{lc} の一方の電極である画素電極に接続されている。液晶容量 C_{lc} は、この画素電極と対向する共通電極 COM との間に形成される。薄膜トランジスタ T1 及び T2 の他端側は、ソース電極配線 SL に接続されている。

[0066] スwitching回路 18 は、さらに、前記一端側に一方の電極が接続され、他方の電極が第 1 の容量配線 CSL1 に接続された第 1 の容量 C_{s1} を備える。また、スイッチング回路 18 は、隣り合う薄膜トランジスタ T1 及び T2 の間に一方の電極が接続され、他方の電極が第 2 の容量配線 CSL2 に接続された第 2 の容量 C_{s2} を備える。すなわち、薄膜トランジスタ T1 及び T2 の画素電極側に接続された第 1 の容量 C_{s1} と、薄膜トランジスタ T1 及び T2 の間に接続された第 2 の容量 C_{s2} が、それぞれ、別の容量配線 C

SL1及びCSL2に接続された構成となっている。この構成により、2つの薄膜トランジスタT1及びT2の間の電圧(V_{op})を第2の容量配線CSL2の信号によって制御することが可能となる。例えば、画素電極の電圧保持期間に、 V_{op} を制御して、 V_{op} の電圧値を V_{pix} 相当とすることで、薄膜トランジスタT2の V_{ds} (ドレイン-ソース間の電位差)を小さくし、リーク電流を小さくすることができる。このように、本実施形態において、第1の容量配線CSL1と第2の容量配線CSL2は、それぞれ独立して電圧が制御される2つの配線である。なお、第1の容量配線を単に「第1の配線」と称し、第2の容量配線は、第1の配線とは異なる「第2の配線」と称することができる。

[0067] 具体的には、図4に示すように、フレーム周期の画素電圧保持期間中にCSL2に与える電圧値を少なくとも1回変化させる。図4に示す例では、1周期の保持期間において、3回、容量配線CSL2に印加する電圧の値を一定量上げている。すなわち、2つの容量Cs1及びCs2間の薄膜トランジスタT2のソースドレイン間がOFFである保持期間に、容量Cs2側の電圧 V_{op} が、容量Cs1側の電圧 V_{pix} より高くなるよう、容量配線CSL2の電圧を変化させている。また、容量配線CSL2の電圧変化前は容量Cs2側の電圧 V_{op} は容量Cs1側の電圧 V_{pix} より低く、電圧変化後に高くなるようなタイミングで、電圧を変化させている。

[0068] さらに、図4に示す例では、保持期間における容量配線CSL2の電圧変化は、一定の間隔で複数回行われており、かつ、各回の電圧変化量は等しくなっている。これにより、例えば、時間間隔と電圧変化量とをパラメータとして、容量配線CSL2の電圧を制御することができ、調整が容易になる。

[0069] ここで、保持期間における容量配線CSL2への印加電圧の変化の方向(増加か減少か)は、 V_{op} と V_{pix} との電位差が少なくなる方向、すなわち、上記電位差が0に近づく方向へ電圧を変化させることが好ましい。例えば、上記例のように、1つ以上の階調電圧において、保持期間中にCSL2に印加する電圧を変化させた直後に $V_{op} > V_{pix}$ となるように制御する

ことができる。従来技術では、画素電極に保持される電荷は保持期間中に失われるのみであったが、本実施形態のように制御することで、保持期間中に一定期間画素部へ電荷を供給することが可能となる。

[0070] 尚、保持期間において容量配線CSL2の電圧を変化させる量及びタイミングは、スイッチング回路18の特性に応じて適切に設定することができる。

[0071] 保持期間において容量配線CSL2の電圧を変化させる量 $\Delta CSL2$ は、一例として、下記式(1)を用いて計算することができる。

[0072] $\Delta CSL2 \geq (V_{pix} - V_{op}) \times C_{s2} / C_{op}$ (1)

上記式(1)において、 C_{op} は図3において V_{op} で示されるノード(薄膜トランジスタT1及びT2間を接続する線上のノード)につながっている容量の総和を表す。 C_{op} は、例えば、 C_{s2} 、トランジスタT1のゲートドレイン間容量、トランジスタT2のゲートソース間容量、各信号配線(SL、GL、CSL1)とノード間の寄生容量の総和とすることができる。上記式(1)における C_{s2} は、図3に示す第2の容量 C_{s2} の静電容量を表す。

[0073] 上記の動作により、時間経過と共に変化してしまう V_{op} の電圧値をリセットすることができる。そのため、時間と共に V_{op} の電圧値が V_{pix} の電圧値から離れて薄膜トランジスタT2の V_{ds} が増加し、オフリーク電流が増加することを防止することができる。従って、この駆動を行わない場合に比べて長時間の画素電圧保持が可能となり、極めて低い駆動周波数での駆動が可能となる。ひいては、表示装置の低消費電力化が実現できる。

[0074] また、スイッチング回路18の薄膜トランジスタT1及びT2には、遮光膜が配置される。遮光膜は、バックライト装置3の照明光が薄膜トランジスタにあたらないよう遮断する位置、例えば、薄膜トランジスタの下部(バックライト装置3側)に設けられることが好ましい。また、遮光膜を薄膜トランジスタの上部(表示面側)に設けてもよい。

[0075] 遮光膜によって、バックライト装置3の照明光または液晶パネル2の外側

からの光（外光）が薄膜トランジスタ T 1 及び T 2 のチャンネル部に直接到達するのを防ぐことができる。これにより、オフリーク電流の増大が抑制される。

[0076] 図 5 は、遮光膜を設けた場合と、設けない場合との薄膜トランジスタのオフリーク電流の変化を示すグラフである。図 5 に示すグラフにおいて、縦軸は薄膜トランジスタのオフリーク電流値（ I_{ds} ）、横軸は薄膜トランジスタのソースドレイン間電圧（ V_{ds} ）を示す。図 5 に示す例では、遮光膜を設けることによって薄膜トランジスタのオフリーク電流を 2 桁程低減している。

[0077] （表示パネルの動作例）

図 6 は、アクティブマトリクス基板 5 において、画素ごとに設けられたスイッチング回路 1 8 のうち、液晶パネル 2 の縦方向（マトリクスの列方向）に並ぶスイッチング回路の等価回路の一例を示す回路図である。図 6 に示す例では、図 3 に示した構成のスイッチング回路が 3 つ縦方向に並び、これら 3 つスイッチング回路は、縦方向に延びるソース電極配線 S L を共有している。

[0078] 図 7 は、図 6 に示した回路を駆動した場合の信号波形の一例を示す図である。図 7 に示す例では、書き込み期間において、ソース電極配線 S L を介して印加される画素値を示す電圧のタイミング 1、 \dots $n-1$ 、 n 、 $n+1$ にあわせて、ゲート電極配線 G L $n-1$ 、G L n 、G L $n+1$ にそれぞれ、薄膜トランジスタ T 1 $n-1$ 、T 2 $n-1$ 、T 1 n 、T 2 n 、T 1 $n+1$ 、T 2 $n+1$ を ON 状態にする電圧が印加される。

[0079] 例えば、 n 番目の画素値の電圧がソース電極配線 S L に印加されるとき、ゲート電極配線 G L n に ON 電圧が印加され、薄膜トランジスタ T 1 n 及び T 2 n が ON になる。これにより、 n 行目の画素で、ソース電極配線 S L と画素電極が導通し、液晶容量 C l c n 及び第 1 の容量 C s 1 n に表示すべき画素値に応じた所定の電圧が充電される。すなわち、画素電極の電圧 V_{pix} n は画素値に応じた電圧となる。このとき、 n 行目の第 2 の容量配線 C S

L 2 nにもパルス電圧が印加され、2つの薄膜トランジスタT 1及びT 2の間の電圧V o p nは所定の電圧となる。

[0080] 次に、n + 1番目の画素値の電圧がソース電極配線S Lに印加されるとき、ゲート電極配線G L nの電圧はON電圧から元に戻り、n + 1行目のゲート電極配線G L n + 1にON電圧が印加される。このときからn行目の画素では、画素電圧の保持期間が始まることになる。尚、図7に示す例では、書き込み期間が終了してから保持期間が始まっているが、保持期間の開始時期をいずれで認識してもよく、いずれかに限定されるものではない。上記の電圧印加動作は、マトリクスすべての行及び列について電圧印加が繰り返される。

[0081] 保持期間においては、容量配線C S L 2 1、・・・C S L 2 n - 1、C S L 2 n、C S L 2 n + 1において、同じタイミングで、2回電圧を変化させる。これにより、2つの薄膜トランジスタT 1 n - 1及びT 2 n - 1、T 1 n及びT 2 n、T 1 n + 1及びT 2 n + 1の間の電圧V o p n - 1、V o p n、V o p n + 1は、リセットされる。すなわち、保持期間において、V o p n - 1、V o p n、V o p n + 1のリセット直後には、V o p ≥ V p i xとなるよう容量配線C S L 2の電圧が制御される。この容量配線C S L 2の保持期間における電圧変化により、各画素の画素電極の電圧V p i x n - 1、V p i x n、V p i x n + 1のリーク電流による変動が抑えられる。

[0082] また、図7に示す例では、保持期間において、アクティブマトリクス上の全ての容量配線C S L 2 1、・・・C S L 2 n - 1、C S L 2 n、C S L 2 n + 1、・・・の電圧が等しくなるよう制御されている。また、保持期間における電圧変化のタイミングも全ての容量配線C S L 2 1、・・・C S L 2 n - 1、C S L 2 n、C S L 2 n + 1、・・・で同じになるよう制御される。これにより、容量用ドライバ24の処理を単純化することができる。

[0083] (表示パネルの動作の変形例)

図8は、図6に示した回路における駆動信号波形の他の例を示す図である。図8に示す例では、書き込み期間においても、すべての容量配線C S L 2

1、・・・CSL_{2n-1}、CSL_{2n}、CSL_{2n+1}に同じタイミングで電圧を変化させている。具体的には、1行目の画素書き込み開始時から、最後の行の画素書き込み終了時まで、すべてのすべての容量配線CSL₂₁、・・・CSL_{2n-1}、CSL_{2n}、CSL_{2n+1}の電圧をローレベルにし、最後の行の画素書き込みが終了した時点で、所定のレベルの電圧を印加している。このように、保持期間だけでなく書き込み期間でも容量配線CSL₂に印加する電圧のタイミングを、複数の容量配線CSL₂₁、・・・CSL_{2n-1}、CSL_{2n}、CSL_{2n+1}間で同じにすることで、駆動を単純化することができる。

[0084] 尚、これとは逆に、保持期間における電圧印加のタイミングを、各容量配線CSL₂₁、・・・CSL_{2n-1}、CSL_{2n}、CSL_{2n+1}で変化させることもできる。

[0085] (スイッチング回路の構造例)

図9は、上記スイッチング回路の要部構造を示す平面図である。図10(a)、図10(b)、及び図10(c)は、それぞれ図9のV11a-V11a線断面図、V11b-V11b線断面図、及びV11c-V11c線断面図である。

[0086] 図9に例示するように、スイッチング回路18では、ゲート電極配線GLに接続されたゲート電極g1、g3の下方に、略直線状に構成された半導体層としての上記シリコン層SCが設けられている。また、スイッチング回路18では、図9に点線にて示すように、遮光膜24bが、シリコン層SCの下方に形成されている。遮光膜24bは、ゲート電極配線GLと図9の紙面に垂直な方向(アクティブマトリクス基板5の厚さ方向)で互いに重なり合うように設けられる。すなわち、遮光膜24bは、薄膜トランジスタT1及びT2のゲート電極g1、g3の下方に設けられて、これらの薄膜トランジスタT1及びT2を遮光する下部遮光膜となる。

[0087] 遮光膜24bは、バックライトの照射光が、薄膜トランジスタT1及びT2のゲート電極g1、g3の下のチャンネル領域27、35に入射しないよう

に遮断するのに十分な領域に延びて形成することが好ましい。そのため、図 9 に示す遮光膜 24 b は、チャンネル領域 27、35 直下だけでなく、チャンネル領域 27、35 直下部およびその周辺部に延びて形成されている。

[0088] また、スイッチング回路 18 では、図 9 に一点鎖線にて示すように、上部遮光膜 24 a が、シリコン層 SC の上方に形成されている。この上部遮光膜 24 a は、薄膜トランジスタ T1 及び T2 を覆うように設けられている。また、上部遮光膜 24 は、コンタクト 23 を介してゲート電極配線 GL に電氣的に接続されている。

[0089] シリコン層 SC からは、第 1 の容量 C_{s1} を発生するための低濃度不純物領域 (LDD 領域 : Lightly Doped Drain 領域) 46 と、第 2 の容量 C_{s2} を発生するための低濃度不純物領域 45 とが延びて形成されており、アクティブマトリクス基板 5 では、これら低濃度不純物領域 45、46 が各々容量共通配線 CSL1、CSL2 の下方に設けられることにより、所定の容量が生じるようになっている。

[0090] 図 10 (a) ~ 図 10 (c) に示すように、アクティブマトリクス基板 5 では、ガラス基板からなる基板本体 5a 上にスイッチング回路 18 が画素単位に設けられている。具体的には、スイッチング回路 18 が形成される領域において遮光膜 24 b が基板本体 5a 上に形成されている。遮光膜 24 b 及び基板本体 5a を覆うように、下地絶縁膜 47 が形成されており、この下地絶縁膜 47 上にシリコン層 SC が設けられている。

[0091] シリコン層 SC には、例えばリンなどの N 型の不純物が高濃度で注入された高濃度領域 (図 10 にクロスハッチにて図示) 25、29、37 と、N 型の不純物が低濃度で注入された低濃度不純物領域 (LDD 領域、図 10 にドットにて図示) 26、28、34、36 と、ゲート電極 g1、g3 の真下にそれぞれ形成されたチャンネル領域 27、35 とが設けられている。LDD 領域 26、28、34、36 は、シリコン層 SC の長手方向において、チャンネル領域 27、35 を両側から挟むよう配置される。シリコン層 SC を覆うように、ゲート絶縁膜 48 が形成されており、このゲート絶縁膜 48 上にゲー

ト電極 g 1、g 3 が形成されている。これにより、薄膜トランジスタ T 1、T 2 が、N型のトランジスタとして形成される。ゲート絶縁膜 4 8 上には、ゲート電極 g 1、g 3 を覆うように層間膜 4 9 が形成されている。

[0092] また、スイッチング回路 1 8 では、ソース電極配線 S L に形成された上記ソース電極及び上記ドレイン電極 4 4 が層間膜 4 9 上に形成されている。ソース電極は、コンタクトホール 4 2 を介してシリコン層 S C に設けられたソース領域 2 5 に接続され、ドレイン電極 4 4 は、コンタクトホール 4 3 を介してシリコン層 S L に設けられたドレイン領域 3 7 に接続されている。

[0093] さらに、スイッチング回路 1 8 では、上部遮光膜 2 4 a が上記ソース電極及びドレイン電極 4 4 と同層となるように層間膜 4 9 上に設けられている。この上部遮光膜 2 4 a は、図 1 0 (b) に示すように、上記ソース電極とドレイン電極 4 4 との間でゲート電極 g 1、g 3 の上方に設けられており、低濃度不純物領域 2 6、2 8、3 4、3 6 及びチャネル領域 2 7、3 5 を遮光するようになっている。つまり、上部遮光膜 2 4 a は、図 1 0 (b) の上側からの光が低濃度不純物領域 2 6、2 8、3 4、3 6 及びチャネル領域 2 7、3 5 に入射するのを防止できるようになっている。

[0094] (製造方法の具体例)

ここで、図 1 0 (a) ~ 図 1 0 (c) を参照して、スイッチング回路 1 8 の製造方法の具体例に説明する。

[0095] まず、モリブデンまたはタングステンなどの金属をスパッタリングによって基板本体 5 a 上に成膜し、その後フォトリソグラフィ及びエッチングによってパターニングを行うことにより、遮光膜 2 4 b を形成する。この遮光膜 2 4 b の具体的な膜厚は、約 1 0 0 ~ 2 0 0 n m とすることができる。

[0096] 次に、下地絶縁膜 4 7 として、例えば S i N 膜及び S i O₂ 膜を順次 C V D (Chemical Vapor Deposition) によって各々 1 0 0 n m の膜厚で形成する。その後、下地絶縁膜 4 7 の上方に 5 0 n m の膜厚でアモルファスシリコン膜を形成した後、レーザー結晶化によりポリシリコンとする。そして、このポリシリコンにしきい値調整用のチャネルドープとしてボロンをドーピングす

る。

[0097] 続いて、ポリシリコンの上方に、ゲート絶縁膜48としてSiO₂膜を80nmの膜厚で形成し、そのゲート絶縁膜48の上方にモリブデンまたはタングステンなどの金属膜を成膜して、パターニングを行うことにより、ゲート電極g1、g3を形成する。そして、これらのゲート電極g1、g3をマスクとして、低濃度不純物領域26、28、34、36を形成するために、N型の不純物、例えばリンを低濃度ドーピングする。その後、低濃度不純物領域26、28、34、36の各長さ寸法(LDD長)を確保するためのフォトレジストを形成した後、ソース領域25、ドレイン領域37、及び高濃度領域29を形成するために、リンをドーピングする。

[0098] ここで、低濃度不純物領域26、28、34、36では、そのシート抵抗値が50kΩから150kΩ程度になるように、ドーピング量が調整される(例えば、 $1 \times 10^{13} \sim 10^{14} / \text{cm}^2$)。このドーピング量は、先にドーピングしたチャネルドーピング用のP型の不純物(ボロン)を打ち消すようにドーピングされ、N型の低濃度不純物領域26、28、34、36が形成される。また、ソース領域25、ドレイン領域37、及び高濃度領域29では、そのシート抵抗値が1kΩ以下となるように、 $1 \times 10^{15} / \text{cm}^2$ 程度のリンのドーピングが行われる。その後、不純物を活性化させるために、500℃から600℃で熱処理を1時間行う。尚、熱処理時間を短縮するために、例えばランプアニール装置により650℃から700℃で数分熱処理を行ってもよい。

[0099] 次に、層間膜49として、SiO₂膜及びSiN膜を各々100nmから300nm程度形成し、上記ソース電極及びドレイン電極44との接続をそれぞれ行うためのコンタクトホール42及び43を形成し、ソース電極、ドレイン電極44、及び配線用の金属、たとえばAlまたはその合金、またはそれらの積層膜を成膜して、パターニングする。

[0100] 最後に図には示していないが、液晶表示装置1としては、画素電極19を形成するため、配線を形成後に、樹脂膜等による平坦化膜を形成し、その上

に画素電極 19 となる透明電極（例えば、ITO）を形成する。また場合によっては、ITO 上に反射電極としての Al、Ag またはその合金を形成する。

[0101] 尚、上記の説明では、薄膜トランジスタ T1、T2 を N 型のトランジスタで構成した場合の形成方法について説明したが、P 型のトランジスタで薄膜トランジスタ T1、T2 を構成する場合には、ソース領域 25 及びドレイン領域 37 を形成するための不純物を P 型の不純物、例えばボロンとすればよい。また、前記形成方法によりパネル周辺のドライバ回路も形成できるため、本構造のスイッチング回路 18 を低リーク電流が要求されるスイッチング素子などに適用することも可能である。

[0102] また、上記例では、遮光膜 24 a、24 b は、薄膜トランジスタ T1 及び T2 の上部及び下部に配置されているが、必ずしも薄膜トランジスタ T1 及び T2 の両方に備えなくてもよい。少なくとも薄膜トランジスタ T2 の下方に配置することにより、バックライトの照射光によるリーク電流の増加を抑えることができる。例えば、液晶ディスプレイの場合、カラーフィルタ基板に形成するブラックマトリクスが薄膜トランジスタの上部に配置される。このブラックマトリクスを上方の遮光膜として機能させることで、図 9、図 10 に示した上方の遮光膜 24 a を省略することができる（下記変形例参照）。

[0103] 上記は、スイッチング回路 18 の説明であるが、アクティブマトリクス基板 5 としても、同様に、基板本体上に、半導体膜、ゲート絶縁膜、ゲート信号線、ソース信号線、オーバーコート膜、平坦化膜、画素電極、配向膜等で積層された構成を有する。尚、TFT 構造としては、ゲート信号線が最下部に位置するボトムゲート型でもよいし、先に半導体膜を形成後、ゲート信号線がその上部に位置するトップゲート型でもよい。また、基板本体上には、容量配線とドレイン電極間に保持容量 C_s が形成されていることにより、寄生容量や TFT のオフリーク電流による画素電極の電位変動を抑制することができる。

[0104] (スイッチング回路の構造の変形例)

図11は、上記スイッチング回路の要部構造の変形例を示す平面図である。図12(a)、図12(b)、及び図12(c)は、それぞれ図11のV11a-V11a線断面図、V11b-V11b線断面図、及びV11c-V11c線断面図である。

[0105] 本例では、上方の遮光膜は省略されている。また、容量配線CSL2は、スイッチング回路とバックライトとの間の層に形成され、かつ、薄膜トランジスタT1及びT2の下方に延びて遮光膜24bとして形成されている。

[0106] 具体的には、図11及び図12に示すように、容量配線CSL2は、薄膜トランジスタT1とT2とを接続するシリコン層SCの高濃度領域29の下方に延びて形成される。これにより、高濃度領域29と容量配線CSL2と、それらの間の下地絶縁膜47とで、第2の容量Cs2が形成される。図11に示す例では、第2の容量Cs2を確保するため、薄膜トランジスタT1とT2との接続部分の高濃度領域29は、他の部分に比べて幅が広がっているが、高濃度領域29の形状や幅は、特定のものに限定されない。高濃度領域29の部分の面積は、下地絶縁膜47の誘電率や厚み等に応じて、第2の容量Cs2を確保するため好適な大きさに設計することができる。

[0107] また、容量配線CSL2は、少なくとも薄膜トランジスタT1及びT2のチャネル領域27、35及びその周辺に重なるよう形成されている。これにより、容量配線CSL2が遮光膜24bを兼ねる構成とすることができる。また、容量配線CSL2は、ゲート電極配線GLに沿って直線状に延びて形成されている。このように、ゲート電極配線GLの下方の重なる位置に容量配線CSL2を形成することで、容量配線CSL2による開口率低下を緩和することができる。

[0108] なお、図11及び図12に示す例では、容量配線CSL2が遮光膜24bを兼ねる構成であるが、容量配線CSL1が遮光膜24bを兼ねる構成にすることもできる。

[0109] (信号調整部15cの動作例)

信号調整部 15c は、上述したように、温度センサー TS 及び光センサー OS の各検出結果に基づいて、上記フレーム周波数を調整するように構成されている。各画素のスイッチング回路 18 における薄膜トランジスタ T1 及び T2 では、そのリーク電流が液晶パネル 2 の使用環境、つまり周囲温度や外光によって変動する。このため、信号調整部 15c は、温度センサー TS 及び光センサー OS の各検出結果に基づいて、薄膜トランジスタ T1 及び T2 のリーク電流を判別する。信号調整部 15c は、このリーク電流の判別結果に基づいて、フレーム周波数を調整することにより、液晶パネル 2 での表示画像が変動しない範囲で、フレーム周波数を低周波数化することができる。

[0110] 例えば、センサーの検出値とフレーム周波数との対応関係を表すデータを予めルックアップテーブル等に記録しておき、信号調整部 15c がこのデータを参照することで、センサーの検出結果に応じたフレーム周波数を決定することができる。例えば、信号調整部 15c は、温度センサー TS で検出された温度が高い程、フレーム周波数は大きくなるよう調整することができる。また、信号調整部 15c は、光センサー OS で検出した光が強いほど、フレーム周波数は大きくなるよう調整することもできる。

[0111] また、信号調整部 15c は、センサーの検出結果に応じて、保持期間において第 2 の容量 Cs2 へ印加する電圧の変化量や変化するタイミングを調整することもできる。例えば、保持期間において電圧を変化させる回数（電圧の階調）を、センサーの検出結果により変更することができる。温度センサー TS で検出された温度が高い、或いは光センサー OS で検出された光が強い程、前記回数を多くするか、または、電圧の変化量を大きくするよう調整することができる。この場合も、同様に、センサーの検出値と、容量 Cs2 へ印加する電圧の変化量または変化の回数との対応関係を表すデータを予め記録しておき、信号調整部 15c がこのデータを参照することで、センサーの検出結果に応じた容量 Cs2 の電圧制御を実行することができる。

[0112] このように、信号調整部 15c が、センサーの各検出結果及び／または入

力された映像信号に基づいて、フレーム周波数及び／または容量 C_{s2} の電圧制御を調整することにより、液晶パネル（表示部）2で表示される表示画像のフレーム周波数及び／または容量 C_{s2} の電圧制御を適切に調整することができる。その結果、優れた表示性能を有する液晶表示装置1を容易に構成することができる。

[0113] さらに、信号調整部15cは、映像信号に基づいてフレーム周波数や、容量 C_{s2} 制御電圧を調整することもできる。信号調整部15cは、例えば、表示画像（映像信号）が静止画像である場合には、フレーム周波数を上記所定の周波数以下の低周波数とするとともに、表示画像が動画である場合には、フレーム周波数を第2の所定の周波数（例えば、50（Hz））以上の高周波数とするように構成されてもよい。

[0114] このように、信号調整部15cは入力された映像信号に応じて、フレーム周波数を所定の周波数以下に調整することにより、液晶パネル（表示部）2の消費電力を低減することができる。ひいては、液晶表示装置1の低消費電力化を図ることができる。

[0115] [実施形態2]

図13は、実施形態2にかかるスイッチング回路の等価回路の一例を示す回路図である。図13では、アクティブマトリクス基板5のスイッチング回路のうち、縦方向に並ぶ3つのスイッチング回路を示している。

[0116] 図13に示す3つのスイッチング回路は、縦方向に延びるソース電極配線SLを共有している。また、各スイッチング回路の第2の容量配線CSL2は、縦方向において隣り合うスイッチング回路のゲート電極配線GLとなっている。すなわち、アクティブマトリクス基板5のマトリクスにおける1つの行のスイッチング回路の第2の容量 C_{s2n} に接続された第2の容量配線CSL2nは、隣接する行のスイッチング回路の薄膜トランジスタ T_{1n+1} 及び T_{2n+2} のON/OFF制御信号を供給するゲート電極配線 GL_{n+1} を兼ねた構成となっている。

[0117] 上記実施形態1では、第2の容量 C_{s2} を専用の制御信号線である第2の

容量配線 $CSL2$ に接続していた。これに対して、本実施形態では $Cs2n$ を、次段のゲート電極配線 $GLn+1$ に接続している。これにより、 $Cs2$ に接続される配線を省略することができるため、実施形態1に比べて、画素の開口率をより大きくすることが可能である。

[0118] 図14は、図13に示した回路を駆動した場合の信号波形の一例を示す図である。

[0119] 図14に示す例では、ゲート電極配線 $GLn-1$ 、 GLn 、 $GLn+1$ は、それぞれの書き込みタイミングで、薄膜トランジスタ $T1n-1$ 、 $T1n$ 、 $T1n+1$ 、 $T2n-1$ 、 $T2n$ 、 $T2n+1$ をON状態にする電圧を印加するとともに、前段の第2の容量 $Cs2n-2$ 、 $CS2n-1$ 、 $CS2n$ を介して接続されたノードの電圧 $Vopn-2$ 、 $Vopn-1$ 、 $Vopn$ を所定電圧とするよう電圧を印加する。保持期間においては、上記実施形態1における第2の容量配線 $CSL2$ の電圧制御と同様に、1つ以上の階調電圧において $CSL2$ の電圧を変化させた直後に $Vop \geq Vpix$ となるように電圧を変化させる。このように、図14に示すような信号をゲート電極配線 GL に与えることで、上記実施形態1と同様の駆動を実現することができる。

[0120] また、本実施形態では、ゲート電極配線 GL が第2の容量配線 $CSL2$ を兼ねるので、図2に示した容量用ドライバ21を省略することもできる。

[0121] [実施形態3]

図15は、実施形態3に係るスイッチング回路18の等価回路の一例を示す回路図である。図15に示す例では、スイッチング回路18は、直列に接続された複数（本例では4個）の薄膜トランジスタ $T1a$ 、 $T1b$ 、 $T2a$ 及び $T2b$ を備える。これら複数の薄膜トランジスタ $T1a$ 、 $T1b$ 、 $T2a$ 及び $T2b$ のソースドレイン間を介して、画素電極とソース電極配線 SL が接続される。すなわち、薄膜トランジスタ $T1a$ 、 $T1b$ 、 $T2a$ 及び $T2b$ の一方端に画素電極が接続され、他方端にソース配線電極 SL が接続されている。

[0122] また、薄膜トランジスタ $T1a$ 及び $T1b$ は第1のスイッチング部 $SW1$ を形成し、薄膜トランジスタ $T2a$ 及び $T2b$ は第2のスイッチング部 $SW2$ を形成する。第2のスイッチング部 $SW2$ と画素電極との接続点には、第1の容量 $Cs1$ の一方の電極が接続されている。第1の容量 $Cs1$ の他方の電極は、第1の容量配線 $CSL1$ に接続されている。第1のスイッチング部 $SW1$ と第2のスイッチング部 $SW2$ との接続点には、第2の容量の一方の電極が接続されている。第2の容量 $Cs2$ の他方の電極は、第2の容量配線 $CSL2$ に接続されている。

[0123] また、スイッチング回路18では、各薄膜トランジスタ $T1a$ 、 $T1b$ 、 $T2a$ 、 $T2b$ のトップゲート電極としてのゲート電極 $g1$ 、 $g2$ 、 $g3$ 、 $g4$ はゲート電極配線 GL に接続されている。また、第2のスイッチング部 $SW2$ の各薄膜トランジスタ $T2a$ 、 $T2b$ には、上記トップゲート電極（ゲート電極 $g3$ 、 $g4$ ）とボトムゲート電極22を有するダブルゲート構造のトランジスタが用いられている。このボトムゲート電極22は、ボトムゲート電極配線 GL' に接続されている。このボトムゲート電極22には、2個のゲート電極 $g3$ 、 $g4$ に対して、一体的に構成された1個のものを用いることができる。さらには、ボトムゲート電極22はバックライト装置3からの照明光を遮光する（下部）遮光膜としても機能するように構成することができる。例えば、図9及び図10(a)に示した下部の遮光膜24bを、ボトムゲート電極配線 GL' に接続した構成とすることによって、ボトムゲート電極が遮光膜を兼ねることができる。

[0124] 上記のように、本実施形態では、第2のスイッチング部 $SW2$ において、その薄膜トランジスタ $T2a$ 、 $T2b$ には、ダブルゲート構造のトランジスタが用いられている。これにより、第2のスイッチング部 $SW2$ の電流駆動力（オン電流）を容易に増大させることができる。また、このようにオン電流を容易に増大させることができるので、液晶容量 CLC への充電時間を容易に低減することが可能となる。

[0125] （実施形態による効果）

一般に、液晶表示装置では、画素電極の部分が光を透過する領域になるので、画素の総面積に対して画素電極の占める割合が大きいほど明るい画像が得られる。しかし、画素にはゲート電極配線とソース電極配線及び薄膜トランジスタが配置されているために、画素電極の占有面積は小さくなる。加えて、携帯電話やスマートフォンに代表される中小型サイズの液晶表示パネルの場合、画素を高精細化すればさらに開口面積が小さくなってしまいう傾向にある。

[0126] 一方、低消費電力化に向けた低周波駆動回路技術としては、従来から採用されているDRAMやSRAM方式のようなメモリ機能を画素に付加した構成、画素電圧フレッシュ機能を付加した構成等があるが、これらの方式はフルカラー表示が困難であり、かつ素子追加が多く、画素開口率の低下が顕著になる。従って高開口率、フルカラー表示を実現する低周波駆動技術は非常に困難である。

[0127] そこで、上記実施形態1～2における画素回路は、画素回路に遮光膜、容量 C_{s2} 、容量配線 $CSL2$ をさらに備えるだけの簡単な構成なので、高開口率を実現することができる。さらに図4に示すように $CSL2$ に与える信号を画素電圧の保持期間中に1回以上電圧値が変化するようにすることで、図3に示す V_{op} の電圧変動を抑制することができる。その結果、画素電圧の変動も抑制することが可能となるため、低周波駆動を実現できる。また、薄膜トランジスタのオフリーク電流を抑制するのみのシンプルな手法であるので、フルカラー表示も実現可能である。すなわち、上記実施形態によれば、従来困難であると考えられてきた、低周波駆動、フルカラー表示及び高開口率の3つを同時に満足するディスプレイが実現可能である。

[0128] 例えば、ポリシリコンを用いたトランジスタのようなオフリーク電流が大きい薄膜トランジスタを用いた画素回路においても、画素に書き込んだ電荷がトランジスタのオフリーク電流によって時間と共に失われてしまうことを抑制できる。その結果、ディスプレイの駆動周波数を下げ、低消費電力化を図った場合においても良好な表示を維持することができる。

[0129] (その他の変形例)

尚、上記の実施形態はすべて例示であって制限的なものではない。本発明の技術的範囲は特許請求の範囲によって規定され、そこに記載された構成と均等の範囲内のすべての変更も本発明の技術的範囲に含まれる。

[0130] 例えば、上記の説明では、本発明を、液晶表示装置のアクティブマトリクス基板に用いられる画素電極用のスイッチング回路に適用した場合を例示して説明した。しかしながら、本発明の半導体装置は、直列に接続された複数のスイッチング素子と、前記複数のスイッチング素子の一端側に一方の電極が接続され、他方の電極が第1の容量配線に接続された第1の容量と、前記複数のスイッチング素子のうち隣り合うスイッチング素子の間に一方の電極が接続され、他方の電極が第2の容量配線に接続された第2の容量と、前記複数のスイッチング素子の少なくとも1つに対して入射する光を遮る遮光膜とを備えたものであれば何等限定されない。

[0131] 具体的にいえば、例えば半透過型や反射型の液晶パネルあるいは有機EL (Electronic Luminescence) 素子、無機EL素子、電界放出ディスプレイ (Field Emission Display) などの各種表示装置や、それに用いられるアクティブマトリクス基板などに適用することができる。また、画素電極用のスイッチング回路以外に、ドライバ回路などの周辺回路に用いられるスイッチング回路などに本発明の半導体装置を適用することができる。また、スイッチング部の直列接続数は、上記の2～3個に何等限定されない。

[0132] また、上記の説明では、スイッチング部のスイッチング素子としてN型のトランジスタを1個または2個用いた場合について説明したが、本発明のスイッチング素子はこれに限定されるものではなく、例えばN型のトランジスタとP型のトランジスタを並列に接続したものを1個のスイッチング素子として用いることもできる。

[0133] 但し、上記の各実施形態のように、スイッチング部のスイッチング素子として、MIS (Metal-Insulator-Semiconductor) 型のトランジスタを用いる場合、スイッチング部の構成を単純化することができ、半導体装置を容易に

構成することができる点で好ましい。

- [0134] また、上記の説明では、信号調整部が温度センサー及び光センサーの各検出結果または入力された映像信号のいずれかを用いて、フレーム周波数を調整する構成について説明したが、本発明の信号調整部はこれに限定されるものではなく、表示部の周囲環境の状態を検出するセンサーからの検出結果及び入力された映像信号の少なくとも一方に基づいて、フレーム周波数を調整するものであればよい。つまり、本発明の信号調整部は、温度センサーからの表示部の周囲温度の検出結果及び光センサーからの表示部への外光の検出結果に加えて、入力された映像信号に基づき、スイッチング回路でのリーク電流の大きさを判別して、フレーム周波数を適切に調整してもよい。
- [0135] また、上記の説明では、上部遮光膜を導体によって構成するとともに、ゲート電極配線に電氣的に接続した場合について説明したが、本発明の上部遮光膜はこれに限定されるものではなく、例えばゲート電極配線に電氣的に接続せずに、上部遮光膜をフローティング状態としたり、非導体によって上部遮光膜を構成したりしてもよい。但し、上記の各実施形態のように、ソース電極及びドレイン電極と同層で上部遮光膜を形成する場合には、当該上部遮光膜をゲート電極配線に電氣的に接続することが好ましい。
- [0136] また、上記の説明では、保持容量（容量）を構成するシリコン層（半導体層）において、低濃度不純物領域（LDD領域）を用いた場合について説明したが、本発明の容量はこれに限定されるものではなく、低濃度不純物領域に代えて、例えばチャンネル領域を用いることもできる。
- [0137] また、上記の説明では、トップゲート電極構造トランジスタを用いた場合について説明したが、ボトムゲート電極構造（逆スタガー構造）トランジスタを用いてもよく、この場合の遮光膜はトランジスタの上方に形成されていればよい。また、このトランジスタは多結晶シリコントランジスタだけでなく、微結晶シリコンまたはアモルファスシリコントランジスタでもよい。
- [0138] また、上記の説明では、ボトムゲート電極が（下部）遮光膜として用いられている場合について説明したが、本発明はこれに何等限定されない。具体

的にいえば、透明電極を用いてボトムゲート電極を構成するとともに、半導体層の下方でボトムゲート電極の下方に遮光膜を設ける構成でもよい。このように構成した場合には、非導体からなる遮光膜を用いることもできる。

産業上の利用可能性

[0139] 本発明は、複数個のスイッチング部を直列に接続し、かつ、スイッチング部の接続部に容量を接続したときでも、リーク電流を確実に抑制することができ、複数個のスイッチング部の一端部側での電圧変動を抑えることができる半導体装置、及びこれを用いたアクティブマトリクス基板、並びに表示装置に対して有用である。

請求の範囲

- [請求項1] 直列に接続された複数のスイッチング素子と、
前記複数のスイッチング素子の一端側に一方の電極が接続され、他方の電極が第1の容量配線に接続された第1の容量と、
前記複数のスイッチング素子のうち隣り合うスイッチング素子の間に一方の電極が接続され、他方の電極が第2の容量配線に接続された第2の容量と、
前記複数のスイッチング素子の少なくとも1つに対して入射する光を遮る遮光膜とを備えた半導体装置。
- [請求項2] 前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFのときに、当該スイッチング素子において前記第1の容量側と前記第2の容量側との電位差を少なくするよう前記第2の容量配線の電圧を変化させることを特徴とする、請求項1に記載の半導体装置。
- [請求項3] 前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFのときに、当該スイッチング素子において前記第1の容量側の電圧より前記第2の容量側の電圧が高くなるよう前記第2の容量配線の電圧を変化させることを特徴とする、請求項1に記載の半導体装置。
- [請求項4] 前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFであり、前記第2の容量配線の電圧を変化させる直前において、当該スイッチング素子における前記第1の容量側の電圧より前記第2の容量側の電圧が低くなることを特徴とする、請求項1に記載の半導体装置。
- [請求項5] 前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFのときに、前記第2の容量配線の電圧を同一時間毎に2回以上変化させることを特徴とする、請求項1に記載の半導体装置。
- [請求項6] 前記第1の容量と第2の容量の間に接続されたスイッチング素子がOFFのときに、前記第2の容量配線の電圧を同一変化量で2回以上

変化させることを特徴とする、請求項 1 に記載の半導体装置。

[請求項7] 前記半導体装置は、他の半導体装置とともに並べて配置されており、

前記半導体装置の前記第 2 の容量配線は、隣接して設けられる他の半導体装置の前記スイッチング素子へ接続され、当該スイッチング素子へ制御信号を供給する配線を兼ねている、請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項8] 前記半導体装置は、アクティブマトリクス基板の各画素に設けられ、

前記複数のスイッチング素子の一端側には、画素電極が接続され、他端側には画素信号を前記複数のスイッチング素子を介して供給するための信号線が接続される、請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置。

[請求項9] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際に ON となり、

前記スイッチング素子が OFF となる、前記画素電極の電圧を保持すべき期間において、当該スイッチング素子において前記画素電極側と、前記信号線側の電位差を少なくするよう前記第 2 の容量配線の電圧を変化させる、請求項 8 に記載の半導体装置。

[請求項10] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際に ON となり、

前記スイッチング素子が OFF となる、前記画素電極の電圧を保持すべき期間において、当該スイッチング素子において前記第 1 の容量側の電圧より前記第 2 の容量側の電圧が高くなるよう前記第 2 の容量配線の電圧を変化させる、請求項 8 に記載の半導体装置。

[請求項11] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際に ON となり、

前記スイッチング素子が OFF となる、前記画素電極の電圧を保持

すべき期間において、前記第2の容量配線の電圧を変化させる直前において、当該スイッチング素子における前記第1の容量側の電圧より前記第2の容量側の電圧が低くなることを特徴とする、請求項8に記載の半導体装置。

[請求項12] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、

前記スイッチング素子がOFFとなる、前記画素電極の電圧を保持すべき期間において、前記第2の容量配線の電圧を同一時間毎に2回以上変化させることを特徴とする、請求項8に記載の半導体装置。

[請求項13] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、

前記スイッチング素子がOFFとなる、前記画素電極の電圧を保持すべき期間において、前記第2の容量配線の電圧を同一変化量で2回以上変化させることを特徴とする、請求項8に記載の半導体装置。

[請求項14] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、

前記スイッチング素子がOFFとなる、前記画素電極の電圧を保持すべき期間において、前記アクティブマトリクス基板上に形成される全ての第2の容量配線の電圧を同じタイミングで変化させることを特徴とする、請求項8に記載の半導体装置。

[請求項15] 前記スイッチング素子は、前記信号線から画素電極へ画素信号が供給される際にONとなり、

前記スイッチング素子がOFFとなる、前記画素電極の電圧を保持すべき期間において、前記アクティブマトリクス基板上に形成される全ての第2の容量配線の電圧を同一の電圧にすることを特徴とする、請求項8に記載の半導体装置。

[請求項16] 前記半導体装置は、アクティブマトリクス基板にマトリクス状に配置された画素の各々に設けられ、

マトリクスにおける1つの行の画素に設けられた半導体装置の前記第2の容量配線は、隣接する行の画素に設けられた半導体装置のスイッチング素子へ制御信号を供給する走査線を兼ねている、請求項9～15のいずれか1項に記載の半導体装置。

[請求項17] 前記第2の容量配線または前記第1の容量配線が、前記複数のスイッチング素子の少なくとも1つに対して入射する光を遮る位置まで延びて形成され、前記遮光膜を兼ねる、請求項1～16のいずれか1項に記載の半導体装置。

[請求項18] 請求項1～17のいずれか1項に記載の半導体装置を用いたことを特徴とするアクティブマトリクス基板。

[請求項19] 請求項18に記載のアクティブマトリクス基板を含む表示部を備えた、表示装置。

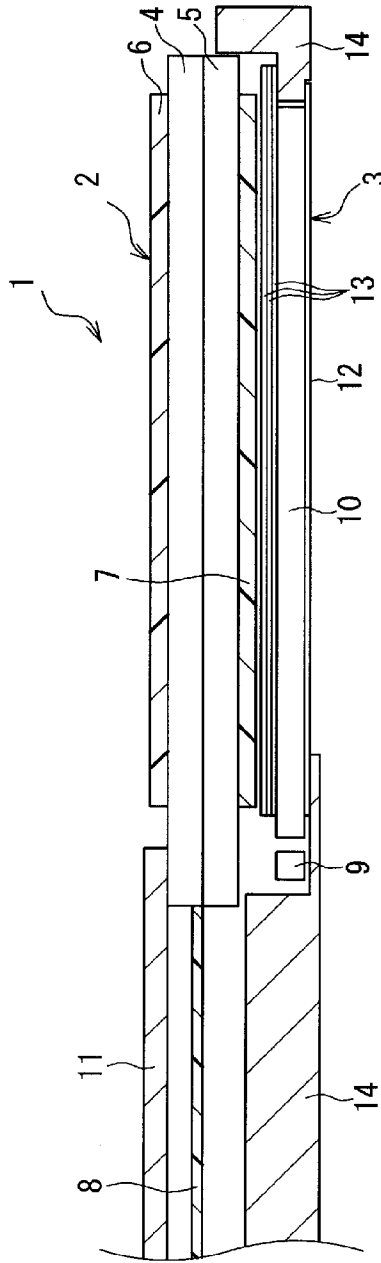
[請求項20] 前記表示部が液晶パネルである、請求項19に記載の表示装置。

[請求項21] 前記表示部が有機ELパネルである、請求項19に記載の表示装置。

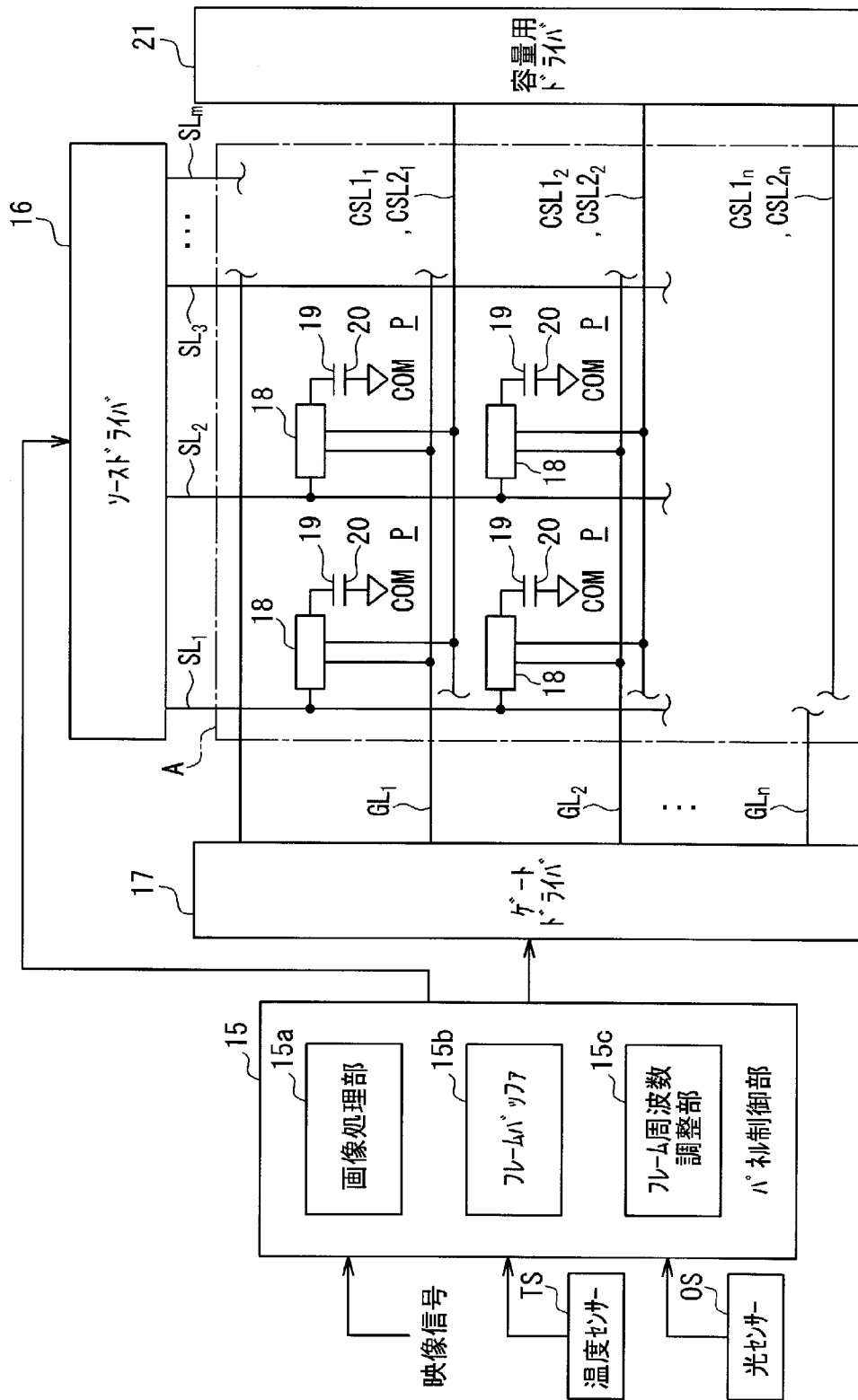
[請求項22] 前記表示部の周囲環境の状態を検出するセンサーと、
前記表示部の駆動制御を行う表示制御部を備え、
前記表示制御部には、前記センサーからの検出結果に基づいて、フレーム周波数を調整する信号調整部が設けられている請求項19に記載の表示装置。

[請求項23] 前記表示部の周囲環境の状態を検出するセンサーと、
前記表示部の駆動制御を行う表示制御部を備え、
前記表示制御部には、前記センサーからの検出結果に基づいて、前記第2の容量配線の信号を調整する信号調整部が設けられている請求項19に記載の表示装置。

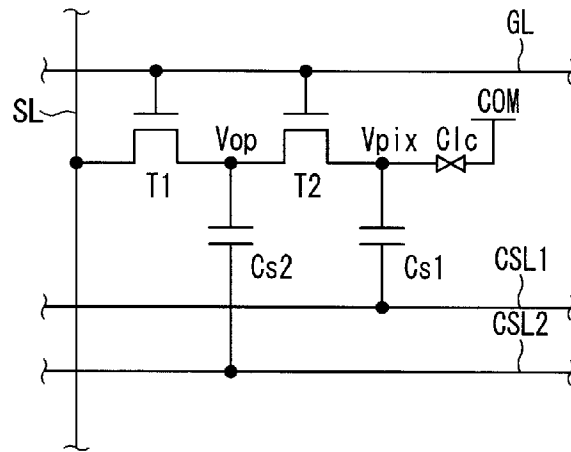
[図1]



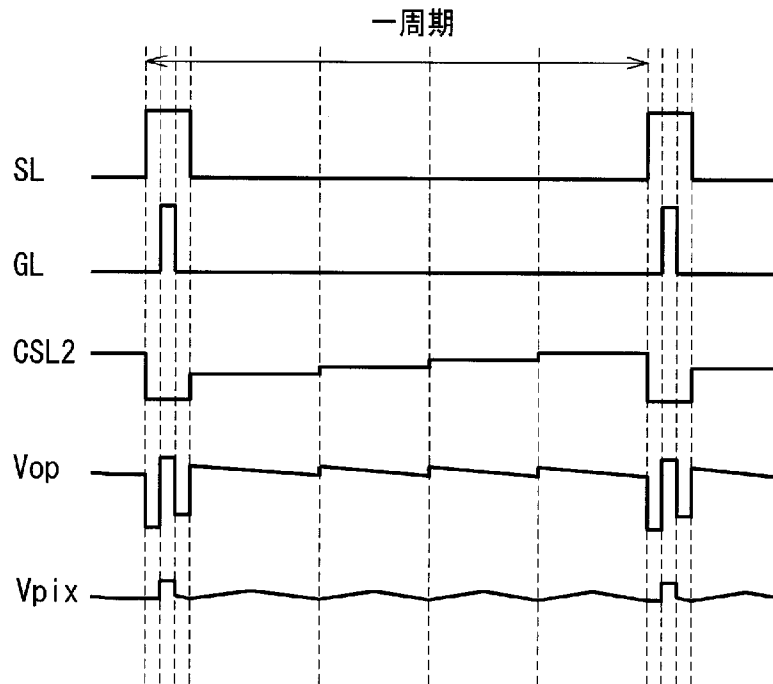
[図2]



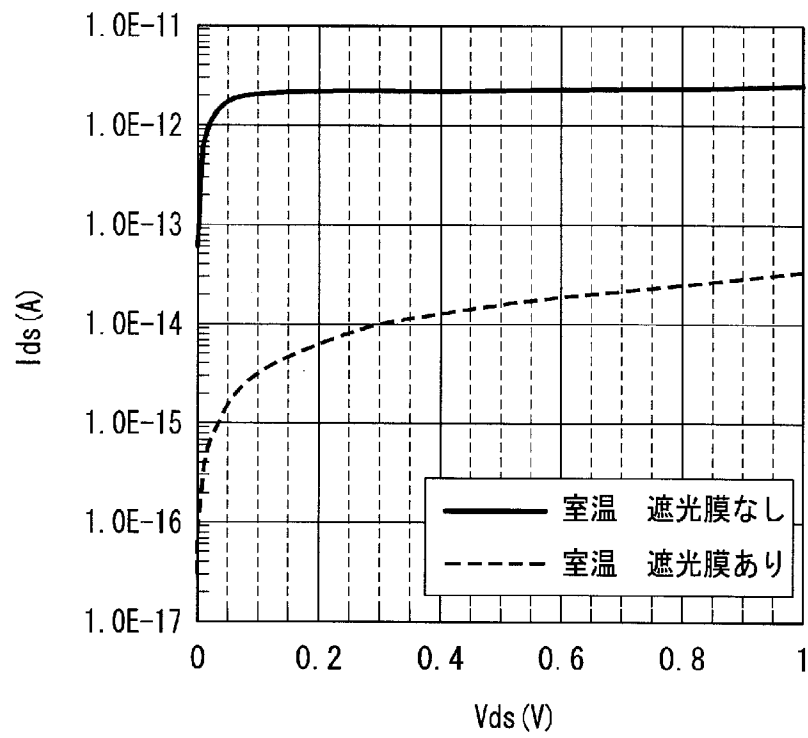
[圖3]



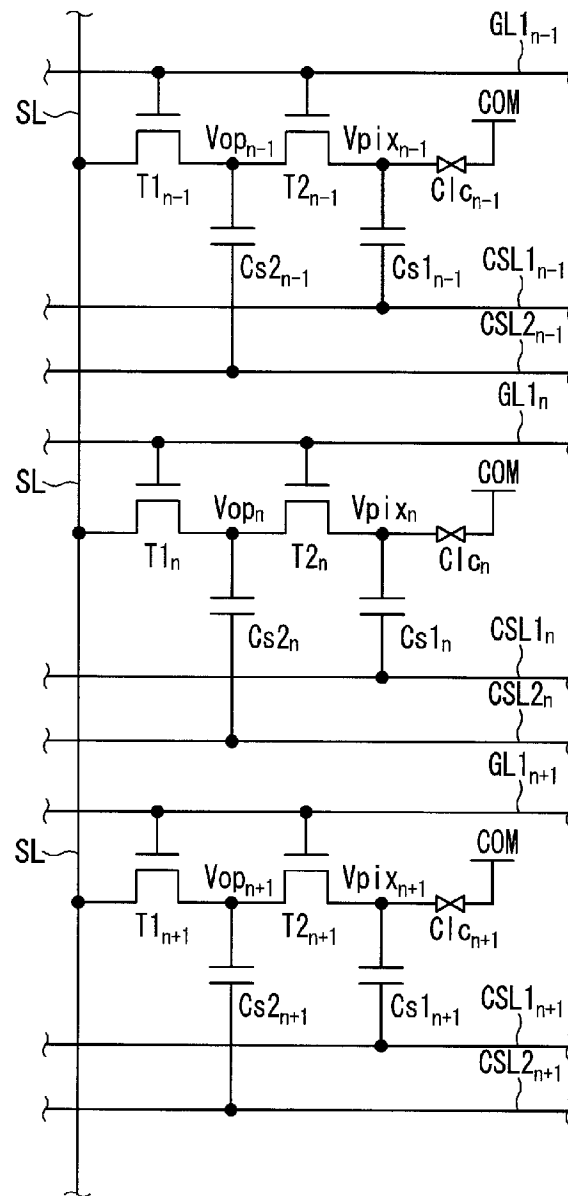
[圖4]



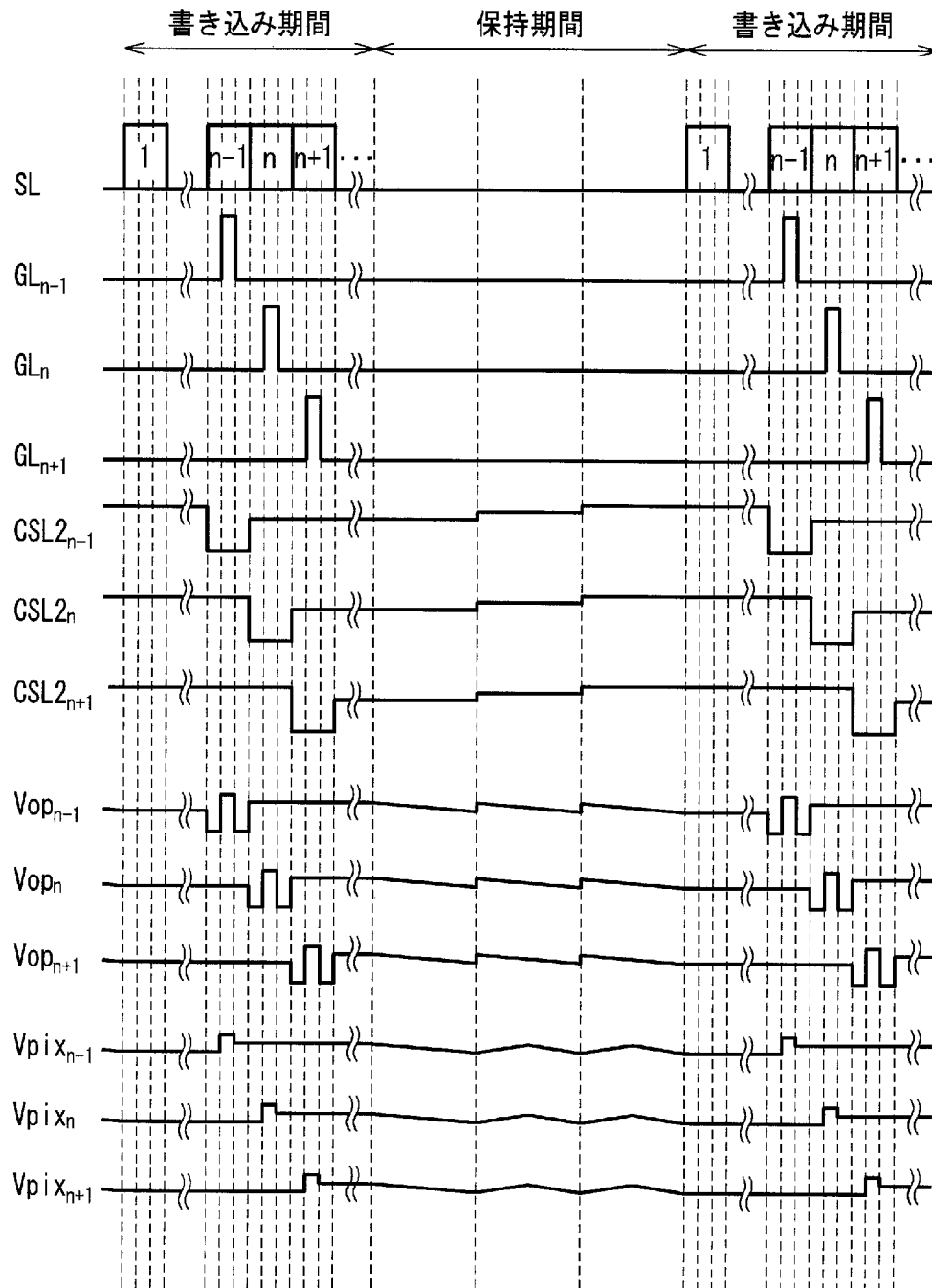
[図5]



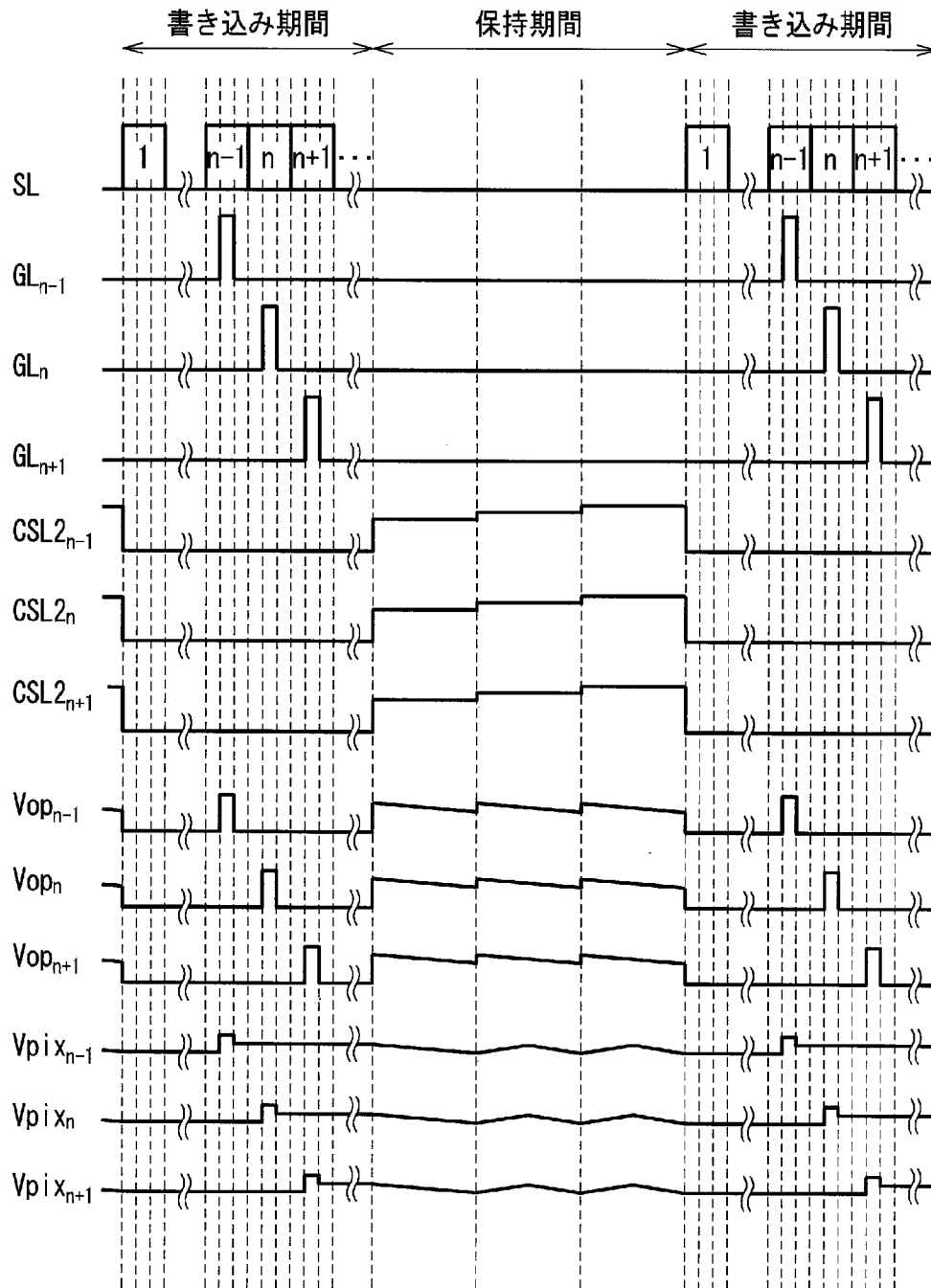
[図6]



[図7]

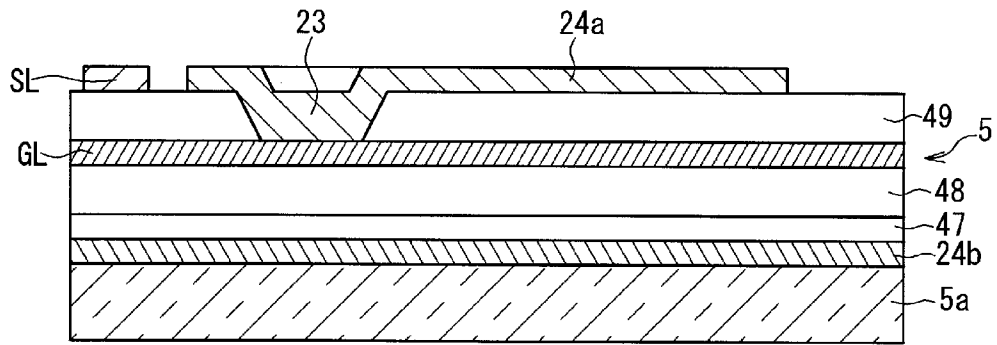


[図8]

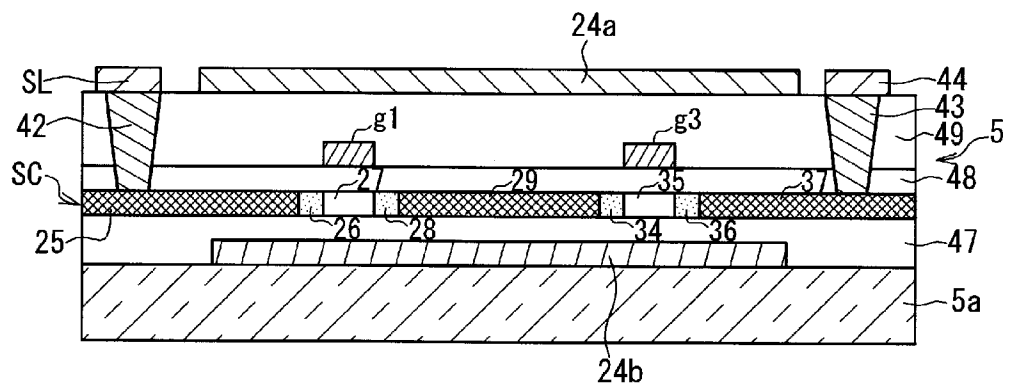


[図10]

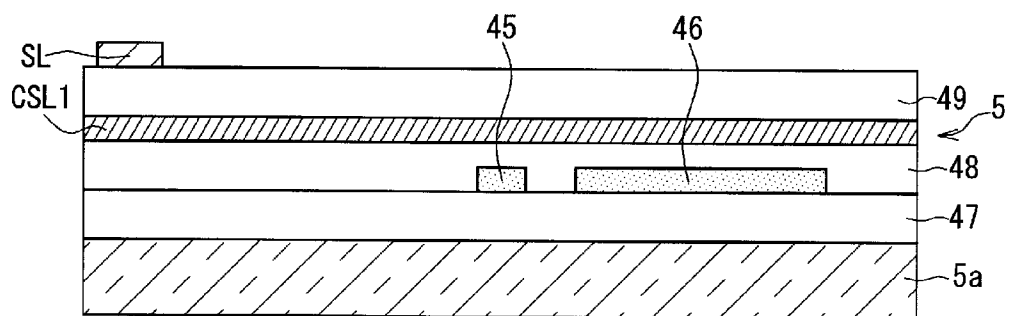
(a)



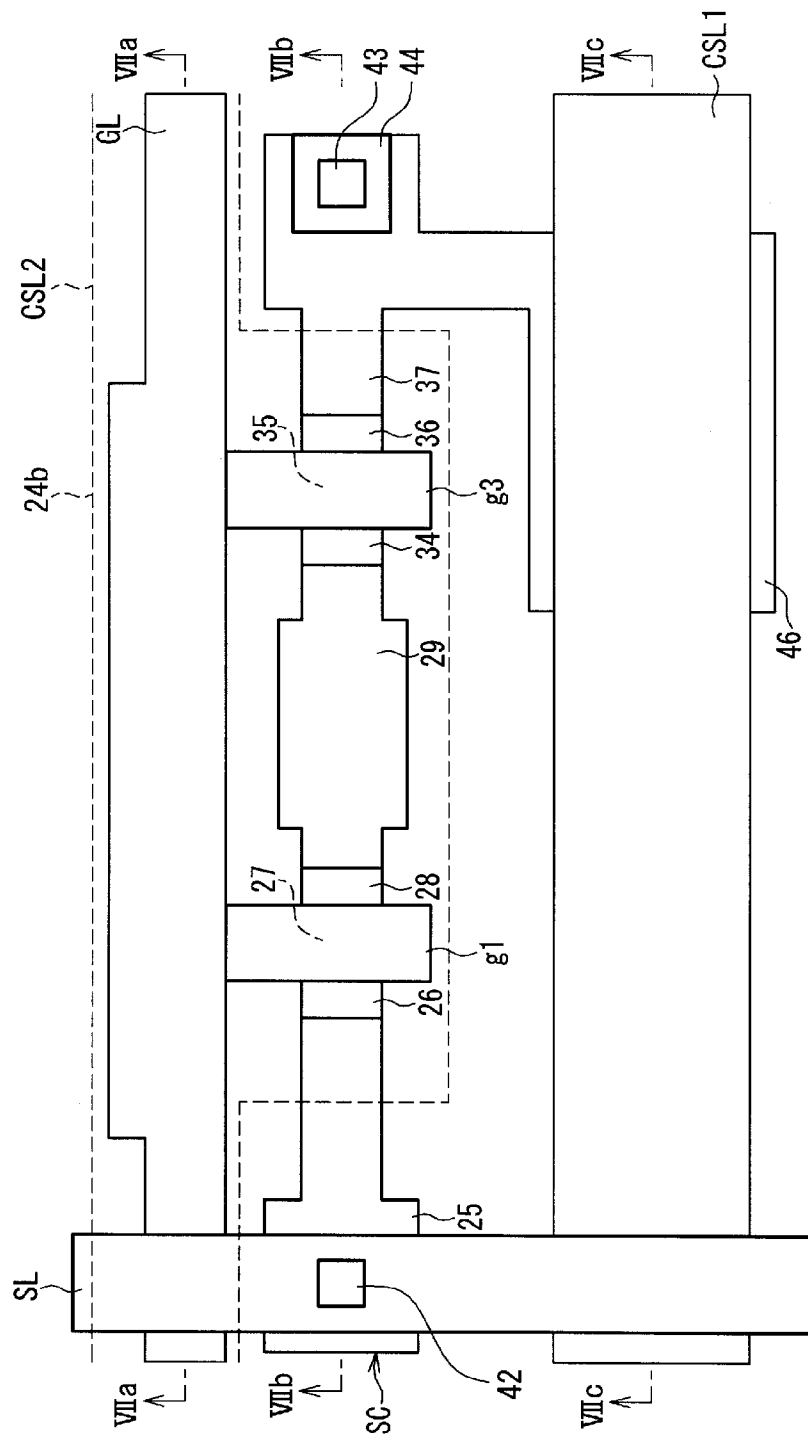
(b)



(c)

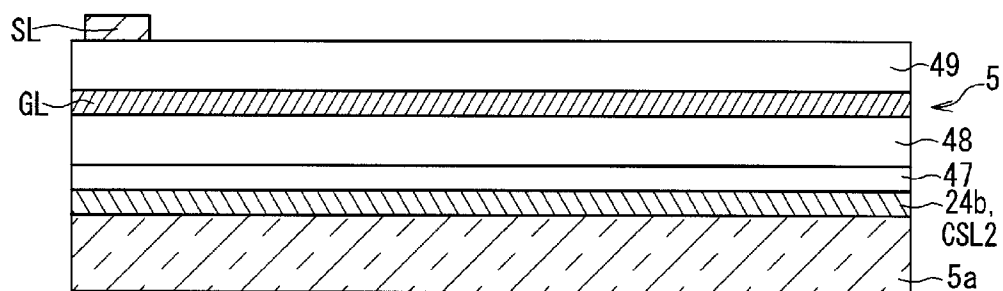


[図11]

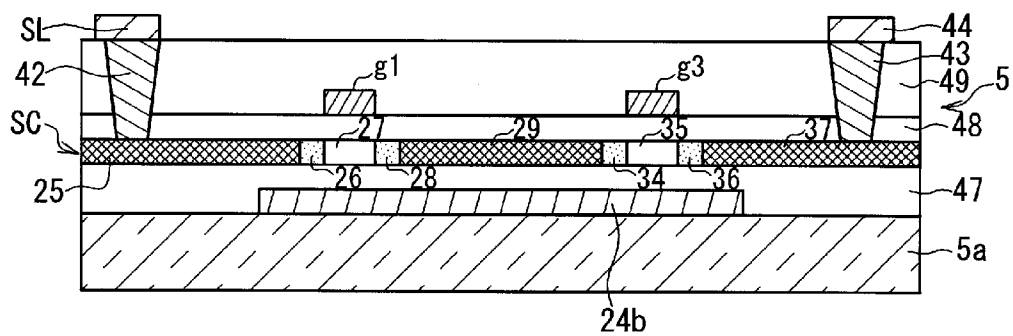


[図12]

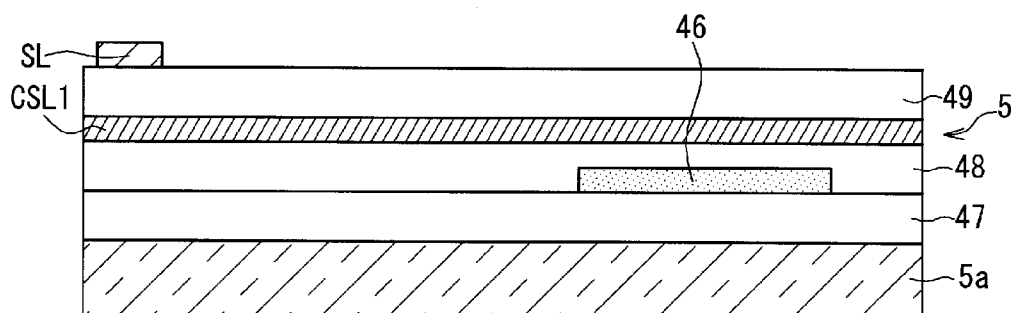
(a)



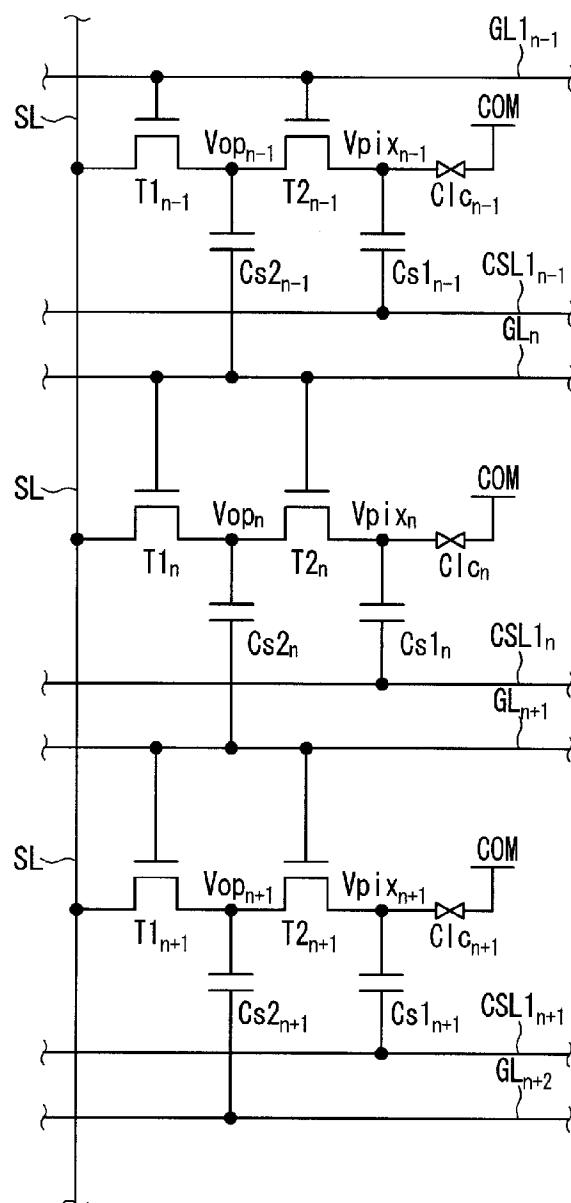
(b)



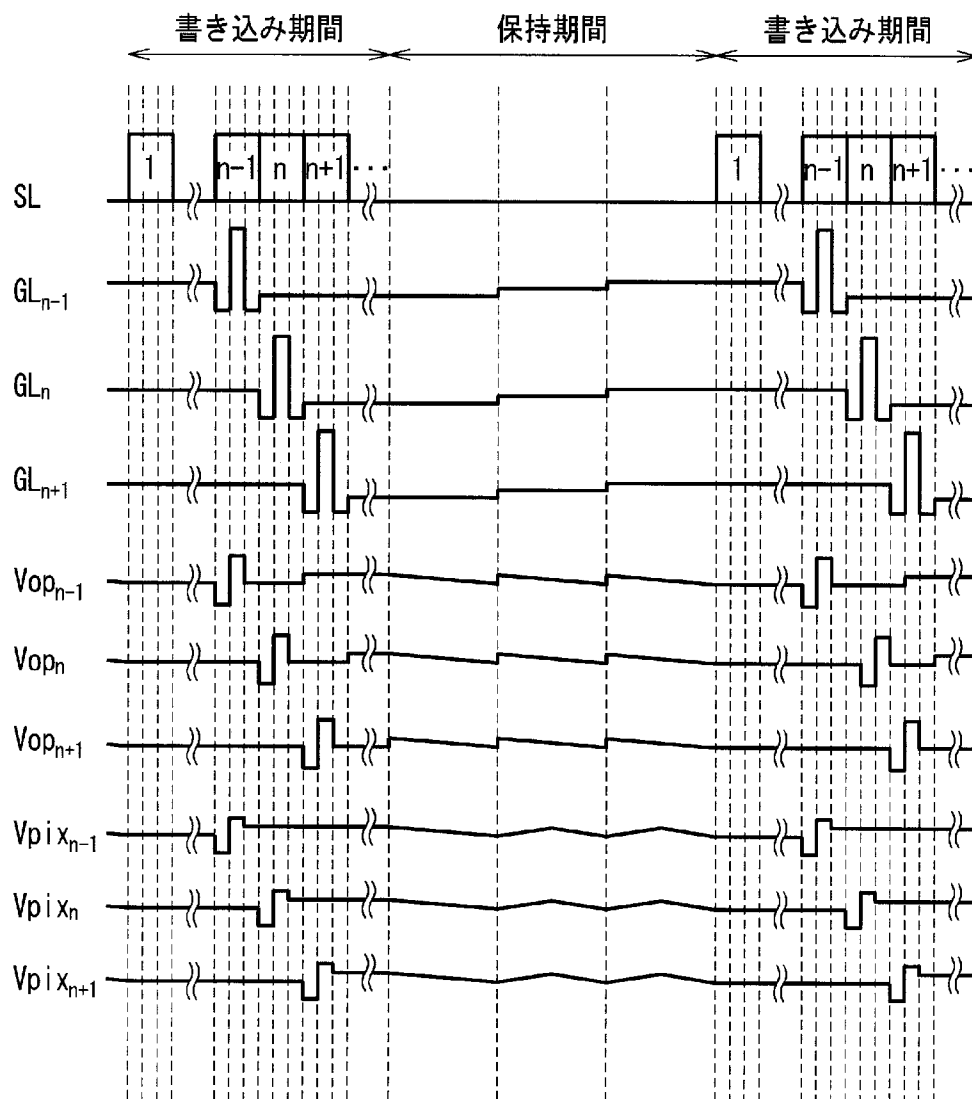
(c)



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/060737

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133, G02F1/1368, G09F9/00, G09F9/30, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-91973 A (Matsushita Electric Industrial Co., Ltd.), 06 April 2001 (06.04.2001), entire text; fig. 1 to 6 (Family: none)	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 8-328515 A (Sharp Corp.), 13 December 1996 (13.12.1996), entire text; fig. 1 to 10 (Family: none)	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 8-46204 A (Sharp Corp.), 16 February 1996 (16.02.1996), entire text; fig. 1 to 11 (Family: none)	1, 7-8, 14-22 2-6, 9-13, 23

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 May, 2012 (16.05.12)

Date of mailing of the international search report
29 May, 2012 (29.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/060737

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 7-333653 A (Semiconductor Energy Laboratory Co., Ltd.), 22 December 1995 (22.12.1995), entire text; fig. 1 to 6 & US 5650636 A & US 6023074 A & US 6259117 B1 & US 6297518 B1 & US 6495858 B1 & US 2003/0047733 A1 & US 2005/0189541 A1 & US 2007/0091217 A1 & CN 1121617 A & CN 1266996 A & CN 1287387 A & CN 1638141 A	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 2007-140310 A (NEC Corp.), 07 June 2007 (07.06.2007), paragraphs [0043] to [0044], [0048] to [0050]; fig. 3 & US 2007/0115229 A1 & CN 100578597 C	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 2009-115883 A (Seiko Epson Corp.), 28 May 2009 (28.05.2009), entire text; fig. 1 to 18 (Family: none)	1, 7-8, 14-22 2-6, 9-13, 23
Y	JP 2010-122609 A (Canon Inc.), 03 June 2010 (03.06.2010), paragraphs [0053] to [0062]; fig. 8 & US 2010/0128054 A1 & EP 2189971 A1 & KR 10-2010-0057496 A & CN 101740005 A	22
Y	JP 2009-224884 A (Canon Inc.), 01 October 2009 (01.10.2009), paragraphs [0047] to [0062]; fig. 5 to 9 (Family: none)	22
A	JP 2009-145866 A (Sony Corp.), 02 July 2009 (02.07.2009), entire text; fig. 1 to 61 & US 2009/0128527 A1 & TW 200923481 A & KR 10-2009-0023311 A & CN 101452688 A	1-23

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/00-3/38, G02F1/133, G02F1/1368, G09F9/00, G09F9/30, H01L27/32, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-91973 A (松下電器産業株式会社) 2001.04.06, 全文, 図1-6 (ファミリーなし)	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 8-328515 A (シャープ株式会社) 1996.12.13, 全文, 図1-10 (ファミリーなし)	1, 7-8, 14-22 2-6, 9-13, 23

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

16.05.2012

国際調査報告の発送日

29.05.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中村 直行

電話番号 03-3581-1101 内線 3226

2G

9214

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 8-46204 A (シャープ株式会社) 1996. 02. 16, 全文, 図 1 - 1 1 (ファミリーなし)	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 7-333653 A (株式会社半導体エネルギー研究所) 1995. 12. 22, 全文, 図 1 - 6 & US 5650636 A & US 6023074 A & US 6259117 B1 & US 6297518 B1 & US 6495858 B1 & US 2003/0047733 A1 & US 2005/0189541 A1 & US 2007/0091217 A1 & CN 1121617 A & CN 1266996 A & CN 1287387 A & CN 1638141 A	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 2007-140310 A (日本電気株式会社) 2007. 06. 07, 段落【0043】 - 【0044】, 【0048】 - 【0050】, 図 3 & US 2007/0115229 A1 & CN 100578597 C	1, 7-8, 14-22 2-6, 9-13, 23
Y A	JP 2009-115883 A (セイコーエプソン株式会社) 2009. 05. 28, 全文, 図 1 - 1 8 (ファミリーなし)	1, 7-8, 14-22 2-6, 9-13, 23
Y	JP 2010-122609 A (キヤノン株式会社) 2010. 06. 03, 段落【0053】 - 【0062】, 図 8 & US 2010/0128054 A1 & EP 2189971 A1 & KR 10-2010-0057496 A & CN 101740005 A	22
Y	JP 2009-224884 A (キヤノン株式会社) 2009. 10. 01, 段落【0047】 - 【0062】, 図 5 - 9 (ファミリーなし)	22
A	JP 2009-145866 A (ソニー株式会社) 2009. 07. 02, 全文, 図 1 - 6 1 & US 2009/0128527 A1 & TW 200923481 A & KR 10-2009-0023311 A & CN 101452688 A	1-23