

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 13/02

(11) 공개번호 10-2005-0118331
(43) 공개일자 2005년12월19일

(21) 출원번호 10-2004-0043419
(22) 출원일자 2004년06월14일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 조백형
경기도 오산시 부산동 779-1번지 운암주공아파트 310동 603호
오형록
경기도 성남시 분당구 서현동 시범단지삼성아파트 102동 504호

(74) 대리인 김능균

심사청구 : 없음

(54) 반도체 메모리에서의 저항 산포 측정회로

요약

본 발명은 정확한 저항 산포 측정을 통해 신뢰성을 개선시킬 수 있는 반도체 메모리에서의 저항 산포 측정회로에 관한 것이다. 본 발명에 따른 저항 산포 측정회로는, 비휘발성 메모리 셀들을 갖는 메모리 셀 어레이를 구비한 반도체 메모리에서 저항 산포 측정 회로에 있어서, 상기 셀 어레이에서 특정 메모리 셀을 선택하는 선택부와; 상기 선택된 메모리 셀의 상태에 따라 보상전류를 달리 인가하는 셀 전류 제어부와; 상기 메모리 셀의 전류에 대응되는 전압과 기준전압을 비교하여 그 차이를 출력하는 센스 앰프부를 구비함을 특징으로 한다.

대표도

도 3

색인어

저항 산포, 보상전류, 바이어스, 센스앰프, 피랩

명세서

도면의 간단한 설명

도 1은 종래의 PRAM 셀 어레이에서 저항 산포 측정회로도

도 2는 도 1의 보상전류와 셀 저항과의 관계를 나타낸 그래프

도 3은 본 발명의 일실시예에 따른 PRAM 셀 어레이에서 저항 산포 측정회로도

도 4는 도 3의 셀 전류 제어부의 구체회로도

도 5은 도 3의 셀 저항과 보상 제어신호의 관계를 나타낸 그래프

도면의 주요 부분에 대한 부호의 설명

VBIAS : 보상 제어신호 SA : 센스 앰프

VREF : 기준전압 WL : 워드라인

Yi : 비트라인 선택신호 SA_IN : 노드

160 : 셀 전류 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에서의 저항 산포 측정회로에 관한 것으로, 구체적으로는 PPRM에서의 정확한 저항 산포 측정을 위한 저항 산포 측정회로에 관한 것이다.

일반적으로, 반도체 메모리 장치의 고성능화 및 저 전력화 추세에 맞추어, 대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로 상 변환(phase change) 물질을 이용한 PRAM(Phase change Random Access Memory)을 개발하고 있다. PRAM은 온도 변화에 따라 상(phase)이 변환됨으로 인하여 저항이 변화하는 $Ge_xSb_yTe_z$ (이하 'GST')와 같은 물질을 이용하여 데이터를 저장하는 비휘발성 메모리(non-volatile memory) 소자이다.

PRAM의 단위 셀은 하나의 트랜지스터와 하나의 가변 저항체로 구성되며, 상기 가변 저항체는 상부전극과, 상기 상부 전극의 하부와 하부전극에 연결된 하부전극 콘택의 상부간에 위치하는 상 변화막 및 하부전극으로 구성되며, 상기 상 변화막은 온도에 따라 저항이 변화하는 물질, 즉 GST로 구성된다. PRAM은 상 변화막의 상(phase)이 온도에 따라 비정질화(amorphous) 상태 또는 결정화(crystalline) 상태로 바뀌는 것을 이용한 것으로, 비정질 상태의 저항치는 고 저항 상태가 되고 결정화 상태의 저항치는 저 저항 상태가 된다. 따라서, 상기 상 변화막이 결정화 상태에서 비정질화 상태로 바뀌는 경우를 '리셋(RESET)' 상태라고 정의하면, 상기 상 변화막이 비정질화 상태에서 결정화 상태로 바뀌는 경우는 '셋(SET)' 상태로 정의할 수 있게 된다.

상기 상 변화막의 온도를 변환시키는 수단은 레이저빔을 이용하는 방법이 있고, 히터(heater)에 전류를 가하여 발생하는 주울(joule) 열을 이용하는 방법이 있다. 상기 전류를 이용하는 방법은, 히터에 가해지는 전류량 및 전류의 인가 시간에 따라 히터의 온도 및 가열 시간이 달라지므로, 이것을 이용하여 상기 상 변화막을 결정화 또는 비정질화시킨다. 이로써, 정보를 저장할 수 있는 메모리 소자로서의 메카니즘(mechanism)을 가지게 되는 것이다.

PRAM에서의 저항 산포 측정은 외부에서 메모리 셀에 공급되는 보상전류의 크기를 가변시키면서 감지동작을 수행함에 의하여 행해지고 있다.

도 1은 종래의 PRAM 셀 어레이에서의 저항 산포 측정회로를 나타낸 것이다.

도 1에 도시된 바와 같이, 종래의 저항 산포 측정회로는 데이터 리드회로를 응용한 것으로, 메모리 셀이 워드라인(WL)과 비트라인(BL)에 연결되어 행과 열로 배열되는 셀 어레이(20), 상기 셀 어레이(20)에서 특정 메모리 셀(10)을 선택하기 위한 선택부(Y-PASS,30), 비트라인을 클램핑하기 위한 클램핑 부(40), 감지동작을 행하는 센스앰프(SA,50) 및 센스노드(SA_IN)에 보상전류를 공급하는 보상용 트랜지스터(P1) 등을 구비하여 이루어진다.

상기한 종래의 저항 산포 측정회로에서는 저항 산포를 측정하기 위한 메모리 셀(10)을 워드라인(WL)과 컬럼 선택신호(Yi)에 의하여 선택한다. 선택된 메모리 셀(10)에 보상 제어신호(VBIAS)에 의해 동작되는 보상용 트랜지스터(P1)을 통하여

보상전류(L_CELL)를 공급한다. 여기서 상기 보상전류(L_CELL)는 보상 제어신호(VBIAS)를 외부에서 가변함에 의하여 조절이 가능하며, 상기 보상 제어신호(VBIAS)에 의해 조절되는 보상전류(L_CELL)는 메모리 셀(10)의 상태에 따라서 달라진다.

센스앰프(50)에서는 센싱노드(SA_IN)의 전위와 기준전압(VREF)의 전위를 비교하여 그 차이를 감지하여 그 결과(OUT)를 출력한다. 상기 메모리 셀(10)의 상태가 '셋' 상태 일 경우에는 저항값이 수k Ω 수준으로 이를 모니터링 하기 위한 보상전류(L_CELL) 값은 수십 μ A 이상이 된다. 반대로 상기 메모리 셀(10)의 상태가 '리셋' 상태일 경우에는 저항값이 수백k Ω 이상의 수준으로 이를 모니터링 하기 위한 보상전류 값은 수 μ A 이하가 된다. 따라서, 상기 메모리 셀(10)의 상태가 '리셋' 상태일 경우에는 보상용 트랜지스터(P1)를 동작시키는 보상 제어신호(VBIAS)는 전압을 충분히 높게 하여 보상용 트랜지스터(P1)를 통하여 아주 적은 보상 전류를 흐르게 할 수 있다. 그러나, 이러한 경우에 있어서는 보상용 트랜지스터(P1)가 문턱 전압(threshold voltage) 영역에서 동작하게 되어 제어하기가 쉽지 않다. 이것은 메모리 셀(10)에서 측정된 저항 값과 메인 칩에서 측정된 저항 값과의 심각한 오차를 초래할 수 있는 문제점이 있다.

도 2는 도 1의 보상전류와 메모리 셀 저항과의 관계를 나타낸 그래프이다. 가로축은 보상 제어신호(VBIAS)의 전압크기를 나타내고 세로축은 보상전류(L_CELL) 및 메모리 셀의 저항(Cell_Resistance)값의 크기를 나타낸다.

도 2에 도시된 바와 같이, 외부에서 인가되는 보상 제어신호(VBIAS)의 전압이 높을수록 보상전류(L_CELL)는 감소하고, 상기 보상제어신호(VBIAS)의 전압값이 낮을수록 보상전류(L_CELL)는 증가한다. 또 다른 면에서는 측정되는 메모리 셀의 저항값은 보상전류(L_CELL)가 작을수록 높은 저항을 감지하며, 측정할 수 있는 메모리 셀의 저항 곡선(Cell_Resistance)의 기울기(DY/DX)는 저항이 클수록 매우 큰값을 갖게 된다. 따라서, 보상제어신호(VBIAS)의 전압값이 높아지면 보상용 트랜지스터(P1)의 전류 특성을 나쁘게 하여 미세한 보상 제어신호(VBIAS)의 전압값의 변화에도 측정되는 저항값은 매우 큰 오차를 유발할 수 있어 정확도에 있어 신뢰성이 떨어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 종래의 문제점을 극복할 수 있는 저항 산포 검출회로를 제공함에 있다.

본 발명의 다른 목적은 정확한 저항 산포 측정을 통하여 신뢰성을 향상시킬 수 있는 저항 산포 검출회로를 제공함에 있다.

상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 양상(aspect)에 따라, 본 발명에 따른 비휘발성 메모리 셀들을 갖는 메모리 셀 어레이를 구비한 반도체 메모리에서 저항 산포 측정 회로는, 상기 셀 어레이에서 특정 메모리 셀을 선택하는 선택부와; 상기 선택된 메모리 셀의 상태에 따라 보상전류를 달리 인가하는 셀 전류 제어부와; 상기 메모리 셀의 전류에 대응되는 전압과 기준전압을 비교하여 그 차이를 출력하는 센스앰프부를 구비함을 특징으로 한다.

상기 셀 전류 제어부는, 상기 메모리 셀에 저장된 데이터의 상태를 인식하여, 상기 데이터의 상태가 셋 상태일 경우에는 셋 제어신호를 발생시키고, 상기 데이터의 상태가 리셋 상태일 경우에는 리셋 제어신호를 발생시키는 데이터 래치회로부와; 상기 데이터 래치회로부의 셋 제어신호 및 보상 제어신호에 응답하여 셋 상태용 보상 전류를 공급하는 셋용 보상전류 공급부와; 상기 데이터 래치회로부의 리셋 제어신호 및 보상 제어신호에 응답하여 리셋 상태용 보상 전류를 공급하는 리셋용 보상전류 공급부를 구비할 수 있다.

상기한 구성에 따르면, 정확한 저항 산포의 측정이 가능해진다.

발명의 구성 및 작용

이하에서는 본 발명의 바람직한 실시예가, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 도 3 내지 도 5를 참조로 설명되어질 것이다.

도 3은 본 발명의 일 실시예에 따른 저항 산포 측정회로를 나타낸 것이다.

도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 저항 산포 측정회로는 메모리 셀이 워드라인(WL)과 비트라인(BL)에 연결되어 행과 열로 배열되는 셀 어레이(120), 상기 셀 어레이(120)에서 특정 메모리 셀(110)을 선택하기 위한 선택부(Y-PASS,130), 비트라인(BL)을 클램핑하기 위한 클램핑 부(140), 감지동작을 행하는 센스앰프(SA,50) 및 센싱노드(SA_IN)에 셋용 및 리셋용 보상전류를 공급하는 셀 전류 제어부(160) 등을 구비하여 이루어진다.

도 4는 도 3의 셀 전류 제어부(160)의 구성예를 나타낸 회로도이다.

도 4에 도시된 바와 같이, 상기 셀 전류 제어부(160)는 상기 메모리 셀에 저장된 데이터의 상태를 인식하여, 상기 데이터의 상태가 셋 상태일 경우에는 셋 제어신호(SET)를 발생시키고, 상기 데이터의 상태가 리셋 상태일 경우에는 리셋 제어신호(RESET)를 발생시키는 데이터 래치회로부(162), 상기 데이터 래치회로부(162)의 셋 제어신호(SET) 및 보상 제어신호(VBIAS)에 응답하여 셋 상태용 보상 전류를 공급하는 셋용 보상전류 공급부(164) 및 상기 데이터 래치회로부(160)의 리셋 제어신호(RESET) 및 보상 제어신호(VBIAS)에 응답하여 리셋 상태용 보상 전류를 공급하는 리셋용 보상전류 공급부(166)를 구비한다.

상기 셋용 보상전류 공급부(164)는 PMOS 트랜지스터 들(P161,P162,P163)과 NMOS 트랜지스터 들(N161,N162,N163)로 구성될 수 있다. 상기 셋 제어신호(SET) 및 보상 제어신호(VBIAS)가 인에이블 되면, NMOS 트랜지스터(N161,N162,N163)가 턴 온 됨에 따라 PMOS 트랜지스터(P163)의 게이트가 연결되는 노드의 전압이 접지전압에 근접하거나 동일해짐에 따라 상기 PMOS 트랜지스터(P163)가 턴 온 되어 센스 앰프의 노드(SA_IN)에 셋용 보상전류를 공급하게 된다. 상기 셋용 보상전류는 수 μA 에서 수십 μA 까지 가변하면서 공급될 수 있다.

상기 리셋용 보상전류 공급부(166)는 PMOS 트랜지스터 들(P164,P165,P166)과 NMOS 트랜지스터 들(N164,N165,N166,N167,N168)로 구성될 수 있다. 상기 리셋 제어신호(RESET) 및 보상 제어신호(VBIAS)가 인에이블 되면, NMOS 트랜지스터(N164,N165,N166,N167,N168)가 턴 온 됨에 따라 PMOS 트랜지스터(P164)의 게이트가 연결되는 노드의 전압이 접지전압에 근접하거나 동일해짐에 따라 상기 PMOS 트랜지스터(P164)가 턴 온 되어 센스 앰프의 노드(SA_IN)에 리셋용 보상전류를 공급하게 된다. 상기 리셋용 보상전류는 수백 nA이하에서 수 μA 까지 가변하면서 공급 가능하도록 되어 있다.

이하에서는 상기한 본 발명의 일실시예에 따른 저항 산포 측정회로의 동작을 도 3 및 도 4를 참고로 하여 설명한다.

우선 저항 산포를 측정하기 위한 메모리 셀(110)을 워드라인(WL)과 컬럼 선택신호(Yi)에 의하여 선택한다. 선택된 메모리 셀(110)에 셀 전류 제어부(160)를 통하여 보상전류(I_CELL)가 공급된다. 여기서 상기 보상전류(I_CELL)는 보상 제어신호(VBIAS) 및 이전 데이터(Data)의 신호에 의해 셋용 보상전류와 리셋용 보상전류로 구분되어 공급된다. 상기 셋용 보상전류는 수 μA 에서 수십 μA 까지 가변하면서 공급될 수 있으며, 상기 리셋용 보상전류는 수백 nA이하에서 수 μA 까지 가변하면서 공급 가능하도록 되어 있다.

센스앰프(150)에서는 센싱노드(SA_IN)의 전위와 기준전압(VREF)의 전위를 비교하여 그 차이를 감지하여 그 결과(OUT)를 출력한다. 상기 센스 앰프(150)의 출력 결과를 토대로 하여 상기 메모리 셀의 저항값이 측정된다.

도 5는 도 3의 보상 제어신호와 측정되는 저항값과의 관계를 나타내는 그래프이다. 세로축은 메모리 셀의 저항(GST Resistance)을 나타내고 가로축은 보상 제어신호의 전압의 크기를 나타낸다.

도 5에 도시된 바와 같이, 종래기술에서의 저항 산포 측정의 경우(180)에 비해서, 본 발명에서는 리셋 저항이 수백k Ω 이상인 경우(170)에도 보상 제어신호(VBIAS)의 미세한 제어를 통하여 보다 정확한 저항 산포 측정이 가능하게 된다. 따라서 셋 저항 산포 측정의 경우(190) 뿐 만 아니라 리셋 저항 산포 측정의 경우(170)의 경우에도 측정오차를 줄이는 것이 가능해진다.

상기한 본 발명에 의한 반도체 메모리에서의 저항 산포 측정회로는, PRAM에 적용되기 위한 것이나, MRAM(Magnetic Random Access Memory)에도 적용될 수 있으며, 기타 비휘발성 메모리에도 적용될 수 있을 것이다.

상기한 실시예의 설명은 본 발명의 더욱 철저한 이해를 위하여 도면을 참조로 예를 든 것에 불과하므로, 본 발명을 한정하는 의미로 해석되어서는 안될 것이다. 또한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기본적 원리를 벗어나지 않는 범위 내에서 다양한 변화와 변경이 가능함은 명백하다 할 것이다. 예컨대, 사안이 다른 경우에 회로의 내부 구성을 변경하거나, 회로의 내부 구성 소자들을 다른 등가적 소자들로 대체할 수 있음은 명백하다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 메모리 셀의 정확한 저항 산포 측정을 통하여 반도체 메모리 장치의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

비휘발성 메모리 셀들을 갖는 메모리 셀 어레이를 구비한 반도체 메모리에서 저항 산포 측정 회로에 있어서:

상기 셀 어레이에서 특정 메모리 셀을 선택하는 선택부와;

상기 선택된 메모리 셀의 상태에 따라 보상전류를 달리 인가하는 셀 전류 제어부와;

상기 메모리 셀의 전류에 대응되는 전압과 기준전압을 비교하여 그 차이를 출력하는 센스앰프부를 구비함을 특징으로 하는 저항 산포 측정회로.

청구항 2.

제1항에 있어서, 상기 셀 전류 제어부는,

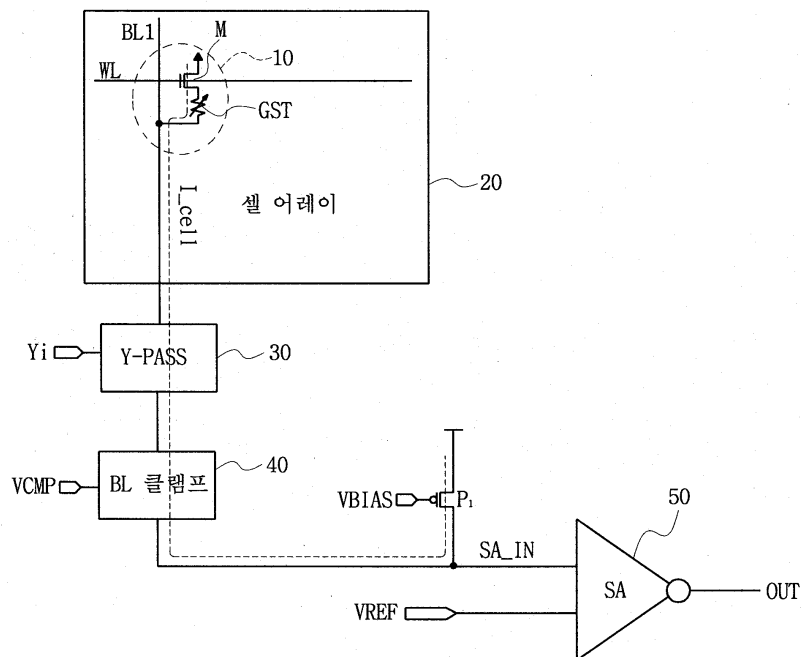
상기 메모리 셀에 저장된 데이터의 상태를 인식하여, 상기 데이터의 상태가 셋 상태일 경우에는 셋 제어신호를 발생시키고, 상기 데이터의 상태가 리셋 상태일 경우에는 리셋 제어신호를 발생시키는 데이터 래치회로부와;

상기 데이터 래치회로부의 셋 제어신호 및 보상 제어신호에 응답하여 셋 상태용 보상 전류를 공급하는 셋용 보상전류 공급부와;

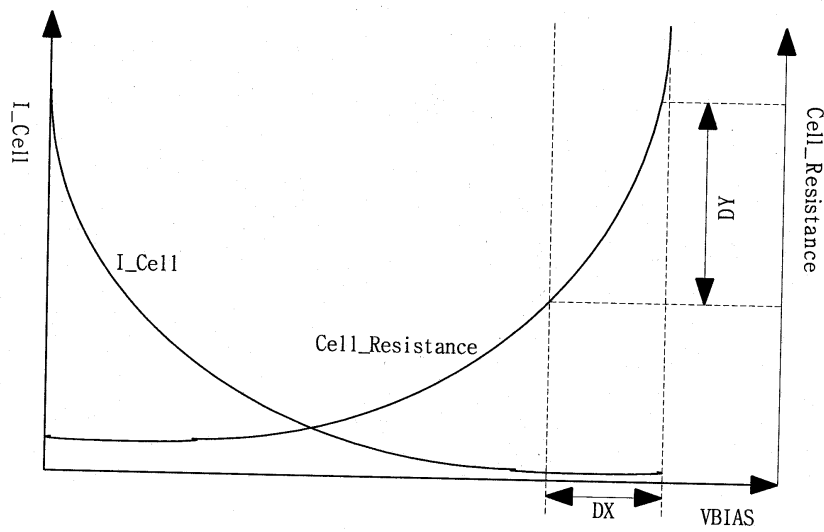
상기 데이터 래치회로부의 리셋 제어신호 및 보상 제어신호에 응답하여 리셋 상태용 보상 전류를 공급하는 리셋용 보상전류 공급부를 구비함을 특징으로 하는 저항 산포 측정회로.

도면

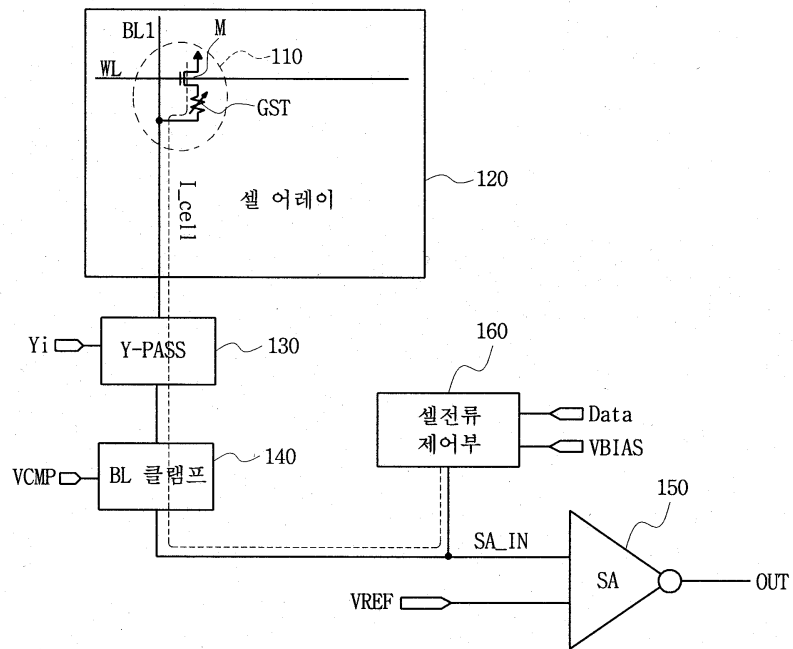
도면1



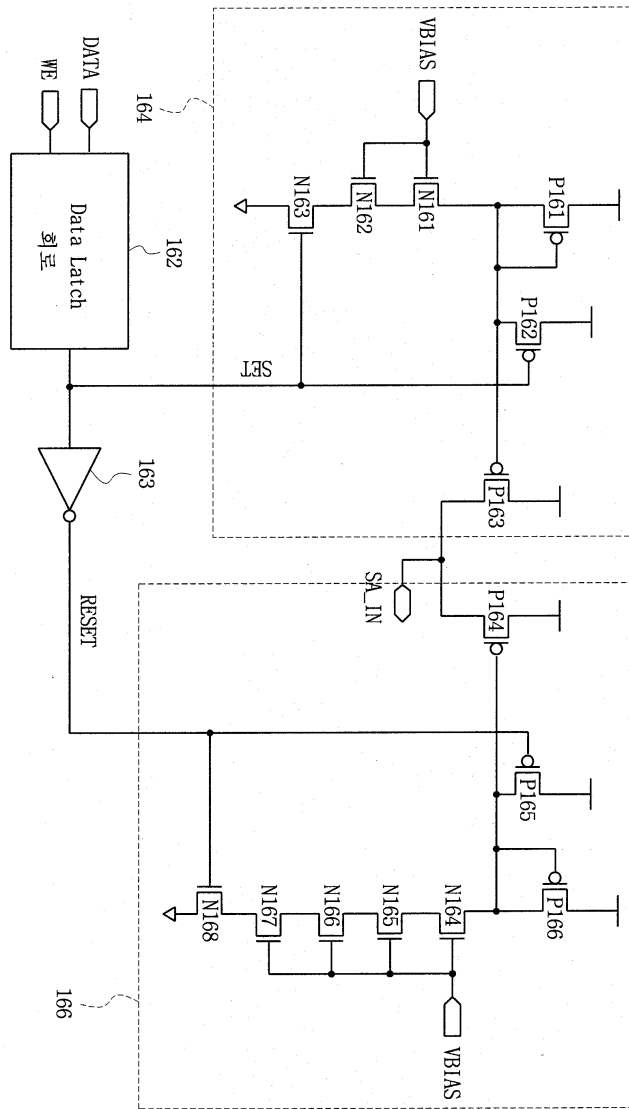
도면2



도면3



도면4



도면5

