

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000年12月21日 (21.12.2000)

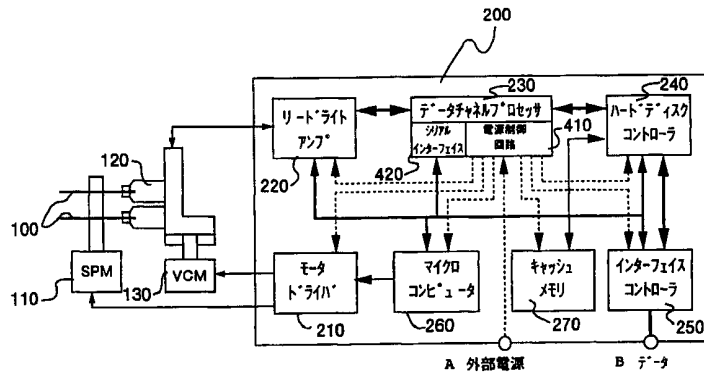
PCT

(10) 国際公開番号
WO 00/77785 A1

- (51) 国際特許分類⁶: G11B 19/00, 7/00 番1号 株式会社 日立製作所 半導体グループ内 Tokyo (JP).
 - (21) 国際出願番号: PCT/JP99/03165
 - (22) 国際出願日: 1999年6月15日 (15.06.1999)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人 (米国を除く全ての指定国について): 株式会社 日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 小松達也 (KOMATSU, Tatsuya) [JP/JP]. 奈良 孝 (NARA, Takashi) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20
 - (74) 代理人: 弁理士 大日方富雄 (OBINATA, Tomio); 〒162-0825 東京都新宿区神楽坂3丁目4番地 山本ビル2階 Tokyo (JP).
 - (81) 指定国 (国内): CN, JP, KR, US.
 - (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: REPRODUCTION SYSTEM AND INTEGRATED CIRCUIT

(54) 発明の名称: 媒体再生システムおよび半導体集積回路



- | | |
|--------------------------------|------------------------------|
| A ... EXTERNAL POWER SOURCE | 250 ... INTERFACE CONTROLLER |
| B ... DATA | 260 ... MICROCOMPUTER |
| 210 ... MOTOR DRIVER | 270 ... CACHE |
| 220 ... READ/WRITE AMP | 410 ... POWER SUPPLY CONTROL |
| 230 ... DATA CHANNEL PROCESSOR | 420 ... SERIAL INTERFACE |
| 240 ... HARD DISK CONTROLLER | |

(57) Abstract: A reproduction system such as a hard disk drive comprises a signal processing circuit for reproducing data by processing the signals obtained from a head. The signal processing circuit has three modes of operation, that is, stop mode where the disk drive means is at rest, normal mode where the disk drive means operates to reproduce data, and standby mode where the disk drive means operates but data is not reproduced. In the stop mode, the drive means and the signal processing circuit is shut off or supplied with zero volt; in the normal mode, the drive means and the signal processing circuit are supplied with normal power; and in the standby mode, the analog circuit in the signal processing circuit is supplied with power at voltage lower than normal.

[続葉有]

WO 00/77785 A1



(57) 要約:

ハードディスク装置などの媒体再生システムにおいて、ヘッドより得られる信号を処理してデータを再生する信号処理回路に、媒体を駆動する駆動手段が停止した休止状態と上記駆動手段が動作してデータを再生する通常動作状態と上記駆動手段は動作するものの上記データの再生は行なわない待機状態とを設け、上記休止状態では上記駆動手段および上記信号処理回路への電源電圧の供給を遮断もしくは0Vにし、上記通常動作状態では上記駆動手段および上記信号処理回路へ本来の電源電圧を供給させ、上記待機状態では上記信号処理回路のうちアナログ回路へは本来の電源電圧よりもレベルの低い電源電圧を供給させるようにした。

明 細 書

媒体再生システムおよび半導体集積回路

5 技術分野

本発明は、磁気ディスクや磁気テープあるいは光ディスクなどの記憶媒体の再生システムの低消費電力化に有効な技術に関し、例えば磁気ディスクから読み出された信号を処理したり書込みデータに基づいて磁気ヘッドに供給する書込み信号を生成したりするハードディスク制御システムに利用して有効な技術

10 に関するものである。

背景技術

近年の情報化社会の進展に対応して、各種情報やデータをデジタル化して記録するための記録装置には、より一層の高速化と大容量化が求められている。

15 このような要求に応える記録装置の一つにハードディスク装置がある。

ハードディスク装置は、例えば図9に示されているように、磁気ヘッドHDを駆動して2値化されたデジタルデータを磁気記録ディスクに書き込むためのパルス電流を生成するライトアンプと磁気ヘッドHDを介して読み出したデータ信号を増幅するリードアンプを含むリード/ライト実行部11、該リード/ライト実行部11により読み出されたデータの照合等を行なう信号処理部12、データを外部装置とのデータ授受に適した形式にフォーマット変換する等の機能を有したフォーマット制御部13、ディスク回転軸を駆動するスピンドルモータSPMや磁気ヘッドを保持するアーム（ピックアップ）を移動させるボイスコイルモータVCMを制御してディスク回転数やヘッドの位置を調整するサーボ制御部14、パソコン本体のマイクロコンピュータなどのホストコンピュータ20等の外部装置との接続やディスク装置全体の制御を行なうディスクコントロール部15等から成り、それぞれ別個の半導体チップ上に半導体集積回路として形成されることが多い。

20

25

このうちディスクから読み出されたデータの照合等を行う信号処理部12は、ディスクの読み出し／書き込み速度を左右するため特に高速信号処理が要求されるので、アンプやフィルタ、アナログ／デジタル変換器（以下、A/D変換器と記す）などからなるアナログ信号処理回路（データチャンネルもしくはリードチャンネルと呼ばれる）とデジタル信号処理回路とを最適に混載させた半導体集積回路（以下、データチャンネルLSIと称する）で実現される。

ところで、上記ハードディスク装置は、データチャンネルLSI12のようにアナログ回路を内蔵しているLSIとディスクコントロール部15のようにデジタル回路のみからなるLSIとで構成されており、デジタルLSIは3.3Vや1.8Vのような低電圧で動作するものが多くなってきている。しかるに、ハードディスク装置には規格によってパソコン本体側から5Vのような単一電源しか供給されないため、LSIによって電源電圧を変えたい場合には電圧レギュレータを設け、ハードディスク装置側で電圧変換して対応せざるを得なかった。

しかしながら、このような電圧レギュレータとして汎用のスイッチング・レギュレータなどの電源用ICを用いると、部品点数が多くなって小型化が困難になるとともに、必要な電源電圧の種類が多くなるほどレギュレータの数も増やさなくてはならないため消費電力が増加するという問題があることが明らかとなった。

本発明の目的は、ハードディスク装置のような媒体再生システムの消費電力を低減することにある。

また、本発明の他の目的は、ハードディスク装置のような媒体再生システムの部品点数を減らし、小型、低廉化を可能にすることにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、

下記の通りである。

即ち、ハードディスク装置などの媒体再生システムにおいて、ヘッドより得られる信号を処理してデータを再生する信号処理回路に、媒体を駆動する駆動手段が停止した休止状態と上記駆動手段が動作してデータを再生する通常動作状態と上記駆動手段は動作するものの上記データの再生は行なわない待機状態とを設け、上記休止状態では上記駆動手段および上記信号処理回路への電源電圧の供給を遮断もしくは0 Vにし、上記通常動作状態では上記駆動手段および上記信号処理回路へ本来の電源電圧を供給させ、上記待機状態では上記信号処理回路のうちアナログ回路へは本来の電源電圧よりもレベルの低い電源電圧を供給させるように構成した。

上記した手段によれば、動作状態（モード）によっては動作が不要もしくは出力信号の精度の低くてもよい場合がある回路に対しては、動作状態に応じて供給される電源電圧が遮断もしくは低減されるため、トータルの消費電力を減らすことができるようになる。

また、上記信号処理回路を1または2以上の半導体集積回路で構成し、いずれかの半導体集積回路に、外部からの単一の電源電圧に基づいて複数の電源電圧を発生可能な電源電圧発生回路と該電源電圧発生回路により発生される電圧を切替え可能な電圧切替え回路とからなる電源回路を設けるようにした。これによって、必要な電源電圧の種類が多くなっても従来のようにスイッチング・レギュレータなどの電源用ICを設ける必要がないため、部品点数が少なくて済み安価かつコンパクトなハードディスク装置を実現することができる。

さらに、アナログ回路とデジタル回路が混在されてなり、デジタル回路部に対する基板バイアス電圧を発生する電圧発生回路を備えた半導体集積回路において、上記電圧発生回路は上記デジタル回路部に対する基板バイアス電圧を動作状態に応じて切替え可能に構成した。

上記した手段によれば、デジタル回路の動作が不要なときあるいは電源電圧が低くてもよいときは、MOSFETにおけるリーク電流を低減するために、MOSFETのしきい値電圧が絶対的に高くなるように、基板バイアス電圧

を発生させることができ、それによってトータルの消費電力を減らすことができるようになる。

図面の簡単な説明

- 5 図 1 は、本発明に係る媒体再生システムの一例としてのハードディスク制御システムおよびそれを用いたハードディスク装置の全体の構成例を示すブロック構成図、
- 図 2 は、ハードディスク制御システムに用いられるデータチャンネル L S I の一実施例を示すブロック図、
- 10 図 3 は、実施例のデータチャンネル L S I に設けられている電源回路の具体例を示す回路図、
- 図 4 は、電圧レギュレータを構成する D C - D C コンバータの具体例を示す回路図、
- 図 5 は、実施例のデータチャンネル L S I に設けられている利得可変アンプの
- 15 具体例を示す回路図、
- 図 6 は、読出し信号を用いた磁気ヘッドの位置合わせ方法を示す説明図、
- 図 7 は、本発明を適用したハードディスク制御システムの他の実施例を示すブロック図、
- 図 8 は、本発明を適用した D V D 制御システムの一実施例を示すブロック図、
- 20 図 9 は、従来のハードディスク装置の構成例を示すブロック図である。

発明を実施するため最良の形態

図 1 は本発明を適用して有効な媒体再生システムの一例としてのハードディスク装置の一構成例をブロック図で示したものである。

- 25 図 1 において、100 は磁気ディスクのような記録媒体、110 は磁気ディスク 100 を回転させるスピンドルモータ、120 は書込みヘッドおよび読出しヘッドを有する磁気ヘッド、130 は先端に磁気ヘッド 120 を有するアームを移動させるボイスコイルモータのようなアクチュエータである。

210は上記スピンドルモータ110およびボイスコイルモータ130の駆動を行なうモータドライバで、スピンドルモータ駆動回路とボイスコイルモータ駆動回路とからなる。220は上記磁気ヘッド120によって検出された磁気の変化に応じた電流を増幅して読出し信号をデータチャネルプロセッサ230へ送信したりデータチャネルプロセッサ230からの書込みパルス信号を増幅して磁気ヘッド120の駆動電流を出力するリード・ライト・アンプ、240はデータチャネルプロセッサ230から送信されてくる読出しデータRDTを取り込んで誤り訂正処理を行ったりホストからの書込みデータに対して誤り訂正符号化処理を行なってデータチャネルプロセッサ230へ出力したりするハードディスク・コントローラである。上記データチャネルプロセッサ230は、デジタル磁気記録に適した変調/復調処理や磁気記録特性を考慮した波形整形等の信号処理を行なう。

250は本システムと外部装置との間のデータの受渡しおよび制御等を行なうインタフェース・コントローラで、上記ハードディスク・コントローラ240はインタフェース・コントローラ250を介してパソコン本体のマイクロコンピュータなどのホストコンピュータに接続される。260はシステム全体を統括的に制御するとともにハードディスク・コントローラ240から供給されるアドレス情報に基づいてセクタ位置などを算出するマイクロコンピュータ、270は磁気ディスクから高速で読み出されたリードデータを一時的に記憶するバッファ用のキャッシュメモリである。マイクロコンピュータ260はハードディスク・コントローラ240からの信号に基づいて、いずれの動作モードか判定し、動作モードに対応してシステム各部の制御を行なう。

上記モータドライバ210はスピンドルモータ駆動回路とボイスコイルモータ駆動回路とからなり、上記マイクロコンピュータ260から出力される信号によって、ヘッドの相対速度を一定にするようにスピンドルモータ駆動回路がサーボ制御されるとともに、ヘッドの中心をトラックの中心に一致させるようにボイスコイルモータ駆動回路がサーボ制御される。

上記モータドライバ210、リード・ライト・アンプ220、データチャネ

ルプロセッサ230、ハードディスク・コントローラ240、インタフェース・コントローラ250、マイクロコンピュータ260、キャッシュメモリ270によってハードディスク制御システム200が構成され、該制御システム200と磁気ディスク100、スピンドルモータ110、磁気ヘッド120およびボイスコイルモータ130によって媒体再生システムの一例としてのハードディスク装置が構成される。

また、特に制限されるものでないが、この実施例においては、上記モータドライバ210、リード・ライト・アンプ220、データチャネルプロセッサ230、ハードディスク・コントローラ240、インタフェース・コントローラ250、マイクロコンピュータ260、キャッシュメモリ270は、それぞれが単結晶シリコン基板のような半導体チップ上に独立した半導体集積回路として形成されている。

図2は図1に示されているハードディスク制御システムを構成するデータチャネルプロセッサ230の一実施例を示す。

図2において、401は磁気ヘッド120に接続されたリード・ライト・アンプ220から差動信号として外部端子 R_{inx} 、 R_{iny} に入力されるリード信号を増幅する可変利得アンプ、402は増幅されたリード信号から高周波のノイズを除去し所望の帯域の信号を通過させるアクティブフィルタ、403はリード信号（アナログ信号）をデジタル信号（“1”，“0”のリードパルス）に変換するAD変換回路、404はリード信号の振幅を検出して上記可変利得アンプ401に対する利得制御信号を形成してリード信号を所定の振幅の信号に増幅させる自動利得制御回路である。

また、405はリードパルスに基づいてこれと位相が一致したリード用クロック信号 $RCLK$ を形成するリード用PLL（フェーズ・ロックド・ループ）回路、406は外部のクロック発生回路（水晶発振回路）から供給されるクロック信号 $OSCLK$ に基づいてライト用クロック信号 $WCLK$ を形成するライト用PLL回路、407は上記リードパルスに基づいてリードデータ RDT を再生したり上記ライト用PLL回路406で形成されたライト用クロッ

ク信号WCLKに基づいて外部から入力されるライトデータWDTを取り込んで“1”，“0”に対応した書込みパルス信号WPを形成して外部へ出力したりするデジタル回路部である。上記ライトデータWDTは前記ハードディスク・コントローラ240等から供給され、書込みパルス信号WPは前記リード・ライト・アンプ220へ供給される。

可変利得アンプ401は、磁気ヘッド等が持つ非線形の電磁気特性で劣化減衰した読み出し信号の振幅を、所定の振幅レベルに可変増幅する機能を有する。フィルタ回路402は、後段のA/D変換器403におけるA/D変換動作に伴って生じる折り返し雑音を前もって除去するとともに、読み出し信号から最大限の有効情報を引き出すために、ディスクの内周部と外周部とで異なるデータレートに応じてカットオフ周波数が例えば1MHz程度の間隔で切り替える機能を有する。

デジタル回路407では、読み出した信号の振幅レベルやデータ速度等の検出を行ない、書込みデータと読み出した信号との照合がとれるように上記可変利得アンプ401やフィルタ回路402への制御情報、A/D変換器403のサンプリングクロック等のタイミング情報が生成されて、自動利得制御回路404やリード用PLL回路405に供給され、これらの回路を介して利得可変アンプ401やフィルタ回路402、A/D変換器403がフィードバック制御される。

例えば、A/D変換器403のサンプリングクロックの周波数や位相は、上記データレート検出信号に基づいて上記PLL回路405を制御することによって調整される。また、A/D変換器403は、サンプリングクロックのタイミングが調整されることによって読出し信号波形のサンプリングポイントのずれが補正される。

さらに、図2において、408は外部から供給されるクロック信号OSCLKまたはリードパルスに基づいてサーボ用クロック信号SRVCLKを形成して外部へ出力するサーボ用PLL回路、409は上記可変利得アンプ401やアクティブフィルタ402、AD変換回路403、自動利得制御回路404

などのアナログ回路や電源回路で必要とされる基準電圧 V_{ref} を発生する基準電圧発生回路、410は外部のパソコン等から供給される5Vのような電源電圧 V_{cc} に基づいて内部回路の動作に必要とされる3.3Vや2.5V、1.8Vのような電源電圧および基板バイアス電圧 V_{BB} を発生する電圧レギュレータ411と発生される電圧を切り替えるための電圧切替え回路412とからなる電源回路である。

また、420はマイクロコンピュータ260からの指令等を受け付けたり、データの読出しまたは書込みが終了したこと等をマイクロコンピュータ260へ知らせたりするためのシリアルインタフェース回路、430はデータチャネルプロセッサ230内全体の制御を行なう制御回路である。図2には示されていないが、上記各PLL回路405、406、408は、位相比較器やチャージポンプ回路、電圧制御発振器などから構成されている。

上記基準電圧発生回路409は、図3に示すように、例えば3.3Vのような定電圧を発生する定電圧発生回路409aと抵抗ラダー回路409bとからなり、定電圧発生回路409aで発生された基準となる電圧 V_{ref} を抵抗ラダー回路409bで抵抗分割することで3.3Vや2.5V、1.8Vのような複数の電圧を基準電圧として取り出せるように構成されている。また、電圧切替え回路412は、マイクロコンピュータ260から供給される動作モードを示す信号もしくは動作モード信号に基づいて形成された電圧切替え制御信号CSSにより制御されて、基準電圧発生回路409で発生された基準電圧のうち動作モードに応じた基準電圧を選択して電圧レギュレータ411に供給するセレクト $SEL_1 \sim SEL_n$ によって構成されている。

電圧レギュレータ411は、発生した電圧が供給されるICや回路ブロックの数に応じた数のDC-DCコンバータ $DCC_1 \sim DCC_n$ によって構成されており、各々動作モードに応じて電圧切替え回路412より供給された基準電圧に従って、モータドライバ210、リード・ライト・アンプ220、ハードディスク・コントローラ240、インタフェース・コントローラ250、マイクロコンピュータ260、キャッシュメモリ270等他のICもしくはLSI

に対する電源電圧 $V_{cc1} \sim V_{ccn}$ を発生して外部へ供給可能に構成されている。ただし、上記セクタ $SEL1 \sim SELn$ は抵抗ラダー回路 409b からの基準電圧の他に 0V も選択できるようにされており、この 0V が DC-DC コンバータ $DCC1 \sim DCCn$ に供給されると、DC-DC コンバータ $DCC1 \sim DCCn$ は動作しないつまり電流が流れないように構成されている。

図4は電圧レギュレータ 411 を構成する DC-DC コンバータ $DCC1 \sim DCCn$ の具体例を示す。

この実施例の DC-DC コンバータは、非反転増幅回路として機能するオペアンプ AMP の非反転入力端子に電圧切替え回路 412 で選択された基準電圧 V_{ref} が印加されるとともに、オペアンプ AMP の反転入力端子には、出力端子 V_{out} にベースが接続された pnp バイポーラ・トランジスタ Tr のコレクタに接続され出力電圧を抵抗 $R1, R2$ の抵抗比で分割した電圧がフィードバックされるように構成されている。これにより、基準電圧 V_{ref} に応じた所定のレベルの電源電圧 V_{cci} ($i=1, 2, \dots, n$) が生成され出力されるとともに、出力電流が変動してもフィードバックループにより出力電圧のレベルが一定に保たれる。

なお、抵抗分割用の抵抗 $R1, R2$ のそれぞれにトリミング用の抵抗を並列に設けて、発生される電圧を微調整できるように構成しても良い。また、電圧レギュレータ 411 を構成する DC-DC コンバータは、図4の回路形式のものに限定されないとともに、DC-DC コンバータの代わりにスイッチング・レギュレータを使用することも可能である。

図5は可変利得アンプ 401 の具体例を示す。この実施例の可変利得アンプは、バイポーラ・トランジスタからなる掛算型回路を用いたものであり、 $I1 \sim I4$ は定電流源、 V_{in} はアンプに対する入力信号、 V_{out} はアンプの出力信号、 V_{REF} は基準電圧発生回路 409 から供給される V_{ref} のような参照電圧、 V_{AGC} は自動利得制御回路 404 から供給される利得制御電圧、 V_B は入力トランジスタのベース動作点を与えるバイアス電圧である。この可変利得アンプ 401 は、利得制御電圧 V_{AGC} が高くされると増幅率が大きくなり V_{AGC} が

低くされると増幅率が小さくされる一方、電源電圧 V_{cc} が下がると、出力信号 V_{out} の振幅が小さくなり、 V_{cc} と V_{REF} 、 V_B との差が小さくなるため出力信号の歪みも大きくなる。

次に、表 1 を用いて本実施例のハードディスク制御システムにおける上記動作モードの種類と各動作モードにおいて上記各 IC もしくは LSI に対して供給される電源電圧のレベルとの関係を説明する。

表 1

モード デバイス	スリープ	アイドル	ラフサーボ	ジャストサーボ	読み出し	書き込み
チャネルプロセッサ	OFF(0V)	ON(2.5V)	ON(2.5V)	ON(3.3V)	ON(3.3V)	ON(3.3V)
リードライトアンプ	OFF(0V)	ON(2.5V)	ON(2.5V)	ON(3.3V)	ON(3.3V)	ON(3.3V)
モータドライバ	OFF(0V)	ON(3.3V)	ON(5V)	ON(5V)	ON(5V)	ON(5V)
マイコン	ON(0.9V)	ON(1.8V)	ON(1.8V)	ON(1.8V)	ON(1.8V)	ON(1.8V)
ハードディスク コントローラ	OFF(0V)	ON(1.8V)	ON(1.8V)	ON(3.3V)	ON(3.3V)	ON(3.3V)
インタフェース コントローラ	ON(3.3V)	ON(3.3V)	ON(3.3V)	ON(3.3V)	ON(3.3V)	ON(3.3V)
キャッシュメモリ	OFF(0V)	OFF(0V)	OFF(0V)	OFF(0V)	ON(3.3V)	OFF(0V)
基板バイアス (P-MOS)	OFF(0V)	ON(1.8V)	ON(1.8V)	ON(1.8V)	ON(1.8V)	ON(1.8V)
基板バイアス (N-MOS)	OFF(-1V)	ON(0V)	ON(0V)	ON(0V)	ON(0V)	ON(0V)

本実施例のハードディスク制御システムにおける動作モードとしては、スリープモードと、アイドルモードと、ラフサーボモードと、ジャストサーボモードと、読み出しモードと、書き込みモードとがある。

このうちスリープモードは、ハードディスク装置の電源は入っているが起動指令待ちをしている停止状態で、インタフェース・コントローラ 250 およびマイクロコンピュータ 260 へのみ電源電圧が供給され、それ以外の IC および LSI に対しては電源電圧が供給されないように制御される。従って、スピンドルモータ 110 もボイスコイルモータ 130 も停止している。インタ

フェース・コントローラ 250 およびマイクロコンピュータ 260 へは電源電圧が供給されるように構成されているため、いつでも外部のパソコン等からのハードディスク制御システムに対するアクセス要求に応じられる。

ただし、このとき、マイクロコンピュータ 260 はコマンド受け待ちのため一応動作するが、それほど高速度の動作が必要でないためマイクロコンピュータ 260 に対しては通常動作時よりも低い 0.9 V のような電源電圧が供給される。また、このモードでは、データチャネルプロセッサ 230 内の電源回路（電圧レギュレータおよび電圧切替え回路）410 とシリアルインタフェース回路 420 に対しては通常動作時の電源電圧（3.3 V）が供給され、マイクロコンピュータ 260 からモードの変更を示す信号等が供給された場合に電源回路 410 から発生される電源の切替え等の対応をすることができるようにされている。従って、表 1 において、データチャネルプロセッサとは電源回路 410 とシリアルインタフェース回路 420 を除く回路のことであり、他のモードの時も同様である。

次に、アイドルモードは、スピンドルモータ 110 は回転しているがボイスコイルモータ 130 は停止して磁気ヘッドがディスクのトラックの内側等の所定待機位置に待機している待機状態で、このときキャッシュメモリ 270 に対する電源電圧は遮断もしくは 0 V にされ、マイクロコンピュータ 260 とインタフェース・コントローラ 250 に対しては通常動作時の電源電圧 1.8 V と 3.3 V がそれぞれ供給され、その他のデータチャネルプロセッサ 230 とリード・ライト・アンプ 220 とモータドライバ 210 にはリード・ライト動作時よりも低い電源電圧（2.5 V, 3.3 V, 1.8 V）が供給される。

このときデータチャネルプロセッサ 230 に関しては、アナログ回路部とデジタル回路部とで電源電圧供給系を別にしておいて、アナログ回路部の電源電圧のみ通常動作時よりも低い電圧を供給するようにしてもよい。近年、特にデジタル回路は低電源電圧化が進んでおり、1.8 V のような電源電圧で動作する L S I も提供されている。従って、アナログ回路部とデジタル回路部を含むデータチャネルプロセッサ 230 に関しても、アナログ回路部は 5 V

や3.3Vの電源電圧で、またデジタル回路部は3.3Vや1.8Vの電源電圧で動作するように回路が設計されることも十分に考えられる。その場合、デジタル回路に関しては電源電圧を下げるのが好ましくないこともあり得るとともに、デジタル回路がCMOS回路で構成される場合にはもともと消費電力も少ないため電源電圧を下げることによるメリットもそれほど大きくないこともあるので、アナログ回路部の電源電圧のみ通常動作時よりも下げてやればよい。

ジャストサーボモードは、データの読出しまたは書込みのためにヘッドを所望のトラック位置に移動させる動作状態であり、このときはスピンドルモータ110もボイスコイルモータ130も精密なサーボ制御が必要とされるため、モータドライバ210には上記アイドルモード時よりも高い5Vの電源電圧が供給される。また、ジャストサーボモードでは、読出しモードや書込みモードと同様にリード・ライト・アンプ220からの信号の波形によってヘッドの中心が目標のトラックの中心に来るように制御する。

この実施例のハードディスク制御システムでは、ヘッドのサーボ制御方式として、エンベデッドサーボ方式の一つであるセクタサーボ方式を採用している。セクタサーボ方式は、図6(A)に示すように、シンク情報(同期用データ)SYNCやセクタ情報SDTを記録したセクタ間に、サーボデータSBDを隣接するトラックで少しずつずれるように記録しておいて、サーボ制御時にこのサーボデータSBDを読み込んで位置制御を行なう方式である。

具体的には、ヘッドHDの中心が図6(A)のように目標とするトラックの中心と一致していると、リードアンプの出力波形は図6(C)のように真ん中の波形の振幅が最も大きくなる。一方、ヘッドHDの中心が目標とするトラックの中心から内側あるいは外側にずれると、リードアンプの出力波形は図6(B)あるいは(D)のように前または後の波形の振幅が大きくなる。そこで、リードアンプの出力波形が図6(C)のように真ん中の波形の振幅が最も大きくなるよう、ボイスコイルモータを制御することでヘッドのサーボ制御を行っている。

上記のようなサーボ制御を行なうため、リード・ライト・アンプ 220 やデータチャンネルプロセッサ 230 内のアナログ回路へも、アイドルモード時の 2.5 V よりも高い例えば 3.3 V のような電源電圧が供給される。

さらに、ジャストサーボモードは、外部のパソコン等からの読出しまたは書込み要求に基づいて行なわれる動作であり、このモードによるヘッド位置合わせの間に読出しまたは書込みの準備が行なわれるので、ハードディスク・コントローラ 240 に対してもアイドルモード時の 2.5 V よりも高い 3.3 V のような電源電圧が供給される。一方、このモードではキャッシュメモリ 270 の動作は不要であるのでキャッシュメモリ 270 に対する電源電圧は遮断もしくは 0 V にされている。ただし、リード前のジャストサーボモードでは、読出し開始後直ちに動作できるように、予めキャッシュメモリ 270 に対して電源電圧を供給しておくようにしてもよい。

読出しモード時には、読出し動作のためデータチャンネルプロセッサ 230 とリード・ライト・アンプ 220 にはそれぞれアイドルモード時よりも高い電源電圧 (3.3 V) が供給され、スピンドルモータ 110 とボイスコイルモータ 130 は精密なサーボ制御が必要とされるためモータドライバ 210 には上記アイドルモード時よりも高い 5 V の電源電圧が供給されるとともに、読み出されたデータのバッファ (一時記憶) をできるようにするためキャッシュメモリ 270 に対して電源電圧 (3.3 V) が供給される。

書込みモード時に各 IC もしくは LSI に供給される電源電圧は読出しモード時とほぼ同じである。すなわち、データチャンネルプロセッサ 230 とリード・ライト・アンプ 220 にはそれぞれアイドルモード時よりも高い電源電圧 (3.3 V) が供給され、スピンドルモータ 110 とボイスコイルモータ 130 は精密なサーボ制御が必要とされるためモータドライバ 210 には上記アイドルモード時よりも高い 5 V の電源電圧が供給される。ただし、データの読出しは行なわれないつまりデータバッファは不用であるため、キャッシュメモリ 270 に対する電源電圧は遮断もしくは 0 V にされる。

ラフサーボモードは、次のデータの読出しまたは書込みのためにヘッドを直

前のトラックの近傍に待機させる動作状態であり、このときはスピンドルモータ 110 は精密なサーボ制御が必要とされるため、モータドライバ 210 には上記アイドルモード時よりも高い 5 V の電源電圧が供給される。ただし、ヘッド位置は高い精度が必要でないためリード・ライト・アンプ 220 とデータ

5 チャンネルプロセッサ 230 には上記読出しモードおよび書込みモード時よりも低い 2.5 V の電源電圧が供給される。ラフサーボモードとアイドルモードを比較すると、モータドライバ 210 に対する電源電圧のみが、ラフサーボモードでは 5 V であるのに対しアイドルモードでは 3.3 V になっている点で異なる。

10 前述したように、モータドライバ 210 にはスピンドルモータのドライバとボイスコイルモータのドライバとが含まれるが、ラフサーボモードではこのうち少なくともスピンドルモータのドライバにアイドルモード時よりも高い 5 V の電源電圧が供給されればよい。なお、他の IC および LSI に対して供給される電源電圧はアイドルモード時と同じであり、キャッシュメモリ 270 に対

15 する電源電圧は遮断もしくは 0 V にされる。

ラフサーボモードでリード・ライト・アンプ 220 とデータチャンネルプロセッサ 230 に対して読出しモードおよび書込みモード時よりも低い 2.5 V の電源電圧が供給されると、リード・ライト・アンプ 220 やデータチャンネル

20 プロセッサ 230 の可変利得アンプ 401 ではその出力振幅が小さくなったり出力信号の波形歪みが大きくなったり、AD 変換器 403 の変換精度が低下する。そのため、リード・ライト・アンプ 220 からの信号の波形に基づいてヘッドの中心が目標のトラックの中心に来るように制御しようとしても信号の精度および応答速度が下がるので、精度の高いヘッド位置の制御はできないものの目標とするトラックの近傍にヘッドを位置させるラフなサーボ制御は行な

25 える。

さらに、この実施例では、インタフェース・コントローラ 250 以外のデジタル IC もしくは LSI (ハードディスク・コントローラ 240、マイクロコンピュータ 260 およびキャッシュメモリ 270) とデータチャンネル・プロ

セッサ 230 内のデジタル回路部に対する基板バイアス電圧 V_{BB} を、スリープモードとそれ以外のモードとで変えるようにしている。これによって、P型 MOSFET 及び N型 MOSFET で構成されているデジタル IC (もしくは LSI) 及びデジタル回路での消費電力をスリープモード時に低下させることができる。

例えば、マイクロコンピュータ 260 を構成する CMOS 回路のうち P型 MOSFET (P-MOS) の基板 (又はウェル) には、スリープモード時に例えば 0 V が印加され、それ以外のモードの時には、例えば、1.8 V が印加される。同様に上記 CMOS 回路のうち N型 MOSFET (N-MOS) の基板 (又はウェル) にはスリープモード時に例えば -1.0 V が印加され、それ以外のモードの時には、例えば 0 V が印加される。

これより、スリープモードのときには、P-MOS 及び N-MOS のそれぞれのしきい値電圧が絶対的に大きくなるため、MOSFET のリーク電流を低減することができる。これに対して、スリープモード以外のモードのときには、P-MOS 及び N-MOS のそれぞれのしきい値電圧が絶対的に比較的小さくされるため、動作速度の向上が図れる。

もちろん、上記 1.8 V は 3.3 V でも良いし、2.5 V でも良い。また上記 -1.0 V もこの電圧値に限定されるものではない。

なお、上記実施例では、データチャネル用 LSI 230 に電圧レギュレータ 411 と電圧切替え回路 412 を設けて他の IC もしくは LSI に動作モードに応じた電源電圧を供給するようにしているが、電圧レギュレータと電圧切替え回路を設ける LSI はデータチャネル用 LSI に限定されず、他の IC もしくは LSI であってもよい。

ただし、電圧レギュレータはアナログ回路の一種であるので、製造プロセスとの関係で電圧レギュレータと電圧切替え回路を設ける LSI はチップ内にアナログ回路を有するものが望ましい。そのような IC もしくは LSI としては、図 1 のシステムではデータチャネル用 LSI 以外にモータドライバ 210 とリード・ライト・アンプ 220 がある。このうちリード・ライト・アンプ 22

0はヘッドに近い側に設けられるとともにノイズの影響を受け易いので、リード・ライト・アンプ220に電圧レギュレータを設けるのはあまり望ましくない選択である。

データチャンネル用LSI230とモータドライバ210を比較すると、データチャンネル用LSI230はもともと各種動作モードで異なる動作をするため
5 マイクロコンピュータ260等から動作モードを示す信号が供給されるので、それを利用して発生する電圧を切り替えることができる。従って、実施例のようにデータチャンネル用LSI230に電圧レギュレータと電圧切替え回路を設けるのが最も合理的といえる。

10 図7に本発明を適用したハードディスク制御システムの他の実施例を示す。この実施例は、第1の実施例におけるデータチャンネルプロセッサ230、ハードディスク・コントローラ240、インタフェース・コントローラ250、マイクロコンピュータ260およびキャッシュメモリ270を1つの半導体チップ上に形成したものである。

15 この実施例においては、この共通チップ内に外部のパソコン等から供給される5Vのような電源電圧 V_{cc} に基づいて1.8Vや2.5V、3.3Vのような電源電圧 V_{cci} および基板バイアス電圧 V_{BB} を発生する電圧レギュレータ411と発生される電圧を切り替える電圧切替え回路412を含む電源回路410が設けられている。そして、この電源回路410は、第1の実施例と同様に各動作モードに応じて各回路ブロックに対して供給される電源電圧の切
20 替えを、例えば表1に従って行なうように構成される。

なお、電源回路410で発生された電圧は、チップ上に形成された電源配線を介してチップ内の各回路ブロックに供給されるように構成されている。また、チップ外部のモータドライバ210およびリード・ライト・アンプ220に対しては電源回路410で発生された電圧が外部端子を介して供給されるように
25 構成されている。さらに、チップ内の各回路ブロックに対しても内部電源配線によらずに、一旦外部へ出してから各回路ブロック毎に設けられた電源端子より供給するように構成することもできる。

上記のようにアナログ回路であるデータチャンネルプロセッサ230と同一のチップ上にデジタル回路であるマイクロコンピュータ260等が形成されたLSIにおいて、前述の実施例で説明したように、マイクロコンピュータ260の基板バイアス電位をスリープモードと他のモードで切り替えるようにする場合でも、マイクロコンピュータ260の形成部を他の回路部分とトレンチアイソレーション等によって電位的に分離することによって、他の回路に影響を与えないようにすることができる。

図8に本発明を適用した記録・再生可能なDVD（デジタルビデオディスク）制御システムの実施例を示す。図8に示されているように、この実施例では、リード・ライト・アンプ220およびデータチャンネルプロセッサ230が1つの半導体チップ上に形成されている。また、ハードディスク制御システムにおけるハードディスク・コントローラ240に相当するDVDコントローラ280とインタフェース・コントローラ250も別の半導体チップ上に形成されている。モータドライバ210、マイクロコンピュータ260およびキャッシュメモリ270は、図1の実施例と同様にそれぞれ別個の半導体チップ上に形成されている。

この実施例においては、リード・ライト・アンプ220とデータチャンネルプロセッサ230が形成された半導体チップ内に外部のパソコン等から供給される5Vのような電源電圧 V_{cc} に基づいて1.8Vや2.5V、3.3Vのような電源電圧 V_{cci} および基板バイアス電圧 V_{BB} を発生する電圧レギュレータ411と、発生される電圧を切り替える電圧切替え回路412とを含む電源回路410が設けられている。そして、この電源回路410は、第1の実施例と同様に各動作モードに応じて各回路ブロックに対して供給される電源電圧の切替えを、例えば表1に従って行なうように構成される。

電圧レギュレータ411で発生された電圧は、チップ上に形成された別個の電源配線を介してチップ内のリード・ライト・アンプ220とデータチャンネルプロセッサ230に供給するように構成されている。また、チップ外部のモータドライバ210、マイクロコンピュータ260、キャッシュメモリ270お

よびDVDコントローラ280とインタフェース・コントローラ250が形成された半導体チップに対しては電源回路410で発生された電圧が外部端子を介して供給されるように構成されている。

5 表1から分かるように、リード・ライト・アンプ220とデータチャンネルプロセッサ230は各動作モードでの電源電圧が同一であるので、本実施例のように、リード・ライト・アンプ220とデータチャンネルプロセッサ230を同一チップ上に形成することにより電源電圧の供給系が簡素化されるというメリットがある。

10 なお、このDVD制御システムにおいても、図7のシステムと同様に、マイクロコンピュータ260、キャッシュメモリ270およびDVDコントローラ280とインタフェース・コントローラ250をリード・ライト・アンプ220やデータチャンネルプロセッサ230と同一の半導体チップ上に1つのLSIとして構成することができる。

15 以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

20 例えば、上記実施例では、基準電圧発生回路と電圧レギュレータとの間に電圧切替え回路を設けて発生する電圧そのものを切り替えるようにしているが、電圧レギュレータの後段に電圧切替え回路を設けて発生した電圧のうち供給する電圧を選択して切り替えるように構成することも可能である。また、供給先のICもしくはLSIあるいはブロックの数だけDC-DCコンバータを設ける代わりに、電源電圧がモードに関わらず同じであるICもしくはLSIあるいはブロックに対してはDC-DCコンバータを共通にしたり、電圧レギュレータおよび電圧切替え回路をいずれかのICもしくはLSIに内蔵させる代わり
25 わりに独立したICとして構成してもよい。

さらに、動作モードに応じて各ICもしくはLSIの電源電圧を制御しかつデジタル回路に関しては消費電力を減らすため供給するクロック信号を停止したり周波数を変えるような制御を合わせて行なうことも可能である。また、

図1の実施例では、マイクロコンピュータ260に対する基板バイアス電圧をデータチャネルプロセッサ230側に設けた電源回路410で制御すると説明したが、マイクロコンピュータ260が基板バイアス発生回路を有する場合にはマイクロコンピュータ260自身が動作モードに応じて基板バイアス電圧を
5 制御するように構成してもよい。

産業上の利用可能性

本発明は、ハードディスク装置のみならず、フロッピーディスク装置やCD
(コンパクトディスク)再生装置、DVD再生装置等、ディスク型媒体の再生
10 システムもしくは記録再生システムはもちろん、VTR(ビデオテープレコーダ)
装置など、デジタル回路とアナログ回路が混在した媒体再生システムに
広く利用することができる。

請求の範囲

1. 媒体に記録されたデータを読み取るためのヘッドと、媒体を駆動する駆動手段と、アナログ回路とデジタル回路とからなり前記駆動手段を制御するとともに上記媒体からのデータの読み取りに呼応して上記ヘッドより得られる信号を処理してデータを再生する信号処理回路とを備えた媒体再生システムであって、上記駆動手段が停止した第1状態と上記駆動手段が動作してデータを再生する第2状態と上記駆動手段は動作するものの上記データの再生は行なわない第3状態とを有し、上記第1状態では上記駆動手段および上記信号処理回路への電源電圧の供給が遮断もしくは0Vにされ、上記第2状態では上記駆動手段および上記信号処理回路へ第1の電源電圧が供給され、上記第3状態では上記信号処理回路のうちアナログ回路へは上記第1の電源電圧よりも絶対的に電圧の小さい電源電圧が供給されるように構成されてなることを特徴とする媒体再生システム。

15

2. 上記媒体はディスク型媒体であり、上記駆動手段は上記媒体を回転駆動する第1の駆動手段と上記ヘッドを媒体の回転方向と交差する方向へ移動させる第2の駆動手段とを含み、上記信号処理回路は上記ヘッドより得られる信号を処理して上記第2の駆動手段を制御してヘッドの位置決め制御を行なう機能を有し、上記第3状態は媒体の回転駆動のみ行なうアイドル状態と媒体の回転駆動および上記ヘッドの比較的精度の低い位置決め制御を行なうラフサーボ状態とを含み、該ラフサーボ状態では上記第1および第2の駆動手段に対して上記第2状態の時と同じ電源電圧が供給され、上記アイドル状態では上記第1の駆動手段に対して上記ラフサーボ状態よりも低い電源電圧が供給されるように構成されてなることを特徴とする請求項1に記載の媒体再生システム。

25

3. 再生されたデータを一時格納するバッファメモリを備えるとともに、上記第2状態には、上記第1および第2の駆動手段を制御してヘッドの精密な位置

決め制御を行なうジャストサーボ状態と、ヘッドの精密な位置決め制御を行な
いつつヘッドから得られる信号よりデータを再生する読出し状態とが含まれ、
少なくとも上記第1状態および第3状態では上記バッファメモリに対する電源
電圧が遮断もしくは0Vにされるように構成されてなることを特徴とする請求
5 項1または2に記載の媒体再生システム。

4. 上記信号処理回路を1または2以上の半導体集積回路で構成し、いずれか
の半導体集積回路に外部からの単一の電源電圧に基づいて複数の電源電圧を発
生可能な電源電圧発生回路と該電源電圧発生回路により発生される電圧を切替
10 え可能な電圧切替え回路とからなる電源回路を設け、該電源回路が設けられた
半導体集積回路以外の上記半導体集積回路の電源電圧を上記電源回路で制御す
るようにしたことを特徴とする請求項1、2または3に記載の媒体再生システ
ム。

15 5. 上記電源回路が設けられた半導体集積回路は、デジタル磁気記録に適し
た変調/復調処理や磁気記録特性を考慮した波形整形等の信号処理を行なう半
導体集積回路であることを特徴とする請求項1、2、3または4に記載の媒体
再生システム。

20 6. 電源系の回路以外のアナログ回路とデジタル回路が混在されてなる半導
体集積回路であって、上記デジタル回路の部分に対する基板バイアス電圧を
発生する電圧発生回路を備え、該電圧発生回路は上記デジタル回路部分に対
する基板バイアス電圧を動作状態に応じて切替え可能に構成されてなることを
特徴とする半導体集積回路。

25

7. 電源系の回路以外のアナログ回路とデジタル回路が混在されてなり、媒
体からのデータの読み取りに呼応して得られる信号を処理してデータを再生す
るとともに上記媒体を駆動する駆動手段を制御する信号処理用の半導体集積回

路であって、上記デジタル回路の部分に対する基板バイアス電圧を発生する電圧発生回路を備え、該電圧発生回路は上記デジタル回路部に対する基板バイアス電圧を動作状態に応じて切替え可能に構成されてなることを特徴とする半導体集積回路。

5

8. 上記駆動手段が停止した第1状態と上記駆動手段が動作してデータを再生する第2状態と上記駆動手段は動作するものの上記データの再生は行なわない第3状態とを有し、上記第1状態でのみ上記デジタル回路部に対する基板バイアス電圧が上記デジタル回路を構成するトランジスタのしきい値電圧を絶対的に高くする電圧にされ、上記第2状態では上記デジタル回路部およびアナログ回路部へ第1の電源電圧が供給され、上記第3状態では上記デジタル回路およびアナログ回路部へ上記第1の電源電圧よりもレベルの低い電源電圧が供給されるように構成されてなることを特徴とする請求項7に記載の半導体集積回路。

10
15

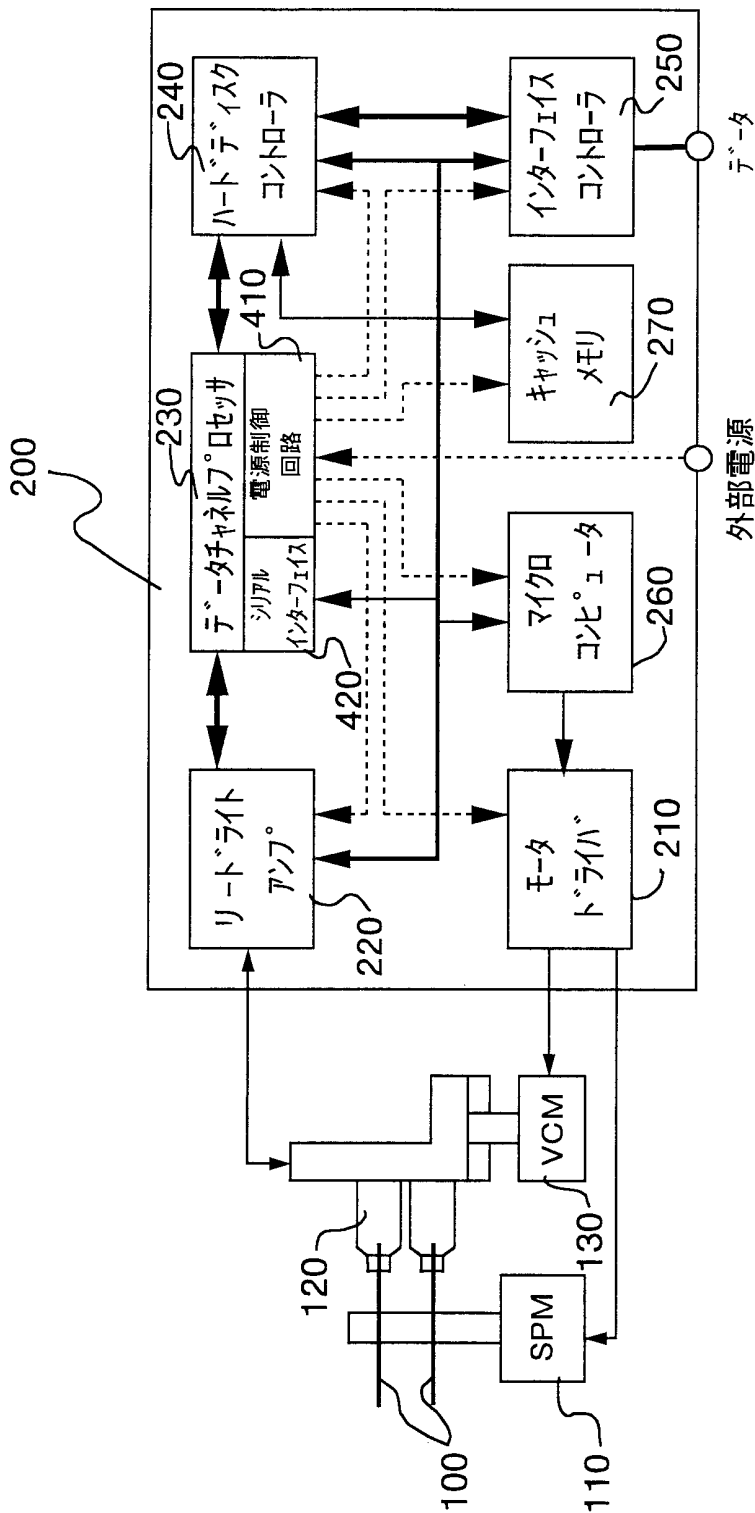
9. 上記基板バイアス電圧を外部へ出力する端子を備えてなることを特徴とする請求項6、7または8に記載の半導体集積回路。

10. 媒体に記録されたデータを読み取るためのヘッドと、媒体を駆動する駆動手段と、アナログ回路とデジタル回路とからなり前記駆動手段を制御するとともに上記媒体からのデータの読み取り呼応して上記ヘッドより得られる信号を処理してデータを再生する信号処理回路とを備えた媒体再生システムであって、上記駆動手段が停止した第1状態と上記駆動手段が動作してデータを再生する第2状態と上記駆動手段は動作するものの上記データの再生は行なわない第3状態とを有し、上記アナログ回路は前記各状態に応じて電源電圧のレベルが制御され、上記デジタル回路は上記各状態に応じて基板バイアス電圧のレベルが制御されるように構成されてなることを特徴とする媒体再生システム。

20
25

11. 上記第2状態では上記駆動手段および上記アナログ回路とデジタル回路へそれぞれ上記第1の電源電圧が供給され、上記第3状態では上記信号処理回路のうちアナログ回路へは上記第1の電源電圧よりもレベルの低い電源電圧が供給され、上記第1状態では上記駆動手段および上記アナログ回路への電源電圧の供給が遮断もしくは0Vにされるとともに上記デジタル回路に対する基板バイアス電圧が上記デジタル回路を構成するトランジスタのしきい値電圧を絶対的に高くするような電圧にされるように構成されてなることを特徴とする請求項10に記載の媒体再生システム。

図 1



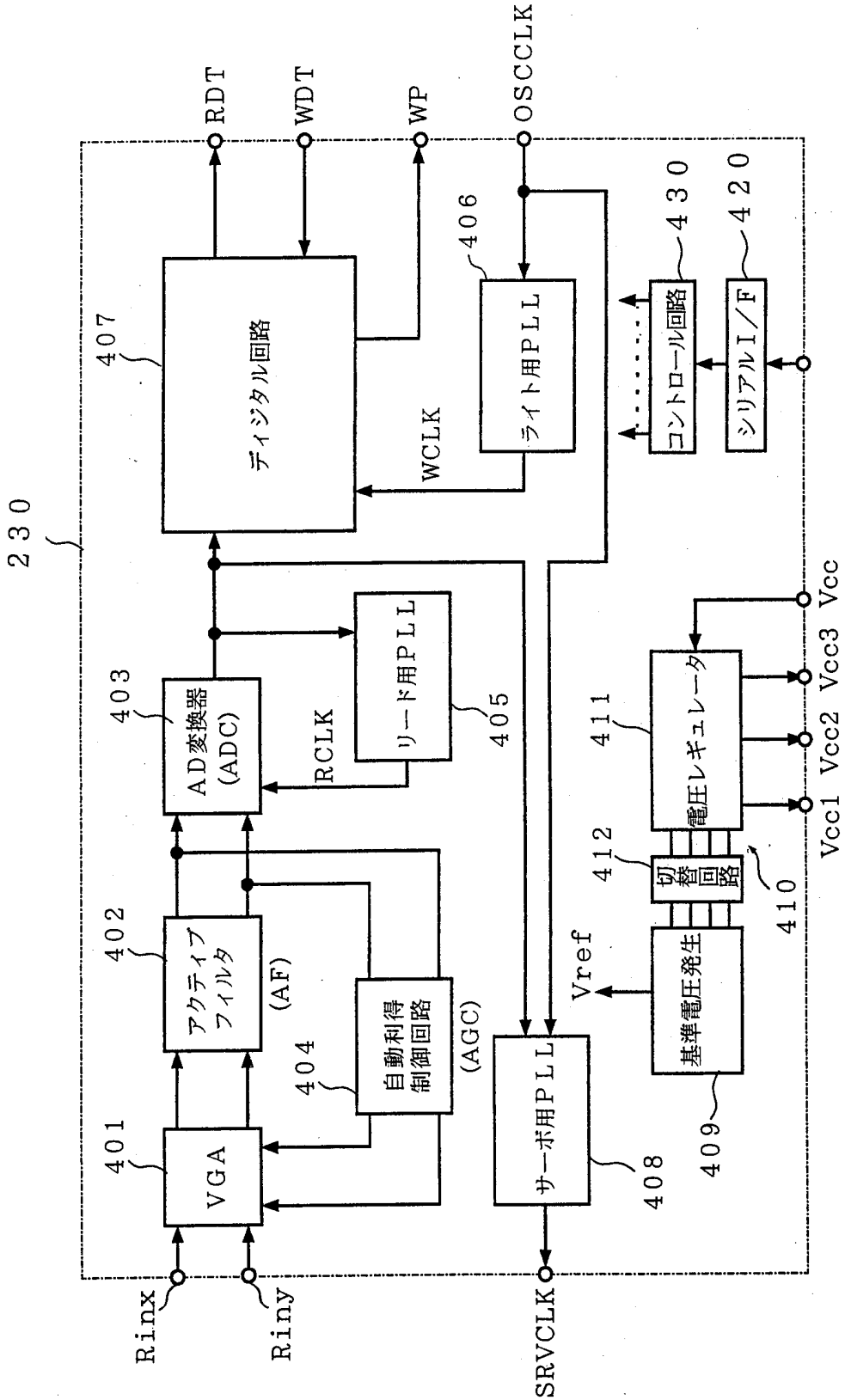
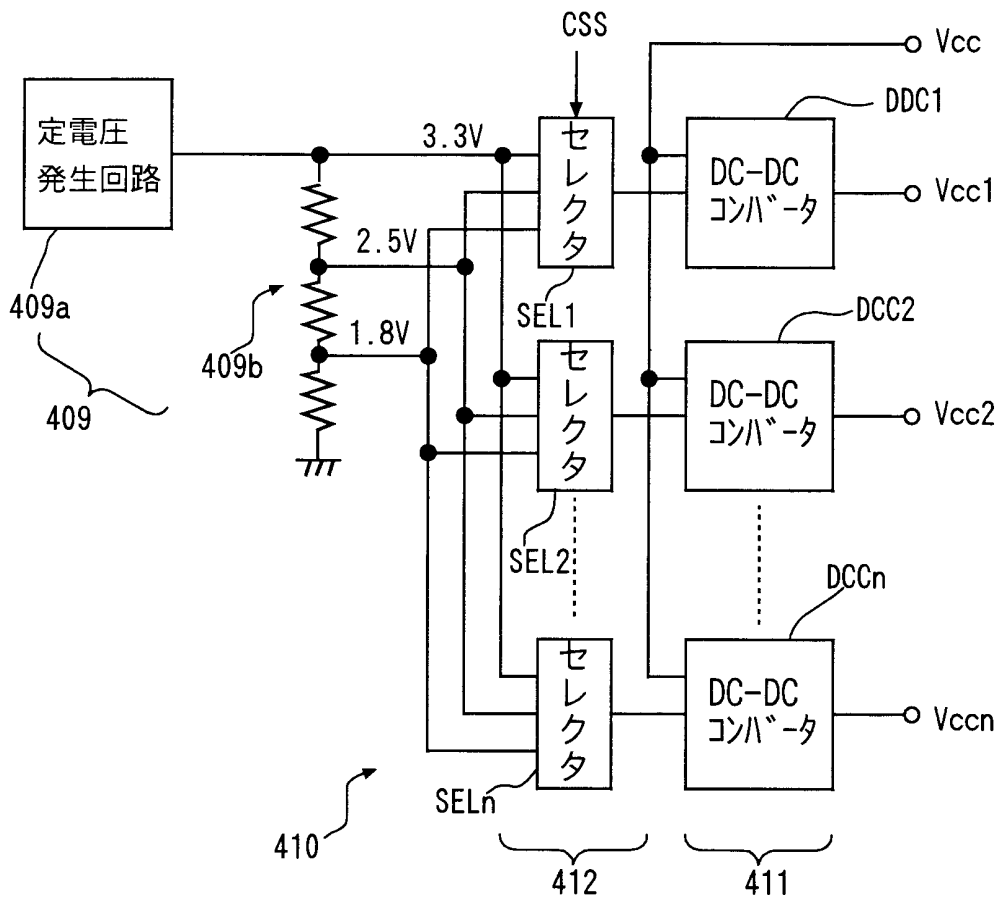


図 3



4 / 7

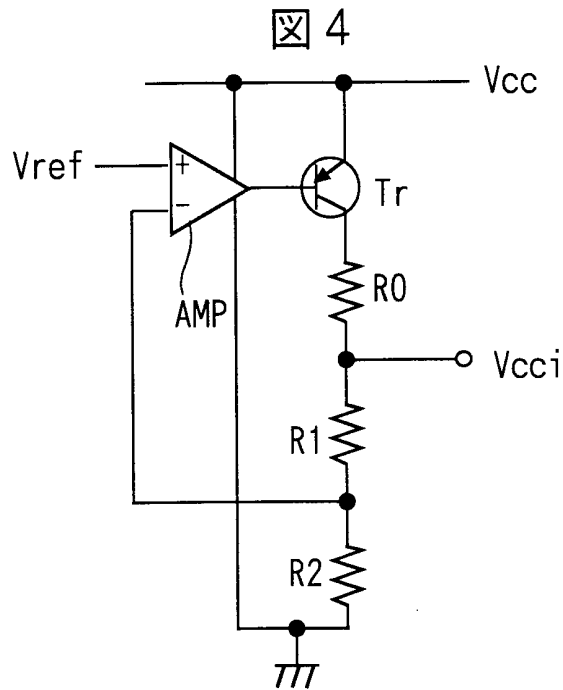
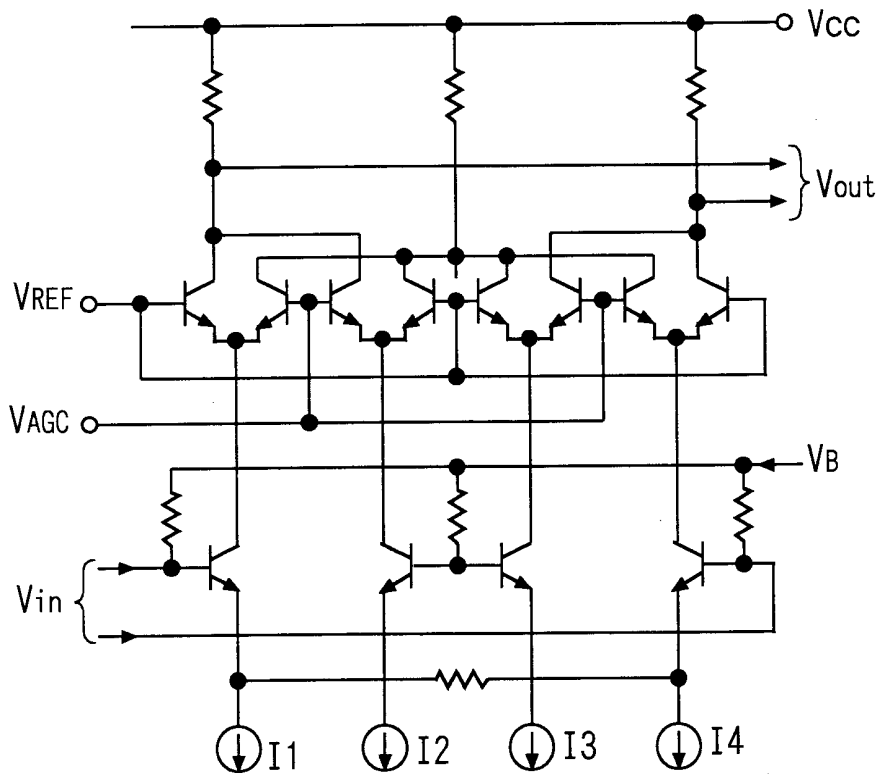


Figure 5



5 / 7

図 6

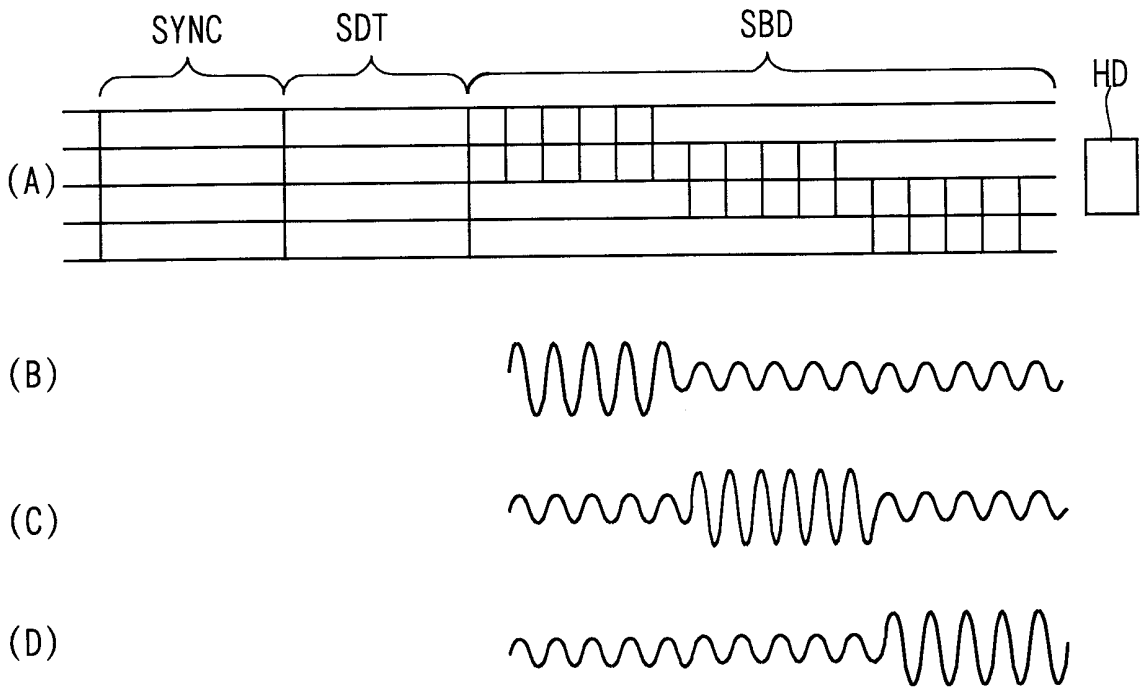


図 7

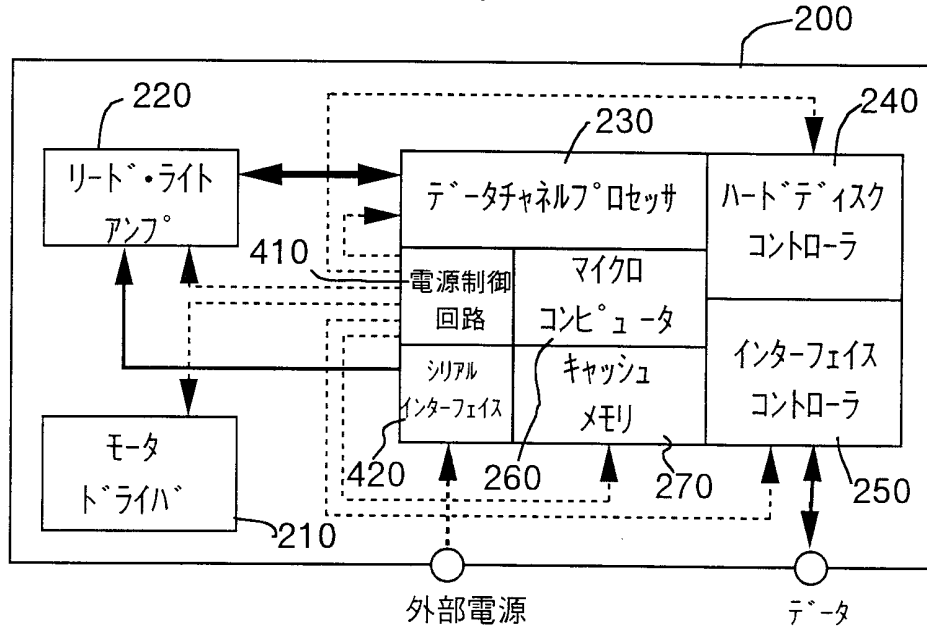
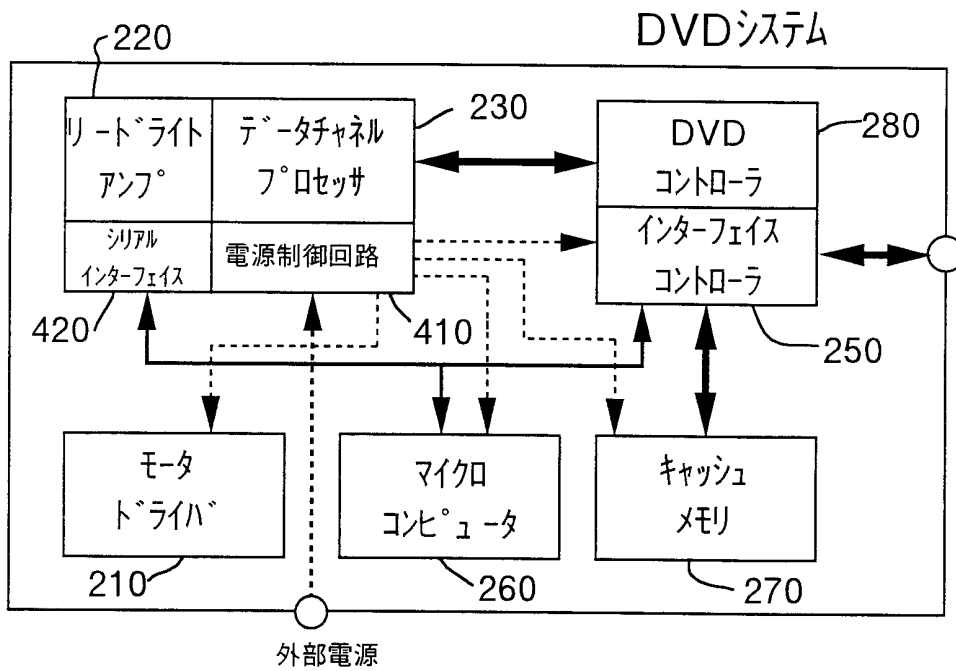
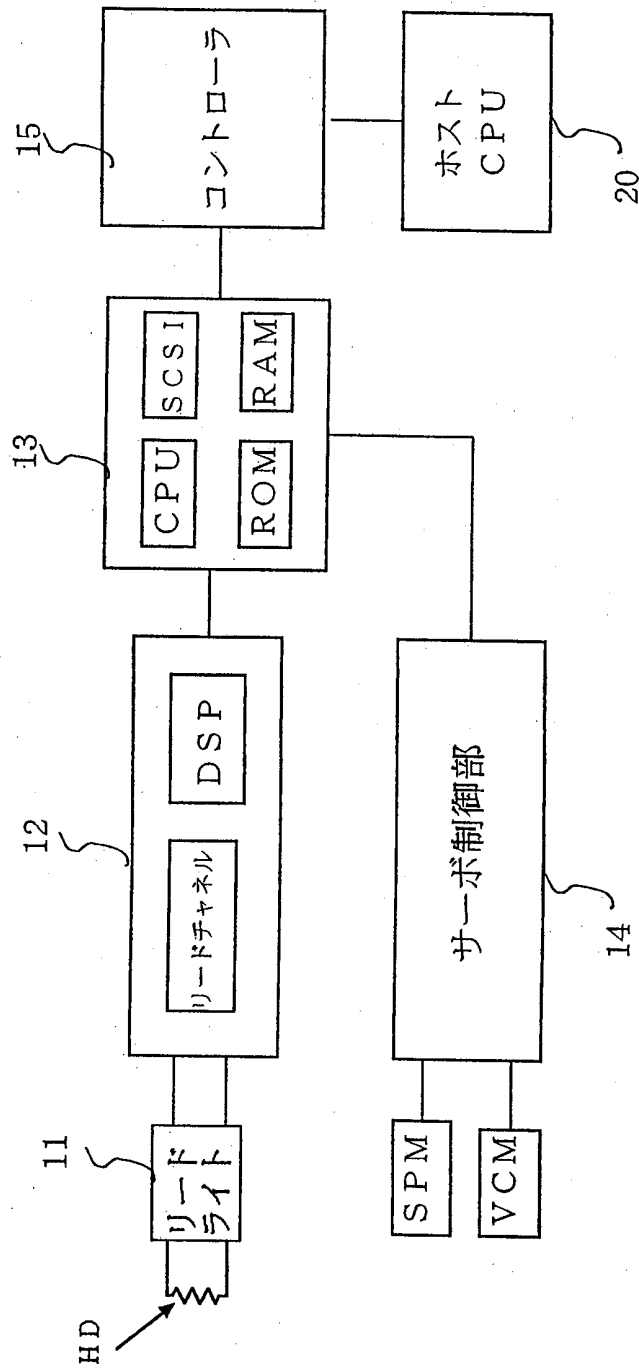


図 8



7 / 7

図 9



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/03165

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G11B19/00, 7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G11B19/00-19/18, 7/00, G06F1/32, H02J1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 9-83335, A (Hyundai Electronics Industries Co., Ltd.), 28 March, 1997 (28. 03. 97), Par. Nos. [0006] to [0011] & GB, 2300985, A	6 7, 8, 10-11
A	JP, 7-86917, A (Sanyo Electric Co., Ltd.), 31 March, 1995 (31. 03. 95) (Family: none)	6-11
A	US, 5345347, A (Western Digital Corporation), 6 September, 1994 (06. 09. 94) (Family: none)	1-11
A	JP, 10-295035, A (Mitsumi Electric Co., Ltd.), 4 November, 1998 (04. 11. 98) (Family: none)	1-11
A	JP, 9-17099, A (International Business Machines Corp.), 17 January, 1997 (17. 01. 97) & US, 5682273, A	1-11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
2 September, 1999 (02. 09. 99)

Date of mailing of the international search report
14 September, 1999 (14. 09. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03165

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-334913, A (International Business Machines Corp.), 22 December, 1995 (22. 12. 95) & WO, 95/34070, A1	1-11
A	JP, 7-210975, A (International Business Machines Corp.), 11 August, 1995 (11. 08. 95) & US, 5452277, A	1-11
A	JP, 5-137393, A (Victor Co. of Japan, Ltd.), 1 June, 1993 (01. 06. 93) & US, 5204593, A	1-11
A	JP, 2-176921, A (Compaq Computer Corp.), 10 July, 1990 (10. 07. 90) & US, 4980836, A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁶ G11B19/00, 7/00

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁶ G11B19/00-19/18, 7/00
 G06F1/32, H02J1/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国公開実用新案公報 1971-1999年
 日本国実用新案公報 1926-1996年
 日本国実用新案登録公報 1996-1999年
 日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 9-83335, A (ヒュンダイ エレクトロニクス インダストリーズ カンパニー リミテッド) 28, 3月, 1997 (28, 03, 97) 6~11段, & GB, 2300985, A	6 7, 8, 10~11
A	J P, 7-86917, A (三洋電機株式会社) 31, 3月, 1995 (31, 03, 95) (ファミリーなし)	6~11
A	US, 5345347, A (Western Digital Corporation) 6, 9月, 1994 (06, 09, 94) (ファミリーなし)	1~11

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献</p>
---	---

国際調査を完了した日 02.09.99

国際調査報告の発送日 14.09.99

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 山田 洋一 印
 5Q 7811
 電話番号 03-3581-1101 内線 3590

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-295035, A (ミツミ電機株式会社) 04, 11月, 1998 (04, 11, 98) (ファミリーなし)	1~11
A	JP, 9-17099, A (インターナショナル・ビジネス・マシンス・コーポレ イション) 17, 1月, 1997 (17, 01, 97) & US, 5682273, A	1~11
A	JP, 7-334913, A (インターナショナル・ビジネス・マシンス・コーポレ イション) 22, 12月, 1995 (22, 12, 95) & WO, 95/34070, A1	1~11
A	JP, 7-210975, A (インターナショナル・ビジネス・マシンス・コーポレ イション) 11, 8月, 1995 (11, 08, 95) & US, 5452277, A	1~11
A	JP, 5-137393, A (日本ビクター株式会社) 1, 6月, 1993 (01, 06, 93) & US, 5204593, A	1~11
A	JP, 2-176921, A (コムパック コンピュータ コーポレーション) 10. 7月. 1990 (10. 07. 90) & US, 4980836, A	1~11