

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02803991.2

[51] Int. Cl.

H01L 21/316 (2006.01)

H01L 21/318 (2006.01)

H01L 21/31 (2006.01)

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477113C

[22] 申请日 2002.1.22 [21] 申请号 02803991.2

[30] 优先权

[32] 2001.1.22 [33] JP [31] 12917/2001

[86] 国际申请 PCT/JP2002/000439 2002.1.22

[87] 国际公布 WO2002/058130 日 2002.7.25

[85] 进入国家阶段日期 2003.7.22

[73] 专利权人 东京毅力科创株式会社

地址 日本东京都

[72] 发明人 菅原卓也 中西敏雄 尾崎成则
松山征嗣 村川惠美 多田吉秀

[56] 参考文献

JP11-293470A 1999.10.26

JP2000-294550A 2000.10.20

JP2000-260767A 2000.9.22

JP10-321619A 1998.12.4

US5254503A 1993.10.19

审查员 马志勇

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 陆锦华

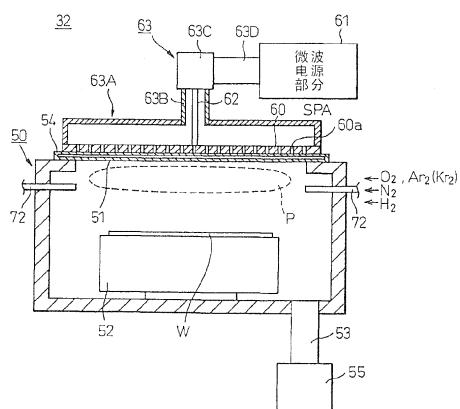
权利要求书 2 页 说明书 19 页 附图 10 页

[54] 发明名称

电子器件材料的制造方法

[57] 摘要

一种采用 SiO_2 膜及 SiON 膜作为具有极薄(例如 2.5nm 以下)膜厚的绝缘膜、采用多晶硅、非晶硅、 SiGe 作为电极的具有良好电气特性的电子器件(例如高性能 MOS 型半导体器件)结构的制造方法。在包含氧以及稀有气体的处理气体的存在下,通过由平面天线部件 SPA 在使以 Si 为主要成分的晶片 W 上照射微波,形成包含氧以及稀有气体的等离子体(或者包含氮以及稀有气体的等离子体、或者包含氮、稀有气体以及氢的等离子体)。利用此等离子体在所述晶片表面形成氧化膜(或者氮氧化膜),根据需要形成多晶硅、非晶硅、 SiGe 的电极并形成电子器件结构。



1. 一种电子器件材料的制造方法，其特征在于，在由 O₂ 以及稀有气体组成的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射产生的等离子体，在以 Si 为主要成分的被处理基体的表面形成具有 2.5nm 以下膜厚的氧化膜。
2. 如权利要求 1 所述的电子器件材料的制造方法，其中，所述氧化膜是 SiO₂ 膜。
3. 如权利要求 1 或者 2 所述的电子器件材料的制造方法，其中，所述稀有气体是选自氪、氩或氦中的一种以上的气体。
4. 一种电子器件材料的制造方法，其特征在于，包括：
在由 O₂ 以及稀有气体组成的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射产生的等离子体，在以 Si 为主要成分的被处理基体的表面形成氧化膜的工序；以及
在至少包含 N₂ 以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射产生的氮化等离子体，氮化所述氧化膜表面的工序。
5. 如权利要求 4 所述的电子器件材料的制造方法，其中，所述氧化膜是 SiO₂ 膜，所述被氮化的氧化膜是 SiON 膜。
6. 如权利要求 4 或者 5 所述的电子器件材料的制造方法，其中，所述氧化膜的膜厚在 2.5 nm 以下。
7. 如权利要求 4 所述的电子器件材料的制造方法，其中，所述稀有气体是氪、氩或者氦。
8. 一种电子器件材料的制造方法，其特征在于，包括：
在由 O₂ 以及稀有气体组成的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射产生的等离子体，在以 Si 为主要成分的被处理基体的表面形成氧化膜的工序；
在至少包含 N₂ 以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射产生的氮化等离子体，氮化所述

氧化膜表面的工序；以及

把具有所述表面氮化的氧化膜的被处理基体在层形成气体的存在下加热，在所述表面氮化的氧化膜上形成电极层的工序。

9. 如权利要求 8 所述的电子器件材料的制造方法，其中，
所述氧化膜是 SiO₂膜，所述表面氮化的氧化膜是 SiON 膜。

电子器件材料的制造方法

技术领域

本发明涉及可适用于制造电子器件材料的方法。本发明的电子器件材料的制造方法例如是可用于形成半导体或者半导体器件（例如具有MOS型半导体结构的器件）材料的适宜的方法。

背景技术

本发明的制造方法一般可以广泛适用于制造半导体或者半导体器件、液晶器件等的电子器件材料，因此为便于说明起见，以半导体器件的背景技术为例进行叙述。

近年来，伴随着半导体器件的微细化，对于薄而优良的氧化硅膜（ SiO_2 膜）的需求显著增大。例如，在作为构成半导体器件最普遍的MOS型半导体结构中，遵从所谓的按比例缩小规则（scaling rule），对极薄（例如厚度为2.5 nm以下左右）且优质的栅极绝缘膜（ SiO_2 膜）的需求极大。

一直以来，作为这样的栅极绝缘膜材料，在工业上使用一种氧化硅膜（ SiO_2 膜），这种氧化硅膜是利用850°C~1000°C左右的高温加热炉并直接氧化硅衬底而获得的。

但是，在使这样的 SiO_2 膜只是变薄到2.5 nm以下的情况下，流过此栅极绝缘膜的漏电流（栅极漏电流）就变大，从而产生电力消耗增大或器件特性加速变差等问题。

此外，在使用现有的薄的栅极绝缘膜时，在形成栅电极时在该栅极中包含的硼穿透 SiO_2 膜，到达作为栅极绝缘膜衬底的硅衬底上，产生使半导体器件特性恶化的问题。作为解决这种问题的一种方法，研究使用氮氧化膜（ SiON 膜）作为栅极绝缘膜材料。

但是，若直接而且简单地通过热氮氧化法形成这种 SiON 膜，则在

与硅衬底间的界面上含有大量的氮，难以避免器件特性变差的倾向。此外，在包括热氧化膜和通过 CVD（化学气相沉积法）形成的 SiN 膜的 SiO₂/SiN 叠层结构中，在 SiO₂/SiN 界面上发生载流子缺陷，存在使器件特性变差的倾向。为此，在这样的 SiON 膜形成中，考虑有希望使用等离子体氮化 SiO₂ 膜的方法。这是因为等离子体氮化一般容易提供界面能级小而且在氧化膜表面具有高含氮率（几个百分点）的高品质的栅极氮氧化膜。另外，在使用等离子体的情况下，有在低温下容易进行氮化的优点。

由于通过加热氮化 SiO₂ 膜，通常需要 1000℃以上的高温，因此通过这种热工序而使注入到硅衬底中的掺杂剂的扩散不同，存在由此引起的器件特性变差的倾向（这种方法已由日本专利特开昭 55-134937 号公报和特开昭 59-4059 号公报等公开）。

这样，虽然在等离子体的使用上有各种优点，但是另一方面，在使用等离子体进行氮化的情况下，有可能发生等离子体损坏，器件特性变差的现象。

发明内容

本发明的目的是提供能够消除上述现有技术中存在的问题的电子器件材料的制造方法。

即，本发明的另一个目的在于，提供能够制造具有极薄（例如膜厚 2.5 nm 以下）而且优良的氧化膜以及/或氮氧化膜的电子器件结构的方法。

本发明的另一个目的在于，提供能够形成具有极薄（例如膜厚 2.5 nm 以下）而且高品质的栅极氧化膜以及/或氮氧化膜的 MOS 型半导体结构的电子器件材料的制造方法。

本发明的电子器件材料的制造方法，其特征在于，在至少包含氧以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的等离子体，在以 Si 为主要成分的被处理基体的表面上形成衬底氧化膜（SiO₂ 膜）。

根据本发明所提供的电子器件材料的制造方法，其特征在于，还包括：

在至少包含氧以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的等离子体，在以 Si 作为主要成分的被处理基体的表面上形成衬底氧化膜（ SiO_2 膜）的工序；以及

在至少包含 N_2 以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的氮化等离子体，氮化所述衬底 SiO_2 膜表面的工序。

根据本发明所提供的电子器件材料的制造方法，其特征在于，还包括：

在至少包含氧以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的等离子体，在以 Si 作为主要成分的被处理基体的表面上形成衬底氧化膜（ SiO_2 膜）的工序；

在至少包含 N_2 以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的氮化等离子体，氮化所述衬底 SiO_2 膜表面的工序；以及

将具有所述 SiO_2 膜或表面氮化的衬底 SiO_2 膜（ SiON 膜）的被处理基体在层形成气体的存在下加热，在所述 SiO_2 膜或 SiON 膜上形成电极层的工序。

附图说明

图 1 是表示使用本发明的电子器件材料的制造方法的、可以制造的半导体器件的一个例子的垂直剖面示意图。

图 2 是表示为实施本发明的电子器件材料的制造方法的半导体制造装置的一个例子的平面示意图。

图 3 是表示可用于本发明的电子器件材料的制造方法中的缝隙平面天线（Slit Plane Antenna 以下简记为“SPA”）等离子体处理单元的一个例子的垂直剖面示意图。

图 4 是表示可用于本发明的电子器件材料的制造装置中的 SPA 的一个例子的平面示意图。

图 5 是表示可用于本发明的电子器件材料的制造方法中的加热反应炉单元的一个例子的垂直剖面示意图。

图 6 是表示本发明的制造方法中的各工序的一个例子的流程图；

图 7 是表示使用本发明的方法的膜形成的一个例子的剖面示意图。

图 8 是表示使用本发明的方法而得到的 MOS 半导体结构的泄漏特性的图形。

图 9 是表示使用本发明的方法而得到的栅极漏电流特性的图形。

图 10 是表示使用本发明的方法而得到的氮氧化膜的 SIMS 分析结果的图形。

本发明的最佳实施方式

下面根据需要参考附图详细说明本发明。下面的说明中表示量比的“部分”以及“%”只要事先不特别说明，就作为质量标准。

(氧化膜的形成)

在适于本发明的一个实施例中，在至少包含 O₂ 以及稀有气体的处理气体（或者处理气体气氛；下同）的存在下，可以采用通过具有多个缝隙的平面天线部件的微波照射而产生的等离子体，在以 Si 为主要成分的被处理基体的表面上形成氧化膜（SiO₂ 膜）。

本发明可以使用的被处理基体，虽然并不只是特别限定以 Si 作为主要成分，但是例如也可以适合使用硅（单晶硅等）、玻璃等公知的、用于电子器件的基体。

(处理气体)

在本发明中，当氧化膜形成之时，处理气体中至少包含 O₂ 以及稀有气体。不特别限定此时可以使用的稀有气体，可以从公知的稀有气体（或者其两种以上的组合）中适当选择来使用。从膜质量这点来讲，可以适合使用氪、氩、或者氦气。

(氧化膜的形成条件)

在将本发明用于形成氧化膜的实施例中，从所应形成的氧化膜的特性方面来讲，可以适当地使用下述条件。

O_2 : 5 ~ 500 sccm, 更好是 50 ~ 500 sccm,

稀有气体（例如 Kr、Ar、或者 He）：500 ~ 3000 sccm, 更好是 500 ~ 2000 sccm, 最好是 1000 ~ 2000 sccm,

温度：室温（25°C）~ 700°C, 更好是 200 ~ 700°C, 最好是 200 ~ 500°C,

压力：20 ~ 5000 mTorr, 更好是 500 ~ 3000 mTorr, 最好是 1000 ~ 2000 mTorr,

微波：0.5 ~ 5 W/cm², 更好是 0.5 ~ 4 W/cm²。

(适合的条件例)

在本发明的制造方法中，从所应形成的氧化膜的特性方面来讲，可以举出将下述各条件作为适合的例子。

处理气体的适合例：含有流量 50 ~ 500 sccm 的 O_2 、以及流量 500 ~ 2000 sccm 的氖、氩、或者氦的气体。

SiO_2 膜形成时的温度的适合例：举温度为 300 ~ 700°C 的例子。

作为 SiO_2 膜形成时的压力的适合例，举压力为 2.7 ~ 270 Pa (20 ~ 2000 mTorr) 的例子。

作为 SiO_2 膜形成时的等离子体的适合例，是在 1 ~ 4 W/cm² 的输出下而形成的等离子体。

(SiO_2 氧化膜的氮化)

在本发明中，根据需要，可以采用通过平面天线部件的微波照射而产生的氮化等离子体，适于氮化 SiO_2 氧化膜。此时不特别限定所应氮化的 SiO_2 氧化膜，但是从膜质、生产性等方面来讲，在含有 O_2 以及稀有气体的处理气体的存在下，采用通过平面天线部件的微波照射而产生的等离子体，最好是形成在以 Si 为主要成分的被处理基体的表面上的衬底氧化膜 (SiO_2 膜)。

亦即，在适于本发明的其它实施例中，在含有 O_2 以及稀有气体的

处理气体的存在下，采用通过平面天线部件的微波照射而产生的等离子体，在以 Si 为主要成分的被处理基体的表面上形成衬底氧化膜 (SiO_2 膜)，接着，能在至少包含 N_2 和稀有气体的处理气体的存在下，采用通过平面天线部件的微波照射而产生的等离子体，氮化所述衬底 SiO_2 膜的表面。

(处理气体)

在本发明所述氮化 SiO_2 膜的实施例中，处理气体中至少包含 N_2 和稀有气体。此时并不特别限定可以使用的稀有气体，可以从公知的稀有气体（或者其两种以上的组合）中适当地选择使用。对膜品质而言可以适合使用氪、氩或氦气。

(氧化膜的氮化条件)

在将本发明用于形成氧化膜的实施例中，从所应形成表面氮化的氧化膜的特性这点来讲，可以适合使用下述氮化条件。

N_2 : 2 ~ 500 sccm, 更好是 4 ~ 200 sccm,

稀有气体（例如 Kr、Ar、或者 He）：200 ~ 2000 sccm, 更好是 500 ~ 2000 sccm, 最好是 1000 ~ 2000 sccm,

H_2 : 1 ~ 100 sccm, 更好是 2 ~ 50 sccm, 最好是 5 ~ 30 sccm,

温度：室温（25°C）~ 700°C，更好是 200 ~ 500°C

压力：10 ~ 3000 mTorr, 更好是 20 ~ 1000 mTorr, 最好是 50 ~ 1000 mTorr,

微波：0.5 ~ 4 W/cm², 更好是 0.5 ~ 3 W/cm²。

(适合条件的例子)

在本发明的制造方法中，从所应形成的表面氮化的氧化膜的特性这点来讲，可以举出下述条件作为适合的例子。

SiO_2 膜的氮化时的处理气体的适合例：含有流量 4 ~ 200 sccm 的 N_2 以及流量是 500 ~ 2000 sccm 氩、氩或氦，或者，流量 4 ~ 200 sccm 的 N_2 、流量是 500 ~ 2000 sccm 氩、氩或氦，以及流量为 2 ~ 30 sccm 的 H_2 的气体。

SiO_2 膜的氮化时温度的适合例：举室温 ~ 700°C 的温度的例子。

作为 SiO_2 膜的氮化时压力的适合例，举 $2.7 \sim 135 \text{ Pa}$ ($20 \sim 1000 \text{ mTorr}$) 的例子。

作为 SiO_2 膜的氮化时的等离子体的适合例，是在 $0.5 \sim 3 \text{ W/cm}^2$ 的输出下而形成的等离子体。

(电极层形成的实施例)

在本发明中，根据需要，可以在 SiO_2 膜或者 SiON 膜上形成电极层。作为这种电极层，从器件特性这点来讲，可以适于使用由多晶硅或非晶硅或 SiGe 构成的电极层。此时使用的衬底的 SiO_2 膜或者 SiON 膜虽然并不特别限定，但是从器件特性、生产性等方面来看，最好是在至少包含 O_2 以及稀有气体的处理气体的存在下，采用通过平面天线部件的微波照射而产生的等离子体，在以 Si 为主要成分的被处理基体的表面上形成衬底氧化膜 (SiO_2 膜)；或者，在至少包含 N_2 以及稀有气体的处理气体的存在下，采用通过平面天线部件的微波照射而产生的氮化等离子体，而形成的 SiON 膜。

亦即，在本发明的一个适合的实施例中，在至少包含 O_2 以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的等离子体，在以 Si 为主要成分的被处理基体的表面上形成衬底氧化膜 (SiO_2 膜)；

在至少包含 N_2 以及稀有气体的处理气体的存在下，采用通过具有多个缝隙的平面天线部件的微波照射而产生的氮化等离子体，氮化所述衬底 SiO_2 膜表面；

把具有上述 SiO_2 膜或者表面氮化的衬底 SiO_2 膜 (SiON 膜) 的被处理基体在层形成气体的存在下加热，可以在所述 SiO_2 膜或者 SiON 膜上形成电极层 (例如由多晶硅或非晶硅或 SiGe 构成的电极层)。

(电极形成气体)

在本发明中，不特别限定可使用的电极形成气体，根据所应形成的电极层的材质，可以适当选择使用公知的电极形成气体中的任何一种或者其两种以上的组合。

在所应形成的电极由多晶硅形成的情况下，从器件特性和生产性

等方面来讲，所述电极形成气体最好是 SiH₄。此时，适宜的电极形成条件如下：

压力：20.0 ~ 40 Pa (150 ~ 300 mTorr)，更好是 26 ~ 33.3 Pa (200~250 mTorr) ，

温度：570 ~ 650°C，更好是 600 ~ 630°C。

在所应形成的电极由非晶硅构成的情况下，从器件特性和生产性等方面来讲，所述电极形成气体最好是 SiH₄。此时，适宜的电极形成条件如下：

压力：20.0 ~ 66.7 Pa (150 ~ 500 mTorr)

温度：520 ~ 570°C。

在所应形成的电极由 SiGe 构成的情况下，从器件特性和生产性等方面来讲，所述电极形成气体最好是 GeH₄ / SiH₄。此时，适宜的电极形成条件如下：

气体组成：GeH₄ / SiH₄=10 / 90 ~ 60 / 40 %的混合气体，

压力：20 ~ 60 Pa

温度：460 ~ 560°C。

(平面天线部件)

在本发明中，其特征是，通过具有多个缝隙的平面天线部件的微波照射形成电子能级低且密度高的等离子体，使用该等离子体进行所述被处理基体表面的氧化(根据需要可进行氮化处理)。因此可以进行等离子体损坏小且在低温下反应性高的处理。

有关这种具有多个缝隙的平面天线部件、并且具有产生电子能级低、等离子体损坏小、另外密度高的等离子体的能力的微波等离子体装置的详情可以参考文献 (Ultra Clean technology Vol.10 Supplement 1,p.32,1988, Published by Ultra Clean Society) 。

若采用这样的新的等离子体装置，由于能容易地得到电子能级在 1.5 eV 以下，等离子体壳层电压也在几 V 以下的等离子体，因此，对于现有的等离子体 (等离子体停止电压 50V 左右) 可以大幅度降低等离子体损伤。这种具有平面天线的新等离子体装置，因为具有在室温 ~

700°C程度的温度下可以供给高密度原子团的能力，因此认为可以抑制加热引起的器件特性的变差，并且，即使在低温下也可以进行具有高反应性的处理。

对此，在现有技术中，即使在使用等离子体，也未能获得具有极薄膜厚且优质的氧化膜和氮氧化膜（例如具有用作下一代 MOS 型半导体结构要求标准的各种特性的氧化膜和氮氧化膜）。例如，作为用于下一代的 MOS 型半导体结构所要求的是具有膜厚 2.5 nm 以下的氧化膜和氮氧化膜的 MOS 型半导体结构。此时，从器件特性这点来讲，可以认为最好使用多晶硅或非晶硅或 SiGe 等作为栅电极的 MOS 型半导体结构。但是，未在现有技术中发现制造具有极薄膜厚且优质的氧化膜和氮氧化膜的半导体结构的方法。

（适合的等离子体）

在本发明中，可适于使用的等离子体的特性如下：

电子能级：< 2 eV

密度： $10^{11} \sim 10^{13}$

等离子体密度的均匀性：±3%以内。

根据上述的本发明的方法，可以形成膜厚度薄且优质的氧化膜以及/或氮氧化膜。因而，通过在该氧化膜以及/或氮氧化膜上形成其它层（例如电极层），就容易地形成特性优良的半导体器件的结构。

根据本发明的处理，特别是为了可以形成极薄膜厚（例如膜厚 2.5 nm 以下）的氧化膜和/或氮氧化膜，可以例如通过在此氧化膜以及/或氮氧化膜上使用多晶硅或非晶硅或 SiGe 等作为栅电极，形成高性能的 MOS 型半导体结构。

（氧化膜的适合的特性）

使用本发明，可以容易地制造具有下述适合的特性的氧化膜。

物理膜厚：0.8 mm ~ 任意

泄漏特性：和 Dry Ox 比较，同等 ~ 降低 1 个数量级

膜均匀性：±6%以内

（氮氧化膜的适合的特性）

根据本发明，可以容易地制造具有下述适合的特性的氮氧化膜。

表面氮浓度：~20%（参考图 10）

图 10 表示对实施 SPA 氮化的氧化膜的 SIMS 分析的结果。对 15A 的衬底氧化膜状进行 8 秒、25 秒的氮化处理。在图示表面含有高浓度的氮，可以避免由于在界面上混入氮所引起的器件特性变差，从而进行氮化。

（MOS 半导体结构的适合的特性）

本发明的方法可能使用的范围虽然不特别限定，但是本发明可以形成的极薄且优良的氧化膜以及/或氮氧化膜可以特别适于作为半导体器件的绝缘膜（尤其是 MOS 半导体结构的栅极绝缘膜）来使用。

根据本发明，可以容易地制造具有下述适合的特性的 MOS 半导体结构。还有，在评价本发明所形成的氧化膜以及/或氮氧化膜的特性时，例如形成文献（应用物理第 69 卷第 9 号（2000 年）PP 1049 ~ 1059）中所记载的标准的 MOS 半导体结构，通过评价该 MOS 的特性，可以代替对所述氧化膜以及/或氮氧化膜自身的特性评价。这是因为这样标准的 MOS 结构中，构成该结构的氧化膜以及/或氮氧化膜的特性可以对 MOS 特性提供很大的影响。

电气膜厚（换算膜厚）1.0 ~ 2.5 nm

泄漏特性 与 Dry Ox 比较降低半个数量级 ~ 1 个数量级

膜厚均匀性 ±2 %以内

（制造装置的一个实施例）

以下说明本发明的制造方法的一个适合的实施例。首先，就由本发明的电子器件材料的制造方法可以制造的半导体器件结构的一个例子，参考图 1 说明带有 MOS 结构的半导体器件，这种 MOS 结构具有作为绝缘膜的栅极绝缘膜。

参考图 1A，在图 1A 中，参考标号 1 是硅衬底，11 是场氧化膜，2 是栅极绝缘膜，13 是栅电极。如上所述，根据本发明的制造方法可以形成极薄且优质的栅极绝缘膜 2。如图 1B 所示，此栅极绝缘膜 2 由在与硅衬底 1 的界面上形成的高品质绝缘膜构成。例如由 2.5 nm 左右厚

的氧化膜 2 构成。

在本例中，这种高品质的氧化膜 2 最好由在含有 O₂ 以及稀有气体的处理气体的存在下，在以 Si 为主要成分的被处理基体上通过具有多个缝隙的平面天线部件照射微波而形成等离子体、而使用该等离子体在所述被处理基体表面形成的氧化硅膜（以下称“SiO₂ 膜”）来构成。在使用这样的 SiO₂ 膜时，如下面所述，具有相互间界面特性（例如，界面能级）良好、而且作为 MOS 结构时容易得到良好的栅极泄漏特性的特征。

在此氧化硅膜 2 的表面，根据需要也可以进行氮化处理。在此氧化硅膜 2 的经氮化处理过的表面上进一步形成以硅（多晶硅或者非晶硅）作为主成分的栅电极 13。

（制造方法的一个实施例）

下面说明制造此氧化硅膜 2、氮化处理表面 2a、进而在其上配置栅电极 13 的电子器件材料的制造方法。

图 2 是表示为实施本发明的电子器件材料的制造方法的半导体制造装置 30 的整体结构一个例子的示意图（平面示意图）。

如图 2 所示，在此半导体制造装置 30 的几乎正中央，设置有用于运送晶片 W（图 3）的搬运室 31，在围绕此搬运室 31 的周围，设置用于对晶片 W 实行各种处理的等离子体处理单元 32、33、用于进行各处理室之间的连通/隔断操作的两台转动锁定单元 34 和 35、用于进行各种加热操作的加热单元 36、以及用于对晶片 W 执行各种加热处理的加热反应炉 47。还有，加热反应炉 47 也可以和所述半导体制造装置 30 分开独立设置。

在转动锁定单元 34 和 35 的旁边分别配置用于进行各种预冷或者冷却操作的预冷单元 45、冷却单元 46。

在搬运室 31 的内部，设置有搬运臂 37 以及 38，可以在所述各单元 32~36 之间运送晶片 W（图 3）。

在转动锁定单元 34 和 35 的图中前面的一侧设置有转动臂 41 和 42。这些转动臂 41 和 42 还可以与在其前面的一侧设置的晶片盒载物台

43 上安装的 4 台晶片盒 44 之间装卸晶片 W。

而且，作为图 2 中的等离子体处理单元 32、33，可以并列安装两台同型号的等离子体处理单元。

进而，这些等离子体处理单元 32 以及单元 33 既可以一起和单室型 CVD 处理单元进行交换，也可以在等离子体 32 和 33 的位置安装一台或者两台单室型 CVD 处理单元。

在等离子体处理有两台的情况下，例如用处理单元 32 形成 SiO₂ 膜后，也可以采用在处理单元 33 中进行 SiO₂ 膜的表面氮化的方法，此外也可以用处理单元 32 以及 33 并列进行 SiO₂ 膜的形成与 SiO₂ 膜的表面氮化。或者也可以用别的装置进行 SiO₂ 膜的形成后，再用处理单元 32 以及 33 并列进行表面氮化。

（栅极绝缘膜成膜的一个实施例）

图 3 可用于栅极绝缘膜 2 的成膜的等离子体处理单元 32（33）的垂直方向的剖面示意图。

参考图 3，参考标号 50 例如是用铝制成的真空容器。在此真空容器 50 的上面，形成比衬底（例如晶片 W）更大的开口部分 51，为了塞住此开口部分 51，设置例如由石英或氮化铝等电介质构成的扁平的圆筒形状的顶板 54。位于此顶板 54 的下面的真空容器 50 上侧的侧壁上，例如沿其周围方向均匀配置的 16 个位置处设置气体供给管 72，通过此气体供给管 72 把含有选自 O₂ 或稀有气体、N₂ 以及 H₂ 等中的一种以上的处理气体，向真空容器 50 的等离子体区域 P 附近均匀地提供。

在顶板 54 的外侧，设置与通过具有多个缝隙的平面天线部件、例如通过铜板制成的缝隙平面天线（Slit Plane Antenna, SPA）60 构成的高频电源部分、例如发生 2.45 GHz 微波的微波电源部分 61 连接的波导路径 63。此波导路径 63 由下缘连接 SPA 60 的扁平圆形波导管 63A、一端与此圆形波导管 63A 的上面连接的圆筒形波导管 63B、与该圆筒形波导管 63B 的上面连接的同轴波导变换器 63C、一侧与此同轴波导变换器 63C 的侧面成直角连接的、另一侧与微波电源部分 61 连接的矩形波导管 63D 组合构成。

因此，在本发明中，包括 UHF 和微波，称为高频区域。亦即由高频电源部分供给的高频电能包含 300 MHz 以上的 UHF 和 1 GHz 以上的微波，对于 300 MHz 以上 2500 MHz 以下的，将通过这些高频电能所发生的等离子体称为高频等离子体。

在上述圆筒形波导管 63B 的内部，由导电材料制成的轴部 62 的一端与 SPA 60 几近中央处连接、另一端同轴设置连接在圆筒形波导管 63B 的上面，由此，波导管 63B 就构成同轴波导管。

另外，在真空容器 50 内，设置与顶板 54 对向的晶片 W 的承载台 52。在此承载台 52 内安装图中未示出的调温部分，由此该承载台 52 起到加热板的作用。此外，在真空容器 50 的衬底连接排气管 53 的一端，此排气管 53 的另一端连接真空泵 55。

(SPA 的一个实施例)

图 4 表示可使用于本发明的电子器件材料的制造装置中的 SPA 60 的一个例子的平面示意图。

如图 4 所示，此 SPA 60，其中，多个同心圆状的缝隙 60a、60a、... 形成在表面上。各缝隙 60a 是近似矩形贯通的槽，邻接的缝隙相互正交设置，形成近似字母“T”的字样。缝隙 60a 的长度和排列间隔对应微波电源部分 61 发生的微波的波长来确定。

(加热反应炉的一个实施例)

图 5 表示可使用于本发明的电子器件材料的制造装置中的加热反应炉的一个例子的垂直方向的剖面示意图。

如图 5 所示，加热反应炉 47 的处理室 82，例如用铝等形成可以密封的结构。处理室 82 内装备加热机构和冷却机构，但是在图 5 中省略。

如图 5 所示，在处理室 82 中，导入气体的气体导入管 83 连接在上部中央处，处理室 82 内和气体导入管 83 内连通。此外，气体导入管 83 连接气体供给源 84。这样，从气体供给源 84 提供气体给气体导入管 83，通过气体导入管 83 将气体导入处理室 82 内。作为这种气体，可以使用栅电极形成的原料、例如硅烷等各种气体（电极形成气体），根

据需要，也可以使用惰性气体作为载流气体。

在处理室 82 的下部，连接排放处理室 82 内气体的气体排气管 85，气体排气管 85 连接真空泵等构成的排气装置（图中未示出）。通过这种排气装置，处理室 82 内的气体由气体排气管 85 排放，从而在处理室 82 内被设定为预期的压力。

此外，在处理室 82 的下部，设置用于承载晶片 W 的承载台 87。

在图 5 所示的实施例中，使用图中未示出的、和晶片 W 大约同样大小直径的静电卡盘把晶片 W 安放到承载台 87 上。承载台 87 这样构成，在内部设置图中未示出的热源部件，可以将在承载台 87 上放置的晶片 W 的处理面调节到预期的温度。

承载台 87 根据需要可以做成能使安置的晶片 W 转动的结构。

图 5 中，在承载台 87 的右侧的处理室 82 的壁面上设置用于装卸晶片 W 的开口部分 82a，此开口部分 82a 的开闭通过在图中的上下方向上移动的闸阀 98 来实现。图 5 中，在闸阀 98 的进一步右侧相邻设置运送晶片 W 的搬运臂（图中未示出），搬运臂通过开口部分 82a 进出处理室 82 内，在承载台 87 上放置晶片 W，把处理后的晶片 W 从处理室 82 搬出。

在承载台 87 的上方设置作为喷淋部件的喷头 88。喷头 88 例如用铝等形成，它的形成使得承载台 87 和气体导入管 83 之间的空间分开。

喷头 88 的形成使得，气体导入管 83 的气体出口 83a 位于其上部中央处，与在喷头 88 下部设置的气体供给孔 89 相通，把气体导入处理室 82 内。

（绝缘膜形成的实施例）

下面说明使用所述装置在晶片 W 上形成由栅极绝缘膜 2 构成的绝缘膜的方法的一个适合的例子。

图 6 是表示在本发明的方法中各工序流程的一个例子的流程图。

参考图 6，首先，用前面的工序在晶片 W 的表面上形成场氧化膜 11（图 1A）。

接着打开在等离子体处理单元 32（图 2）内的真空容器 50 的侧壁

上设置的闸阀（图中未示出），使用搬运臂 37、38，把在所述硅衬底 1 表面上形成的场氧化膜 11 的晶片 W 安置在承载台 52（图 3）上。

接着在关闭闸阀而使内部密闭之后，使用真空泵 55 通过排气管 53 排气，使内部气氛抽真空到规定的真空度，维持设定的压力。另一方面，使用微波电源部分 61 发生例如 1.80 GHz（2200 W）的微波，通过波导路径引导该微波通过 SPA 60 和顶板 54 导入到真空容器 50 内，由此在真空容器 50 内的上部一侧的等离子体区域 P 中发生高频等离子体。

这里，微波以矩形模式在矩形波导管 63D 内传输，在同轴波导变换器 63C 内从矩形模式转换成圆形模式，以圆形模式在圆筒形同轴波导管 63B 内传输，进而在圆形波导管 63A 内以展开的状态继续传输，通过 SPA 60 的缝隙 60a 被辐射，透过顶板 54 导入到真空容器 50。此时就发生由于使用微波的高密度的等离子体，此外因为从 SPA 60 的多个缝隙 60a 辐射微波，所以该等离子体成为高密度。

接着，调节承载台 52 的温度，加热晶片 W 例如到 400°C，同时通过气体供给管 72 把作为用于形成氧化膜的处理气体的氮或氩等稀有气体和 O₂ 气体分别以 1000 sccm、20 sccm 的流量导入，实施第一工序（氧化膜的形成）。

在此工序中，导入的处理气体在等离子体处理单元 32 内由于等离子体流而被活性化（等离子体化），如图 7A 的剖面示意图所示，通过此等离子体氧化硅衬底 1 的表面，形成氧化膜（SiO₂ 膜）2。这样，进行例如 40 秒的氧化处理，就可以形成 2.5 nm 厚的用于栅极氧化膜或者栅极氮氧化膜的衬底氧化膜（衬底 SiO₂ 膜）2。

接着，打开闸阀（图中未示出），使搬运臂 37、38（图 2）进入真空容器 50 内，收取承载台 52 上的晶片 W。此搬运臂 37、38 在把晶片 W 从等离子体处理单元 32 中取出后，放置在邻接的等离子体处理单元 33 内的安置台上（步骤 2）。此外，根据用途，也存在不氮化栅极氧化膜而移动到热反应炉 47 的情况。

（含氮层形成的实施例）

接着，在此等离子体处理单元 33 内，在晶片 W 上进行表面氮化处理，在先前形成的衬底氧化膜（衬底 SiO₂）2 的表面上形成含氮层 2a（图 7B）。

在这个表面氮化处理时，例如在真空容器 50 内，晶片温度例如 400°C，处理压力例如在 66.7 Pa (500 mTorr) 的状态下，氩气和 N₂ 气从气体导入管分别以 1000 sccm、20 sccm 的流量导入容器 50 内。

其另一方面，使用微波电源部分 61 发生例如 2 W/cm² 的微波。使用波导路径引导，将此微波通过 SPA 60b 以及顶板 54 导入真空容器 50 内，由此在真空容器 50 内的上部一侧的区域 P 中发生高频等离子体。

在此工序（表面氮化）中，被导入的气体等离子体化，形成氮原子团。用此氮原子团在晶片 W 的表面上的 SiO₂ 膜来发生反应，以比较短的时间来氮化 SiO₂ 膜表面。这样就如图 7B 所示，在晶片 W 上的衬底氧化膜（衬底 SiO₂ 膜）2 的表面上形成含氮层 2a。

由于进行例如 20 秒的氮化处理，就可以形成换算膜厚为 2 nm 左右厚度的栅极氮氧化膜（SiON 膜）。

（栅电极形成的实施例）

接着在晶片 W 上的 SiO₂ 膜上或者在对衬底 SiO₂ 膜进行氮化处理过的 SiON 膜上形成栅电极 13（图 1A）。为形成此栅电极 13，把形成栅极氧化膜或者栅极氮氧化膜的晶片 W 分别从等离子体处理单元 32 或者 33 内取出，一旦取出到搬运室 31（图 2）一侧，然后就放进加热反应炉 47 内（步骤 4）。在加热反应炉 47 内以规定的处理条件下加热晶片 W，在栅极氧化膜或者栅极氮氧化膜上形成规定的栅电极 13。

此时，可以根据形成的栅电极 13 的种类选择处理条件。

亦即，在形成由多晶硅生成的栅电极 13 的情况下，作为处理气体（电极形成气体）而使用 SiH₄，在 20.0 ~ 33.3 Pa (150 ~ 250 mTorr) 的压力、570 ~ 630°C 的温度条件下进行处理。

此外，在形成由非晶硅生成的栅电极 13 的场合，作为处理气体（电极形成气体）使用 SiH₄，在 20.0 ~ 66.7 Pa (150 ~ 500 mTorr) 的压力、520 ~ 570°C 的温度条件下处理。

进而，在形成由 SiGe 构成的栅电极 13 的情况下，使用 $\text{GeH}_4 / \text{SiH}_4 = 10 / 90 \sim 60 / 40\%$ 的混合气体，在 $20 \sim 60 \text{ Pa}$ 的压力、 $460 \sim 560^\circ\text{C}$ 的温度条件下进行处理。

(氧化膜的品质)

在上述第一工序中，在形成用于栅极氧化膜或者栅极氮氧化膜的衬底氧化膜时，因为处理气体的存在，在以 Si 为主要成分的晶片 W 上，通过具有多个缝隙的平面天线部件照射微波而形成含氧 (O_2) 以及稀有气体的等离子体，由于使用此等离子体在所述被处理基体表面上形成氧化膜，因此可以进行膜质好及膜质的顺利控制。

第一工序中的氧化膜的品质很高，如图 8 的图形所示。

图 8 表示涉及通过上述实施例的电子器件材料的制造方法在硅晶片 W 上形成的 MOS 型半导体结构的泄漏特性。此图形的纵轴为漏电流的值，横轴为电气膜厚（换算膜厚）。

图 8 中，实线表示的图形①，作为参考，表示是使用现有的热氧化法（Dry 热氧化法）而形成的热氧化膜（Dry Ox）的泄漏特性，图形②表示在 O_2 和作为稀有气体的氩的存在下使用 SPA 进行等离子体处理得到的氧化膜（SPA Ox）的泄漏特性。

从图 8 的图形中明显看出，与使用现有的热氧化法形成的热氧化膜的泄漏特性①比较，通过本发明的电子器件材料的制造方法所形成的氧化膜②的泄漏值低。因而，采用根据本发明形成的氧化膜，可以实现电能低耗，获得良好的器件特性。

(高品质氧化膜的推断机理 (mechanism))

如上所述，使用本发明的电子器件材料的制造方法，可以获得具有比热氧化膜品质高的、界面能级低的氧化膜（例如栅极氧化膜）。

使用所述方法形成的氧化膜的品质高的理由，就发明者所知，如以下的推断。

即，通过使用 SPA 用微波照射处理气体形成的等离子体，形成电子能级比较低的等离子体。因此，等离子体和被处理基体表面的偏压被抑制在比较低的值，等离子体损伤小。因此，如图 8 所示，可以认为

形成具有良好界面特性的 SiO_2 膜。

(高品质氮氧化膜的推断机理)

此外，在所述第二工序中，表面氮化处理而得到的氮氧化膜具有优良的品质。其理由就发明者所见，如以下的推断。

因为使用上述 SPA 在氧化膜表面生成的氮原子团是高密度的，因此在氧化膜表面能混入百分比单位的氮。此外，与用热生成氮原子团相比，在低温（室温左右）下也可以生成高密度的氮原子团，能抑制代表掺杂物的扩散等的热引起的器件特性的变差。还有，因为在氧化膜表面含有膜中的氮，因此不会使界面特性变差，使介电常数得到提高，同时能够发挥防止硼的穿透效应等这一性能。

(适宜的 MOS 特性的推断机理)

还有，通过在上述第三工序中在特定条件下加热处理形成的栅电极，MOS 型半导体结构具有优良的特性。其理由就发明者所见，如以下的推断。

在本发明中，可以形成所述那样极薄且优质的栅极绝缘膜。通过组合这样的优质栅极绝缘膜（栅极氧化膜和 / 或栅极氮氧化膜）和在其上形成的栅电极（例如，用 CVD 生成的多晶硅、非晶硅、 SiGe ），可以实现良好的晶体管特性（例如良好的泄漏特性）。

还有，由于进行如图 2 所示的组合化，能够避免在栅极氧化膜以及栅极氮氧化膜形成和栅电极形成之间向大气暴露，能够使成品率和器件特性得到更大的提高。

实施例

以下，通过实施例更加具体地说明本发明。

通过本发明的电子器件材料的制造方法，在进行了元素分离形成的 n 型硅衬底上使用图 2 所示的器件并使用 SPA 等离子体在图 2 所示 32 的处理单元中形成 1.8 nm 的衬底 SiO_2 膜。膜厚总计为 1.8 nm（氧化膜的换算膜厚）。关于衬底 SiO_2 膜的形成条件为， $\text{O}_2 / \text{Ar}_2 = 200 \text{ sccm} / 2000 \text{ sccm}$ 、压力为 2000 mTorr、微波功率 3W/cm²、温度 400°C。

衬底 SiO_2 的氮化条件为, N_2 / Ar 流量 = 40 sccm / 1000 sccm、压力为 7 Pa (50mTorr)、微波功率 $2\text{W}/\text{cm}^2$ 、温度 400°C 。使氮化时间按 10 秒、20 秒、40 秒变化。生产率达到每腔 25 只/小时, 可以认为, 这可以充分适用于工业生产。

接着栅极绝缘膜形成, 形成 P 型多晶硅栅电极并由 CV 特性求出换算膜厚。换算膜厚减少到 1.4 nm 左右, 膜厚的均匀性也可以得到在 3 西格玛下 4% 的良好结果。

进一步, 测定栅极漏电流特性。图 9 的纵轴为漏电流特性, 横轴为电气膜厚 (换算膜厚)。直线表示的图形①表示标准的热氧化膜的泄漏特性, 点表示的图形②表示 SPA 进行氧化、氮化后的膜的泄漏特性。如图形②所示, 可以看到伴随氮化时间的增加换算膜厚是减小的。此外, 在氮化时间为 40 秒的条件下, 与标准的热氧化膜比较, 漏电流最多减小 1 个数量级左右。

如上所示, 通过本发明的电子器件材料的制造方法, 可以以工业上充分适用的生产率形成具有良好电气特性的高性能 MOS 型半导体结构。

产业上的可利用性

根据所述本发明的电子器件制造方法, 在处理气体的存在下, 通过具有多个缝隙的平面天线部件 (所谓的 SPA 天线), 通过照射微波在以 Si 为主要成分的被处理基体上, 在含有硅的衬底上直接供给等离子体形成氧化膜 (SiO_2 膜), 因此可以在含有硅的衬底和其表面上形成的氧化膜 (SiO_2 膜) 之间进行适宜的界面特性控制。

进一步, 根据本发明的其它实施例的电子器件制造方法, 以采用所谓的 SPA 天线的方法在形成衬底氧化膜 (SiO_2 膜) 后, 通过采用氮化处理的方法, 就可以形成高品质的氮氧化膜 (SiNO 膜)。

更有, 通过在这样形成的高品质氧化膜和/或氮氧化膜上形成电极层 (例如, 由多晶硅或者非晶硅或者 SiGe 构成的栅电极), 就可以形成具有良好电气特性的半导体结构 (例如 MOS 型半导体结构)。

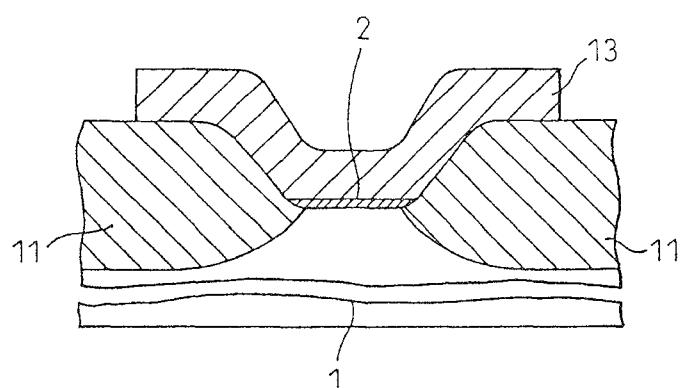


图1A

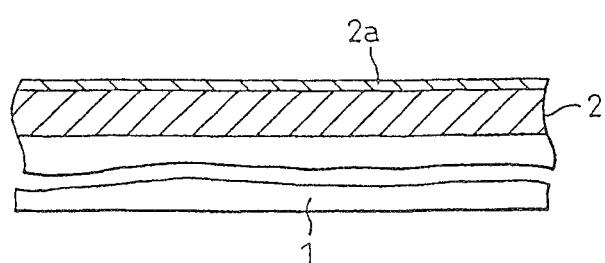


图1B

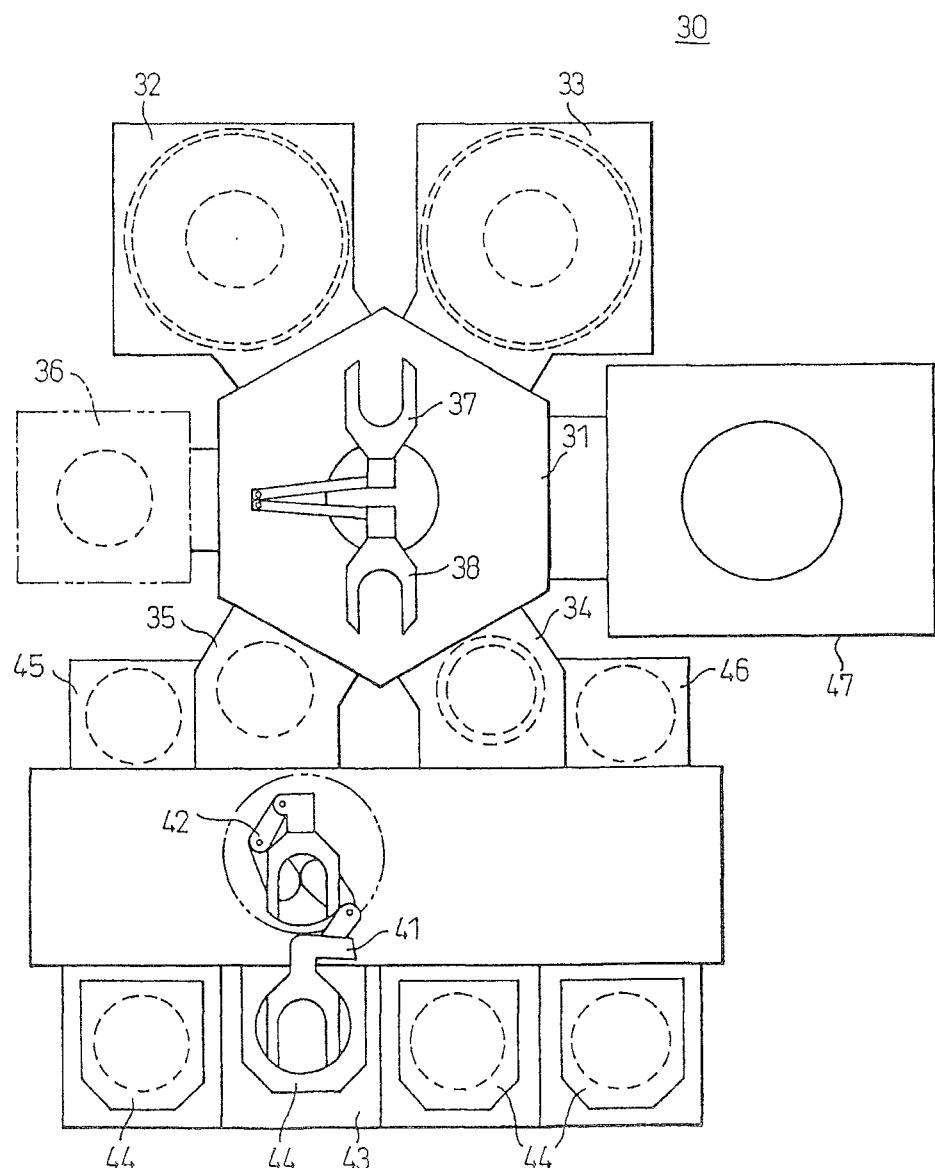


图2

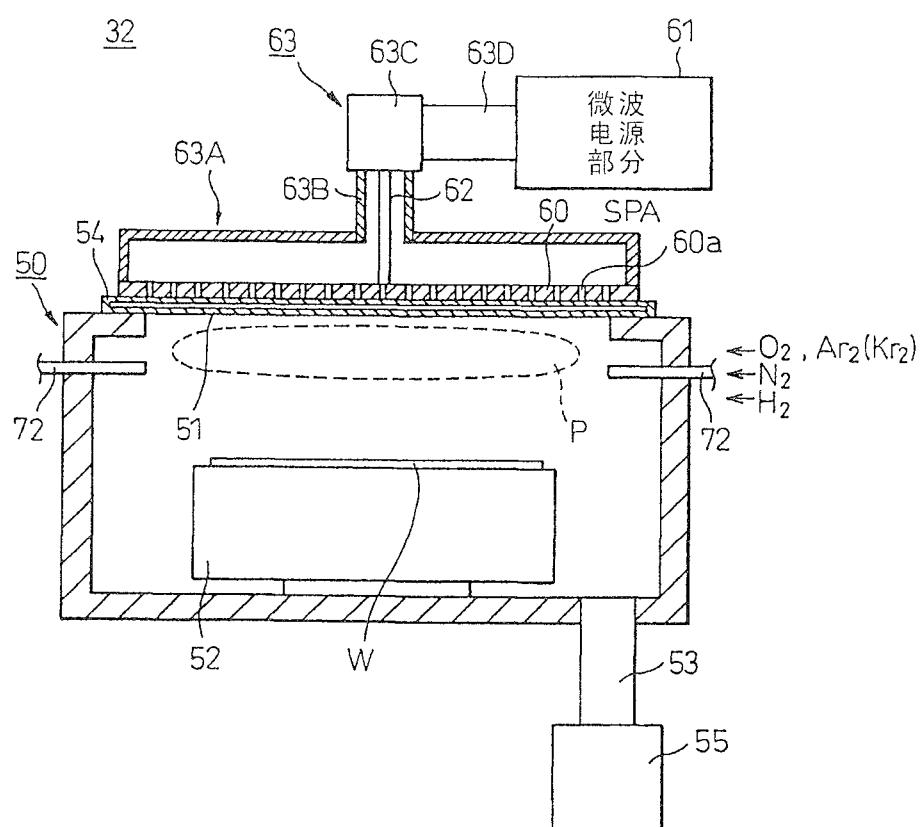


图3

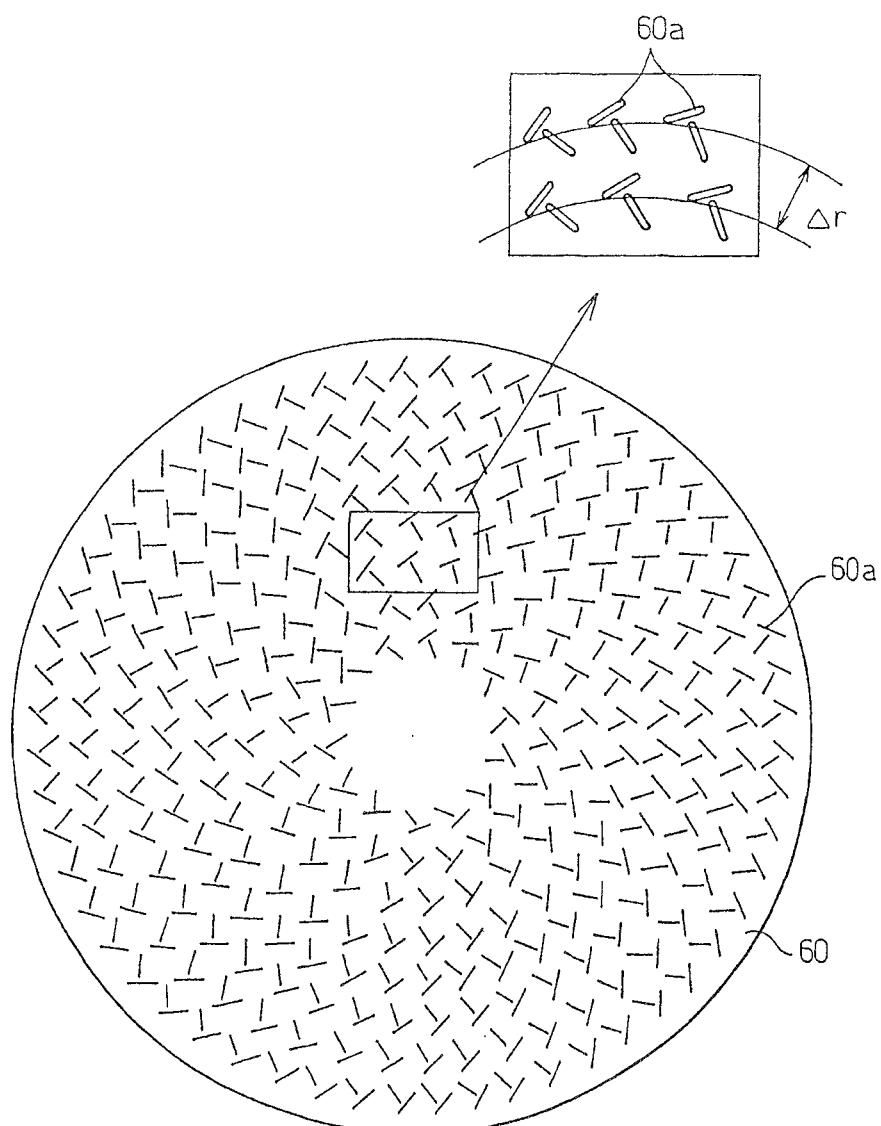


图4

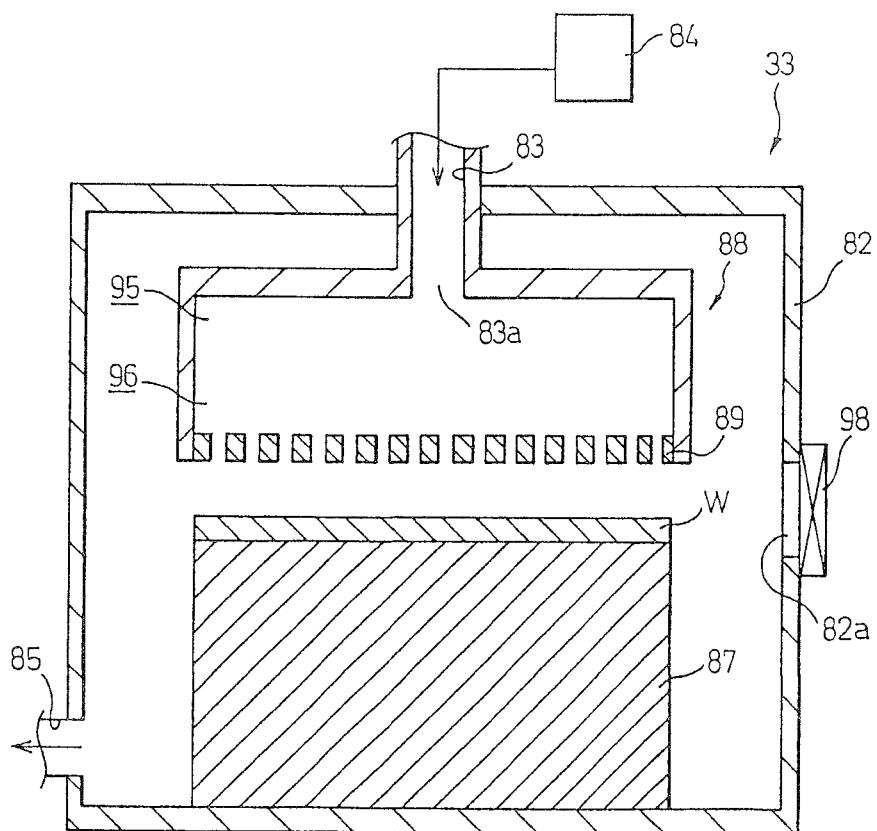


图5

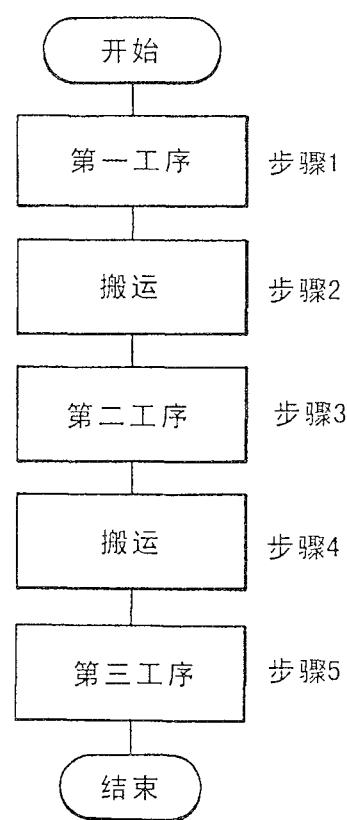


图6

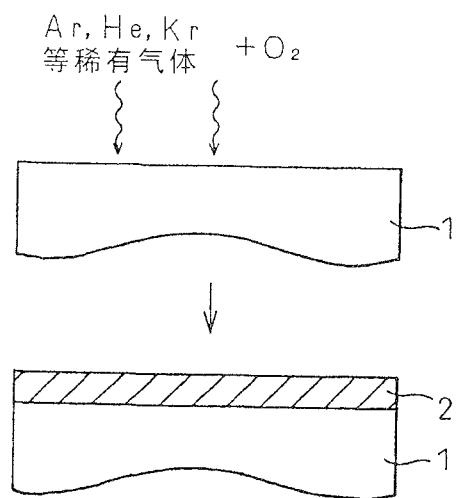


图 7A

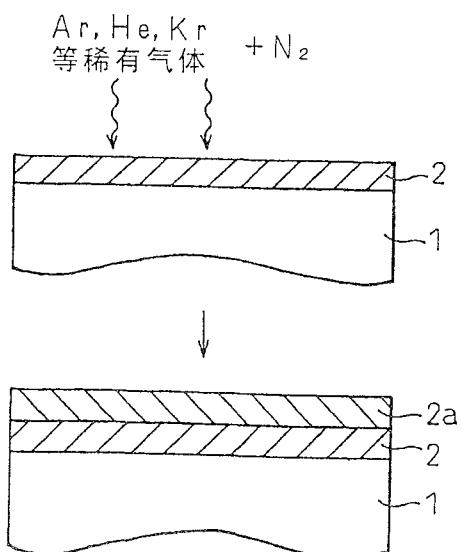


图 7B

