

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成18年1月5日(2006.1.5)

【公表番号】特表2004-536515(P2004-536515A)
【公表日】平成16年12月2日(2004.12.2)
【年通号数】公開・登録公報2004-047
【出願番号】特願2003-514417(P2003-514417)
【国際特許分類】

H 0 4 L 12/56 (2006.01)

H 0 4 L 13/08 (2006.01)

【F I】

H 0 4 L 12/56 F

H 0 4 L 13/08

【手続補正書】

【提出日】平成17年6月17日(2005.6.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デュアルポートメモリエミュレーション方式によるスイッチファブリックであって、
入力端と

前記入力端に接続され、第1メモリユニットおよび第2メモリユニットを含むメモリとを備え、前記第1メモリユニットまたは前記第2メモリユニットが、第1パケットの少なくとも一部に対して第1メモリアクセス動作を実施するように選択され、前記選択が第2パケットの少なくとも一部に対して第2メモリアクセス動作を実施するように選択されるメモリユニットに基づいて行われるスイッチファブリック。

【請求項2】

前記第1メモリアクセス動作が書込み動作である請求項1に記載のスイッチファブリック。

【請求項3】

前記第2メモリアクセス動作が読出し動作である請求項1に記載のスイッチファブリック。

【請求項4】

前記第1メモリユニットが、前記第2メモリアクセス動作を実施するように選択される場合は、前記第2メモリユニットが、前記第1メモリアクセス動作を実施するように選択され、前記第2メモリユニットが、前記第2メモリアクセス動作を実施するように選択される場合は、前記第1メモリユニットが、前記第1メモリアクセス動作を実施するように選択される請求項1に記載のスイッチファブリック。

【請求項5】

それぞれのメモリユニットが、単一のデータインポートと、単一のアドレスポートと、単一のデータアウトポートとを含む単一ポートメモリユニットである請求項1に記載のスイッチファブリック。

【請求項6】

直前の第1メモリアクセス動作のためにアクセスされたメモリ位置への前参照を格納するバッファをさらに含む請求項1に記載のスイッチファブリック。

【請求項 7】

前記第 1 メモリアクセス動作が前記バッファから取り出された前記前参照を格納することを特徴とする請求項 6 に記載のスイッチファブリック。

【請求項 8】

前記前参照が NULL ポインタである請求項 7 に記載のスイッチファブリック。

【請求項 9】

前記バッファが、前記第 1 メモリアクセス動作を実施するように選択された前記第 1 または第 2 メモリユニット上のメモリ位置への参照で更新される請求項 6 に記載のスイッチファブリック。

【請求項 10】

前記第 1 パケットが複数の第 1 データワードを含み、前記第 2 パケットが複数の第 2 データワードを含み、前記第 1 データワードが、前記第 1 メモリアクセス動作のための第 1 順序に従って選択され、前記第 2 データワードが、前記第 2 メモリアクセス動作のための第 2 順序に従って選択される請求項 1 に記載のスイッチファブリック。

【請求項 11】

前記第 1 順序が、前記第 1 パケットの末尾に付随するデータワードに対して適用される前に、前記第 1 パケットの先頭に付随するデータワードに対して適用され、前記第 2 順序が、前記第 2 パケットの先頭に付随するデータワードに対して適用される前に、前記第 2 パケットの末尾に付随するデータワードに対して適用される請求項 10 に記載のスイッチファブリック。

【請求項 12】

デュアルポートメモリエミュレーション方式によるスイッチファブリックであって、単一の第 1 入力ポートと、単一の第 1 アドレスポートと、単一の第 1 出力ポートとを含む第 1 の単一ポートメモリと、

単一の第 2 入力ポートと、単一の第 2 アドレスポートと、単一の第 2 出力ポートとを含む第 2 の単一ポートメモリとを備え、第 2 メモリアクセス動作が前記第 1 単一ポートメモリ上で実施される場合は、第 1 メモリアクセス動作が前記第 2 単一ポートメモリ上で実施され、また前記第 2 メモリアクセス動作が前記第 2 単一ポートメモリ上で実施される場合は、前記第 1 メモリアクセス動作が前記第 1 単一ポートメモリ上で実施されるスイッチファブリック。

【請求項 13】

前記第 1 メモリアクセス動作が書込み動作である請求項 12 に記載のスイッチファブリック。

【請求項 14】

前記第 2 メモリアクセス動作が読出し動作である請求項 12 に記載のスイッチファブリック。

【請求項 15】

前記第 1 および第 2 アクセス動作がノンブロッキングで同時に実施される請求項 12 に記載のスイッチファブリック。

【請求項 16】

単一の第 1 入力ポート、単一の第 1 アドレスポート、および単一の第 1 出力ポートを含む第 1 単一ポートメモリと、単一の第 2 入力ポート、単一の第 2 アドレスポート、および単一の第 2 出力ポートを含む第 2 単一ポートメモリとを含むメモリを備えるスイッチファブリックにアクセスするための方法であって、

第 2 メモリアクセス動作のためのメモリアドレスを決定すること、

前記メモリアドレスが前記第 1 単一ポートメモリに関連する場合は、前記第 2 単一ポートメモリ上で第 1 メモリアクセス動作を実施すること、および

前記メモリアドレスが前記第 2 単一ポートメモリに関連する場合は、前記第 1 単一ポートメモリ上で前記第 1 メモリアクセス動作を実施することを含む方法。

【請求項 17】

前記第 1 メモリアクセス動作が書込み動作である請求項 16 に記載の方法。

【請求項 18】

前記第 2 メモリアクセス動作が読出し動作である請求項 16 に記載の方法。

【請求項 19】

前記第 1 および第 2 メモリアクセス動作がノンブロッキングで同時に実施される請求項 16 に記載の方法。

【請求項 20】

直前の第 1 メモリアクセス動作中にアクセスされたメモリ位置への前参照をバッファに維持することをさらに含む請求項 16 に記載の方法。

【請求項 21】

前記第 1 メモリアクセス動作中に、前記バッファから前記前参照を取り出すこと、および前記バッファから取り出された前記前参照を格納することをさらに含む請求項 20 に記載の方法。

【請求項 22】

前記前参照が NULL ポインタである請求項 21 に記載の方法。

【請求項 23】

前記バッファを、前記第 1 メモリアクセス動作を実施するように選択された前記第 1 または第 2 メモリユニット上のメモリ位置への参照で更新することをさらに含む請求項 20 に記載の方法。

【請求項 24】

前記第 1 メモリアクセス動作が、複数の第 1 データワードを含む第 1 パケットに対して実施され、前記第 2 メモリアクセス動作が、複数の第 2 データワードを含む第 2 パケットに対して実施され、前記方法が、前記第 1 メモリアクセス動作のための第 1 順序に従って前記第 1 データワードを選択すること、および前記第 2 メモリアクセス動作のための第 2 順序に従って前記第 2 データワードを選択することをさらに含む請求項 16 に記載の方法。

【請求項 25】

前記第 1 順序が、前記第 1 パケットの末尾に付随するデータワードに対して適用される前に、前記第 1 パケットの先頭に付随するデータワードに対して適用され、前記第 2 順序が、前記第 2 パケットの先頭に付随するデータワードに対して適用される前に、前記第 2 パケットの末尾に付随するデータワードに対して適用される請求項 24 に記載の方法。

【請求項 26】

パケットを格納し、第 1 メモリユニットおよび第 2 メモリユニットを含むメモリを備えるスイッチファブリックからパケットを取り出すための方法であって、

到着パケットを受信すること、

前記第 1 メモリユニット上の使用可能なメモリ位置への第 1 参照を取り出すこと、

前記第 2 メモリユニット上の使用可能なメモリ位置への第 2 参照を取り出すこと、

前記第 1 参照または前記第 2 参照を、格納されたパケットの読出し動作を実施するように選択されるメモリユニットに基づいて選択すること、および

前記選択された参照によって参照されるメモリ位置上に到着パケットの少なくとも一部を書き込むことを含む方法。