

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6650719号
(P6650719)

(45) 発行日 令和2年2月19日(2020.2.19)

(24) 登録日 令和2年1月23日(2020.1.23)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 C
HO 1 L 21/8234 (2006.01)	HO 1 L 27/088 D
HO 1 L 27/088 (2006.01)	HO 1 L 27/04 D
HO 1 L 21/822 (2006.01)	HO 4 N 5/369

請求項の数 16 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2015-194479 (P2015-194479)
 (22) 出願日 平成27年9月30日(2015.9.30)
 (65) 公開番号 特開2017-69430 (P2017-69430A)
 (43) 公開日 平成29年4月6日(2017.4.6)
 審査請求日 平成30年9月13日(2018.9.13)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 河野 章宏
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 丹下 勉
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像システムおよび半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

光電変換によって生成された電荷に基づく画素信号を生成する画素回路と、前記画素信号に基づく信号を出力するための論理回路が設けられた撮像装置であって、

前記画素回路を構成する第1トランジスタのソースまたはドレインに接続する第1コンタクトプラグと、前記論理回路を構成する第2トランジスタのソースまたはドレインに接続する第2コンタクトプラグと、前記第1トランジスタのゲートに接続する第3コンタクトプラグと、を備え、

前記第1コンタクトプラグの径が前記第2コンタクトプラグの径および前記第3コンタクトプラグの径よりも小さいことを特徴とする撮像装置。

【請求項2】

光電変換によって生成された電荷に基づく画素信号を生成する画素回路と、前記画素信号に基づく信号を出力するための論理回路が設けられた撮像装置であって、

前記画素回路を構成する第1トランジスタのソースまたはドレインに接続する第1コンタクトプラグと、前記論理回路を構成する第2トランジスタのソースまたはドレインに接続する第2コンタクトプラグと、前記第1トランジスタのゲートに接続する第3コンタクトプラグと、前記第2トランジスタのゲートに接続する第4コンタクトプラグと、を備え、

前記第1コンタクトプラグの径が前記第2コンタクトプラグの径よりも小さく、

前記第3コンタクトプラグの径が前記第4コンタクトプラグの径よりも小さいことを特

徴とする撮像装置。

【請求項 3】

光電変換によって生成された電荷に基づく画素信号を生成する画素回路と、前記画素信号に基づく信号を出力するための論理回路が設けられた撮像装置であって、

前記画素回路を構成する第 1 トランジスタのソースまたはドレインに接続する第 1 コンタクトプラグと、前記論理回路を構成する第 2 トランジスタのソースまたはドレインに接続する第 2 コンタクトプラグと、前記第 1 トランジスタのゲートに接続する第 3 コンタクトプラグと、前記第 2 トランジスタのゲートに接続する第 4 コンタクトプラグと、を備え

、前記第 1 コンタクトプラグの径が前記第 2 コンタクトプラグの径よりも小さく、

前記第 4 コンタクトプラグの径が、前記第 2 コンタクトプラグの前記径の 0.80 倍以上かつ 1.30 倍未満であることを特徴とする撮像装置。

10

【請求項 4】

光電変換によって生成された電荷に基づく画素信号を生成する画素回路と、前記画素信号に基づく信号を出力するための論理回路が設けられた撮像装置であって、

前記画素回路を構成する第 1 トランジスタのソースまたはドレインに接続する第 1 コンタクトプラグと、前記論理回路を構成する第 2 トランジスタのソースまたはドレインに接続する第 2 コンタクトプラグと、前記第 1 トランジスタのゲートに接続する第 3 コンタクトプラグと、前記第 2 トランジスタのゲートに接続する第 4 コンタクトプラグと、を備え

20

、前記第 1 コンタクトプラグの径が、前記第 2 コンタクトプラグの径および前記第 4 コンタクトプラグの径よりも小さいことを特徴とする撮像装置。

【請求項 5】

前記第 3 コンタクトプラグの径が、前記第 1 コンタクトプラグの前記径の 0.80 倍以上かつ 1.30 倍未満である、請求項 1 乃至 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記第 3 コンタクトプラグが、前記第 1 トランジスタのチャネル領域の上に位置する、請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記第 2 トランジスタのドレインには前記第 2 コンタクトプラグを含む複数のコンタクトプラグが接続されている、請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置。

30

【請求項 8】

前記第 1 トランジスタおよび前記第 2 トランジスタは絶縁ゲート型電界効果トランジスタであり、前記第 1 トランジスタのゲート絶縁膜が前記第 2 トランジスタのゲート絶縁膜よりも厚い、請求項 1 乃至 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記画素回路に接続された電流源を構成する第 3 トランジスタに接続するコンタクトプラグの径が、前記第 1 コンタクトプラグの前記径よりも大きい、請求項 1 乃至 8 のいずれか 1 項に記載の撮像装置。

【請求項 10】

前記第 1 トランジスタのドレインを構成する第 1 半導体領域と前記第 1 コンタクトプラグとの間には第 2 半導体領域が設けられており、

前記第 2 トランジスタのドレインを構成する第 3 半導体領域と前記第 2 コンタクトプラグとの間にはシリサイド領域が設けられており、

前記第 2 半導体領域の不純物濃度は前記第 1 半導体領域の不純物濃度よりも高い、請求項 1 乃至 9 のいずれか 1 項に記載の撮像装置。

40

【請求項 11】

前記第 1 コンタクトプラグは側面および底面を有する第 1 コンタクトホール内に配された第 1 導電部と、前記第 1 コンタクトホールの前記側面と前記第 1 コンタクトプラグの前記第 1 導電部との間に位置する底部および前記第 1 コンタクトホールの前記底面と前記第

50

1 コンタクトプラグの前記第1導電部との間に位置する側部とを含む第1バリアメタル部と、を有し、

前記第2コンタクトプラグは側面および底面を有する第2コンタクトホール内に配された第2導電部と、前記第2コンタクトホールの前記側面と前記第2コンタクトプラグの前記第2導電部との間に位置する底部および前記第2コンタクトホールの前記底面と前記第2コンタクトプラグの前記第2導電部との間に位置する側部とを含む第2バリアメタル部と、を有し、

前記第2コンタクトプラグの前記側部の厚さに対する前記第2コンタクトプラグの前記底部の厚さの比は、前記第1コンタクトプラグの前記側部の厚さに対する前記第1コンタクトプラグの前記底部の厚さの比よりも大きい、請求項1乃至9のいずれか1項に記載の撮像装置。

10

【請求項12】

前記第1トランジスタの前記ドレインはシングルドレイン構造を有し、前記第2トランジスタの前記ドレインはLDD構造を有する、請求項1乃至10のいずれか1項に記載の撮像装置。

【請求項13】

前記第1トランジスタは前記電荷を転送する転送トランジスタである、請求項1乃至11のいずれか1項に記載の撮像装置。

【請求項14】

前記第2トランジスタはCMOS回路に含まれる、請求項1乃至12のいずれか1項に記載の撮像装置。

20

【請求項15】

前記第1コンタクトプラグの前記径および前記第3コンタクトプラグの前記径が50nm以上かつ200nm未満であり、前記第2コンタクトプラグの前記径が210nm以上かつ300nm以下である、請求項1乃至14のいずれか1項に記載の撮像装置。

【請求項16】

請求項1乃至15のいずれか1項の撮像装置から出力された信号を処理する信号処理装置を備える撮像システム。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、撮像装置のコンタクトプラグに関する。

【背景技術】

【0002】

半導体装置ではトランジスタと配線との接続にコンタクトプラグが用いられる。コンタクトプラグはコンタクトホールに導電材料を充填して形成される。

【0003】

特許文献1には、第1孔径で開口した第1コンタクトホールと第1孔径よりも大きい第2孔径で開口した第2コンタクトホールを形成することが開示されている。

【0004】

40

特許文献2には、第1コンタクトホールと第2コンタクトホールを別々に形成することが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-282914号公報

【特許文献2】特開2011-29604号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

撮像装置では、単一の基板に画素回路と論理回路（ロジック回路）が設けられる。従来のコンタクトプラグでは、画素回路と論理回路の性能の向上が十分でなかった。そこで、本発明は、画素回路と論理回路の性能を向上した撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するための手段は、光電変換によって生成された電荷に基づく画素信号を出力する画素回路と前記画素信号に基づく信号を出力するための論理回路が設けられた撮像装置であって、前記画素回路を構成する第1トランジスタのソースまたはドレインに接続する第1コンタクトプラグと、前記論理回路を構成する第2トランジスタのソースまたはドレインに接続する第2コンタクトプラグと、を備え、前記第1コンタクトプラグの径が前記第2コンタクトプラグの径よりも小さいことを特徴とする。

10

【発明の効果】

【0008】

本発明によれば、画素回路と論理回路の性能を向上した撮像装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】撮像装置の一例を説明する模式図。

【図2】撮像装置の一例を説明する模式図。

【図3】撮像装置の一例を説明する模式図。

20

【図4】撮像装置の製造方法の一例を説明する模式図。

【図5】撮像装置の製造方法の一例を説明する模式図。

【発明を実施するための形態】

【0010】

以下、図面を参照して、本発明を実施するための形態を説明する。なお、以下の説明および図面において、複数の図面を相互に参照する場合がある。複数の図面に渡って共通の構成については共通の符号を付しており、共通の符号を付した構成については適宜説明を省略する。

【0011】

図1(a)は実施形態の一例としての撮像装置1000の回路ブロック図である。撮像装置1000は単一の基板1に、画素回路部10と周辺回路部20を備える。

30

【0012】

画素回路部10は、行列状に配された複数の画素回路PXCを有する。同じ行の画素回路PXCは行配線31で共通に接続されており、同じ列の画素回路PXCは列配線32で共通に接続されている。

【0013】

周辺回路部20は、各々が画素回路PXCの列に対応して配された複数のアナログ信号処理回路900を有する。本例では、画素回路部10の上下に分けて、複数のアナログ信号処理回路900を含むグループが配置されている。しかし、画素回路部10の上下の一方の側のみに、複数のアナログ信号処理回路900が配されていてもよい。アナログ信号処理回路900は増幅回路420とAD変換回路400（アナログ-デジタル変換回路）を含む。さらに、周辺回路部20は、複数の読み出し回路410、水平出力回路500、デジタル信号処理回路600および垂直駆動回路700、信号生成回路を含むことができる。周辺回路部20の構成はこれらに限定されるものでなく、これらの回路のいずれかが無くてもよい。

40

【0014】

複数の読み出し回路410は、各々が画素回路PXCの列に対応して配され、列配線32を介して画素回路PXCに接続されている。読み出し回路410は、同じ画素回路PXCの列に対応するアナログ信号処理回路900に接続されている。読み出し回路410は電流源を含み、画素回路PXCの増幅トランジスタに接続されてソースフォロワ回路を成

50

している。読み出し回路410の電流源はカレントミラー回路を含んでいる。

【0015】

各回路の機能および動作を説明する。垂直駆動回路700の走査部710は出力部750を順次選択して、画素回路PXCを列毎に駆動する。走査部710はレジスタであり、論理回路で構成されている。画素回路PXCは、垂直駆動回路700の出力部750からの信号に基づいて動作し、画素回路PXCは入射光に応じた画素信号を生成する。読み出し回路410の動作によって、画素回路PXCから画素信号が読み出される。画素信号はアナログ信号である。読み出し回路410によって読み出された画素信号は、アナログ信号処理回路900によって信号処理される。アナログ信号処理回路900による処理としては、相関二重サンプリングなどによるノイズ除去処理や増幅処理である。アナログ信号処理回路900がAD変換回路400を有する場合は、アナログ信号処理回路900からの出力信号はデジタル信号である。アナログ信号処理回路900がAD変換回路400を有しない場合は、アナログ信号処理回路900からの出力信号はアナログ信号である。AD変換回路400はアナログ部440とデジタル部450を有する。アナログ部440にアナログ信号が入力され、デジタル部450からデジタル信号が出力される。

10

【0016】

アナログ信号処理回路900から出力されたデジタル信号は、水平出力回路500のメモリ部550に読み出され、メモリ部550で保持される。水平出力回路500の走査部510はメモリ部550を順次選択して、メモリ部550に保持された信号を列毎に出力する。走査部510はレジスタであり、論理回路で構成されている。メモリ部550も論理回路で構成されている。水平出力回路500から出力されたデジタル信号は、デジタル信号処理回路600によって信号処理される。デジタル信号処理回路600は、デジタル信号に対して、ノイズ除去処理や、加算(減算)などの演算処理を行う。デジタル信号処理回路600は論理回路で構成され、典型的にはCMOS回路を含む論理回路で構成されている。

20

【0017】

撮像装置1000は、画素回路部10および周辺回路部20を備える単一の基板を含む。このほか、撮像装置1000は、この基板を収容する容器(パッケージ)を備えることができる。

【0018】

撮像装置1000を用いて撮像システムを構築することができる。撮像システムは、撮像装置1000に光を導くための光学系を備えることができる。撮像システムは、撮像装置1000から出力された信号を処理する信号処理装置を備えることができる。撮像システムは、撮像装置1000で得られた画像を表示する表示装置を備えることができる。撮像システムとしては、ビデオカメラやスチルカメラなどのカメラが典型的であるが、カメラ機能を備えた情報端末であってもよいし、撮像装置と表示装置が別々の場所に配置された監視カメラシステムであってもよい。

30

【0019】

図1(b)に、画素回路部10における1つの画素回路PXCの回路構成の一例を示す。画素回路PXCは、複数のトランジスタで構成されている。ここでは、転送トランジスタTX、増幅トランジスタSF、選択トランジスタSLおよびリセットトランジスタRSが絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタとしてはMOSトランジスタが一般的である。画素回路PXCに配された、転送トランジスタTX以外のトランジスタを画素トランジスタPXと総称する。本例では転送トランジスタTXおよび全ての画素トランジスタはN型のMOSトランジスタである。しかし、画素回路PXCを、N型のMOSトランジスタとP型のMOSトランジスタの両方で構成することもできるし、P型のMOSトランジスタのみで構成することもできる。また、画素回路PXCを構成するトランジスタの少なくとも1つは、MOSトランジスタ以外のトランジスタ、例えば接合型電界効果トランジスタ(JFET)やバイポーラトランジスタであってもよい。

40

50

【 0 0 2 0 】

転送トランジスタTXのゲートは、光電変換部PDで生成された信号電荷を電荷検出部FDに転送する電荷転送部として機能する。光電変換部PDはフォトダイオードで構成され、転送トランジスタTXのソースとして機能する。電荷検出部FDはフローティングディフュージョン（浮遊拡散領域）で構成され、転送トランジスタTXのドレインとして機能する。増幅トランジスタSFのゲートに電荷検出部FDが接続され、増幅トランジスタSFのドレインに電源線VDDが接続され、増幅トランジスタSFのソースに出力線OUTが接続されている。増幅トランジスタSFはソースフォロワ回路を構成しており、電荷検出部FDの電位に応じた信号を出力線OUTに出力する。選択トランジスタSLは画素回路PXCからの出力のON/OFFを切替え、リセットトランジスタRSは電荷検出部FDの電位をリセット電位にリセットする。本例では、電源線VDDから供給される電位をリセット電位に用いている。転送トランジスタTX、増幅トランジスタSF、リセットトランジスタRSに加えて、電荷検出部FDの容量を切替えるスイッチトランジスタを含むことができる。また、画素回路PXCの列毎に配された信号処理回路の一部を、画素回路PXCに組み込んでよい。

10

【 0 0 2 1 】

図2(a)は画素回路部10における転送トランジスタTXおよび画素トランジスタPXを含む断面および周辺回路部20における周辺トランジスタPRを含む断面を示している。本例では、画素トランジスタPXとして画素回路PXCのうちの増幅トランジスタSFを示しているが、他の画素トランジスタでも同様である。周辺トランジスタPRは論理回路を構成するCMOS回路に含まれる。ここで示している周辺トランジスタPRはCMOS回路のうちのNMOSTランジスタである。図2(b)は図2(a)における転送トランジスタTXと周辺トランジスタPRの一部の拡大図である。

20

【 0 0 2 2 】

上述した基板1は半導体層100を含む。半導体層100は例えば基板1に含まれる基体上にエピタキシャル成長された単結晶シリコン層である。半導体層100にはトランジスタの導電型に応じた導電型を有するウェルが設けられている。ここでは画素回路部10のN型のトランジスタのためのウェルとしてのP型の半導体領域101を示している。さらに、画素回路部10には、半導体領域101に基準電位（ウェル電位）を供給するための、半導体領域101より高い不純物濃度を有するP型の半導体領域1010も設けられている。また、周辺回路部20にはN型のトランジスタのためのウェルとしてのP型の半導体領域108と、P型のトランジスタのためのウェルとしてのN型の半導体領域（不図示）が設けられている。

30

【 0 0 2 3 】

また、半導体層100における素子領域（活性領域）を画定するための素子分離領域を成す、素子分離用の絶縁体110が半導体層100に形成された溝の中に配されている。このように本例の素子分離領域はSTI構造を有するが、LOCOS構造を採用してもよいし、絶縁体を用いずにPN接合分離構造を採用してもよい。

【 0 0 2 4 】

画素回路部10において、半導体層100には光電変換部PDとして機能する転送トランジスタTXのソース102、電荷検出部FDとして機能する転送トランジスタTXのドレインが設けられている。ソース102とドレイン103との間のチャンネル領域上にゲート絶縁膜111を介して転送トランジスタTXのゲート電極121が設けられている。転送トランジスタTXのゲートは、ゲート電極121とゲート絶縁膜111と半導体層100（チャンネル領域）で構成されたMOS構造を有する。

40

【 0 0 2 5 】

また、半導体層100には画素トランジスタPXのソース104、増幅トランジスタPXのドレイン105が設けられている。半導体層100上にはソース104とドレイン105との間のチャンネル領域上にゲート絶縁膜113を介して画素トランジスタPXのゲート電極123が設けられている。画素トランジスタPXのゲートは、ゲート電極123と

50

ゲート絶縁膜 113 と半導体層 100 (チャネル領域) で構成された MOS 構造を有する。

【0026】

周辺回路部 20 において、半導体層 100 には周辺トランジスタ PR のソース 106、周辺トランジスタ PR のドレイン 107 が設けられている。半導体層 100 上にはソース 106 とドレイン 107 との間のチャネル領域上にゲート絶縁膜 112 を介して周辺トランジスタ PR のゲート電極 122 が設けられている。周辺トランジスタ PR のゲートは、ゲート電極 122 とゲート絶縁膜 112 と半導体層 100 (チャネル領域) で構成された MOS 構造を有する。

【0027】

半導体層 100 の上には画素回路部 10 から周辺回路部 20 に渡って層間絶縁膜 200 が設けられている。画素回路部 10 では半導体層 100 と層間絶縁膜 200 との間に、転送トランジスタ TX および画素トランジスタ PX を覆う絶縁膜 201 が設けられている。周辺回路部 20 では半導体層 100 と層間絶縁膜 200 との間に、周辺トランジスタ PR を覆う絶縁膜 202 が設けられている。絶縁膜 202 は転送トランジスタ TX や画素トランジスタ PX を覆っていないが、絶縁膜 201 と絶縁膜 202 は互いに重なっていてもよい。

【0028】

画素回路部 10 には絶縁膜 200 および絶縁膜 201 を貫通してコンタクトプラグ 301、303、305、307、309 が設けられている。これら複数のコンタクトプラグのうち、コンタクトプラグ 301 は転送トランジスタ TX のドレイン 103 に接続され、コンタクトプラグ 305 は画素トランジスタ PX のドレイン 105 に接続されている。コンタクトプラグ 303 は転送トランジスタ TX のゲート電極 121 に接続され、コンタクトプラグ 307 は画素トランジスタ PX のゲート電極 123 に接続されている。コンタクトプラグ 309 は半導体領域 1010 に接続されている。

【0029】

周辺回路部 20 には層間絶縁膜 200 および絶縁膜 202 を貫通してコンタクトプラグ 302、304、306 が設けられている。これら複数のコンタクトプラグのうち、コンタクトプラグ 302 は周辺トランジスタ PR のドレイン 107 に接続され、コンタクトプラグ 306 は周辺トランジスタ PR のソース 106 に接続されている。コンタクトプラグ 304 は周辺トランジスタ PR のゲート電極 122 に接続されている。

【0030】

層間絶縁膜 200 の上には、各々が複数のコンタクトプラグの各々に接続する複数の導電パターンを含む第 1 導電層 310 が設けられている。第 1 導電層 310 の上には層間絶縁膜 210 を介して第 2 導電層 320 が設けられている。第 1 導電層 310 と第 2 導電層 330 はビアプラグ 360 を介して相互に接続されている。同様に第 2 導電層 320 の上に層間絶縁膜 220、ビアプラグ 370、第 3 導電層 330、層間絶縁膜 230、ビアプラグ 380、第 4 導電層 340 が設けられている。第 4 導電層 340 の上には平坦化用の絶縁膜 240 を介してパッシベーション膜 250 が設けられている。画素回路部 10 において第 4 導電層 340 の導電パターンの少なくとも一部はグリッド状の遮光部材として用いられ、周辺回路部 20 において第 4 導電層 340 の導電パターンの少なくとも一部は外部との入出力のためのパッド電極として用いられる。絶縁膜 240 とパッシベーション膜 250 にはパッド電極の上に開口 260 が設けられている。

【0031】

パッシベーション膜 250 の上には必要に応じてカラーフィルタアレイやマイクロレンズアレイが形成されて表面照射型の撮像装置を構成することができる。このほかに、半導体層 100 に対して複数の配線層とは反対側にカラーフィルタアレイやマイクロレンズアレイを設けて、裏面照射型の撮像装置を構成することもできる。

【0032】

以上説明したように、本実施形態の撮像装置 1000 は、光電変換によって生成された

10

20

30

40

50

電荷に基づく画素信号を生成する画素回路 P X C と画素信号に基づく信号を出力するための論理回路 L G C が単一の基板 1 に設けられた撮像装置 1 0 0 0 である。以下で後述するが、画素回路 P X C を構成するトランジスタのソースまたはドレインに接続するコンタクトプラグの径が、論理回路 L G C を構成するトランジスタのソースまたはドレインに接続するコンタクトプラグの径よりも小さい。こうすることで、画素回路と論理回路の性能を向上した撮像装置を提供することができる。

【 0 0 3 3 】

画素回路 P X C を構成するトランジスタのソースまたはドレインに接続するコンタクトプラグの径を小さくすることにより、コンタクトのための面積が減少するため、暗電流等のノイズを減少させることができる。また、画素回路 P X C を構成するトランジスタのソ

10

【 0 0 3 4 】

一方、論理回路 L G C を構成するトランジスタのソースまたはドレインに接続するコンタクトプラグの径を大きくすることにより、論理回路 L G C を構成するトランジスタの動作速度を高速化することができる。論理回路における動作速度はスイッチング時間（（遅延時間，上昇（立ち上がり）時間，下降（立ち下がり）時間，蓄積時間））が支配的である。そして、トランジスタが微細になると、チャンネル長が短くなることによる高速化は可能であるが、同時に配線も微細化すると、配線容量と配線抵抗の積に応じた時定数に依存した遅延が支配的になる。本実施形態では、コンタクトプラグの径を大きくすることにより、配線抵抗を低減することで論理回路 L G C のトランジスタの動作速度を高速化することができる。

20

【 0 0 3 5 】

以下、コンタクトプラグの径について、詳細に説明する。図 2（b）は、図 2（a）における転送トランジスタ T X と周辺トランジスタ P R の一部の拡大図である。

【 0 0 3 6 】

図 2（b）には、コンタクトプラグ 3 0 1 の径 D P A と、コンタクトプラグ 3 0 2 の径 D P B とを示している。径 D P A は径 D P B よりも小さい（ $D P A < D P B$ ）。典型的には、コンタクトプラグ 3 0 1 の径 D P A が、コンタクトプラグ 3 0 2 の径 D P B の 1 . 3 0 倍以上である。例えば、コンタクトプラグ 3 0 1 の径 D P A は、コンタクトプラグ 3 0 2 の径 D P B の 1 . 5 0 倍以上 2 . 0 0 倍以下である。また、典型的には、コンタクトプラグ 3 0 1 の径 D P A は 5 0 n m 以上であり、2 0 0 n m 未満である。例えば、径 D P A は 1 3 0 n m 以上であり、1 7 0 n m 以下である。コンタクトプラグ 3 0 2 の径 D P B は 2 0 0 n m 以上であり、3 0 0 n m 以下である。例えば、径 D P B は 2 1 0 n m 以上であり、2 5 0 n m 以下である。これらの範囲は、画素回路と論理回路の性能を向上する上で好適である。

30

【 0 0 3 7 】

コンタクトプラグ 3 0 1 は層間絶縁膜 2 0 0 および絶縁膜 2 0 1 を貫通するコンタクトホール内に設けられている。コンタクトホールは層間絶縁膜 2 0 0 および絶縁膜 2 0 1 で構成された側面と、ドレイン 1 0 3 で構成された底面と、を有する。コンタクトプラグ 3 0 1 は、タングステンからなる導電部 3 0 1 1 とチタンおよび / または窒化チタンからなるバリアメタル部 3 0 1 2 とを有する。バリアメタル部 3 0 1 2 はコンタクトホールの側面（層間絶縁膜 2 0 0、絶縁膜 2 0 1）と導電部との間に位置する底部と、コンタクトホールの底面（ドレイン 1 0 3）と導電部 3 0 1 1 との間に位置する側部とを含む。

40

【 0 0 3 8 】

同様に、コンタクトプラグ 3 0 2 は層間絶縁膜 2 0 0 および絶縁膜 2 0 2 を貫通するコンタクトホール内に設けられている。コンタクトホールは層間絶縁膜 2 0 0 および絶縁膜 2 0 2 で構成された側面と、ドレイン 1 0 7 で構成された底面と、を有する。コンタクト

50

プラグ302は、タングステンからなる導電部3021とチタンおよび/または窒化チタンからなるバリアメタル部3022とを有する。バリアメタル部3022はコンタクトホール100の側面(層間絶縁膜200、絶縁膜202)と導電部との間に位置する底部と、コンタクトホール100の底面(ドレイン107)と導電部3021との間に位置する側部とを含む。

【0039】

コンタクトプラグ301の径DPA、コンタクトプラグ302の径DPBはそれが配されたコンタクトホール100の径に一致しうる。ただし、コンタクトホール100の内壁に絶縁膜を付加する場合にはコンタクトプラグの径はコンタクトホール100の径より小さくなる。

【0040】

転送トランジスタTXのゲート電極121に接続するコンタクトプラグ303の径DPCが、コンタクトプラグ301の径DPAの0.80倍以上であり、1.30倍未満でありえる。径DPCは径DPAと等しくすることができる。コンタクトプラグ303の径DPCはゲート電極121の大きさよりも小さいことから、径DPCを小さくすることによる画素回路PXの微細化への貢献は径DPAを小さくすることほど大きくはない。してみれば、歩留まり向上の観点において、径DPCを径DPAよりも大きくすること(DPC > DPA)も好ましいといえる。

【0041】

周辺トランジスタPRのゲート電極123に接続するコンタクトプラグ304の径DPDが、コンタクトプラグ302の径DPBの0.80倍以上であり、1.30倍未満である。径DPDは径DPBと等しくすること(DPB = DPD)ができる。しかし、径DPDを径DPBよりも大きくすること(DPD > DPB)で、コンタクトプラグ304の抵抗を低減でき、ゲートに対する遅延も抑制できる。

【0042】

図2(b)にはコンタクトプラグ301において、バリアメタル部3012の底部の厚さTBAと、バリアメタル部3012の側部の厚さTSAとを示している。また、図2(b)にはコンタクトプラグ302において、バリアメタル部3022の底部の厚さTBBと、バリアメタル部3022の側部の厚さTSBとを示している。厚さTSAは厚さTBAにほぼ等しく、厚さTSAに対する厚さTBAの比はほぼ(TBA / TSA = 1)である。これに対して、厚さTBBは厚さTSBよりも大きく、厚さTSBに対する厚さTBBの比は1よりも大きい(TBB / TSB > 1)。このように、厚さTSAに対する厚さTBAの比は、厚さTSBに対する厚さTBBの比よりも小さいこと(TBA / TSA < TBB / TSB)が好ましい。このような関係にすることで、画素回路における暗電流やランダムノイズなどのノイズの発生を抑制し、論理回路の動作速度を向上することができる。

【0043】

バリアメタル部3022の底部の厚さTBBはバリアメタル部3012の底部の厚さTBAよりも厚くすること(TBB > TBA)ができる。例えば厚さTBAは10nm以上であり、50nm未満である。また、厚さTBBは50nm以上であり、150nm以下である。バリアメタル部3012およびバリアメタル部3022がチタン層と窒化チタンの積層構造を有する場合、導電部3011、3021側に窒化チタン層が位置し、コンタクトホール100の側面および底面側にチタン層が位置する。バリアメタル部3012においてはチタン層を窒化チタン層よりも厚くできる。バリアメタル部3022においてはチタン層を窒化チタン層よりも薄くできる。例えばバリアメタル部3012のチタン層は9nm以上であり12nm以下あり、窒化チタン層は7nm以上であり9nm以下である。例えばバリアメタル部3022のチタン層は10nm以上であり50nm以下あり、窒化チタン層は40nm以上であり80nm以下である。

【0044】

なお、画素回路部10においてトランジスタのソースやドレインに接続する他のコンタクトプラグ、例えばコンタクトプラグ305の径を、コンタクトプラグ301の径DPA

10

20

30

40

50

と等しくすることができる。周辺回路部 20 においてトランジスタのソースやドレインに接続する他のコンタクトプラグの径を、コンタクトプラグ 302 の径 DPB と等しくすることができる。画素回路部 10 においてトランジスタのゲートに接続する他のコンタクトプラグ、例えばコンタクトプラグ 307 の径を、コンタクトプラグ 303 の径 DPC と等しくすることができる。画素回路部 10 においてトランジスタのゲートに接続する他のコンタクトプラグの径を、コンタクトプラグ 304 の径 DPD と等しくすることができる。また、コンタクトプラグが導電部とバリアメタル部とを含む上述した構成は画素回路部 10 と周辺回路部 20 の他のコンタクトプラグでも同様でありうる。そして、画素回路部 10 のコンタクトプラグ 301 以外のコンタクトプラグのバリアメタル部の側部と底部の厚さの関係は、コンタクトプラグ 301 と同様でありうる。また、周辺回路部 20 のコンタクトプラグ 302 以外のコンタクトプラグのバリアメタル部の側部と底部の厚さの関係も、コンタクトプラグ 302 と同様でありうる。また、画素回路部 10 のコンタクトプラグ 309 の径をコンタクトプラグ 301 の径 DPA と等しくすることができる。画素回路部 10 の全てのコンタクトプラグの径を径 DPB および径 DPD の少なくとも一方よりも小さくすることができる。本実施形態は画素回路 PXC のトランジスタのソースまたはドレインに接続された少なくとも 1 つのコンタクトプラグの径が論理回路 LGC のトランジスタのソースまたはドレインに接続されたコンタクトプラグの径よりも小さければよい。

10

【0045】

なお、コンタクトプラグ 301 とコンタクトプラグ 307 を 1 つの太いシェアードコンタクト型のコンタクトプラグとすることもできる。その場合、シェアードコンタクト型のコンタクトプラグの径は周辺回路部 20 のコンタクトプラグ 302 の径 DPB およびコンタクトプラグ 304 の径 DPD の少なくとも一方よりも大きくてもよい。例えば、径 DPB や径 DPD よりも大きい径のシェアードコンタクト型のコンタクトプラグを用いつつ、径 DPB や径 DPD よりも小さい径のコンタクトプラグを、画素トランジスタ PX のソースあるいはドレインに接続することで画素回路 PXC の性能を向上できる。なお、シェアードコンタクト型のコンタクトプラグについては、特開 2008 - 85304 号公報を参照することができる。

20

【0046】

コンタクトプラグ 301 が接続されるトランジスタとコンタクトプラグ 302 が接続されるトランジスタの違いを更に説明する。

30

【0047】

図 2 (b) に示すように、ゲート絶縁膜 111 の厚さがゲート絶縁膜 112 の厚さよりも小さい。周辺トランジスタ PR を高速駆動する上で、薄いゲート絶縁膜 112 を採用することはゲート容量を低減できるため有利である。一方、転送トランジスタ TX の転送特性を向上する上で、厚いゲート絶縁膜 111 を採用することはゲートに高い電圧を印加できる（耐圧が上昇する）ため有利である。ゲート絶縁膜の厚さの関係とコンタクトプラグの径の関係をこのようにすることが、画素回路と論理回路の性能を向上する上で好適である。なお、画素トランジスタ PX も転送トランジスタ TX と同様に厚いゲート絶縁膜 113 を有しうる。また、論理回路 LGC の P 型の周辺トランジスタも周辺トランジスタ PR と同様に薄いゲート絶縁膜を有しうる。ゲート絶縁膜 111、113 の厚さは典型的には 5 nm 以上であり 15 nm 以下であり、例えば 10 nm 以上であり 13 nm 以下である。ゲート絶縁膜 112 の厚さは典型的には 1 nm 以上であり 5 nm 以下であり、例えば 30 nm 以上であり 40 nm である。

40

【0048】

ゲート絶縁膜 111 は酸化シリコンよりも誘電率の高い材料、例えば酸窒化シリコンや酸化ハフニウムで構成されていてもよく、ゲート絶縁膜 112 も同様である。

【0049】

図 2 (b) に示すように、転送トランジスタ TX のドレイン 103 はシングルドレイン構造を有し、周辺トランジスタ PR のドレイン 107 は LDD (Lightly Doped Drain) 構造を有する。転送トランジスタ TX のゲート電極 121 の側面には

50

サイドウォールスペーサが設けられていないのに対し、周辺トランジスタPRのゲート電極122の側面にはサイドウォールスペーサ203が設けられている。シングルドレイン構造を有するドレイン103はコンタクトプラグ301の近傍以外は、ゲート電極121の端部まで均一な不純物濃度を有する半導体領域1031で構成されている。一方、LDD構造のドレイン107は、サイドウォールスペーサ203の下に低不純物濃度の半導体領域1071が設けられている。さらにドレイン107は半導体領域1071よりもチャネル領域から離れた位置には高不純物濃度の半導体領域1072が設けられている。半導体領域1071の不純物濃度は半導体領域1072の不純物濃度よりも低い。このようにシングルドレイン構造を有するトランジスタに細いコンタクトプラグを用い、LDD構造を有するトランジスタに太いコンタクトプラグを採用することも画素回路と論理回路の性能を向上する上で好適である。なお、画素回路PXCの画素トランジスタPXも同様にシングルドレイン構造を有し得る。また、論理回路LGCのP型の周辺トランジスタも同様にLDD構造を有し得る。

10

【0050】

図2(b)に示すように、周辺トランジスタPRのドレイン107はシリサイド領域1073を有している。シリサイド領域1073はコンタクトプラグ302に含まれるW(タングステン)やTi(チタン)以外の金属、例えばCo(コバルト)やNi(ニッケル)などの金属とシリコンとの化合物(金属シリサイド)で構成されている。半導体に比べて導電率の高いシリサイド領域1073がコンタクトプラグ302と半導体領域1072との間に位置してこれらを接続することでコンタクト抵抗を低くすることができる。なお、シリサイド領域1073は層間絶縁膜200(あるいは絶縁膜201)と半導体領域1072との間に延在している。このように配置することで、低抵抗なシリサイド領域1073の面積を大きくすることができるため、コンタクト抵抗を一層低減することができる。なお、論理回路LGCのP型の周辺トランジスタのソース・ドレインも同様にシリサイド領域を有し得る。

20

【0051】

ゲート電極122はポリシリコン領域1221とシリサイド領域1222とを有する。シリサイド領域1222はコンタクトプラグ304に含まれるW(タングステン)やTi(チタン)以外の金属、例えばCo(コバルト)やNi(ニッケル)などの金属とシリコンとの化合物(金属シリサイド)で構成されている。

30

【0052】

図2(b)に示すように、転送トランジスタTXのドレイン103を構成する半導体領域1031とコンタクトプラグ301の間には半導体領域1032が設けられている。この半導体領域1032の不純物濃度は半導体領域1031の不純物濃度よりも高い。さらに、半導体領域1032の不純物濃度は半導体領域1071の不純物濃度よりも高い。半導体領域1032の不純物濃度は半導体領域1072の不純物濃度よりも低くてもよい。半導体領域1032の不純物濃度は、例えば $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下である。典型的な半導体領域1032の不純物濃度は $3 \times 10^{19} \text{ atoms/cm}^3$ 以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 以下である。また、半導体領域1071の不純物濃度は、例えば $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $5 \times 10^{21} \text{ atoms/cm}^3$ 以下である。典型的な半導体領域1071の不純物濃度は $3 \times 10^{20} \text{ atoms/cm}^3$ 以上 $2 \times 10^{21} \text{ atoms/cm}^3$ 以下である。高不純物濃度の半導体領域1032を設けることで、コンタクト抵抗を低くすることができる。半導体領域1032とコンタクトプラグ301の間にはシリサイド領域1033が設けられている。シリサイド領域1033はコンタクトプラグ302に含まれるW(タングステン)および/またはTi(チタン)などの金属とシリコンとの化合物で構成されている。半導体に比べて導電率の高いシリサイド領域1033がコンタクトプラグ301と半導体領域1031、1032との間に位置してこれらを接続することでコンタクト抵抗を低くすることができる。シリサイド領域1033にコンタクトプラグに含まれない余計な金属を用いないことで、暗電流や白キズを低減することができる。高不純物濃度の半導体領域

40

50

1032 やシリサイド領域 1033 を省略することもできる。

【0053】

ゲート電極 121 はポリシリコン領域を有する。当該ポリシリコン領域とコンタクトプラグ 303 との間に、コンタクトプラグ 304 に含まれる金属とシリコンとの化合物で構成されたシリサイド領域をシリサイド領域 1033 と同様に設けることができる。ゲート電極 121 と絶縁膜 201 との間にゲート電極 121 の上面と同じ形状を有する絶縁部材が設けられていてもよい。その場合、コンタクトプラグ 303 はこの絶縁部材を貫通してゲート電極 121 に接続することになる。

【0054】

図 1 (a) の T1、T2、T3、T4 は各回路に主に含まれるトランジスタの種類を示している。T1 を第 1 種トランジスタ、T2 を第 2 種トランジスタ、T3 を第 3 種トランジスタ、T4 を第 4 種トランジスタと称する。第 1 種トランジスタ T1 のソースやドレインに接続するコンタクトプラグの径は、径 DPA でありうる。また、第 1 種トランジスタ T1 のゲートに接続するコンタクトプラグの径は、径 DPC でありうる。第 2、3、4 種トランジスタ T2、T3、T4 のソースやドレインに接続するコンタクトプラグの径は径 DPB でありうる。第 2、3、4 種トランジスタ T2、T3、T4 のゲートに接続するコンタクトプラグの径は径 DPD でありうる。第 3 種トランジスタ T3 は論理回路を構成しうる。第 3 種トランジスタ T3 のゲート絶縁膜は第 1 種トランジスタ T1 がよりも薄い。第 3 種トランジスタ T3 のゲート絶縁膜は第 1 種トランジスタ T1 よりも薄い。第 3 種トランジスタ T3 の駆動電圧は第 1 種トランジスタ T1 よりも低い。第 3 種トランジスタ T3 のドレイン電流は第 1 種トランジスタ T1 がよりも低い。第 2 種トランジスタ T2 のゲート絶縁膜の厚さ、駆動電圧の高さ、ドレイン電流の大きさは、第 3 種トランジスタ T3 と同じであってもよいし、異なってもよい。第 4 種トランジスタ T4 で構成された回路は画素回路 PXC へ電圧や電流を供給する。例えば、第 4 種トランジスタ T4 は読み出し回路 410 の電流源を構成する。第 4 種トランジスタ T4 のソースやドレインに接続されたコンタクトプラグの径は画素回路のトランジスタのソースやドレインに接続されたコンタクトプラグの径 DPA よりも大きくできる。第 4 種トランジスタ T4 のゲートに接続されたコンタクトプラグの径は画素回路のトランジスタのゲートに接続されたコンタクトプラグの径 DPA よりも大きくできる。

【0055】

図 3 (a) は画素回路 PXC のレイアウトの一例であり、図 3 (b) は論理回路 LGC のレイアウトの一例である。図 3 (a) (b) において、「CP」はコンタクトプラグの位置を、「ISO」は素子分離領域の位置を、「GATE」はゲート電極の位置を、「ACT」は素子領域の位置を、それぞれ示す。なお、図 2 (a) の画素回路部 10 は図 3 (a) における線 P-Q における断面図であり、図 2 (a) の周辺回路部 20 は図 3 (b) における線 R-S における断面図である。

【0056】

図 3 (a) に示すように、画素回路 PXC にてゲート電極に接続するコンタクトプラグは素子領域の上に配されており、コンタクトプラグの下の素子領域はチャンネル領域となっている。このようにチャンネル領域の上にコンタクトプラグを配置することで、画素回路のレイアウトを微細化できる。この手法の代わりに、ゲート電極を素子分離領域の上に延在させて、その延在させた部分の上にコンタクトプラグを配置することもできる。その場合には、レイアウトが微細化できないが、チャンネル領域へのダメージが減少するため、ノイズを低減することができる。細かいコンタクトプラグを採用することで、コンタクトプラグを素子分離領域の上に配置しても、ゲート電極の素子分離領域上への延在量を小さくできるため、微細化に有利である。

【0057】

本例の画素回路は光電変換部が、分離領域を介して互いに分離した複数の光電変換領域 PD1、PD2 を有している。そして、それらの光電変換領域 PD1、PD2 の電荷は、互いに分離した複数の電荷転送部 TX1、TX2 によって別々のタイミングで電荷検出部

10

20

30

40

50

FDへ転送できるようになっている。これにより本例の画素回路は瞳分割型位相差検出方式による焦点検出あるいは測距が可能になっている。本例では電荷転送部TX1、TX2は共通の電荷検出部FDに電荷を転送するように構成しているが、電荷転送部TX1、TX2が別々の電荷検出部に電荷を転送するように構成することもできる。

【0058】

図3(b)に示すように、1つのソースまたはドレインに対して複数のコンタクトプラグが配置されている。これら複数のコンタクトプラグの少なくとも1つ、好ましくは全部のコンタクトプラグは上述した径DPBを有する太いコンタクトプラグである。このようにすることで、ソースやドレインに対する抵抗を一層低減できるため好ましい。換言すれば、1つのソースまたはドレインに対して複数のコンタクトプラグが配されるべきトランジスタに対して太いコンタクトプラグを用いることが有利である。

10

【0059】

図1に示した周辺回路部20における論理回路以外の周辺回路にも太いコンタクトプラグを用いることができる。このような論理回路以外の周辺回路はアナログ回路であり、画素回路や論理回路のトランジスタよりも大きい電流が流れる場合がある。そのような周辺回路のトランジスタに径TBBを有する太いコンタクトプラグを用いることは消費電力を抑制できるため好ましい。なお、論理回路のトランジスタではスイッチング時に電流が流れる程度であり画素回路のトランジスタよりも流れる電流量は小さい。

【0060】

次に、撮像装置1000の製造方法の一例を説明する。撮像装置1000は半導体装置の一種であり、一般的なCMOSプロセスを用いて製造できる。

20

【0061】

図4(a)に示すように、画素回路部10に転送トランジスタTXや画素トランジスタPX(不図示)を形成する。ゲート電極121が形成された画素回路部10とゲート電極122が形成された周辺回路部20に第1窒化シリコン膜を形成する。第1窒化シリコン膜から画素回路部10には絶縁膜201を形成する。第1窒化シリコン膜の一部は周辺トランジスタPRのサイドウォールスペース203として残される。周辺回路部20に周辺トランジスタPRを形成する。周辺トランジスタPRにはサリサイドプロセスによってサリサイド領域が形成されている。サリサイドプロセスでは画素トランジスタはサリサイドプロテクション膜によって保護されており、転送トランジスタTXおよび画素トランジスタPX(不図示)にはサリサイド領域が形成されない。画素回路部10と周辺回路部20に第2窒化シリコン膜を形成し、第2窒化シリコン膜から絶縁膜202を形成する。絶縁膜201、202を覆う層間絶縁膜200を形成し、層間絶縁膜200にエッチバック法、リフロー法、CMP法のうちの1つあるいは2つ以上の組み合わせによって平坦化処理を施す。

30

【0062】

図4(b)に示すように、ドレイン103の上において層間絶縁膜200と絶縁膜201をエッチングしてコンタクトホール3010を形成する。コンタクトホール3010はテーパを有していてもよい。そしてコンタクトホール3010を介してドレイン103に不純物をイオン注入することで半導体領域1032を形成する。その後、コンタクトホール3010内をウェットエッチングすると、図2(b)に示すようにコンタクトホールの底部が凹面を呈するようになる。

40

【0063】

図4(c)に示すように、コンタクトホール3010にチタン層と窒化チタン層の積層膜であるバリアメタル膜30120を形成し、さらにその上にタグステン層の単層膜である導電膜30110を形成する。バリアメタル膜30120は化学気相成長法(CVD: Chemical Vapor Deposition)を用いて成膜する。例えばバリアメタル膜30120のチタン層をプラズマCVD法で形成し、その上に窒化チタン層を熱CVD法で形成できる。バリアメタル膜30120の材料や膜厚は上述したバリアメタル部3012の条件を採用できる。バリアメタル膜30120のうち層間絶縁膜200の

50

上に形成される部分の膜厚がバリアメタル部 3 0 1 2 の底部の厚さ T B A と略等しくなる。

【 0 0 6 4 】

図 4 (d) に示すように、CMP 法によりコンタクトホール 3 0 1 0 外の余分な導電膜 3 0 1 1 0 とバリアメタル膜 3 0 1 2 0 を除去してコンタクトプラグ 3 0 1 を形成する。

【 0 0 6 5 】

図 4 (e) に示すように、ソース 1 0 6 の上において層間絶縁膜 2 0 0 と絶縁膜 2 0 2 をエッチングしてコンタクトホール 3 0 2 0 を形成する。コンタクトホール 3 0 2 0 はテーパを有していてもよく、テーパ角やテーパ形状はコンタクトホール 3 0 1 0 と異なってもよい。

10

【 0 0 6 6 】

図 5 (f) に示すように、コンタクトホール 3 0 2 0 にチタン層と窒化チタン層の積層膜であるバリアメタル膜 3 0 2 2 0 を形成し、さらにその上にタグステン層の単層膜である導電膜 3 0 2 1 0 を形成する。バリアメタル膜 3 0 2 2 0 は物理気相成長法 (P V D : P h y s i c a l V a p o r D e p o s i t i o n) を用いて成膜する。例えばバリアメタル膜 3 0 2 2 0 のチタン層をスパッタ法で形成し、その上に窒化チタン層をスパッタ法で形成できる。バリアメタル膜 3 0 2 2 0 の材料や膜厚は上述したバリアメタル部 3 0 2 2 の条件を採用できる。バリアメタル膜 3 0 2 2 0 のうち層間絶縁膜 2 0 0 の上に形成される部分の膜厚がバリアメタル部 3 0 2 2 の底部の厚さ T B B と略等しくなる。

【 0 0 6 7 】

20

図 5 (g) に示すように、CMP 法によりコンタクトホール 3 0 2 0 外の余分な導電膜 3 0 2 1 0 とバリアメタル膜 3 0 2 2 0 を除去してコンタクトプラグ 3 0 2 を形成する。

【 0 0 6 8 】

図 5 (h) に示すように、チタン層と窒化チタン層の積層膜であるバリアメタル膜 3 1 2 0 を形成する。さらにその上にアルミニウム層の単層膜である導電膜 3 1 1 0 を形成する。さらにその上に窒化チタン層の単層膜であるバリアメタル膜 3 1 3 0 を形成する。

【 0 0 6 9 】

図 5 (f) に示すように、バリアメタル膜 3 0 2 2 0 をパターンニングして複数の導電パターンを含む第 1 導電層 3 1 0 を形成する。第 1 導電層 3 1 0 を覆う様に層間絶縁膜 2 1 0 を形成する。後の工程は CMOS プロセスにおける多層配線技術を用いて行うことができる。

30

【 0 0 7 0 】

本例では、コンタクトプラグ 3 0 1 を形成した後にコンタクトプラグ 3 0 2 を形成したが、コンタクトプラグ 3 0 2 を形成した後にコンタクトプラグ 3 0 1 を形成してもよい。また、バリアメタル膜の成膜方法を異ならせたために別々にコンタクトホールを導電材料で充填しているが、共通の成膜方法で同時にコンタクトホール 3 0 1 0、3 0 2 0 を充填することもできる。また、径の異なるコンタクトホール 3 0 1 0、3 0 2 0 を共通のエッチング条件で同時に形成することもできる。

【 0 0 7 1 】

以上説明した実施形態は、本発明の技術思想を逸脱しない範囲において適宜に変更が可能である。

40

【 符号の説明 】

【 0 0 7 2 】

1 基板

P X C 画素回路

L G C 論理回路

1 0 0 0 撮像装置

T X 転送トランジスタ

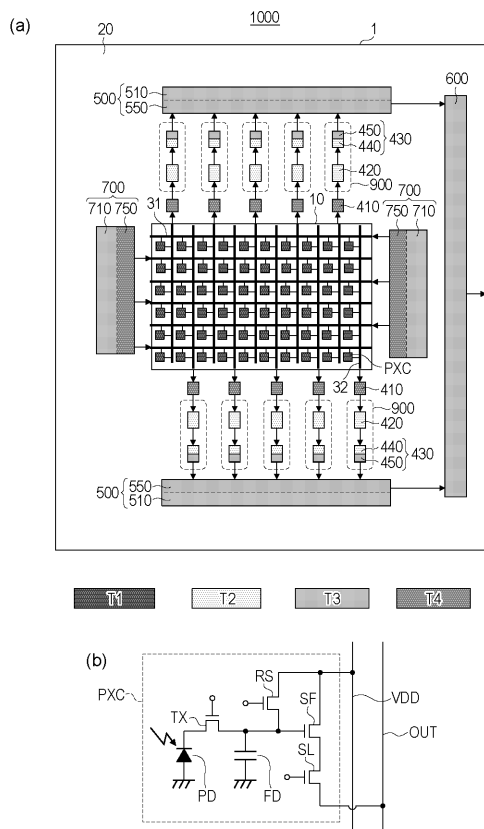
1 0 3 ドレイン

3 0 1 コンタクトプラグ

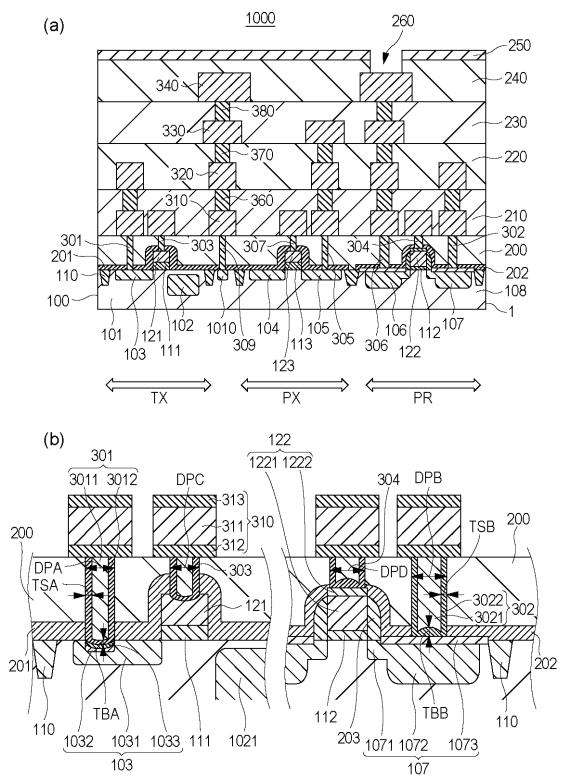
50

D P A コンタクトプラグ 3 0 1 の径
P R 周辺トランジスタ
1 0 7 ドレイン
3 0 2 コンタクトプラグ
D P B コンタクトプラグ 3 0 2 の径

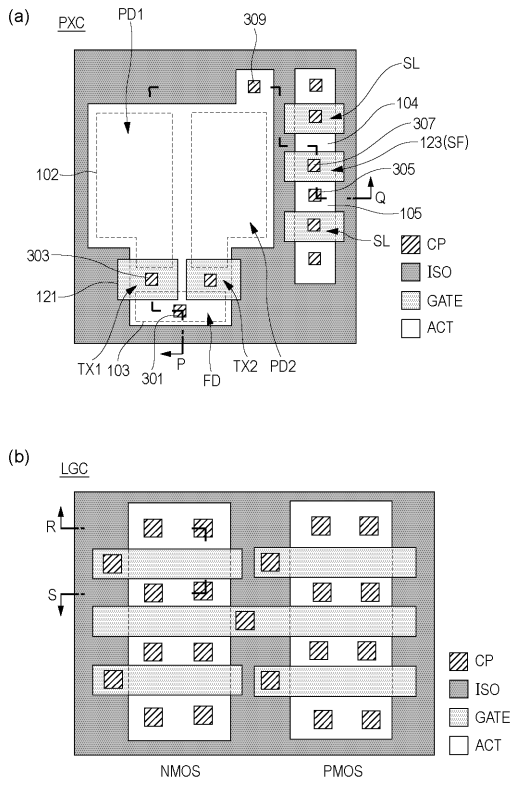
【 図 1 】



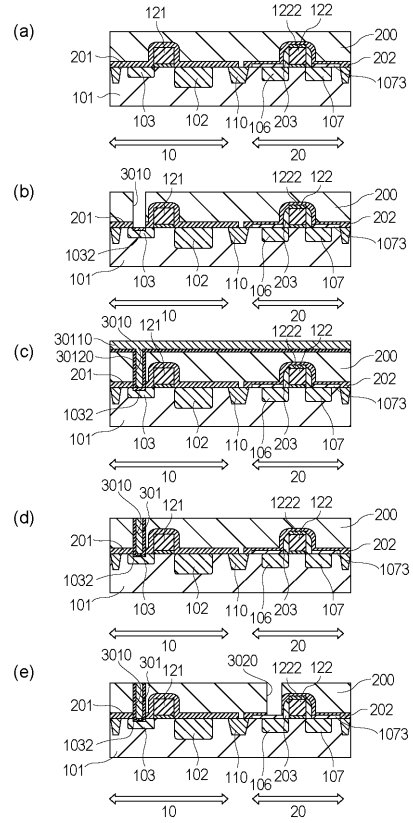
【 図 2 】



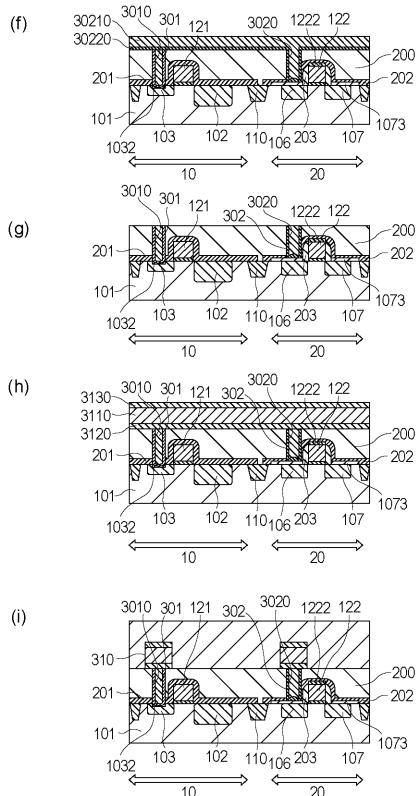
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/04 (2006.01)

H 0 4 N 5/369 (2011.01)

(72)発明者 石岡 真男

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 田添 浩一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 柴山 将隆

(56)参考文献 特開2001-111022(JP,A)

特開2013-084741(JP,A)

特開2013-089652(JP,A)

特開2010-287798(JP,A)

特開2011-029604(JP,A)

特開平10-012729(JP,A)

特開2008-282914(JP,A)

米国特許出願公開第2012/0104465(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 27/146

H 0 1 L 21/768

H 0 1 L 21/822

H 0 1 L 21/8234

H 0 1 L 27/04

H 0 1 L 27/088

H 0 4 N 5/369