(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0096580
(43) 공개일자 2025년06월27일

(51) 국제특허분류(Int. Cl.)
H10D 12/00 (2025.01) *H10D 12/01* (2025.01)
H10D 62/17 (2025.01) *H10D 84/85* (2025.01)
(52) CPC특허분류
H10D 12/211 (2025.01)
H10D 12/021 (2025.01)
(21) 출원번호 10-2024-0180123
(22) 출원일자 2024년12월06일
심사청구일자 2024년12월06일
(30) 우선권주장
1020230186690 2023년12월20일 대한민국(KR)

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
김우석
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인더웨이브

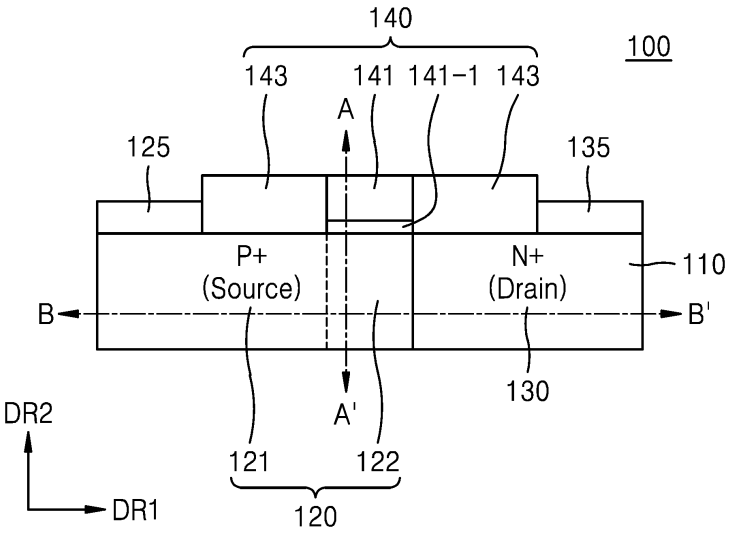
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **트랜지스터 및 트랜지스터를 포함하는 인버터**

(57) 요 약

트랜지스터 및 트랜지스터를 포함하는 인버터가 개시된다. 트랜지스터는 기판 상에 구비되며 제1 도전형 반도체 영역 및 상기 제1 도전형 반도체 영역과 상이한 도전형을 갖고 상기 제1도전형 반도체 영역과 접하는 제2 도전형 반도체 영역, 상기 제1 도전형 반도체 영역 상에 제공되는 적어도 하나의 게이트 전극 및 상기 적어도 하나의 게이트 전극과 상기 제1 도전형 반도체 영역 사이에 개재되는 적어도 하나의 게이트 절연막을 포함하며, 상기 제1 도전형 반도체 영역은 적어도 일부분이 상기 적어도 하나의 게이트 절연막과 접하고 적어도 일부분이 상기 제2 도전형 반도체 영역과 접하는 고농도 무접합 도핑 영역을 포함하며,상기 고농도 무접합 도핑 영역은 다수 반송자(majority carrier)가 축퇴 상태(degenerate state)로 있는 영역일 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H10D 62/328 (2025.01)
H10D 84/859 (2025.01)
(72) 발명자
여상훈
울산광역시 울주군 언양읍 유니스트길 50
류민우
울산광역시 울주군 언양읍 유니스트길 50
최영은
울산광역시 울주군 언양읍 유니스트길 50
김명
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업
과제고유번호 2710006573
과제번호 00431891
부처명 과학기술정보통신부
과제관리(전문)기관명 과학기술사업화진흥원
연구사업명 딥사이언스창업활성화지원
연구과제명 미개척 주파수 대역 상용화를 위한 플라즈마 파 기반 에너지-파장 한계극복 실시간/대면적 테라헤르츠 카메라 기술개발
과제수행기관명 울산과학기술원
연구기간 2024.04.01 ~ 2024.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 2710006273
과제번호 00411374
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 나노소재기술개발
연구과제명 400픽셀급 대면적 고분해능 플라즈모닉 테라헤르츠 나노센서를 이용한 실시간 영상화 기술개발
과제수행기관명 한국광기술원
연구기간 2024.04.01 ~ 2024.12.31

명 세 서

청구범위

청구항 1

기판 상에 구비되며 제1 도전형 반도체 영역 및 상기 제1 도전형 반도체 영역과 상이한 도전형을 갖고 상기 제1 도전형 반도체 영역과 접하는 제2 도전형 반도체 영역;

상기 제1 도전형 반도체 영역 상에 제공되는 적어도 하나의 게이트 전극; 및

상기 적어도 하나의 게이트 전극과 상기 제1 도전형 반도체 영역 사이에 개재되는 적어도 하나의 게이트 절연막;

을 포함하며,

상기 제1 도전형 반도체 영역은 적어도 일부분이 상기 적어도 하나의 게이트 절연막과 접하고 적어도 일부분이 상기 제2 도전형 반도체 영역과 접하는 고농도 무접합 도핑 영역을 포함하며,

상기 고농도 무접합 도핑 영역은 다수 반송자(majority carrier)가 축퇴 상태(degenerate state)로 있는 영역인, 트랜지스터.

청구항 2

제1항에 있어서,

상기 트랜지스터는 소스 컨택 메탈; 을 더 포함하며,

상기 제1 도전형 반도체 영역은 상기 소스 컨택 메탈과 접촉하는 소스 영역을 더 포함하며,

상기 소스 영역과 상기 고농도 무접합 도핑 영역은 동일한 도전형을 가지고 일체로 구비된, 트랜지스터.

청구항 3

제2항에 있어서,

상기 적어도 하나의 게이트 전극은,

상기 소스 영역에 인접하게 배치되는 보조 게이트 전극; 및

상기 보조 게이트 전극과 이격된 조절 게이트 전극;

을 포함하는, 트랜지스터.

청구항 4

제3항에 있어서,

상기 보조 게이트 전극 및 상기 조절 게이트 전극은 각각 설정치 이상의 일함수를 갖는 물질로 형성되는, 트랜지스터.

청구항 5

제4항에 있어서,

상기 보조 게이트 전극의 일함수 및 상기 조절 게이트 전극의 일함수 간의 차이는 설정된 크기 이상인, 트랜지스터.

청구항 6

3진 신호를 출력하는 인버터로서,

전원 전압과 접지 단자 사이에 직렬 접속된 제1 트랜지스터 및 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는,

기판 상에 구비되며 제1 도전형 반도체 영역 및 상기 제1 도전형 반도체 영역과 상이한 도전형을 갖고 상기 제1 도전형 반도체 영역과 접하는 제2 도전형 반도체 영역;

상기 제1 도전형 반도체 영역 상에 제공되는 적어도 하나의 게이트 전극; 및

상기 적어도 하나의 게이트 전극과 상기 제1 도전형 반도체 영역 사이에 개재되는 적어도 하나의 게이트 절연막;

을 포함하며,

상기 제1 도전형 반도체 영역은 적어도 일부분이 상기 적어도 하나의 게이트 절연막과 접하고 적어도 일부분이 상기 제2 도전형 반도체 영역과 접하는 고농도 무접합 도핑 영역을 포함하며,

상기 고농도 무접합 도핑 영역은 다수 반송자(majority carrier)가 축퇴 상태(degenerate state)로 있는 영역인, 인버터.

청구항 7

제6항에 있어서,

상기 인버터는,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각에 대해, PN 접합의 밴드간 터널링에 의한 게이트 전압에 무관한 오프(OFF) 상태의 정전류에 기초하여 상기 3진 신호를 출력시키는, 인버터.

청구항 8

제6항에 있어서,

상기 트랜지스터는 소스 컨택 메탈; 을 더 포함하며,

상기 제1 도전형 반도체 영역은 상기 소스 컨택 메탈과 접촉하는 소스 영역을 더 포함하며,

상기 소스 영역과 상기 고농도 무접합 도핑 영역은 동일한 도전형을 가지고 일체로 구비된, 인버터.

청구항 9

제8항에 있어서,

상기 적어도 하나의 게이트 전극은,

상기 소스 영역에 인접하게 배치되는 보조 게이트 전극; 및

상기 보조 게이트 전극과 이격된 조절 게이트 전극;

을 포함하는, 인버터.

청구항 10

제9항에 있어서,

상기 보조 게이트 전극 및 상기 조절 게이트 전극은 각각 설정치 이상의 일함수를 갖는 물질로 형성되는, 인버터.

청구항 11

제10항에 있어서,

상기 보조 게이트 전극의 일함수 및 상기 조절 게이트 전극의 일함수 간의 차이는 설정된 크기 이상인, 인버터.

발명의 설명

기 술 분 야

[0001] 본 발명은 고농도 무접합 도핑을 통해, 전압에 따라 조절이 가능하고 스위칭 능력이 향상된 터널링 전류를 구현하는 트랜지스터 및 트랜지스터를 포함하는 인버터에 관한 것이다.

배 경 기 술

[0002] 종래 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여 CMOS 소자의 소형화를 통해 비트 밀도(bit density, 정보의 밀도) 높이는데 주력하였다. 하지만 최근 30-nm 이하로 집적되면서 양자적 터널링 효과에 의한 누설전류와 전력 소비의 증가로 인해 비트 밀도를 높이는데 제약을 받는다. 이러한 비트 밀도의 한계를 극복하기 위하여 다중 값 논리(multi-valued logic) 중 하나인 3진수 논리 소자 및 회로에 대한 관심이 급증하고 있으며, 특히 3진수 논리 구현을 위한 기본 단위로써 표준 3진수 인버터(STI: Standard Ternary Inverter)에 대한 개발이 활발하게 진행되고 있다. 하지만 하나의 전압원에 두 개의 CMOS(complementary metal-oxide semiconductor)를 사용하는 기존의 2진수 인버터와 달리, STI에 관한 종래 기술들은 보다 많은 전압원을 필요로 하거나 복잡한 회로 구성이 요구되거나 제조 공정이 복잡한 문제점이 있다.

[0003] 한편, 3진수 인버터(STI)는 3진 데이터 처리에 있어서 게이트 전압에 의존적인 전류 성분(I_{SUB})과 게이트 전압에 무관한 정전류(I_{CON})의 두가지 성분의 전류 특성을 이용한다. 종래의 STI 소자의 경우 게이트 의존적 전류는 기존 CMOS 소자의 열확산 메커니즘으로 구현되고, 게이트에 무관한 정전류는 PN 접합에서 밴드간 터널링 메커니즘으로 구현되었다. 기존의 planar CMOS 소자 기반의 삼진 트랜지스터(conventional T-CMOS)는 게이트 의존적 전류를 CMOS와 같은 원리로 구현함에 따라, 열확산 메커니즘의 특성상 스위칭 능력에 한계가 있었다.

[0004] 따라서, 삼진 트랜지스터의 저전력 특성을 더욱 향상시키기 위해서는 동작 전압 스케일링이 필수적이며, 이를 위하여 종래 스위칭 능력의 한계를 극복하면서 동시에 제조 공정이 쉽고 용이한 기술이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는, 제1 도전형 반도체 영역을 포함하는 기판에 다수 반송자(majority carrier)가 축퇴 상태(degenerate state)로 있도록 고농도 무접합 도핑을 한 뒤, 게이트 전압에 수직 방향으로 급격한 밴드 휨이 발생하여 게이트 전압에 따라 조절이 가능하며 스위칭 능력이 향상된 터널링 전류를 구현하는 터널 전계효과 트랜지스터 및 이에 기반한 삼진 인버터를 제공하는 것을 목적으로 한다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 한정되지 않으며, 언급되지 않은 본 발명의 다른 과제 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시 예에 의해보다 분명하게 이해될 것이다. 또한, 본 발명이 해결하고자 하는 과제 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 알 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 트랜지스터는 기판 상에 구비되며 제1 도전형 반도체 영역 및 상기 제1 도전형 반도체 영역과 상이한 도전형을 갖고 상기 제1 도전형 반도체 영역과 접하는 제2 도전형 반도체 영역, 상기 제1 도전형 반도체 영역 상에 제공되는 적어도 하나의 게이트 전극 및 상기 적어도 하나의 게이트 전극과 상기 제1 도전형 반도체 영역 사이에 개재되는 적어도 하나의 게이트 절연막을 포함하며, 상기 제1 도전형 반도체 영역은 적어도 일부분이 상기 적어도 하나의 게이트 절연막과 접하고 적어도 일부분이 상기 제2 도전형 반도체 영역과 접하는 고농도 무접합 도핑 영역을 포함하며,상기 고농도 무접합 도핑 영역은 다수 반송자(majority carrier)가 축퇴 상태(degenerate state)로 있는 영역일 수 있다.

[0008] 본 발명의 실시예에 따른 인버터는 3진 신호를 출력하는 인버터로서, 전원 전압과 접지 단자 사이에 직렬 접속된 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 제1,2 트랜지스터는 기판 상에 구비되며 제1 도전형 반도체 영역 및 상기 제1 도전형 반도체 영역과 상이한 도전형을 갖고 상기 제1 도전형 반도체 영역과 접하는 제2 도전형 반도체 영역, 상기 제1 도전형 반도체 영역 상에 제공되는 적어도 하나의 게이트 전극 및 상기 적어도 하나의 게이트 전극과 상기 제1 도전형 반도체 영역 사이에 개재되는 적어도 하나의 게이트 절연막을 포함하며, 상기 제1 도전형 반도체 영역은 적어도 일부분이 상기 적어도 하나의 게이트 절연막과 접하고 적어도 일부분이 상기 제2 도전형 반도체 영역과 접하는 고농도 무접합 도핑 영역을 포함하며,상기 고농도 무접합 도핑 영역은 다수 반송자(majority carrier)가 축퇴 상태(degenerate state)로 있는 영역일 수 있다.

[0009] 이 외에도, 본 발명을 구현하기 위한 다른 방법, 다른 시스템 및 상기 방법을 실행하기 위한 컴퓨터 프로그램이 저장된 컴퓨터로 판독 가능한 기록매체가 더 제공될 수 있다.

[0010] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0011] 본 발명에 의하면, 제1 도전형 반도체 영역을 포함하는 기판에 다수 반송자가 축퇴 상태로 있도록 고농도 무접합 도핑을 한 뒤, 게이트 전압에 수직 방향으로 급격한 밴드 휨이 발생하여 게이트 전압에 따라 조절이 가능하며 스위칭 능력이 향상된 터널링 전류를 구현하는 터널 전계효과 트랜지스터 및 이에 기반한 삼진 인버터를 제공할 수 있다. 이에 따라, 동작 전압 스케일링에 기반하여 저전력 특성을 향상시키고, 종래 스위칭 능력의 한계를 극복하면서 동시에 제조 공정이 쉽고 용이한 트랜지스터 및 이에 기반한 삼진 인버터를 제공할 수 있다.

[0012] 본 발명의 효과는 이상에서 언급된 것들에 한정되지 않으며, 언급되지 아니한 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예에 따른 트랜지스터의 단면도이다.

도 2는 도 1의 트랜지스터의 동작원리를 설명하기 위해 게이트에서 수직인 방면 및 소스-드레인 방면에 대한 트랜지스터의 에너지 밴드 형태를 도시한 도면이다.

도 3은 본 발명의 실시예에 따른 트랜지스터의 다른 구조를 도시한 도면이다.

도 4는 본 발명의 다른 실시예에 따른 트랜지스터의 단면도이다.

도 5는 도 4의 트랜지스터의 동작원리를 설명하기 위해 소스-드레인 방면 및 게이트 절연막 바로 아래의 소스-드레인 방면에 대한 트랜지스터 에너지 밴드 형태를 도시한 도면이다.

도 6은 본 발명의 다른 실시예에 따른 트랜지스터의 다른 구조를 도시한 도면이다.

도 7은 본 발명의 실시예에 따른 제안하는 트랜지스터 기반의 Ternary CMOS와 기존에 제시된 planar CMOS 기반의 Ternary CMOS(conventional T-CMOS) 및 통상적인 이진(binary) 동작을 하는 CMOS 트랜지스터의 게이트 전압-드레인 전류 특성 및 상보적 트랜지스터 구성에 따른 이진, 삼진 인버터의 전압 입출력 특성을 도시한 도면이다.

도 8은 본 발명의 실시예에 따른 인버터의 회로도에 대한 일례를 도시한 도면이다.

도 9는 도 8의 인버터 소자에 대한 3진 동작을 보여주는 개략적인 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 설명되는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 아래에서 제시되는 실시 예들로 한정되는 것이 아니라, 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 아래에 제시되는 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0015] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0016] 또한, 본 출원서에서, "부"는 프로세서 또는 회로와 같은 하드웨어 구성(hardware component), 및/또는 프로세서와 같은 하드웨어 구성에 의해 실행되는 소프트웨어 구성(software component)일 수 있다.

[0017] 이하, 본 발명에 따른 실시 예들을 첨부된 도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0018] 이하, 실시예에 따른 트랜지스터는 예를 들어, 터널 전계 효과 트랜지스터일 수 있다.

[0019] 도 1은 본 발명의 실시예에 따른 트랜지스터의 단면도이다. 도 2는 도 1의 트랜지스터의 동작원리를 설명하기 위해 게이트에서 수직인 방면(A-A') 및 소스-드레인 방면(B-B')에 대한 트랜지스터의 에너지 밴드 형태를 도시한 도면이다.

[0020] 도 1을 참조하면, 본 발명의 실시예에 따른 트랜지스터(100)는 예를 들어, 플래너(planar) 구조일 수 있다. 트랜지스터(100)는 반도체 영역을 포함하는 기판(110), 게이트 구조체(140), 소스 컨택 메탈(125) 및 드레인 컨택 메탈(135)을 포함할 수 있다.

[0021] 기판(110)은 단결정 실리콘 웨이퍼를 포함할 수 있다. 일부 실시예에서, 기판(110)은 게르마늄, 실리콘-게르마늄, 또는 GaP, GaAs, GaSb 등과 같은 Ⅲ-Ⅴ족 화합물을 포함하는 웨이퍼(wafer)일 수 있다. 일부 실시예들에 따르면, 기판(110)은 실리콘-온-인슐레이터(Silicon On Insulator: SOI) 웨이퍼 또는 게르마늄-온-인슐레이터(Germanium On Insulator: GOI) 웨이퍼일 수 있다.

[0022] 기판(110)은 제1 도전형 반도체 영역(120) 및 제2 도전형 반도체 영역(130)을 구비한다. 도면에서는 기판(110)이 제1 도전형 반도체 영역(120) 및 제2 도전형 반도체 영역(130)와 일체로 도시되었으나, 이는 예시적인 것이며, 기판(110) 상에 제1 도전형 반도체 영역(120) 및 제2 도전형 반도체 영역(130)이 별개로 구비될 수 도 있다.

[0023] 제1 도전형 반도체 영역(120) 및 제2 도전형 반도체 영역(130)은 서로 다른 도전형을 가질 수 있다. 예컨대, 제1 도전형 반도체 영역(120)은 제1 도전형을 가질 수 있다. 예를 들어 제1 도전형은 n형 또는 p형일 수 있다. 한편, 제2 도전형 반도체 영역(130)은 제2 도전형을 가질 수 있다. 예를 들어, 제2 도전형은 p형 또는 n형일 수 있다. 도전형이 n형인 경우, 해당 영역은 Ⅴ족 원소(예를 들어, P, As)를 불순물로 포함할 수 있다. 도전형이 p형인 경우, 해당 영역은 III족 원소(예를 들어, B, In)를 불순물로 포함할 수 있다. 이하에서는 제1 도전형이 p형이고, 제2 도전형이 n형인 경우를 예로 들어 설명한다.

[0024] 제1 도전형 반도체 영역(120)의 도핑 농도는 제2 도전형 반도체 영역(130)의 도핑 농도 보다 높을 수 있다. 예를 들어 제1 도전형 반도체 영역(120)의 도핑 농도는 약 10^{20} cm^{-3} (센티미터당 도핑 원자 또는 불순물 원자의 개수)이며, 제2 도전형 반도체 영역(130)의 도핑 농도는 약 10^{18} cm^{-3} 일 수 있다.

[0025] 제1 도전형 반도체 영역(120) 및 제2 도전형 반도체 영역(130)은 기판(110)의 상면에 평행한 제1 방향(DR1)을 따라 접하여 배치될 수 있다. 제1 도전형 반도체 영역(120)은 후술할 게이트 구조체(140)에 대응하는 기판(110)의 영역까지 확장되어 제2 도전형 반도체 영역(130)과 직접 맞닿을 수 있다.

[0026] 제1 도전형 반도체 영역(120)은 소스 영역(121) 및 고농도 무접합 도핑 영역(122)을 포함할 수 있다. 고농도 무접합 도핑 영역(122)은 다수 반송자 (majority carrier)가 축퇴 상태(degenerate state)로 있는 고농도 무접합 도핑 영역일 수 있다. 이것은, 반도체 내의 다수의 반송자(전자 또는 전공)의 농도가 매우 높아서, 반도체가 금속에 가까운 전기적 특성을 보이는 것을 의미할 수 있다. 이 상태에서 반도체의 에너지 밴드 구조와 전기적 거동이 일반적인 반도체의 특성에서 벗어난다. 자세한 내용은 이 후 도 2를 참조하여 설명한다.

[0027] 제1 도전형 반도체 영역(120)에서 소스 영역(121)과 고농도 무접합 도핑 영역(122)은 동일한 도전형을 가지고 일체(一體)로 구비될 수 있다. 고농도 무접합 도핑 영역(122)은 게이트 전극(141)에 대응하는 기판(110)의 영역에 구비되어, 적어도 일부분이 게이트 절연막(141-1)에 직접 접할 수 있다. 한편, 제2 도전형 반도체 영역(130)은 드레인 영역일 수 있다. 즉, 고농도 무접합 도핑 영역(122)은 적어도 일부분이 드레인 영역과 직접 접할 수 있다. 제1 도전형 반도체 영역(120)과 제2 도전형 반도체 영역(130)은 PN 접합 다이오드와 같이 접합할 수 있다.

[0028] 실시예에 의하면, 트랜지스터(100)의 채널에는 PN접합이 없다. 즉, 일반적인 TFET(Tunnel field-effect transistor) 구조와 달리, 실시예에 따른 트랜지스터(100)의 채널 영역은 소스 영역과 같은 도전형일 수 있다.

상세히, 일반적인 경우, 소스 영역과 드레인 영역은 게이트 전극 아래의 채널 영역을 사이에 두고 제1 방향을 따라 서로 이격되어 배치된다. 이 경우 채널 영역은 소스 영역과 드레인 영역 사이에 제공되며 채널 영역의 도핑 농도는 소스 영역 및 드레인 영역의 도핑 농도보다 낮을 수 있다. 하지만, 실시예에 의하면, 소스 영역과 고농도 무접합 도핑 영역이 일체로 구성된 제1 도전형 반도체 영역에 의하여, 종래의 채널 영역이 고농도로 균일하게 도핑되어 있고, 전류 제어는 전하 밀도 및 게이트 전압에 의존할 수 있다. 이에 따라, 기존의 소스 영역과 채널 영역의 접합이나, 드레인 영역과 채널 영역의 접함을 형성하는 공정을 생략하여 제조가 단순하며, 기존에는 채널 영역과 소스 영역 또는 드레인 영역의 접합이 짧아질수록 누설 전류가 증가하는 문제를 해결하는 효과가 있다. 또한, 고농도 무접합 도핑 영역에 의하여 전류를 효율적으로 운반 할 수 있고, 간단한 구조로 초소형 디바이스 설계가 가능한 효과가 있다. 하지만, 기존의 채널 영역까지 고농도로 균일하게 도핑하는 것에는 어려움이 존재할 수 있다.

[0029] 이에 따라, 실시예에서는 기존의 채널 영역까지 균일하게 도핑하는 것이 어려운 문제를 해결하기 위하여, 제1 도전형 반도체 영역(120)을 고농도 이온 주입(ion implantation) 도핑 방법을 통해 형성한다. 먼저, 비도핑 기판 또는 가볍게 도핑된 기판을 준비한다. 다음으로, 기판 전체를 선택된 도핑 물질을 이용하여 제2 도전형으로 도핑한다. 다음으로 마스크를 사용하여 실시예의 소스 영역에 대응하는 부분에만 선택된 도핑 물질을 이용하여 고농도 이온 주입 도핑 방법을 통해 제1 도전형으로 도핑한다. 이후 고온 열처리 과정인 어닐링 공정을 수행하여 주입된 이온들이 반도체 결정 구조와 제대로 결합하도록 한다.

[0030] 기판(110)상에 게이트 구조체(140)가 제공될 수 있다. 게이트 구조체(140)는 게이트 전극(141), 게이트 전극(141)과 기판(110) 상면에 개재되는 게이트 절연막(141-1)을 포함할 수 있다. 게이트 구조체(140)는 게이트 전극(141)과 후술할 소스 컨택 메탈(125) 및 드레인 컨택 메탈(135) 사이에 개재되는 한 쌍의 스페이서들(143)을 더 포함할 수 있다.

[0031] 게이트 전극(141)은 제1 도전형 반도체 영역(120) 상에 제공된다. 게이트 전극(141)은 도핑된 반도체 물질, 금속, 합금, 또는 이들의 조합을 포함할 수 있다. 예를 들어, 게이트 전극(141)은 도핑된 폴리실리콘(Doped-Polysilicon), 텅스텐(W), 티타늄나이트라이드(TiN), 또는 이들의 조합을 포함할 수 있다.

[0032] 게이트 절연막(141-1)은 게이트 전극(141)과 고농도 무접합 도핑 영역(122)을 서로 전기적으로 절연시킬 수 있다. 예를 들어, 게이트 절연막(141-1)은 고농도 무접합 도핑 영역(122)에 대응하는 기판(110)의 상면에 직접 접할 수 있다. 게이트 절연막(141-1)은 종래 유전물질인 SiO_2, SiOxNy (x,y는 공정에 따라 구성비가 상이함) 와 함께 고유전율의 물질을 포함할 수 있다. 예를 들어, 게이트 절연막(141-1)은 HfO_2, ZrO_2, CeO_2, La_2O_3, Ta_2O_3, 또는 TiO_2를 포함할 수 있다. 게이트 절연막(141-1)은 단층 구조 또는 다중층 구조를 가질 수도 있다.

[0033] 기판(110) 상에는 소스 컨택 메탈(125) 및 드레인 컨택 메탈(135)이 제공된다. 제1 도전형 반도체 영역(120) 중 소스 영역(121) 및 제2 도전형 반도체 영역(130)은 각각 소스 컨택 메탈(125) 및 드레인 컨택 메탈(135)과 접촉하여 이을 통해 외부 단자와 연결될 수 있다.

[0034] 본 발명의 실시예에 따른 트랜지스터(100)는 제1 도전형 반도체 영역(120)의 소스 영역(121)과 일체(一體)인 고농도 무접합 도핑 영역(122)에서 다수 반송자가 축퇴 상태가 되도록 고농도(설정치 이상의 농도) 무접합 도핑된다. 이에 따라, 게이트 전압에 수직 방향으로 급격한 밴드 휨이 발생하여 게이트 전압에 따라 조절이 가능하고 스위칭 능력이 향상된 터널링 전류를 구현할 수 있으며, 이에 기초하여 터널 전계효과 트랜지스터 기반의 삼진 인버터 동작을 구현할 수 있다.

[0035] 본 발명의 실시예에 따른 트랜지스터(100)는 서로 다른 도전형을 가진 제1 도전형 반도체 영역(120)(소스 영역을 포함)과 제2 도전형 반도체 영역(130)(드레인 영역에 해당)의 PN 접합에서 게이트 전압과 무관한 터널링 전류를 발생할 수 있다. 게이트에서 수직인 방면(A-A') 및 소스-드레인 방면(B-B')에 대한 트랜지스터의 에너지 밴드 형태는 도 2에 도시된 바와 같다. 즉, 트랜지스터(100)는 소스 영역과 드레인 영역 사이의 에너지 장벽이 낮아져 전자가 소스 영역으로부터 드레인 영역으로 주입되는 현상(드레인에서 소스 또는 소스에서 드레인 측으로 밴드간 터널링)에 의해 게이트 전압에 무관한 정전류가 일어나게 된다.

[0036] 도 3은 본 발명의 실시예에 따른 트랜지스터의 다른 구조를 도시한 도면이다. 도 3(a)는 트랜지스터(300)의 사시도이고, 도 3(b)는 도 3(a)를 A-A' 선에 따라 절단한 단면도이다.

[0037] 도 3을 참조하면, 본 발명의 실시예에 따른 트랜지스터(300)는 예를 들어, 핀(fin) 구조일 수 있다. 트랜지스터(300)는 기판(310), 게이트 구조체(340) 및 핀 구조체(FS)를 포함할 수 있다.

[0038] 기판(310)은 반도체 기판일 수 있다. 예를 들어, 기판(310)은 실리콘(Si)을 포함할 수 있다. 기판(310)은 진성 반도체 기판이거나 도전형을 갖는 반도체 기판일 수 있다.

[0039] 기판(310) 상에 도시된 311 영역은 핀 구조체(FS)의 전기적 특성 향상을 위해 기판 대신에 하부 절연막으로 구성될 수 있다. 이 때 하부 절연막은 전기 절연 물질을 포함할 수 있다. 예를 들어, 하부 절연막(311)은 SiO_2 또는 고유전 물질(예를 들어, SiON, HfO_2, ZrO_2)을 포함할 수 있다.

[0040] 기판(310) 상에는 핀 구조체(FS)가 제공될 수 있다. 핀 구조체(FS)는 기판(310)의 상면에 평행한 제1 방향(DR1)을 따라 연장할 수 있다. 핀 구조체(FS)는 기판(310)의 상면으로부터 제2 방향(DR2)로 돌출될 수 있다. 여기서 핀 구조체(FS)는 반도체 영역, 소스 컨택 메탈(325) 및 드레인 컨택 메탈(335)을 포함할 수 있다.

[0041] 핀 구조체(FS)는 제1 도전형 반도체 영역(320) 및 제2 도전형 반도체 영역(330)을 구비한다.

[0042] 제1 도전형 반도체 영역(320) 및 제2 도전형 반도체 영역(330)은 서로 다른 도전형을 가질 수 있다. 예컨대, 제1 도전형 반도체 영역(320)은 제1 도전형을 가지고, 제2 도전형 반도체 영역(330)은 제2 도전형을 가질 수 있다. 여기서, 제1 도전형이 p형이고, 제2 도전형이 n형일 수 있다.

[0043] 제1 도전형 반도체 영역(320) 및 제2 도전형 반도체 영역(330)은 제1 방향(DR1)을 따라 접하여 배치될 수 있다. 제1 도전형 반도체 영역(320)은 후술할 게이트 구조체(340)에 대응하는 핀 구조체(FS)의 영역까지 확장되어 제2 도전형 반도체 영역(330)과 직접 맞닿을 수 있다.

[0044] 제1 도전형 반도체 영역(320)은 소스 영역(321) 및 고농도 무접합 도핑 영역(322)을 포함할 수 있다. 고농도 무접합 도핑 영역(322)은 다수 반송자 (majority carrier)가 축퇴 상태(degenerate state)로 있는 고농도 무접합 도핑 영역일 수 있다. 즉, 소스 영역(321)과 고농도 무접합 도핑 영역(322)은 일체(一體)로 구비될 수 있다. 고농도 무접합 도핑 영역(322)은 게이트 전극(341)에 대응하는 핀 구조체(FS)의 영역에 구비되어, 게이트 절연막(341-1)에 직접 접할 수 있다. 한편, 제2 도전형 반도체 영역(330)은 드레인 영역일 수 있다. 그 밖의 제1 도전형 반도체 영역(320) 및 제2 도전형 반도체 영역(330) 관련해서는 도 1에서 설명한 실시예와 동일하므로, 중복되는 설명은 생략한다.

[0045] 한편, 실시예에서, 제1 도전형 반도체 영역(320) 및 제2 도전형 반도체 영역(330)은 고농도 도핑된 에피택시얼 성장(epitaxial growth)을 통해 형성될 수 있다.

[0046] 핀 구조체(FS) 및 기판(310) (또는 하부 절연막(311)) 상에는 게이트 구조체(340)가 배치될 수 있다. 게이트 구조체(340)는 게이트 전극(341), 게이트 전극(341)과 핀 구조체(FS) 사이에 개재되는 게이트 절연막(341-1)을 포함할 수 있다. 게이트 전극(341) 및 게이트 절연막(341-1) 관련해서는 도 1에서 설명한 실시예와 동일하므로, 중복되는 설명은 생략한다.

[0047] 핀 구조체(FS)는 제1 방향(DR1)의 양 끝단에 소스 컨택 메탈(325) 및 드레인 컨택 메탈 (335)을 구비한다. 제1 도전형 반도체 영역(320) 및 제2 도전형 반도체 영역(330)은 각각 소스 컨택 메탈(325) 및 드레인 컨택 메탈(335)과 접촉하여 이들을 통해 외부 단자와 연결될 수 있다.

[0048] 본 발명의 실시예에 따른 트랜지스터(300)는 도 1과 마찬가지로, 제1 도전형 반도체 영역(320)의 소스 영역(321)과 일체(一體)인 고농도 무접합 도핑 영역(322)에서 다수 반송자가 축퇴 상태가 되도록 고농도 무접합 도핑됨에 따라, 스위칭 능력이 향상된 터널링 전류를 구현할 수 있다.

[0049] 도 4는 본 발명의 또 다른 실시예에 따른 트랜지스터의 단면도이다. 도 5는 도 4의 트랜지스터의 동작원리를 설명하기 위해 소스-드레인 방면(B-B') 및 게이트 절연막 바로 아래의 소스-드레인 방면(C-C')에 대한 트랜지스터 에너지 밴드 형태를 도시한 도면이다.

[0050] 도 4를 참조하면, 본 발명의 또 다른 실시예에 따른 트랜지스터(400)는 예를 들어, 플래너(planar) 구조일 수 있다. 도 1의 실시예와 달리 도 4의 실시예에 의한 트랜지스터(400)는 게이트 구조체(440)가 복수의 게이트 전극을 구비하는 것에 차이가 있다. 그 밖에는 도 1에서 설명한 바와 동일하므로 이하에서는 차이점을 위주로 설명한다.

[0051] 기판(410)은 제1 도전형 반도체 영역(420) 및 제2 도전형 반도체 영역(430)을 구비한다. 도면에서는 기판(410)이 제1 도전형 반도체 영역(420) 및 제2 도전형 반도체 영역(430)와 일체로 도시되었으나, 이는 예시적인 것이며, 기판(410) 상에 제1 도전형 반도체 영역(420) 및 제2 도전형 반도체 영역(430)이 별개로 구비될 수 도

있다.

[0052] 제1 도전형 반도체 영역(420) 및 제2 도전형 반도체 영역(430)은 서로 다른 도전형을 가질 수 있다. 예컨대, 제1 도전형 반도체 영역(420)은 제1 도전형을 가지고, 제2 도전형 반도체 영역(430)은 제2 도전형을 가질 수 있다. 여기서, 제1 도전형이 p형이고, 제2 도전형이 n형일 수 있다.

[0053] 제1 도전형 반도체 영역(420) 및 제2 도전형 반도체 영역(430)은 제1 방향(DR1)을 따라 접하여 배치될 수 있다. 제1 도전형 반도체 영역(420)은 후술할 게이트 구조체(440)에 대응하는 기판(410)의 영역까지 확장되어 제2 도전형 반도체 영역(430)과 직접 맞닿을 수 있다.

[0054] 제1 도전형 반도체 영역(420)은 소스 영역(421) 및 고농도 무접합 도핑 영역(422)을 포함할 수 있다. 고농도 무접합 도핑 영역(422)은 다수 반송자 (majority carrier)가 축퇴 상태(degenerate state)로 있는 고농도 무접합 도핑 영역일 수 있다. 즉, 소스 영역(421)과 고농도 무접합 도핑 영역(422)은 일체(一體)로 구비될 수 있다. 고농도 무접합 도핑 영역(422)은 복수의 게이트 전극들(441, 442)에 대응하는 기판(410)의 영역에 구비되어, 복수의 게이트 절연막들(441-1, 441-2)에 직접 접할 수 있다. 한편, 제2 도전형 반도체 영역(430)은 드레인 영역일 수 있다. 그 밖의 제1 도전형 반도체 영역(420) 및 제2 도전형 반도체 영역(430) 관련해서는 도 1에서 설명한 실시예와 동일하므로, 중복되는 설명은 생략한다.

[0055] 실시예에서, 게이트 구조체(440)는 복수의 게이트 전극을 포함할 수 있다. 복수의 게이트 전극은 보조 게이트 전극(auxiliary gate, AG)(441), 보조 게이트 전극(441)과 이격된 조절 게이트 전극(control gate, CG)(442)을 포함할 수 있다.

[0056] 보조 게이트 전극(441)은 제1 도전형 반도체 영역(420) 중에서도 소스 영역(421)에 인접하여 배치된다. 보조 게이트 전극(441)은 소스와 게이트 사이의 전기장을 보조적으로 제어할 수 있다. 반면, 조절 게이트 전극(442)은 소스 영역(421)과 드레인 영역(430) 사이에서 터널링 전류를 일으키고 제어할 수 있다.

[0057] 여기서, 보조 게이트 전극(441) 및 조절 게이트 전극(442)은 설정치 이상의 일함수를 갖는 물질로 형성될 수 있다. 실시예에서, 보조 게이트 전극(441)의 일함수 및 조절 게이트 전극(442)의 일함수 간의 차이는 설정된 크기(예를 들어, 1.0eV) 이상일 수 있다. 보조 게이트 전극(441)의 일함수 및 조절 게이트 전극(442)의 일함수 간의 차이 변화에 따라, 문턱전압이 변경될 수 있으나, 문턱전압 이하 스윙(subthreshold swing)이 변경되지는 않는다.

[0058] 기판(410)과 보조 게이트 전극(441) 및 조절 게이트 전극(442)의 사이에는 게이트 절연막들(441-1, 442-1)이 개재되어, 보조 게이트 전극(441) 및 조절 게이트 전극(442)과 고농도 무접합 도핑 영역(422)을 서로 전기적으로 절연시킬 수 있다. 예를 들어, 게이트 절연막들(441-1, 442-1)은 고농도 무접합 도핑 영역(422)에 대응하는 기판(410)의 상면에 직접 접할 수 있다.

[0059] 게이트 구조체(440)는 보조 게이트 전극(441) 및 조절 게이트 전극(442)의 사이, 그리고 보조 게이트 전극(441) 및 조절 게이트 전극(442)과 후술할 소스 컨택 메탈(425) 및 드레인 컨택 메탈(435) 각각의 사이에 개재되는 복수의 스페이서들(443)을 더 포함할 수 있다.

[0060] 한편, 기판(410) 상에는 소스 컨택 메탈(425) 및 드레인 컨택 메탈(435)이 제공된다. 제1 도전형 반도체 영역(420) 중 소스 영역 및 제2 도전형 반도체 영역(430)은 각각 소스 컨택 메탈(425) 및 드레인 컨택 메탈(435)을 통해 외부 단자와 연결될 수 있다.

[0061] 본 발명의 또 다른 실시예에 따른 트랜지스터(400)는 제1 도전형 반도체 영역(420)의 소스 영역(421)과 일체(一體)인 고농도 무접합 도핑 영역(422)에서 다수 반송자가 축퇴 상태가 되도록 고농도 무접합 도핑된다, 따라서 도 2(b)에서 도시한 바와 동일하게 도 5(a) 처럼, 트랜지스터(400)가 드레인 전압에 따라 전자가 드레인 영역으로부터 소스 영역으로 주입되는 현상(드레인에서 소스 또는 소스에서 드레인 측으로 밴드간 터널링)에 의해 게이트 전압에 무관한 정전류가 일어나게 된다.

[0062] 또한, 본 발명의 또 다른 실시예에 따른 트랜지스터(400)는 보조 게이트 전극(441) 및 조절 게이트 전극(442)이 설정치 이상의 일함수를 갖는 물질로 형성됨으로써, 도 5(b)에 도시된 바와 같이 조절 게이트 전극(442) 전압에 따라 게이트 절연막들(441-1,442-1) 바로 아래의 실리콘 영역(C-C')에 위치한 제1 도전형 반도체 영역(420)과 드레인 영역(430) 사이에서 급격한 밴드 휨이 발생해서 스위칭 능력이 향상된 터널링 전류를 일으킬 수 있으며, 이를 특징으로 하여 터널 전계효과 트랜지스터 기반의 삼진 인버터 동작을 구현할 수 있다.

[0063] 즉, 본 발명의 또 다른 실시예에 따른 트랜지스터(400)는 보조 게이트 전극(441)과 조절 게이트 전극(442)의 일

함수 차이를 이용하여, 제1 도전형 반도체 영역(420)과 제2 도전형 반도체 영역(430)을 포함하는 기판(410)에서 발생하는 게이트 전압에 의존적인 전류 성분의 스윙(swing)을 설정치(예를 들어, 60 mV/dec) 이하로 낮춰 스팁 슬로프(steep-slope) 특성을 얻을 수 있다.

[0064] 도 6은 본 발명의 다른 실시예에 따른 트랜지스터의 다른 구조를 도시한 도면이다. 도 6(a)는 트랜지스터(600)의 사시도이고, 도 6(b)는 도 6(a)를 A-A' 선에 따라 절단한 단면도이다.

[0065] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 트랜지스터(600)는 예를 들어, 핀(fin) 구조일 수 있다. 도 3의 실시예와 달리 도 6의 실시예에 의한 트랜지스터(600)는 게이트 구조체(640)가 복수의 게이트 전극을 구비하는 것에 차이가 있다. 그 밖에는 도 3에서 설명한 바와 동일하므로 이하에서는 차이점을 위주로 설명한다.

[0066] 기판(610) 및 기판(610)(또는 기판(610) 상의 하부 절연막(611)) 상에는 핀 구조체(FS)가 제공될 수 있다. 핀 구조체(FS)는 기판(610)의 상면에 평행한 제1 방향(DR1)을 따라 연장할 수 있다. 핀 구조체(FS)는 기판(610)의 상면으로부터 제2 방향(DR2)로 돌출될 수 있다. 여기서 핀 구조체(FS)는 반도체 영역, 소스 컨택 메탈(625) 및 드레인 컨택 메탈(635)을 포함할 수 있다.

[0067] 핀 구조체(FS)는 제1 도전형 반도체 영역(620) 및 제2 도전형 반도체 영역(630)을 구비한다.

[0068] 제1 도전형 반도체 영역(620) 및 제2 도전형 반도체 영역(630)은 서로 다른 도전형을 가질 수 있다. 예컨대, 제1 도전형 반도체 영역(620)은 p형의 제1 도전형을 가지고, 제2 도전형 반도체 영역(630)은 n형의 제2 도전형을 가질 수 있다.

[0069] 제1 도전형 반도체 영역(620) 및 제2 도전형 반도체 영역(630)은 제1 방향(DR1)을 따라 접하여 배치될 수 있다. 제1 도전형 반도체 영역(620)은 후술할 게이트 구조체(640)에 대응하는 핀 구조체(FS)의 영역까지 확장되어 제2 도전형 반도체 영역(630)과 직접 맞닿을 수 있다.

[0070] 제1 도전형 반도체 영역(620)은 소스 영역(621) 및 고농도 무접합 도핑 영역(622)을 포함할 수 있다. 고농도 무접합 도핑 영역(622)은 다수 반송자 (majority carrier)가 축퇴 상태(degenerate state)로 있는 고농도 무접합 도핑 영역일 수 있다. 즉, 소스 영역(621)과 고농도 무접합 도핑 영역(622)은 일체(一體)로 구비될 수 있다. 고농도 무접합 도핑 영역(622)은 복수의 게이트 전극들(641, 642)에 대응하는 핀 구조체(FS)의 영역에 구비되어, 복수의 게이트 절연막들(641-1, 641-2)에 직접 접할 수 있다. 한편, 제2 도전형 반도체 영역(630)은 드레인 영역일 수 있다. 그 밖의 제1 도전형 반도체 영역(620) 및 제2 도전형 반도체 영역(630) 관련해서는 도 3에서 설명한 실시예와 동일하므로, 중복되는 설명은 생략한다.

[0071] 핀 구조체(FS) 및 기판(610) (또는 하부 절연막(611)) 상에는 게이트 구조체(640)가 배치될 수 있다. 게이트 구조체(640)는 복수의 게이트 전극을 포함할 수 있다. 복수의 게이트 전극은 보조 게이트 전극(auxiliary gate, AG)(641), 보조 게이트 전극(641)과 이격된 조절 게이트 전극(control gate, CG)(642)을 포함할 수 있다.

[0072] 보조 게이트 전극(641)은 제1 도전형 반도체 영역(620) 중에서도 소스 영역(621)에 인접하여 배치된다. 보조 게이트 전극(641)은 소스와 게이트 사이의 전기장을 보조적으로 제어할 수 있다. 반면, 조절 게이트 전극(642)은 소스 영역(621)과 드레인 영역(630) 사이에서 터널링 전류를 일으키고 이를 제어할 수 있다.

[0073] 여기서, 보조 게이트 전극(641) 및 조절 게이트 전극(642)은 설정치 이상의 일함수를 갖는 물질로 형성될 수 있다. 실시예에서, 보조 게이트 전극(641)의 일함수 및 조절 게이트 전극(642)의 일함수 간의 차이는 설정된 크기(예를 들어, 1.0eV) 이상일 수 있다. 게이트 구조체(640)는 복수의 게이트 전극들(641, 642)과 핀 구조체(FS) 사이에 개재되는 복수의 게이트 절연막들(641-1, 642-2)을 포함할 수 있다. 게이트 절연막들(641-1, 642-1)은 고농도 무접합 도핑 영역(622)에 대응하는 핀 구조체(FS)의 상면에 직접 접할 수 있다. 게이트 전극들(641, 642) 및 게이트 절연막들(641-1, 641-2) 관련해서는 도 3 및 도 4에서 설명한 실시예와 동일하므로, 중복되는 설명은 생략한다.

[0074] 핀 구조체(FS)는 제1 방향(DR1)의 양 끝단에 소스 컨택 메탈(625) 및 드레인 컨택 메탈(635)을 구비한다. 제1 도전형 반도체 영역(620) 및 제2 도전형 반도체 영역(630)은 각각 소스 컨택 메탈(625) 및 드레인 컨택 메탈(635)을 통해 외부 단자와 연결될 수 있다.

[0075] 이처럼, 본 발명의 다른 실시예에 따른 트랜지스터(600)는 도 4의 트랜지스터와 구조만 상이할 뿐, 고농도 무접합 도핑 영역을 포함하는 구성 및 보조 게이트 전극(641) 및 조절 게이트 전극(642)의 일함수 차이에 따른 스위칭 능력 향상은 도 4의 트랜지스터와 동일하다.

[0076] 도 7은 본 발명의 실시예에 따른 제안하는 트랜지스터 기반의 Ternary CMOS와 기존에 제시된 planar CMOS 기반의 Ternary CMOS(conventional T-CMOS) 및 통상적인 이진(binary) 동작을 하는 CMOS 트랜지스터의 게이트 전압-드레인 전류 특성 및 상보적 트랜지스터 구성에 따른 이진, 삼진 인버터의 전압 입출력 특성을 도시한 도면이다.

[0077] 도 7을 참조하면, 본 발명의 실시예에 따른 제안하는 트랜지스터 기반의 Ternary CMOS(삼진 트랜지스터)(proposed T-CMOS)(710)는 터널링 전류만을 이용하여 게이트 전압에 무관한 정전류(I_{CON}) 및 게이트 전압에 의해 조절되는 전류(Isub) 특성을 구현함으로써, 기존에 제안된 planar CMOS 기반 삼진 트랜지스터(conventional T-CMOS)(720)와 비교해서 온도변화에 따라 더욱 일관적인 소자동작 특성을 가지며, 공정 산포에 더욱 강건한 삼진 인버터 동작을 구현할 수 있다.

[0078] 트랜지스터 기반의 Ternary CMOS(삼진 트랜지스터)(proposed T-CMOS)(710)는 PN 접합의 밴드간 터널링에 의한 게이트 전압에 무관한 오프(OFF) 상태의 정전류를 이용하여 중간상태(Intermediate state)를 구현함으로써, 삼진수 값을 기반으로 하는 로직 및 메모리 회로를 제공할 수 있다.

[0079] 본 발명의 실시예들에 따른 트랜지스터는 게이트 전압에 무관한 오프(OFF) 상태의 정전류를 통해 정적 소모전력을 대폭 감소시킨, 3진 정보 처리가 가능한 삼진 트랜지스터를 터널 전계 효과 트랜지스터(Tunnel FET) 구조로 제작됨으로써, 양자역학적 밴드간 터널링 메커니즘을 기반으로 스위칭(Switching) 능력을 향상시켜 동적 소모전력 또한 감소시킬 수 있다.

[0080] 도 8은 본 발명의 실시예에 따른 인버터의 회로도에 대한 일례를 도시한 도면이고, 도 9는 도 8의 인버터 소자에 대한 3진 동작을 보여주는 개략적인 회로도이다.

[0081] 도 8 및 도 9를 참조하면, 3진 신호(3가지 논리 상태)를 출력할 수 있는 3진 인버터(800)는 전원 전압(810)과 접지 단자(820) 사이에 직렬 접속된 제1 트랜지스터(T1)(830) 및 제2 트랜지스터(T2)(840)를 포함할 수 있다. 제1 트랜지스터(830) 및 제2 트랜지스터(T2)(840)는 도 1 내지 도 7을 참조하여 설명한 트랜지스터일 수 있으며, 소스 영역(S1, S2), 드레인 영역(D1, D2) 및 게이트 영역(G1, G2)을 각각 포함할 수 있다.

[0082] 제1 트랜지스터(830)는 예를 들어, PMOS 트랜지스터일 수 있고, 제2 트랜지스터(840)는 예를 들어, NMOS 트랜지스터일 수 있으나, 이에 한정되지 않는다.

[0083] 3진 인버터(800)는 제1,2 트랜지스터 각각에 대해, PN 접합의 밴드간 터널링에 의한 게이트 전압에 무관한 오프(OFF) 상태의 정전류에 기초하여 3진 신호(예를 들어, 중간 전압)를 출력시킬 수 있다.

[0084] 입력 전압(V_{IN})이 하이 전압(예를 들어, V_{DD}, 1)일 경우, 제1 트랜지스터(830)는 턴-오프(turn-off) 되고, 제2 트랜지스터(840)는 턴-온(turn-on) 됨에 따라, 제1 트랜지스터(830)에 제1 드레인 전류(I_{D1})가 흐르지 않고, 제2 트랜지스터(840)에 제2 드레인 전류(I_{D2})가 흐를 수 있다. 이때, 출력 전압(V_{OUT})은 접지 단자(820)의 로우 전압(0V)를 출력할 수 있다(a).

[0085] 입력 전압이(V_{IN})이 로우 전압(0V)일 경우, 제1 트랜지스터(830)는 턴-온 되고, 제2 트랜지스터(840)는 턴-오프됨에 따라, 제2 트랜지스터(840)에 제2 드레인 전류(I_{D2})가 흐르지 않고, 제1 트랜지스터(830)에 제1 드레인 전류(I_{D1})가 흐를 수 있다. 이때, 출력 전압(V_{OUT})은 전원 전압(810)의 하이 전압(V_{DD})을 출력할 수 있다(b).

[0086] 입력 전압이(V_{IN})이 중간 전압(0.5 V_{DD})일 경우, 제1 트랜지스터(830) 및 제2 트랜지스터(840)는 턴-오프되는 반면, PN 접합의 밴드간 터널링에 의한 게이트 전압에 무관한 OFF 상태의 정전류(일정한 전류)에 기반하여 동일한 제1, 2 드레인 전류가 흐르게 됨에 따라, 출력 전압(V_{OUT})은 로우 전압(0V)과 하이 전압(V_{DD})의 중간 전압(0.5 V_{DD})을 출력할 수 있다(C).

[0087] 이상 설명된 본 발명에 따른 실시 예는 컴퓨터 상에서 다양한 구성요소를 통하여 실행될 수 있는 컴퓨터 프로그램의 형태로 구현될 수 있으며, 이와 같은 컴퓨터 프로그램은 컴퓨터로 판독 가능한 매체에 기록될 수 있다. 이때, 매체는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM 및 DVD와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical medium), 및 ROM, RAM, 플래시 메모리 등과 같은, 프로그램 명령어를 저장하고 실행하도록 특별히 구성된 하드웨어 장치를 포함할 수 있다.

[0088] 한편, 상기 컴퓨터 프로그램은 본 발명을 위하여 특별히 설계되고 구성된 것이거나 컴퓨터 소프트웨어 분야의

당업자에게 공지되어 사용 가능한 것일 수 있다. 컴퓨터 프로그램의 예에는, 컴파일러에 의하여 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용하여 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드도 포함될 수 있다.

[0089] 본 발명의 명세서(특히 특허청구범위에서)에서 "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다. 또한, 본 발명에서 범위(range)를 기재한 경우 상기 범위에 속하는 개별적인 값을 적용한 발명을 포함하는 것으로서(이에 반하는 기재가 없다면), 발명의 상세한 설명에 상기 범위를 구성하는 각 개별적인 값을 기재한 것과 같다.

[0090] 본 발명에 따른 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 상기 단계들은 적당한 순서로 행해질 수 있다. 반드시 상기 단계들의 기재 순서에 따라 본 발명이 한정되는 것은 아니다. 본 발명에서 모든 예들 또는 예시적인 용어(예들 들어, 등등)의 사용은 단순히 본 발명을 상세히 설명하기 위한 것으로서 특허청구범위에 의해 한정되지 않는 이상 상기 예들 또는 예시적인 용어로 인해 본 발명의 범위가 한정되는 것은 아니다. 또한, 당업자는 다양한 수정, 조합 및 변경이 부가된 특허청구범위 또는 그 균등물의 범주 내에서 설계 조건 및 팩터에 따라 구성될 수 있음을 알 수 있다.

[0091] 따라서, 본 발명의 사상은 상기 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위는 본 발명의 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0092] 100: 트랜지스터

110, 310, 410, 610: 기판

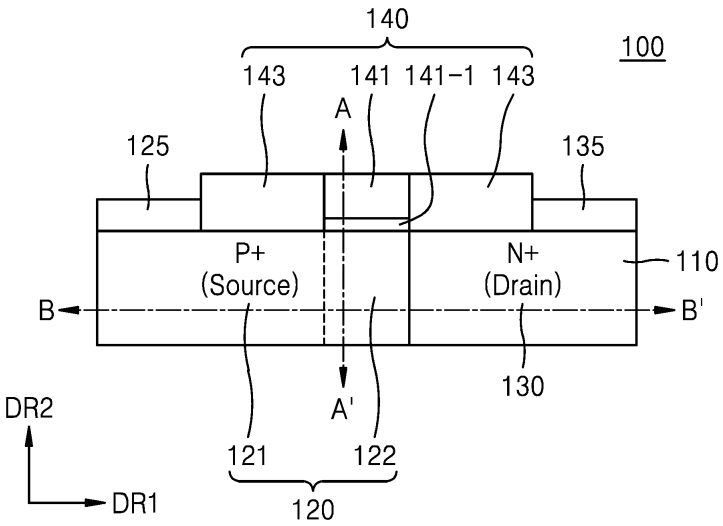
120, 320. 420, 620: 제1 도전형 반도체 영역

130, 330, 430, 630: 제2 도전형 반도체 영역

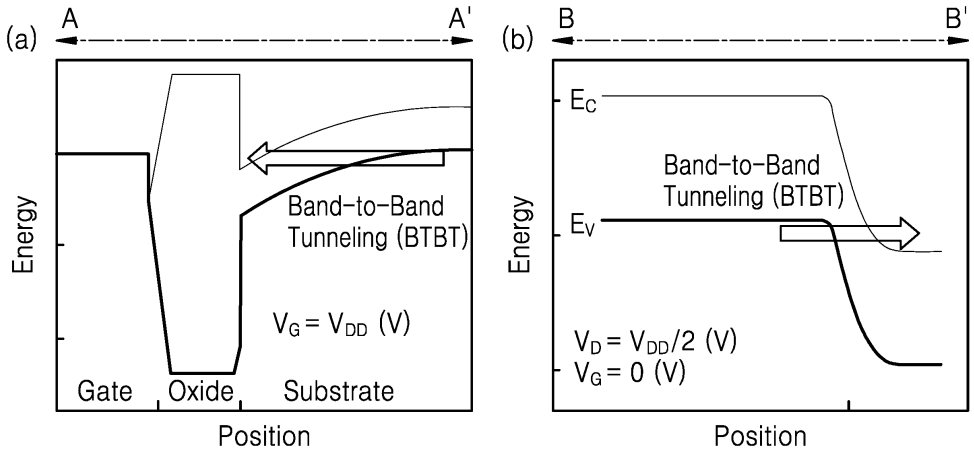
140, 340, 440, 640: 게이트 구조체

도면

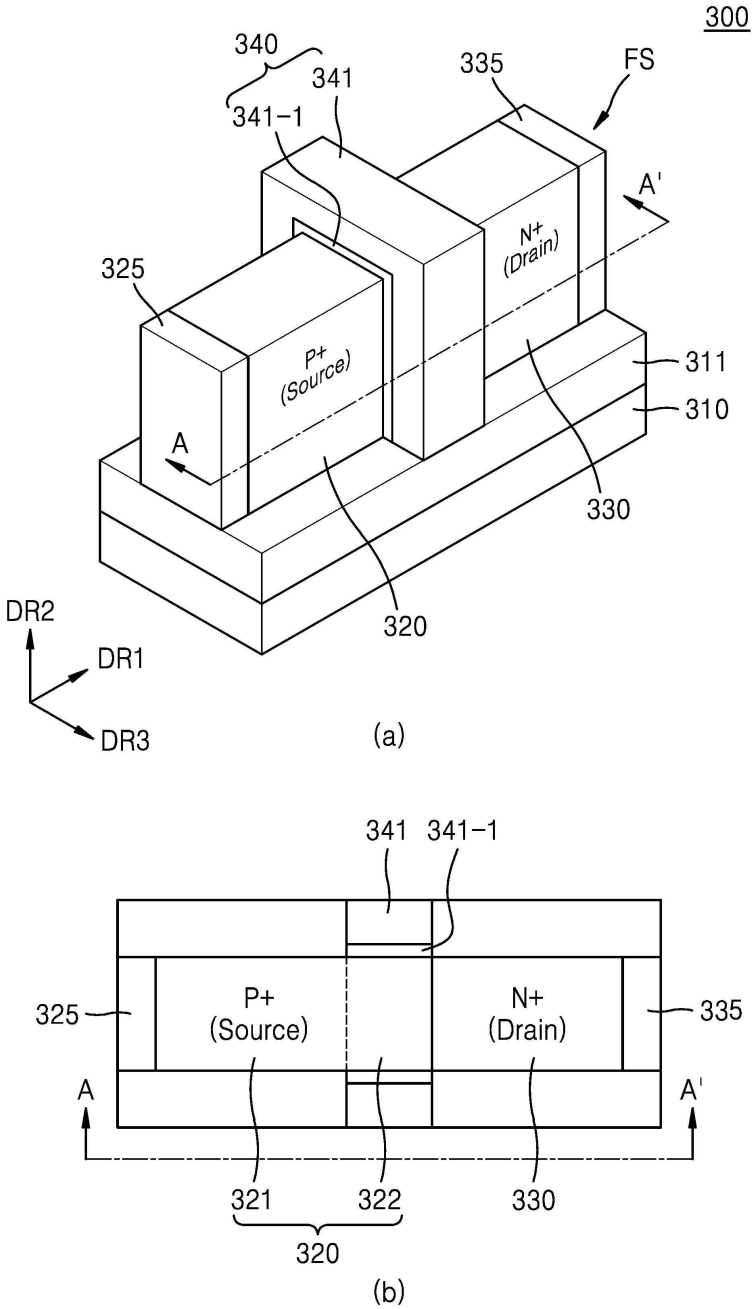
도면1



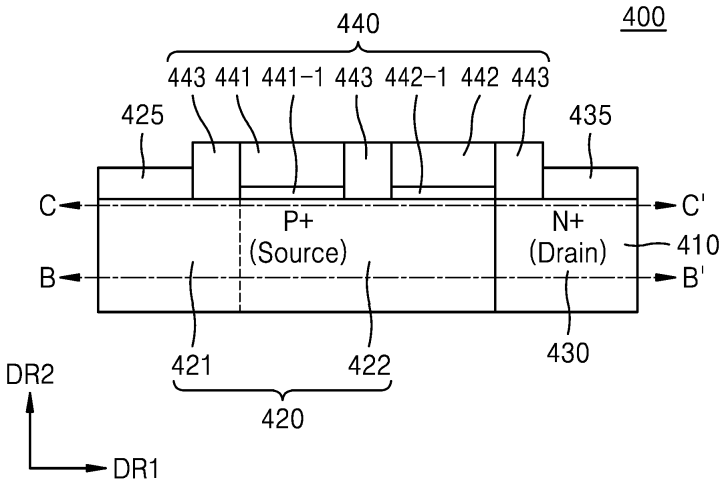
도면2


(a)
A
A'
Energy
Band-to-Band
Tunneling (BTBT)
$V_G = V_{DD}$ (V)
Gate
Oxide
Substrate
Position
(b)
B
B'
E_C
Band-to-Band
Tunneling (BTBT)
E_V
Energy
$V_D = V_{DD}/2$ (V)
$V_G = 0$ (V)
Position

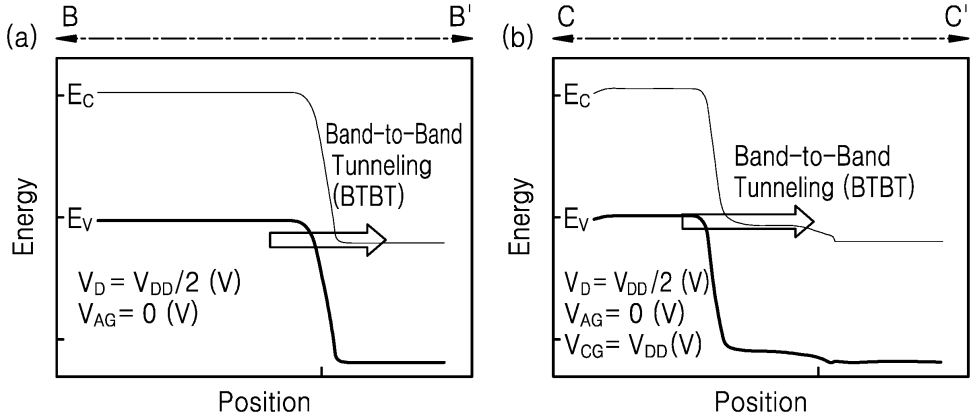
도면3


300
340
341
341-1
335
FS
A'
325
P+
(Source)
N+
(Drain)
311
310
A
330
320
DR2
DR1
DR3
(a)
341
341-1
325
P+
(Source)
N+
(Drain)
335
A
A'
321
322
330
320
(b)

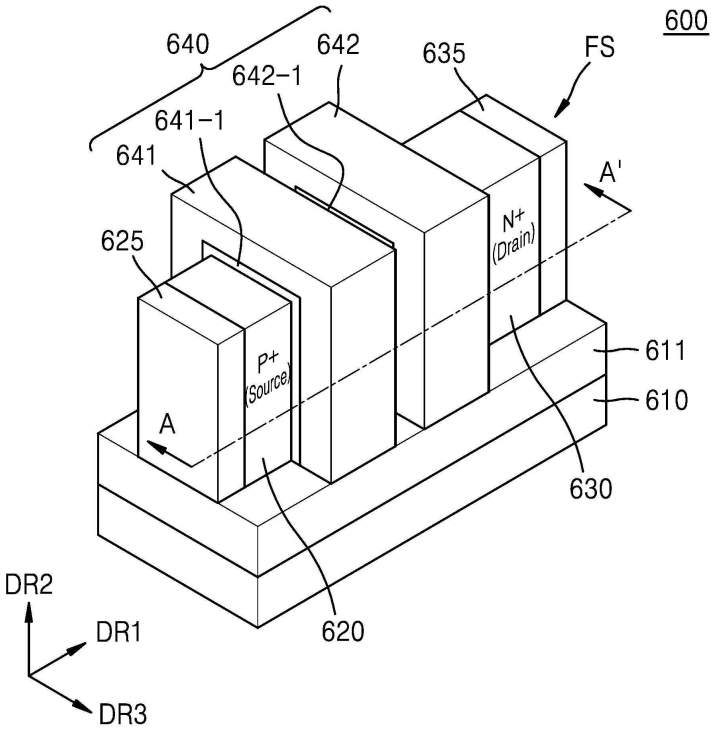
도면4


440
400
443 441 441-1 443 442-1 442 443
425
435
C
C'
P+
(Source)
N+
(Drain)
410
B
B'
421
422
430
420
DR2
DR1

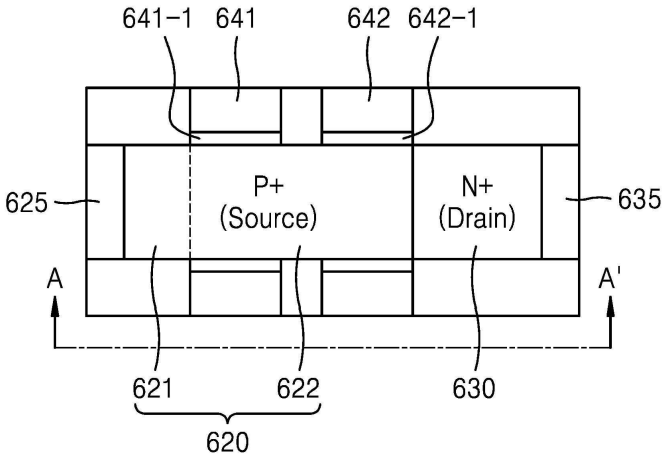
도면5


(a)
B
B'
Ec
Ev
Band-to-Band
Tunneling
(BTBT)
Energy
VD = VDD/2 (V)
VAG = 0 (V)
Position
(b)
C
C'
Ec
Ev
Band-to-Band
Tunneling (BTBT)
Energy
VD = VDD/2 (V)
VAG = 0 (V)
VCG = VDD (V)
Position

도면6

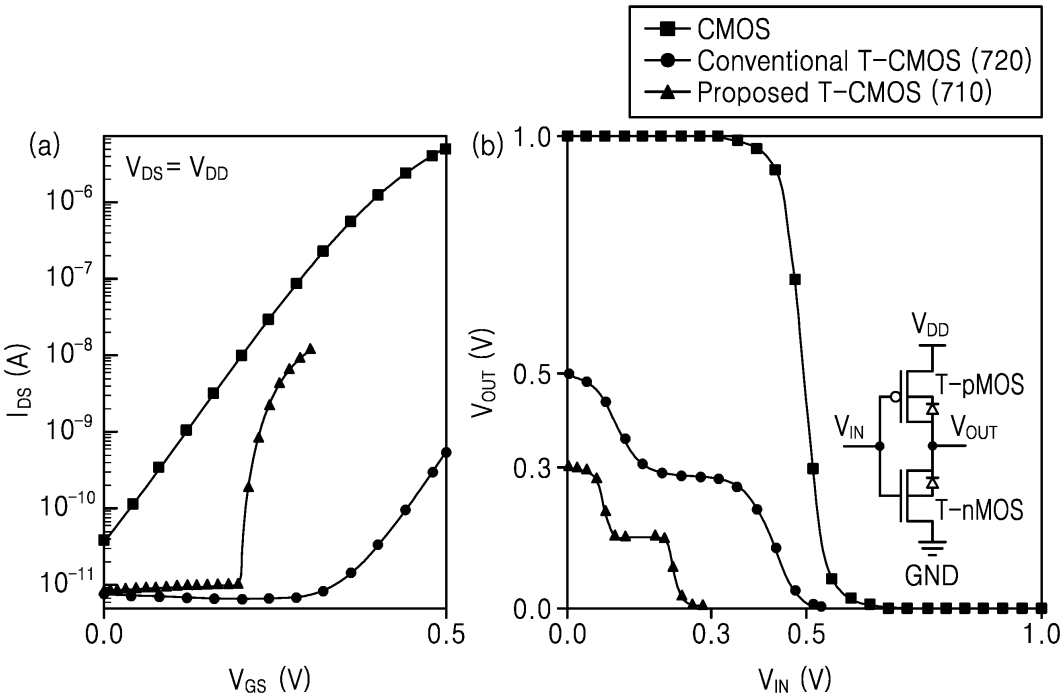

600
640
642
635
FS
642-1
641-1
641
A'
625
N+
(Drain)
611
610
P+
(Source)
A
630
620
DR2
DR1
DR3

(a)

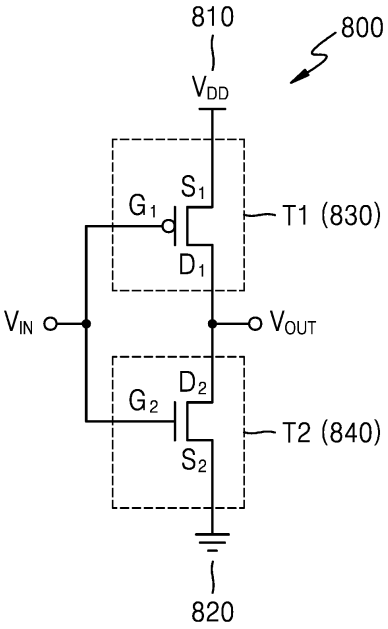

641-1
641
642
642-1
625
P+
(Source)
N+
(Drain)
635
A
A'
621
622
630
620

(b)

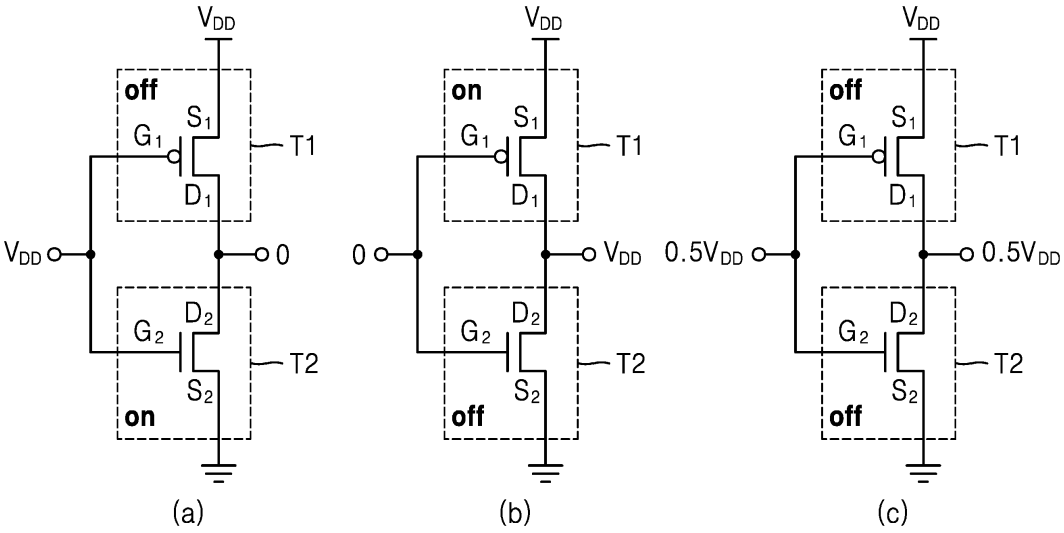
도면7


CMOS
Conventional T-CMOS (720)
Proposed T-CMOS (710)
(a)
$V_{DS} = V_{DD}$
10^{-6}
10^{-7}
10^{-8}
10^{-9}
10^{-10}
10^{-11}
I_{DS} (A)
0.0
0.5
V_{GS} (V)
(b)
1.0
0.5
0.3
0.0
V_{OUT} (V)
0.0
0.3
0.5
1.0
V_{IN} (V)
V_{DD}
T-pMOS
V_{IN}
V_{OUT}
T-nMOS
GND

도면8


810
800
V_{DD}
S_1
G_1
T1 (830)
D_1
V_{IN}
V_{OUT}
D_2
G_2
T2 (840)
S_2
820

도면9


VDD
off
S1
G1
T1
D1
VDD
0
D2
G2
T2
S2
on
(a)
VDD
on
S1
G1
T1
D1
0
VDD
D2
G2
T2
S2
off
(b)
VDD
off
S1
G1
T1
D1
0.5VDD
0.5VDD
D2
G2
T2
S2
off
(c)