



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I515744 B

(45)公告日：中華民國 105 (2016) 年 01 月 01 日

(21)申請案號：101140508

(22)申請日：中華民國 101 (2012) 年 11 月 01 日

(51)Int. Cl. : G11C29/50 (2006.01)

G11C29/00 (2006.01)

(30)優先權：2011/11/09 美國

13/293,056

2012/10/22 世界智慧財產權組織

PCT/US12/61386

(71)申請人：超捷公司(美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72)發明人：馬克夫 維多 MARKOV, VIKTOR (US)；俞鐘元 YOO, JONG-WON (KR)；班薩

爾 沙蒂希 BANSAL, SATISH (US)；柯多夫 亞歷山大 KOTOV, ALEXANDER

(US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

US 4809231

US 2004/0049724A1

審查人員：謝志偉

申請專利範圍項數：6 項 圖式數：3 共 17 頁

(54)名稱

具有浮動閘極之非依電性記憶體胞元之資料保留性測試方法

A METHOD OF TESTING DATA RETENTION OF A NON-VOLATILE MEMORY CELL HAVING A FLOATING GATE

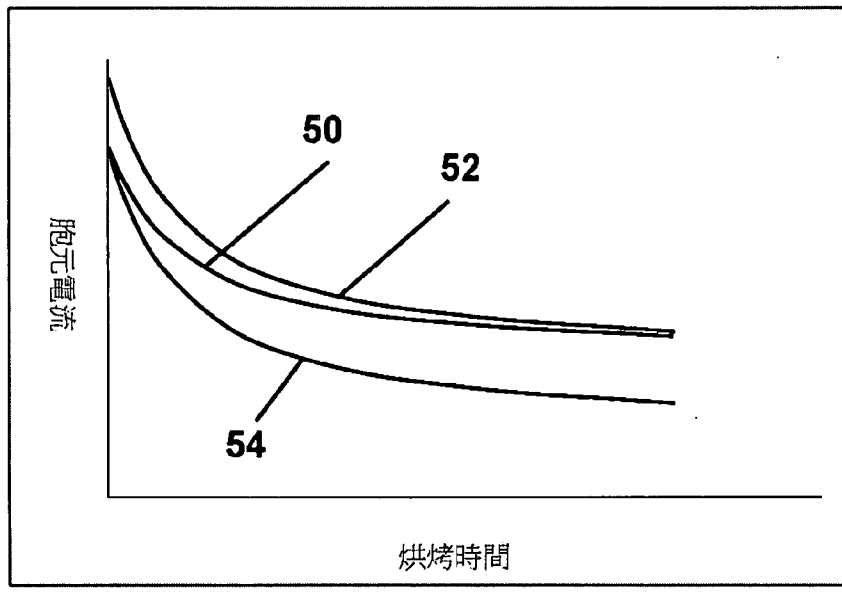
(57)摘要

一種降低測試時間的方法，用以判定具有用來儲存電荷的浮動閘極之記憶體胞元的資料保留性，來判定該記憶體胞元是否有來自浮動閘極之漏電流。此記憶體胞元之特性在於漏電流的漏電速率，依浮動閘極之電壓之絕對值而定。此記憶體胞元進一步的特性在於有一第一抹除電壓與第一規劃電壓，於正常運作期間施加，以及於正常運作期間檢出的一第一讀取電流。本方法施加大於第一抹除電壓之一電壓來過度抹除該浮動閘極。包括浮動閘極之記憶體胞元接受一單一高溫烘烤。該記憶體胞元接著基於該單一高溫烘烤來測試浮動閘極之資料保留性。一替代法施加大於第一規劃電壓之一電壓來過度規劃該浮動閘極。包括浮動閘極之記憶體胞元接受一單一高溫烘烤。該記憶體胞元接著基於該單一高溫烘烤來測試浮動閘極之資料保留性。

A method of decreasing the test time to determine data retention of a memory cell having a floating gate for the storage of charges thereon to determine if the memory cell has a leakage current from the floating gate. The memory cell is characterized by the leakage current having a rate of leakage which is dependent upon the absolute value of the voltage of the floating gate. The memory cell is further characterized by a first erase voltage and a first programming voltage, applied during normal operation, and a first read current detected during normal operation. The method applies a voltage greater than the first erase voltage to over erase the floating gate. The memory cell including the floating gate is subject to a single high temperature bake. The memory cell is then tested for data retention of the floating gate based on the single high temperature bake. An alternative method is to apply a voltage greater than the first programming voltage to over program the floating gate. The memory cell including the floating gate is subject to a single high

temperature bake. The memory cell is then tested for data retention of the floating gate based on the single high temperature bake.

指定代表圖：



符號簡單說明：

50、52、54 . . . 圖形

圖 3

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101140508

※申請日：101.11.1

※IPC 分類：G11C 29/50 (2006.1)
G11C 29/00 (2006.1)

一、發明名稱：(中文/英文)

具有浮動閘極之非依電性記憶體胞元之資料保留性測試方法

A METHOD OF TESTING DATA RETENTION OF A NON-VOLATILE MEMORY CELL HAVING A FLOATING GATE

二、中文發明摘要：

一種降低測試時間的方法，用以判定具有用來儲存電荷的浮動閘極之記憶體胞元的資料保留性，來判定該記憶體胞元是否有來自浮動閘極之漏電流。此記憶體胞元之特性在於漏電流的漏電速率，依浮動閘極之電壓之絕對值而定。此記憶體胞元進一步的特性在於有一第一抹除電壓與一第一規劃電壓，於正常運作期間施加，以及於正常運作期間檢出的一第一讀取電流。本方法施加大於第一抹除電壓之一電壓來過度抹除該浮動閘極。包括浮動閘極之記憶體胞元接受一單一高溫烘烤。該記憶體胞元接著基於該單一高溫烘烤來測試浮動閘極之資料保留性。一替代法施加大於第一規劃電壓之一電壓來過度規劃該浮動閘極。包括浮動閘極之記憶體胞元接受一單一高溫烘烤。該記憶體胞元接著基於該單一高溫烘烤來測試浮動閘極之資料保留性。

三、英文發明摘要：

A method of decreasing the test time to determine data retention of a memory cell having a floating gate for the storage of charges thereon to determine if the memory cell has a leakage current from the floating gate. The memory cell is characterized by the leakage current having a rate of leakage which is dependent upon the absolute value of the voltage of the floating gate. The memory cell is further characterized by a first erase voltage and a first programming voltage, applied during normal operation, and a first read current detected during normal operation. The method applies a voltage greater than the first erase voltage to over erase the floating gate. The memory cell including the floating gate is subject to a single high temperature bake. The memory cell is then tested for data retention of the floating gate based on the single high temperature bake. An alternative method is to apply a voltage greater than the first programming voltage to over program the floating gate. The memory cell including the floating gate is subject to a single high temperature bake. The memory cell is then tested for data retention of the floating gate based on the single high temperature bake.

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

50、52、54... 圖形

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001]本發明係關於具有浮動閘極之非依電性記憶體胞元之資料保留性測試方法，及更特定地係關於只需一烘烤步驟之方法。

【先前技術】

[0002]具有用來儲存電荷之浮動閘極的非依電性記憶體胞元，在此技藝中是廣為人知的。參照圖 1，顯示的是習知技術之非依電性記憶體胞元 10 的剖面圖。記憶體胞元 10 包含像是 P 型的第一導電性類型的單一結晶基體 12。在基體 12 表面上或附近的是像是 N 型的第二導電性類型的第一區域 14。與第一區域 14 分開的是也屬第二導電性類型的第二區域 16。於第一區域 14 與第二區域 16 之間的是通道區域 18。以多晶矽構成的字線 20 配置在通道區域 18 之第一一部分之上。字線 20 藉由(二)氧化矽層 22 與通道區域 18 隔開。緊鄰並隔離於字線 20 的是也是由多晶矽構成的浮動閘極 24，並且其配置在通道區域 18 之另一一部分之上。浮動閘極 24 藉由另一通常也是(二)氧化矽的絕緣層 30 分隔於通道區域 18。也是由多晶矽構成的耦合閘極 26 被配置在浮動閘極 24 之上，並且與之由另一絕緣層 32 絕緣。在浮動閘極 24 的另一側且與之分開的是抹除閘極 28，也是由多晶矽構成。抹除閘極 28 配置於第二區域 16 之上，並且與其絕緣。抹除閘極 28 也緊鄰並且分隔於耦合閘極 26，並且是相對於耦合閘極 26 的另一側。在記憶體胞元 10 操作期間，儲存

於浮動閘極 24 上的電荷(或是於浮動閘極 24 上不存在電荷)控制第一區域 14 與第二區域 16 之間的電流流動。在浮動閘極 24 上有電荷時，浮動閘極 24 即被規劃。在浮動閘極 24 上沒有電荷時，浮動閘極 24 即被抹除。

[0003]記憶體胞元 10 的運作如下。在規劃運作期間，當電荷儲存在浮動閘極 24 上時，第一正電壓施加至字線 20 使得在字線 20 下方的通道區域 18 之部分具傳導性。第二正電壓施加至耦合閘極 26。第三正電壓施加至第二區域 16。電流施加至第一區域 14。電子被第二區域 16 的正電壓所吸引。當它們靠近浮動閘極 24，它們經歷由施加於耦合閘極 26 的電壓所造成的電場上的突然增加，使得電荷被注入至浮動閘極 24。所以，規劃作用是經由熱電子注入機制產生。在抹除運作期間，當電荷從浮動閘極 24 移除時，一高正電壓施加至抹除閘極 28。一負電壓或接地電壓可以施加至耦合閘極 26 及/或字線 20。電荷藉由穿過浮動閘極 24 與抹除閘極 28 之間的絕緣層之穿隧作用，而從浮動閘極 24 轉送至抹除閘極 28。特別是，浮動閘極 24 可以形成有個面向抹除閘極 28 的尖銳尖端，從而促進電子從浮動閘極 24 上的尖端與經過浮動閘極 24 與抹除閘極 28 之間的該絕緣層而達至抹除閘極 28 的福勒-諾得海(Fowler-Nordheim)穿隧作用。在讀取運作期間，一第一正電壓施加至字線 20 來使字線 20 之下的通道區域 18 的部分變成導通。一第二正電壓施加至耦合閘極 26。一電壓差施加至第一區域 14 與第二區域 16。如果浮動閘極 24 被規劃，亦即浮動閘極 24 儲

存著電子，則施加至耦合閘極 26 之該第二正電壓便不能克服儲存在浮動閘極 24 上的電子所誘發之負電位，且在浮動閘極 24 下面的通道區域 18 的部分即維持是非傳導狀態。所以，便沒有電流或只有一最少量電流會於第一區域 14 與第二區域 16 之間流動。然而，如果浮動閘極 24 沒被規劃，亦即浮動閘極 24 受正電充電，則施加至耦合閘極 26 的該第二正電壓便能夠使得浮動閘極 24 下面的通道區域 18 的部分變成有傳導性。所以，電流會於第一區域 14 與第二區域 16 之間流動。

[0004]廣為人知的，記憶體胞元 10 通常在半導體晶圓上以陣列形成，其具有數個記憶體胞元 10 之列和行。裝置在晶圓上製成後，晶圓上的裝置會接受測試來判定每個記憶體胞元 10 保持其規劃與抹除狀態的能力，特別是，每個記憶體胞元 10 中之浮動閘極 24 保持其電荷的能力。在測試期間，記憶體胞元 10 首先被規劃來放入電荷至浮動閘極 24 上，或被抹除來從浮動閘極 24 移除電荷。該裝置接著接受高溫烘烤。最後，裝置中的每個記憶體胞元 10 接受讀取運作，其中來自受測記憶體胞元 10 的讀取電流會與讀取參考電流比較。

[0005]參照圖 2，顯示各個記憶體胞元的讀取電流跟它們的資料之圖形。帶著抹除狀態的胞元，相較於來自浮動閘極上僅有零電荷的記憶體胞元的讀取電流 42，通常會有更高的讀取電流 40，而浮動閘極上僅有零電荷的記憶體胞元通常有比來自經規劃記憶體胞元的讀取電流 44 更高的電

流。因為整合於記憶體陣列中之胞元的參數之分散，某些胞元的讀取電流 42 可能比讀取參考電流還高，而某些胞元的讀取電流 42 則可能比讀取參考電流還低。

[0006]若記憶體胞元 10 對於電荷有經過環繞浮動閘極 24 的介電質之漏電路徑，來自具有抹除狀態之此缺陷記憶體胞元 10 的讀取電流，會降低並往往會有讀取電流 42 的特性；如果來自受測缺陷記憶體胞元 10 的讀取電流保持在讀取參考電流之上，前述狀況在高溫烘烤後即不能被檢出。相似地，來自具有規劃狀態的缺陷記憶體胞元 10 的讀取電流，會增加並往往會有讀取電流 42 的特性；如果來自受測缺陷記憶體胞元 10 的讀取電流保持在讀取參考電流之下，此一狀況在高溫烘烤後便不能被檢知。

[0007]因為非依電性記憶體胞元 10 的這些特性，測試具有習知技術之記憶體胞元 10 的記憶體裝置便涉及兩個步驟。在第一步驟中，一第一資料樣式存入於所有的記憶體裝置中，接續著一第一烘烤步驟，再接續著一測試步驟來判定每個記憶體胞元 10 的讀取電流，並把它們與讀取參考電流比較。在一第二步驟中，一第二資料樣式，其是第一資料樣式之互反樣式，存入於所有的記憶體裝置中，接續著一第二烘烤步驟，再接續著一測試步驟來判定每個記憶體胞元 10 的讀取電流，並把它們與讀取參考電流比較。因為儲存資料樣式至所有記憶體裝置的時間與烘烤裝置的時間是可觀的，這種方式已增加測試記憶體裝置的成本。甚至就算有此習知技術之兩道烘烤過程，然而，有些缺陷記

憶體胞元 10 可能在資料保留性篩選測試後未被檢測出。例如，一缺陷胞元 10 具有高於讀取參考電流之讀取電流 42。於第一測試中，當缺陷胞元 10 是在抹除狀態中時，來自此一胞元的讀取電流會降低並往往會有讀取電流 42 的特性，以致其讀取電流保持在讀取參考電流之上，並且缺陷胞元 10 不會被檢測出。於第二測試中，當缺陷胞元 10 是在規劃狀態中時，來自此一胞元的讀取電流會增加並往往會有讀取電流 42 的特性。然而，如果在烘烤過程期間漏電太慢，來自缺陷胞元 10 的讀取電流在烘烤過程期間不會有時間增加高過於讀取參考電流。所以，因為讀取參考電流通常接近於讀取電流 42，烘烤過程期間的漏電通常是慢的，並且有些缺陷胞元 10 可能在資料保留性篩選後保持未被檢測出。

【發明內容】

[0008]所以，本發明之一目的是降低判定具有用來儲存電荷的浮動閘極之記憶體胞元之資料保留性以判定該記憶體胞元是否有來自浮動閘極之漏電流的測試時間。具有來自浮動閘極之漏電的記憶體胞元的特性所在是，漏電流會依浮動閘極之電壓之絕對值而定。此記憶體胞元的特性所在是於正常運作期間施加之一第一抹除電壓與一第一規劃電壓，以及於正常運作期間檢測到的一第一讀取電流。於本發明之方法中，本方法施加一大於該第一抹除電壓之電壓來過度抹除該浮動閘極。包括此種浮動閘極之記憶體胞元接受一單一高溫烘烤。該記憶體胞元接著基於該單一高

溫烘烤來測試浮動閘極之資料保留性。

[0009]在本發明之另一實施例中，本方法施加一大於該第一規劃電壓之電壓來過度規劃該浮動閘極。包括此種浮動閘極之記憶體胞元接受一單一高溫烘烤。該記憶體胞元接著基於該單一高溫烘烤來測試浮動閘極之資料保留性。

【圖式簡單說明】

[0010]圖 1 是習知技術之非依電性記憶體胞元之剖面圖，其有用來儲存電荷之浮動閘極，本發明之測試方法可適用於此浮動閘極。

[0011]圖 2 顯示經抹除記憶體胞元、浮動閘極上有零電荷之記憶體胞元、以及經規劃記憶體胞元的讀取電流之分佈圖。

[0012]圖 3 顯示具有來自浮動閘極之漏電的記憶體胞元之讀取電流以時間為函數的圖表，其胞元被抹除至一「正常」抹除電壓，及過度抹除至一較高抹除電壓，且以一較低讀取電壓為函數。

【實施方式】

[0013]本發明改進資料保留性之測試之方法，可以應用於所有的浮動閘極式非依電性記憶體胞元，以及特別是圖 1 所顯示之那些記憶體胞元 10。在後文會看到，本發明之方法對於所具漏電會依在浮動閘極上被規劃或抹除之電壓的絕對值而定之浮動閘極式非依電性記憶體胞元，有特別之適用性。

[0014]參照圖 3，顯示一浮動閘極式記憶體胞元 10 之圖

形 50，該胞元以「正常」的抹除電壓抹除，其讀取電流是以時間為函數。所謂「正常」的抹除電壓是指在運作期間記憶體胞元 10 被抹除時所用的電壓。圖形 50 顯示當記憶體胞元 10 隨著時間被烘烤時，讀取電流漸近地降低，並且往往有個對應於浮動閘極 24 上之零電荷的數值。在抹除狀態的記憶體胞元 10 通常的初始讀取電流是大的。然而，因為漏電，浮動閘極 24 流失正電荷，所以讀取電流隨著時間經過而降低。已被發現的是漏電速率依浮動閘極 24 上的電壓而定。所以，如果抹除電壓增加以致其高於「正常」的抹除電壓，以及在記憶體胞元 10 中有相同的漏電，所得結果即是以時間為函數的讀取電流的圖形 52。可從圖 3 顯示的圖形看到，因為讀取電流降低的速度依浮動閘極 24 上的電壓而定，故藉由過度抹除記憶體胞元 10 及烘烤記憶體胞元 10，缺陷胞元 10 的讀取電流會降低得比在「正常」抹除的情況快。在記憶體胞元 10 被過度抹除後，一較低的電壓或甚至是零或負電壓被施加至耦合閘極 26 來感測讀取電流。使用較低讀取電壓會造成較低讀取電流，並會造成以時間為函數之讀取電流的圖形 54。依此方式，使用較高抹除電壓與較低讀取電壓，會加速漏電與提升一缺陷胞元的可檢測性。為有最佳效能，建議的是在抹除與讀取運作期間保持施加到抹除閘極 28 與耦合閘極 26 的電壓之間的確定關係，以致浮動閘極 24 上在讀取運作期間的電壓，及特別是來自記憶體胞元 10 的讀取電流，會與習知技術的方法在讀取操作期間者相同， $\Delta V_{eg} = (\Delta V_{cge} - \Delta V_{cgr}) * CR_{cg}/$

(1-CReg)，其中 ΔV_{eg} 是本發明的方法中在抹除運作期間施加在抹除閘極 28 的電壓、與「正常」抹除電壓之間的差， ΔV_{cge} 是本發明的方法中在抹除運作期間施加予耦合閘極 26 的電壓、與習知技術的方法中在抹除運作期間施加予耦合閘極 26 的電壓之間的差， ΔV_{cgr} 是本發明的方法中在讀取運作期間施加予耦合閘極 26 的電壓、與「正常」讀取電壓之間的差，CReg 是抹除閘極 28 與浮動閘極 24 之間的評估耦合比率，CRcg 是耦合閘極 26 與浮動閘極 24 之間的評估耦合比率。特別是，如果接地電壓在抹除運作期間施加予耦合閘極 26，則 $\Delta V_{eg} = -\Delta V_{cgr} * CRcg / (1 - CReg)$ 。所以，以本發明之方法，在記憶體胞元 10 被一大於「正常」抹除電壓的電壓抹除後，記憶體胞元 10 接受一單一高溫烘烤，並且接著基於單一高溫烘烤來測試出記憶體胞元 10 之資料保留性。如果來自受測試記憶體胞元 10 的讀取電流低於參考電流，那麼此記憶體胞元 10 即被認定為有缺陷。所以，以本發明之方法，僅有一單一高溫烘烤程序需要被應用，且記憶體胞元 10 之資料保留性可被測試。

[0015]已發現的是，本發明測試記憶體胞元 10 之資料保留性的方法，也可以應用於規劃狀態。所以，待測試資料保留性之記憶體胞元 10 先被以耦合閘極規劃電壓予以規劃，該規劃電壓大於「正常」耦合閘極規劃電壓。在記憶體胞元 10 被過度規劃後，一高於「正常」值的電壓可以施加至耦合閘極 26 來感測讀取電流。當浮動閘極 24 上的電壓更負時，讀取電流的增加會更快。因為這樣的現象，藉

由過度規劃記憶體胞元 10 與烘烤記憶體胞元 10，具有來自浮動閘極 24 之漏電的記憶體胞元的讀取電流可能會大幅增加，使其高於讀取參考電流，且具有來自浮動閘極 24 之漏電的記憶體胞元 10 便可檢出。依此方式，便改進了缺陷記憶體胞元 10 的可檢測性。已發現的是，為有最佳效能，規劃電壓上的增加應等於讀取電壓上之增加。所以，以本發明之方法，在記憶體胞元 10 以大於「正常」規劃電壓的一電壓所規劃後，記憶體胞元 10 接受一單一高溫烘烤，並且接著基於單一高溫烘烤來測試記憶體胞元 10 之資料保留性。如果來自受測試的記憶體胞元 10 的讀取電流高於讀取參考電流，那麼此記憶體胞元 10 即被認定為有缺陷。所以，以本發明之方法，僅有一單一高溫烘烤程序需要被應用，以及記憶體胞元 10 之資料保留性可被測試。

[0016]有幾個方式能用來實施本發明之方法。首先，過度抹除或過度規劃電壓可以由外部提供至含有所要的記憶體胞元 10 的測試晶粒。然而，在過度抹除電壓或過度規劃電壓於一專屬接腳上供應的情況下，這可能會需要給晶粒一額外的接腳。替代地，如果過度抹除電壓或過度規劃電壓在也獲多工供應其他電力/信號源之一接腳上供應，那麼這可能會需要在晶粒內有額外電路來辨別此等其他電力/信號與過度抹除電壓或過度規劃電壓。

[0017]另一個實施本發明之方法是在晶粒內部地產生過度抹除電壓或過度規劃電壓。幾乎所有浮動閘極式非依電性記憶體胞元都具有一板上電荷幫浦來產生「正常」抹除

或規劃功能所需之高電壓。為實施本發明之方法，該板上電荷幫浦可以被改變來產生一過度抹除電壓或過度規劃電壓。

[0018]從前文可看出，以本發明之方法，資料保留性之測試可以比習知技術的方法更快地完成。特別是，本發明縮減了測試時間與改進了篩選效率。如上所述，以本發明，使用一過度抹除或過度規劃電壓，在烘烤過程期間在浮動閘極上的電位的絕對值更高，造成漏電的加速，而造成更有效的資料保留性篩選能力。

【主要元件符號說明】

- 10... 非依電性記憶體胞元/缺陷胞元
- 12... 基體
- 14... 第一區域
- 16... 第二區域
- 18... 通道區域
- 20... 字線
- 22... 氧化矽層
- 24... 浮動閘極
- 26... 耦合閘極
- 28... 抹除閘極
- 30、32... 絕緣層
- 40、42、44... 讀取電流
- 50、52、54... 圖形

七、申請專利範圍：

1. 一種測試非依電性記憶體胞元的方法，該胞元具有用來儲存電荷之一浮動閘極，其中該方法係用以在記憶體胞元具有來自該浮動閘極且依該浮動閘極之電壓之絕對值而定的漏電流之情況下測試該記憶體胞元，其中該胞元的特性在於有一第一抹除電壓、一第一規劃電壓與一第一讀取電壓，於正常運作期間施加，以及一經抹除記憶體胞元之一第一讀取電流於正常運作期間檢出，其中該方法包含：

施加大於該第一抹除電壓之一電壓來過度抹除該浮動閘極；

使包括該浮動閘極的該記憶體胞元接受一單一高溫烘烤；以及

藉由施加低於該第一讀取電壓之一讀取電壓，來測試該浮動閘極的資料保留性。

2. 依據請求項1之方法，其中該記憶體胞元的特性在於有：

一第一導電類型的一單一結晶基體，具有一頂面；

在該基體中沿著該頂面之一第二導電類型的一第一區域；

具該第二導電類型的一第二區域，在該基體中沿著該頂面，和該第一區域隔離；

在該第一區域與該第二區域之間的一通道區域；

位於該通道區域的一第一部分上方之一字線閘極，藉由一第一絕緣層而和該通道區域隔離；

位於該通道區域的另一部分上方之一浮動閘極，其與該字線閘極相鄰且分離，其中該浮動閘極藉由一第二絕緣層而和該通道區域隔離；

位於該浮動閘極上方之一耦合閘極，藉由一第三絕緣層和該浮動閘極絕緣；以及

一抹除閘極，其位於與該浮動閘極相鄰且在與該字線閘極相對之一側上；該抹除閘極位於該第二區域上方並且和其絕緣。

3. 依據請求項2之方法，其中在該記憶體胞元之讀取電流於該接受步驟之後低於一讀取參考電流的情況下，該測試步驟即判定該記憶體胞元有缺陷。
4. 一種測試非依電性記憶體胞元的方法，該胞元具有用來儲存電荷之一浮動閘極，其中該方法係用以在記憶體胞元具有來自該浮動閘極且依該浮動閘極之電壓之絕對值而定的漏電流之情況下測試該記憶體胞元，其中該胞元的特性在於有一第一抹除電壓、一第一規劃電壓與一第一讀取電壓，於正常運作期間施加，以及一經規劃記憶體胞元之一第一讀取電流於正常運作期間檢出，其中該方法包含：

施加大於該第一規劃電壓的一電壓來過度規劃該浮動閘極；

使包括該浮動閘極的該記憶體胞元接受一單一高溫烘烤；以及

藉由施加大於該第一讀取電壓之一讀取電壓，來測

試該浮動閘極的資料保留性。

5. 依據請求項4之方法，其中該記憶體胞元的特性在於有：

一第一導電類型的一單一結晶基體，具有一頂面；

在該基體中沿著該頂面之一第二導電類型的一第一區域；

具該第二導電類型的一第二區域，在該基體中沿著該頂面，和該第一區域隔離；

在該第一區域與該第二區域之間的一通道區域；

位於該通道區域的一第一部分上方之一字線閘極，藉由一第一絕緣層而和該通道區域隔離；

位於該通道區域的另一部分上方之一浮動閘極，其與該字線閘極相鄰且分離，其中該浮動閘極藉由一第二絕緣層而和該通道區域分離；

位於該浮動閘極上方之一耦合閘極，藉由一第三絕緣層和該浮動閘極絕緣；以及

一抹除閘極，其位於與該浮動閘極相鄰且在與該字線閘極相對的一側上；該抹除閘極位於該第二區域上方並且和其絕緣。

6. 依據請求項5之方法，其中在該記憶體胞元之讀取電流於該接受步驟之後高於一讀取參考電流的情況下，該測試步驟即判定該記憶體胞元有缺陷。

八、圖式：

1/2

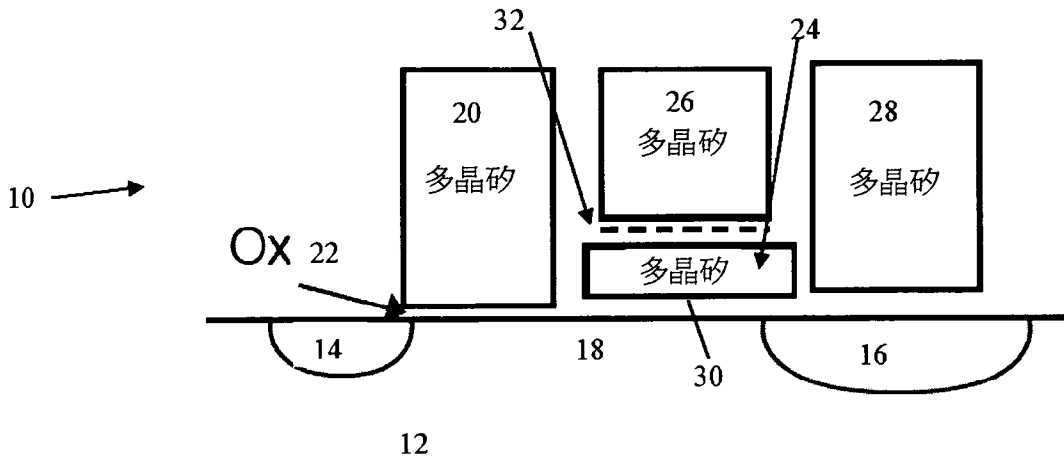


圖 1

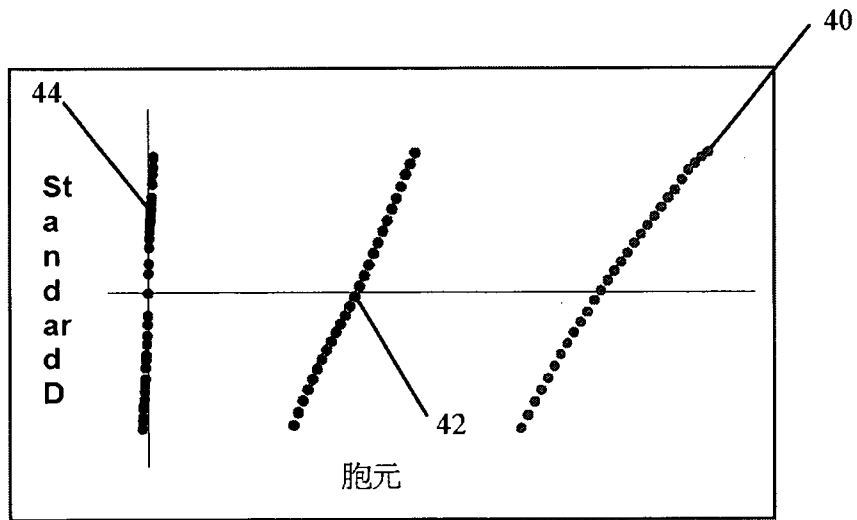


圖 2

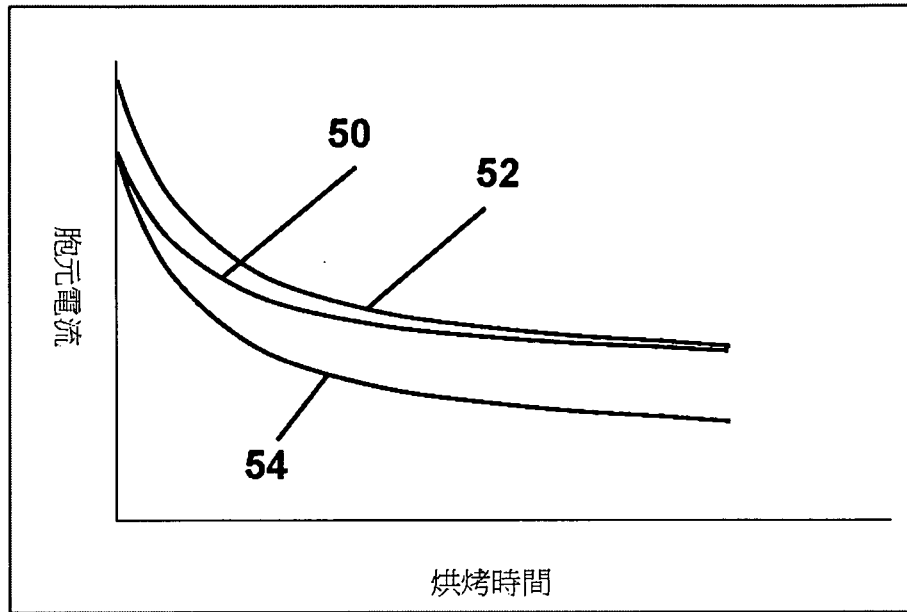


圖 3