(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 6 月 15 日 (15.06.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/096780 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)

(21) 国际申请号: PCT/CN2016/087244

(22) 国际申请日: 2016 年 6 月 27 日 (27.06.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510888884.3 2015 年 12 月 7 日 (07.12.2015) CN
201510888548.9 2015 年 12 月 7 日 (07.12.2015) CN
201610439233.0 2016 年 6 月 17 日 (17.06.2016) CN

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE HAVING HIGH-QUALITY EPITAXIAL LAYER AND METHOD FOR MANUFACTURING SAME

(54) 发明名称 : 具有高质量外延层的半导体器件及其制造方法

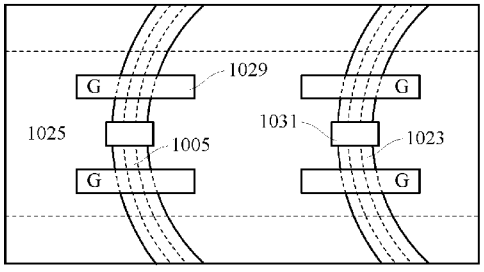

图16

(57) Abstract: Disclosed are a semiconductor device having a high-quality epitaxial layer and a method for manufacturing same. The semiconductor device can comprise: a substrate (1001); a fin-shaped first semiconductor layer (1005) spaced from the substrate (1001), the first semiconductor layer (1005) extending along the bended longitudinal extension direction; and a second semiconductor layer (1023) at least partially surrounding the outer periphery of the first semiconductor layer (1005).

(57) 摘要: 公开了具有高质量外延层的半导体器件及其制造方法。半导体器件可以包括：衬底（1001）；与衬底（1001）相隔开的鳍状第一半导体层（1005），其中第一半导体层（1005）沿弯曲的纵向延伸方向延伸；以及至少部分环绕第一半导体层（1005）外周的第二半导体层（1023）。

WO 2017/096780 A1

具有高质量外延层的半导体器件及其制造方法

相关申请的引用

本申请要求于2016年6月17日递交的题为“具有高质量外延层的半导体器件及其制造方法”的中国专利申请201610439233.0的优先权，其内容一并于此用作参考。

技术领域

本公开涉及半导体领域，更具体地，涉及一种具有高质量外延层的半导体器件及其制造方法。

背景技术

随着半导体器件的发展，期望以迁移率高于硅（Si）的半导体材料来制作高性能半导体器件如金属氧化物半导体场效应晶体管（MOSFET）。但是，难以形成高质量的高迁移率半导体材料。

发明内容

本公开的目的至少部分地在于提供一种具有高质量外延层的半导体器件及其制造方法。

根据本公开的一个方面，提供了一种半导体器件，包括：衬底；与衬底相隔开的鳍状第一半导体层，其中第一半导体层沿弯曲的纵向延伸方向延伸；以及至少部分环绕第一半导体层外周的第二半导体层。

根据本公开的另一方面，提供了一种制造半导体器件的方法，包括：在衬底上形成沿弯曲的纵向延伸方向延伸的第一鳍状结构和第二鳍状结构，第一鳍状结构堆叠在第二鳍状结构之上；在第一鳍状结构和第二鳍状结构上形成用以支撑第一鳍状结构的支撑部；至少部分去除第二鳍状结构靠近第一鳍状结构底部的部分，从而第一鳍状结构与第二鳍状结构相分离而形成第一半导体层；以及以第一半导体层为种子层，生长第二半导体层。

根据本公开的实施例，可以利用相对于衬底悬置的（薄）弯曲第一半导体

层作为种子层，来生长第二半导体层，第二半导体层可以具有高迁移率。这种悬置的弯曲薄种子层可以使第一半导体层和第二半导体层中的应力弛豫，从而有助于抑制第一半导体层或第二半导体层中的缺陷。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-16 是示意性示出了根据本公开实施例的制造半导体器件流程的示意图；

图 17-18 是示意性示出了根据本公开另一实施例的制造半导体器件流程中部分阶段的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，提供了一种具有悬置鳍结构的半导体器件。在此，所谓“鳍结构”，是指相对于衬底表面突出的构造，包括但不限于鳍式场效应晶体管（FinFET）中的鳍；所谓“悬置”，是指鳍与衬底相分离。注意，鳍与

衬底之间的间隔可以被其他材料（例如，隔离层）填充。鳍可以包括高迁移率半导体材料，以改善器件性能。在此，所谓的“高迁移率”是指相对于硅（Si）的迁移率要高。高迁移率半导体材料例如 Ge、SiGe 或 III-V 族化合物半导体等。

鳍可以是在衬底上与衬底隔开的第一半导体层上（例如，外延）形成的第二半导体层。第一半导体层可以呈沿弯曲（例如，大致“C”形或“S”形）纵向延伸方向延伸的鳍状，且相对于衬底悬置。于是，第二半导体层可以至少部分地环绕第一半导体层的外周形成，从而也呈鳍状且随后可以用作器件的鳍。在此，所谓“部分地环绕”，是指沿第一半导体层的纵向延伸方向可以存在一范围，在该范围内，第二半导体层可以完全包封第一半导体层的外表面。也即，在该范围内，在与第一半导体层的纵向延伸方向垂直的截面上，第二半导体层可以形成闭合图案（例如，与第一半导体层的截面形状相对应的矩形、多边形等）。当然，第一半导体层除了被支撑部覆盖的表面之外，其余表面也可以被第二半导体层覆盖。第一半导体层相对较薄（例如，厚度为约 3~20nm），且相对于衬底悬置。这样，在生长过程中第一半导体层和第二半导体层中的应力可以得以弛豫，且因此可以抑制或避免在第一半导体层或第二半导体层中产生缺陷。

第一半导体层可以经支撑部物理连接到衬底并因此由衬底支撑。在第一半导体层的纵向延伸方向上，第一半导体层与支撑部相连接的部分的延伸范围可以小于第一半导体层的纵向延伸长度。这样，当仅观察第一半导体层、衬底和支撑部之间的位置关系（不考虑其他层结构）时，第一半导体层类似于一种悬梁构造，支撑部类似于悬梁的锚定结构（anchor）。

支撑部可以包括沿衬底表面延伸的横向延伸部分以及沿大致垂直于衬底表面的方向延伸的竖直延伸部分，其中竖直延伸部分延伸至第一半导体层大致垂直于衬底表面的竖直侧壁上。这样，通过该支撑部，将第一半导体层物理连接到衬底上，并因此由衬底支撑。支撑部的竖直延伸部分可以在第一半导体层的相对两侧的竖直侧壁上延伸，从而夹持第一半导体层。

支撑部可以设于鳍状的第一半导体层的两侧端部。

对于形成场效应晶体管的情形，衬底上可以形成有隔离层，用以电隔离场

效应晶体管的栅堆叠和衬底。隔离层可以填充第一和第二半导体层与衬底之间的空间，并少部分地露出第二半导体层。例如，在第二半导体层下方，隔离层可以与第二半导体层相接；而在其余位置处，隔离层的顶面可以比第二半导体层面向衬底的底面要靠近衬底。在第二半导体层下方，隔离层可以具有底切。这样，栅堆叠可以嵌入到该底切中，从而可以有效控制栅的底部。

根据实施例，基于同一鳍（即，第二半导体层）可以形成多个器件。例如，可以基于该鳍沿其纵向延伸方向的不同部分，分别形成相应的器件。在场效应晶体管的情况下，与同一鳍（即，第二半导体层）相交的栅堆叠可以多于一个，例如两个或更多，以分别形成相应的器件。例如，栅堆叠可以包括沿鳍的纵向延伸方向分开的第一栅堆叠和第二栅堆叠。第一栅堆叠可以与鳍沿纵向延伸方向的第一部分（即，绕第一半导体层沿纵向延伸方向的第一部分外周形成的第二半导体层部分）相交，第二栅堆叠可以与鳍沿纵向延伸方向的第二部分（即，绕第一半导体层沿纵向延伸方向的第二部分外周形成的第二半导体层部分）相交。第一栅堆叠和第二栅堆叠各自对应的器件可以彼此隔离。例如，可以形成有电介质层，以将第一半导体层的第一部分和第二部分隔开。该电介质层可以沿与第一半导体层的纵向延伸方向相交的方向延伸，并可以进一步将第二半导体层的不同部分隔开。

这种半导体器件例如可以如下制作。具体地，可以在衬底上形成具有弯曲（例如，大致“C”形或“S”形）纵向延伸方向的第一鳍状结构和第二鳍状结构，其中第一鳍状结构堆叠在第二鳍状结构之上。随后，当至少去除该第二鳍状结构靠近第一鳍状结构底部的部分时，第一鳍状结构可以与第二鳍状结构相分离而形成第一半导体层，第一半导体层可以相对于衬底（或者说，相对于衬底+第二鳍状结构的剩余部分）悬置。

为了支撑随后将悬置的第一半导体层，可以形成支撑部。这种支撑部可以如下形成。具体地，可以在形成有第一和第二鳍状结构的衬底上形成层状材料（以下称作支撑层），并通过将该支撑层构图为在物理上连接第一和第二鳍状结构的表面来形成支撑部。这样，当至少去除第二鳍状结构靠近第一鳍状结构底部的部分时，第一半导体层可以通过支撑部在物理上连接到第二鳍状结构的剩余部分，并因此由第二鳍状结构的剩余部分支撑。更进一步地，可以将支撑

层构图为从衬底表面延伸至第一鳍状结构的表面并因此将第一鳍状结构与衬底在物理上连接的支撑部。这样，即便第二鳍状结构被完全去除，第一半导体层也可以通过支撑部在物理上连接到衬底并以此由衬底支撑。

支撑层的构图可以利用掩模进行。在垂直于第一和第二鳍状结构纵向延伸方向的方向上，掩模在第一和第二鳍状结构上方延伸超出第一和第二鳍状结构的范围（这样，掩模可以遮蔽支撑层在第一和第二鳍状结构两侧的衬底表面上延伸的部分，从而该部分随后可以得以保留）；而在第一和第二鳍状结构的纵向延伸方向上，掩模在第一和第二鳍状结构上方覆盖第一和第二鳍状结构的纵向延伸长度的仅一部分（这样，掩模遮蔽第一和第二鳍状结构的纵向延伸范围的仅一部分，从而该部分随后可以与支撑部相连）。掩模可以覆盖第一和第二鳍状结构的两侧端部，得到的支撑部可以相应地位于第一和第二鳍状结构的两侧端部。

之后，可以至少去除第二鳍状结构靠近第一鳍状结构底部的部分。这样，第一半导体层相对于衬底类似于悬梁构造，支撑部类似于悬梁的锚定结构（anchor），将作为悬梁的第一半导体层锚定至衬底。

为了便于去除至少去除第二鳍状结构靠近第一鳍状结构底部的部分或者乃至去除整个第二鳍状结构，第二鳍状结构可以包括在衬底上形成的牺牲层，且第一鳍状结构可以包括叠置在牺牲层上的第一半导体层。例如，可以在衬底上依次形成牺牲层和第一半导体层，然后可以将第一半导体层和牺牲层构图为鳍状结构。在该构图步骤可以进行到衬底中，从而在衬底上与鳍状结构相对应的位置处可以具有突起。随后，可以选择性去除牺牲层。

由于第一半导体层悬置从而其表面露出，可以在其表面上生长第二半导体层。于是，在充分生长的情况下，第二半导体层可以覆盖第一半导体层（被支撑部）露出的所有表面。这种第二半导体层可以同第一半导体层一样呈（弯曲）鳍状，且随后可以充当器件的鳍。

以鳍为基础，可以有多种方式来完成器件的制造。例如，可以在衬底上形成隔离层，并在隔离层上形成与第二半导体层相交的栅堆叠。隔离层可以填充第一半导体层、第二半导体层与衬底之间的空间，且至少部分地露出第二半导体层。隔离层可以通过淀积电介质如氧化物并回蚀来得到。支撑部的材料可以

不同于隔离层的材料，这样在回蚀时不会破坏支撑部。可以将隔离层回蚀为使得在第二半导体层下方，隔离层与第二半导体层相接；而在其余位置处，隔离层的顶面比第二半导体层面向衬底的底面要靠近衬底。此外，在回蚀时，可以在第二半导体层下方形成底切。

此外，在形成栅堆叠时，如上所述，针对同一鳍，可以形成与之相交的两个或更多栅堆叠，以分别形成相应的器件。可以在各器件之间按设计需要形成隔离。例如，可以在隔离层上形成沿与第一半导体层的纵向延伸方向相交的方向延伸的电介质层，该电介质层可以将第一半导体层分为第一部分和第二部分，并可以将第二半导体层分为第一部分和第二部分。栅堆叠可以形成为包括与第二半导体层的第一部分相交的第一栅堆叠以及与第二半导体层的第一部分相交的第二栅堆叠。

本公开可以各种形式呈现，以下将描述其中一些示例。

如图 1(a)和 1(b)（图 1(a)是俯视图，图 1(b)是沿图 1(a)中 AA'线的截面图）所示，提供衬底 1001。该衬底 1001 可以是各种形式的衬底，例如但不限于体半导体材料衬底如体 Si 衬底等。在以下的描述中，为方便说明，以体 Si 衬底为例进行描述。

在衬底 1001 上，例如通过外延生长，依次形成牺牲层 1003 和第一半导体层 1005。牺牲层 1003 可以包括与衬底 1001 和第一半导体层 1005 不同的半导体材料，如 SiGe（Ge 的原子百分比例如为约 5~20%），厚度为约 10~100nm。第一半导体层 1005 可以包括合适的半导体材料，例如 Si，厚度为约 10~100nm。

随后，可以对如此形成的第一半导体层 1005 和牺牲层 1003（可选地，还有衬底 1001）进行构图，以形成鳍状结构。例如，这可以如下进行。

具体地，可以在第一半导体层 1005 上形成硬掩模层。在该示例中，硬掩膜层可以包括氧化物（例如，氧化硅）层 1007 和多晶 Si 层 1009。例如，氧化物层 1007 的厚度为约 2~10nm，多晶 Si 层 1009 的厚度为约 50~120nm。在该示例中，利用图形转移技术，来将硬掩膜构图为鳍状。为此，可以在硬掩膜层上形成构图（例如，通过曝光、显影）的光刻胶 PR。在此，光刻胶 PR 被构图沿弯曲方向延伸的条状，且其宽度（图中水平方向上的维度）可以大致对应于两个鳍状结构之间的间距。这种弯曲形状可以是弧形、弓形、多项式曲线或

其组合等。在该示例中，光刻胶 PR 被构图为大致呈“C”形。

接着，如图 2 所示，以该光刻胶 PR 为掩模，对多晶 Si 层 1009（相对于氧化层 1007）进行选择性刻蚀如反应离子刻蚀（RIE）。这样，可以将多晶 Si 层 1009 构图为与光刻胶 PR 相对应的弯曲条状。接着，如图 3(a)和 3(b)（图 3(a)是俯视图，图 3(b)是沿图 3(a)中 AA'线的截面图）所示，去除光刻胶 PR，并在多晶 Si 层 1009 的侧壁上形成侧墙（spacer）1011。本领域存在多种手段来形成侧墙。例如，可以通过如原子层淀积（ALD）大致共形淀积一层氮化物（例如，氮化硅），厚度例如为约 3~20nm，然后对淀积的氮化物进行选择性刻蚀如 RIE，去除其横向延伸部分，使得竖直延伸部分保留，以形成侧墙 1011。侧墙 1011 覆盖 Si 层 1009 的侧壁。之后，如图 4（对应于图 3(b)中的截面图）所示，可以选择性去除多晶 Si 层 1009（例如，通过 TMAH 溶液）

注意，尽管图 3(a)中未示出，但是在条状多晶 Si 层 1009 的上下两端的侧壁上，也存在侧墙 1011，从而侧墙 1011 绕条状多晶 Si 层 1009 的外周形成封闭图案。例如可以通过光刻，将侧墙 1011 上下两侧的部分去除，从而可以将原本为封闭图案的侧墙 1011 分离为两部分。每一部分对应于将要形成的鳍状结构，在该示例中为如图 3(a)所示的两个“C”形条状。

然后，如图 5 所示，以侧墙 1011 为掩模，可以依次对氧化物层 1007、第一半导体层 1005 和牺牲层 1003 进行选择性刻蚀如 RIE。这样，将侧墙 1011 的图案转移到下方的层中，得到鳍状结构。在此，鳍状结构包括由半导体层 1005 构成的第一鳍状结构和牺牲层 1003 构成的第二鳍状结构。因此，第一半导体层 1005 的宽度（图中水平方向的维度）与侧墙 1011 的宽度大致相同（例如，约 3~20nm）。在此，还可以进一步选择性刻蚀衬底 1001。因此，在与鳍状结构相对应的位置处，衬底 1001 上可以具有突起。鳍状结构在衬底上的投影大致位于该突起的中部。由于刻蚀的特性，刻蚀后的牺牲层 1003 以及衬底 1001 的突起可以呈从上至下逐渐变大的形状。之后，可以选择性去除侧墙 1011，还可以进一步选择性去除氧化物层 1007，如图 6 所示。

尽管在以上利用图形转移技术来形成鳍状结构，但是本公开不限于此。例如，可以直接在第一半导体层 1005 上形成弯曲鳍状的光刻胶，并以光刻胶为掩模，选择性刻蚀第一半导体层 1005、牺牲层 1003 和衬底 1001，以形成弯曲

鳍状结构。或者，也可以在硬掩膜层上直接形成弯曲鳍状的光刻胶，利用光刻胶将硬掩膜构图为弯曲鳍状，并利用弯曲鳍状的硬掩膜依次选择性刻蚀第一半导体层 1005、牺牲层 1003 和衬底 1001，以形成弯曲鳍状结构。

在此，示出了两个鳍状结构。但是，本公开不限于此，例如可以形成更多或更少的鳍状结构。另外，鳍状结构的布局可以根据器件需要不同地设计。

在形成鳍状结构之后，可以形成支撑部。例如，如图 7 所示，可以在形成有鳍状结构的衬底上，例如通过 ALD，以大致共形的方式，淀积氧化物层 1015 和氮化物层 1017。氧化物层 1015 的厚度可以为约 1~10nm，氮化物层 1017 的厚度可以为约 2~15nm。之后，如图 8 中的俯视图所示，可以在图 7 所示的结构上形成构图的光刻胶 1019。该光刻胶 1019 被构图为覆盖鳍状结构两侧（图中上下两侧）的端部，并沿图中的水平方向延伸。这里需要指出的是，在图 8 的俯视图中，仅为方便起见，并未示出氮化物层 1017 随衬底上鳍状结构而起伏的形貌，以下俯视图中同样如此。

随后，如图 9(a)、9(b)和 9(c)（图 9(a)是俯视图，图 9(b)是沿图 9(a)中 AA'线的截面图，图 9(c)是沿图 9(a)中 A1A1'线的截面图）所示，以光刻胶 1019 为掩模，例如通过 RIE（相对于氧化物层 1015）选择性去除氮化物层 1017。这样，如图 9(c)所示，氮化物层 1017 留在鳍状结构两侧（图 9(a)中上下两侧）的端部，并延伸到衬底 1001 的表面上。这样，氮化物层 1017 将鳍状结构与衬底 1001 在物理上连接，并因此可以支撑鳍状结构（特别是在如下所述去除牺牲层 1003 之后）。之后，可以去除光刻胶 1019。

在该实施例中，形成了氧化物层和氮化物层的叠层结构的支撑层，并将该支撑层构图为支撑部。但是，本公开不限于此。支撑层可以包括各种合适的电介质材料。在随后去除支撑部的实施例中，支撑层甚至还可以包括半导体材料或导电材料。

在此需要指出的是，仅为了图示方便起见，图 9(c)所示的截面图与图 9(a)所示的俯视图在位置上有偏移（特别是图 9(c)中两个鳍状结构的位置）。以下相应截面图中同样如此。

此外，如图 10（对应于图 9(c)中的截面图）所示，还可以例如通过 RIE（相对于氧化物层 1015）选择性去除氮化物层 1017 的顶端部分。但是，氮化

物层 1017 仍有一部分留于第一半导体层 1005 的侧壁上，以便随后支撑第一半导体层 1005。

之后，如图 11(a)和 11(b)（图 11(a)对应于图 9(a)中的截面图，图 11(b)对应于图 9(c)中的截面图）所示，可以通过例如 RIE，（相对于 Si 材料的衬底 1001 和第一半导体层 1005 以及 SiGe 材料的牺牲层 1003），选择性去除氧化物层 1015。如图 11(a)所示，鳍状结构的中部被完全露出；此外，如图 11(b)所示，在鳍状结构的两侧端部处，氧化物层 1015 被氮化物层 1017 覆盖，并可以得以保留。然后，如图 12(a)和 12(b)（分别对应于图 11(a)和 11(b)的截面图）所示，可以通过例如湿法腐蚀，（相对于 Si 材料的衬底 1001 和第一半导体层 1005）选择性去除牺牲层 1003。这样，在鳍状的第一半导体层 1005 和衬底 1001 之间形成间隔 1021。

在该示例中，牺牲层 1003 被全部去除。但是，本公开不限于此。例如，牺牲层 1003 可以仅有靠近第一半导体层 1005 底部的部分被去除。这种情况下，同样可以实现下述的绕第一半导体层 1005 外周的生长。

如图 12(a)和 12(b)所示，第一半导体层 1005 通过间隔 1021 与衬底 1001 隔开，大致平行于衬底表面延伸，并经支撑部 1015/1017 而被衬底 1001 支撑。支撑部 1015/1017 包括在衬底 1001 的表面上延伸的横向延伸部分以及沿大致垂直于衬底表面的方向延伸的竖直延伸部分。在该示例中，竖直延伸部分可以包括沿衬底 1011 的突起的表面延伸的部分、沿牺牲层 1003（已经去除）的表面延伸的部分以及沿第一半导体层 1005 的竖直侧壁延伸的部分。这样，支撑部 1015/1017 将第一半导体层 1005 物理连接到衬底 1001，从而可以支撑第一半导体层 1005。支撑部 1015/1017 可以在第一半导体层 1005 的相对两侧（图中左右两侧）的竖直侧壁上延伸，从而夹持第一半导体层，以便更为稳定地支撑第一半导体层 1005。在第一半导体层 1005 的纵向延伸方向上，第一半导体层 1005 与支撑部 1015/1017 相连接部分的延伸范围小于第一半导体层 1005 的纵向延伸长度。在此，所谓“纵向延伸方向”是指第一半导体层 1005 的长度方向，与之后形成的沟道区的长度方向基本上一致，也即，从源区到漏区的方向或者反之亦然。这样，第一半导体层 1005 相对于衬底 1001，形成类似于悬梁的构造，该悬梁通过支撑部 1015/1017 锚定到衬底 1001。

在以上示例中，支撑部除了氮化物层 1017 之外，还包括氧化物层 1015，但是本公开不限于此。例如，在以上结合图 7 描述的操作中，可以不形成氧化物层 1015，而直接形成氮化物层 1017。这样，同样可以按以上结合图 8-12 描述的方式进行后继操作。当然，支撑部也可以是其他电介质材料或叠层结构。

另外，用来构图支撑部的掩模 1019（参见图 8）不限于上述形状。一般地，在垂直于鳍状结构纵向延伸方向的方向上，掩模在鳍状结构上方可以延伸超出鳍状结构的范围。这样，掩模可以覆盖氮化物层 1017 在衬底 1001（突起之外的）表面上延伸的部分，这部分随后可以保留（充当支撑部的底座）。另一方面，在鳍状结构的纵向延伸方向上，掩模在鳍状结构上方可以覆盖鳍状结构的纵向延伸长度的仅一部分。这样，可以形成类似悬梁-锚定结构的配置。

然后，如图 13(a)、13(b)和 13(c)（图 13(a)是俯视图，图 13(b)是沿图 13(a)中 AA'线的截面图，图 13(c)是沿图 13(a)中 A1A1'线的截面图）所示，可以在第一半导体层 1005 上生长第二半导体层 1023。在此，第二半导体层 1023 可以包括高迁移率材料，例如 Ge、SiGe 或 III-V 族化合物半导体如 InSb、InGaSb、InAs、GaAs、InGaAs、AlSb、InP、三族氮化物等，厚度可以为约 5~15nm。在化合物半导体如 SiGe 的情况下，其成分（例如，Ge 原子百分比）可以渐变，使得例如从与第一半导体层 1005（在此，Si）的晶格常数相差较少变为与第一半导体层 1005 的晶格常数相差较大，以便抑制位错或缺陷的生成。

这种生长可以是选择性生长，从而第二半导体层 1023 只在半导体材料的第一半导体层 1005（以及衬底 1001）的表面上生长。可以控制第二半导体层 1023 的生长，使得其没有完全填满第一半导体层 1005 与衬底 1001 之间的间隔 1021。由于第一半导体层 1005 的悬置构造，在生长过程中第一半导体层 1005 和第二半导体层 1023 中的应力可以得以弛豫。

此外，如图 13(a)所示，第二半导体层 1023 如 Ge、SiGe 或 III-V 族化合物半导体层的晶格常数通常大于硅的晶格常数，因此以硅的第一半导体层 1005 为种子生长的第二半导体层 1023 的长度相对于第一半导体层 1005 将增大。于是，如图中箭头所示，第二半导体层 1023 的中心相对于第一半导体层 1005 原本的中心将向左侧偏移。这有助于在生长过程中释放应力。

于是，可以抑制或避免第一半导体层 1005 或第二半导体层 1023 中产生缺

陷，这有助于改善器件性能（例如，降低关态漏电流以及提升开态电流）。

在该示例中，除了被支撑部 1015/1017 覆盖的表面之外，第一半导体层 1005 的其余表面均被第二半导体层覆盖。当然，衬底 1001 的表面上也可以生长有第二半导体层 1023。

在该示例中，沿第一半导体层的纵向延伸方向，除了支撑部所占据的纵向延伸范围之外，在其余纵向延伸范围处，第二半导体层 1023 完全包封第一半导体层 1005 的外周。这样，在与第一半导体层 1005 的纵向延伸方向垂直的截面（即，图 13(b)所示的截面）上，第二半导体层 1023 形成闭合图案（该示例中为矩形）。当然，该闭合图案由第一半导体层 1005 在该截面处的图案所定，可以为其他形状例如多边形。

如此形状的第二半导体层 1023 随后可以充当器件的鳍。

在通过上述处理形成鳍 1023 之后，可以形成与鳍相交的栅堆叠，并形成最终的半导体器件（例如，FinFET）。

为了隔离栅堆叠和衬底，如图 14(a)和 14(b)（分别对应于图 13(a)和 13(b)的截面图）在衬底 1001 上（在该示例中，在衬底 1001 上形成的第二半导体层 1023 上）首先形成隔离层 1025。这种隔离层例如可以通过在衬底上淀积电介质材料如氧化物，且然后进行回蚀来形成。在回蚀过程中，控制回蚀深度，使得得到的隔离层 1025 能够至少部分地露出第二半导体层 1023。此外，隔离层 1025 还填充了间隔 1021。在该示例中，在第二半导体层 1023 下方，隔离层 1025 与第二半导体层 1023 相接；而在其余位置处，隔离层 1025 的顶面比第二半导体层面 1023 的底面要低。另外，在第二半导体层 1023 下方，隔离层 1025 可以形成有底切（由于回蚀导致）。

在该实施例中，隔离层 1025 基本上填满了第一半导体层 1005、第二半导体层 1023 与衬底 1001 之间的空间。但是，本公开不限于此。例如，隔离层 1025 的顶面可以与第二半导体层 1023 的底面脱离。

随后，可以在隔离层 1025 上形成与鳍相交的栅堆叠。例如，这可以如下进行。具体地，如图 15（对应于图 14(a)所示的截面图）所示，可以依次形成栅介质层 1027 和栅导体层 1029。例如，栅介质层 1027 可以包括厚度为约 0.3~2nm 的氧化物（例如，SiO_2 或 GeO_2），栅导体层 1029 可以包括多晶硅；

或者，栅介质层 1027 可以包括厚度为约 1~4nm 的高 K 栅介质如 HfO_2 或 Al_2O_3，栅导体层 1029 可以包括金属栅导体。在高 K 栅介质/金属栅导体的情况下，在栅介质层 1027 和栅导体层 1029 之间还可以形成功函数调节层（未示出），例如 TiN、Al、Ti、TiAlC，厚度为约 1~3nm。

之后，如图 16 中的俯视图所示，可以通过例如光刻，对栅介质层 1027 和栅导体层 1029 进行构图，以形成栅堆叠 G。在此，有两个栅堆叠 G 与同一鳍状结构相交。但是，本公开不限于此。例如，可以仅有一个或者有三个或更多栅堆叠与同一鳍状结构相交。栅堆叠 G 的布局可以根据器件设计而定。

在形成栅堆叠之后，例如可以栅堆叠为掩模，进行晕圈（halo）注入和延伸区（extension）注入。接下来，可以在栅堆叠的侧壁上形成栅侧墙。然后，可以栅堆叠及栅侧墙为掩模，进行源/漏（S/D）注入。随后，可以通过退火，激活注入的离子，以在栅堆叠 G 两侧（图中上下两侧）在第二半导体层 1023 中形成源/漏区。

本领域技术人员知道多种方式来以鳍为基础制作器件，在此对于形成鳍之后的工艺不再赘述。

各栅堆叠 G 与鳍 1023 的相应部分构成相应的器件如 FinFET。根据器件设计，这些器件可以相连接或者相隔离。图 16 中示出了器件之间彼此隔离的示例。具体地，如图 16 所示，可以在隔离层 1025 上形成沿其鳍状结构的纵向延伸方向相交的方向延伸的电介质层 1031，以便将第一半导体层 1005 分成彼此隔离的两部分，并将第二半导体层 1023 分成彼此隔离的两部分。具体地，可以通过光刻，对第二半导体层 1023 和第一半导体层 1005 进行选择性刻蚀，从而在其中形成间隙。然后，向间隙中填充电介质材料如氧化物，来形成电介质层 1031。

这样，就得到了该实施例的半导体器件。如图 15 和 16 所示，该半导体器件可以包括与衬底 1001 相隔开的第一半导体层 1005，第一半导体层 1005 经支撑部 1015/1017 而物理连接到衬底 1001（参见图 12(b)）。绕第一半导体层 1005 的外周，形成有第二半导体层 1023，充当该器件的鳍。此外，该器件还包括隔离层 1025 以及在隔离层 1025 上形成的与鳍 1023 相交的栅堆叠 G（1027、1029）。由于隔离层 1025 的底切，栅堆叠可以嵌入到该底切中，从而可以更有

效地控制鳍 1023 的底部。

在该实施例中，在最终的器件结构中，保留了支撑部。但是，本公开不限于此。支撑部也可以被选择性（至少部分）去除（例如，在形成栅堆叠之后），其去除而导致的空间随后例如可以被其他电介质层填充。

在以上实施例中，在第一半导体层的两侧端部形成了支撑部，并可以将弯曲鳍状结构的两端固定，这对于弯曲的鳍状结构特别有利。但是本公开不限于此，在两侧端部之外或者代替两侧端部，也可以在第一半导体层的其他部位处形成支撑部。

在以上示例中，形成了大致“C”形的弯曲鳍状结构，但是本公开不限于此，可以形成各种弯曲形状，例如弧形、弓形、多项式曲线等或其组合。例如，如图 17 所示，在以上结合图 1(a)描述的操作中，可以将光刻胶 PR 构图为大致“S”形，而不是大致“C”形。其他操作可以如上所述进行。这样，在以上结合图 13(a)-13(c)描述的操作中，可以生长同样大致呈“S”形延伸的第二半导体层 1023，如图 18 所示。第二半导体层 1023 的长度同样可以相对于第一半导体层 1005 变大，如上所述。这样，如图 28 中箭头所示，第二半导体层 1023 的中心相对于第一半导体层 1005 原本的中心将偏移。这有助于在生长过程中释放应力。更具体地，中心可以向弯曲形状的凸出一侧偏移（“S”形上半部向左侧偏移，而“S”形下半部向右侧偏移）。之后，可以按上述方式，形成与“S”形鳍 1023 相交的栅堆叠。

在以上实施例中，以 FinFET 为例进行描述，但是本公开不限于此。本公开的技术可以适用于各种半导体器件，特别是需要利用高迁移率材料如 Ge、SiGe、III-V 族化合物半导体材料等的半导体器件，例如各种光电器件如光电二极管、激光二极管（LD）等。例如，可以通过对种子层上外延生长的半导体层进行相应掺杂来形成 pn 结，以形成二极管。本领域技术人员知道各种方式来以半导体层为基础制造各种半导体器件。

根据本公开实施例的半导体器件可以应用于各种电子设备。例如，通过集成多个这样的半导体器件以及其他器件（例如，其他形式的晶体管等），可以形成集成电路（IC），并由此构建电子设备。因此，本公开还提供了一种包括上述半导体器件的电子设备。电子设备还可以包括与集成电路配合的显示屏幕

以及与集成电路配合的无线收发器等部件。这种电子设备例如智能电话、平板电脑（PC）、个人数字助手（PDA）等。

根据本公开的实施例，还提供了一种芯片系统（SoC）的制造方法。该方法可以包括上述制造半导体器件的方法。具体地，可以在芯片上集成多种器件，其中至少一些是根据本公开的方法制造的。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求 书

1. 一种半导体器件，包括:

衬底;

与衬底相隔开的鳍状第一半导体层，其中第一半导体层沿弯曲的纵向延伸方向延伸；以及

至少部分环绕第一半导体层外周的第二半导体层。

2. 根据权利要求 1 所述的半导体器件，还包括:

在衬底上形成的隔离层，隔离层至少部分地露出第二半导体层，露出的第二半导体层呈鳍状延伸；以及

在隔离层上形成的与第二半导体层相交的栅堆叠。

3. 根据权利要求 2 所述的半导体器件，其中，至少部分环绕第一半导体层外周的第二半导体层位于第一半导体层与栅堆叠之间。

4. 根据权利要求 1 所述的半导体器件，其中，第一半导体层大致呈“C”形或“S”形。

5. 根据权利要求 1 所述的半导体器件，其中，第一半导体层沿其纵向延伸方向包括第一部分和第二部分，第二半导体包括至少部分环绕第一半导体层的第一部分外周形成的第一部分以及至少部分环绕第一半导体层的第二部分外周形成的第二部分。

6. 根据权利要求 2 所述的半导体器件，其中，第一半导体层沿其纵向延伸方向包括第一部分和第二部分，第二半导体包括至少部分环绕第一半导体层的第一部分外周形成的第一部分以及至少部分环绕第一半导体层的第二部分外周形成的第二部分，且栅堆叠包括与第二半导体层的第一部分相交的第一栅堆叠以及与第二半导体层的第一部分相交的第二栅堆叠。

7. 根据权利要求 5 或 6 所述的半导体器件，还包括：沿与第一半导体层的纵向延伸方向相交的方向延伸的电介质层，其中该电介质层将第一半导体层的第一部分与第二部分相隔离，且将第二半导体层的第一部分与第二部分相隔离。

8. 根据权利要求 1 所述的半导体器件，还包括：支撑部，第一半导体层

经支撑部而在物理上连接到衬底。

9. 根据权利要求 8 所述的半导体器件，其中，在第一半导体层的纵向延伸方向上，第一半导体层与支撑部相连接的部分的延伸范围小于第一半导体层的纵向延伸长度。

10 根据权利要求 8 所述的半导体器件，其中，支撑部包括沿衬底表面延伸的横向延伸部分以及沿大致垂直于衬底表面的方向延伸的竖直延伸部分，其中竖直延伸部分延伸至第一半导体层大致垂直于衬底表面的竖直侧壁上。

11. 根据权利要求 10 所述的半导体器件，其中，支撑部的竖直延伸部分在第一半导体层的相对两侧的竖直侧壁上延伸，从而夹持第一半导体层。

12. 根据权利要求 8 所述的半导体器件，其中，支撑部设于鳍状的第一半导体层的两侧端部。

13. 根据权利要求 2 所述的半导体器件，其中，隔离层填充第一半导体、第二半导体层与衬底之间的空间。

14. 根据权利要求 2 所述的半导体器件，其中，在第二半导体层下方，隔离层与第二半导体层相接；而在其余位置处，隔离层的顶面比第二半导体层面向衬底的底面要靠近衬底。

15. 根据权利要求 14 所述的半导体器件，其中，在第二半导体层下方，隔离层具有底切。

16. 根据权利要求 1 所述的半导体器件，其中，第一半导体层包括 Si，第二半导体层包括 Ge、SiGe 或 III-V 族化合物半导体。

17. 一种制造半导体器件的方法，包括:

在衬底上形成沿弯曲的纵向延伸方向延伸的第一鳍状结构和第二鳍状结构，第一鳍状结构堆叠在第二鳍状结构之上;

在第一鳍状结构和第二鳍状结构上形成用以支撑第一鳍状结构的支撑部;

至少部分去除第二鳍状结构靠近第一鳍状结构底部的部分，从而第一鳍状结构与第二鳍状结构相分离而形成第一半导体层；以及

以第一半导体层为种子层，生长第二半导体层。

18. 根据权利要求 17 所述的方法，其中，第二鳍状结构包括在衬底上形成的牺牲层，第一鳍状结构包括叠置在牺牲层上的第一半导体层。

19. 根据权利要求 18 所述的方法，其中，形成第一鳍状结构和第二鳍状结构包括：依次将第一半导体层和牺牲层构图为鳍状结构。

20. 根据权利要求 18 所述的方法，其中，至少部分去除第二鳍状结构靠近第一鳍状结构底部的部分包括：选择性去除牺牲层。

21. 根据权利要求 17 所述的方法，其中，通过选择性生长，来生长第二半导体层。

22. 根据权利要求 17 所述的方法，进一步包括：

在衬底上形成隔离层，其中隔离层至少部分地露出第二半导体层，露出的第二半导体层呈鳍状延伸；以及

在隔离层上形成与第二半导体层相交的栅堆叠。

23. 根据权利要求 22 所述的方法，其中，隔离层填充第一半导体、第二半导体层与衬底之间的空间。

24. 根据权利要求 17 所述的方法，其中，将第一半导体层形成为大致呈“C”形或“S”形。

25. 根据权利要求 17 所述的方法，其中，形成支撑部包括：

在形成有第一和第二鳍状结构的衬底上形成层状材料，并通过将该层状材料构图为在物理上连接第一和第二鳍状结构的表面来形成支撑部。

26. 根据权利要求 27 所述的方法，其中，形成支撑部包括：

在形成有第一和第二鳍状结构的衬底上形成层状材料，并通过将该层状材料构图为从衬底表面延伸至第一鳍状结构的表面并因此将第一鳍状结构与衬底在物理上连接，来形成支撑部。

27. 根据权利要求 26 所述的方法，其中，形成层状材料并对其构图包括：

形成层状材料使其覆盖第一鳍状结构、第二鳍状结构和衬底表面，并形成掩模以遮蔽一部分层状材料，其中，在垂直于第一和第二鳍状结构纵向延伸方向的方向上，掩模在第一和第二鳍状结构上方延伸超出第一和第二鳍状结构的范围；而在第一和第二鳍状结构的纵向延伸方向上，掩模在第一和第二鳍状结构上方覆盖第一和第二鳍状结构的纵向延伸长度的仅一部分；

选择性去除未被遮蔽的层状材料部分；以及

去除掩模。

28. 根据权利要求 27 所述的方法，其中，在去除掩模后，该方法还包括:

选择性去除支撑部的顶端部分，以露出第一鳍状结构的顶面以及部分侧壁。

29. 根据权利要求 27 所述的方法，其中，形成掩模包括:

使掩模覆盖第一和第二鳍状结构的两侧端部。

30. 根据权利要求 27 所述的方法，其中，形成层状材料包括:

以大致共形的方式，依次淀积氧化物层和氮化物层。

31. 根据权利要求 22 所述的方法，其中，形成隔离层包括:

在衬底上形成氧化物层;

对氧化物层进行回蚀，使得在第二半导体层下方，隔离层与第二半导体层相接; 而在其余位置处，隔离层的顶面比第二半导体层面向衬底的底面要靠近衬底。

32. 根据权利要求 31 所述的方法，其中，在对氧化物层进行回蚀时，在第二半导体层下方形成底切。

33. 根据权利要求 22 所述的方法，还包括:

在隔离层上形成沿与第一半导体层的纵向延伸方向相交的方向延伸的电介质层，该电介质层将第一半导体层分为第一部分和第二部分，并将第二半导体层分为第一部分和第二部分，

其中，栅堆叠包括与第二半导体层的第一部分相交的第一栅堆叠以及与第二半导体层的第一部分相交的第二栅堆叠。

34. 一种电子设备，包括由如权利要求 1~16 中任一项所述的半导体器件形成的集成电路。

35. 根据权利要求 34 所述的电子设备，还包括: 与所述集成电路配合的显示器以及与所述集成电路配合的无线收发器。

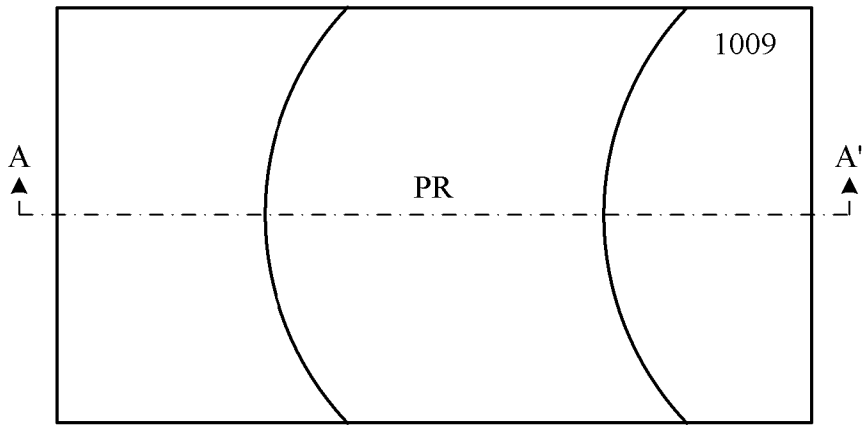

图1(a)

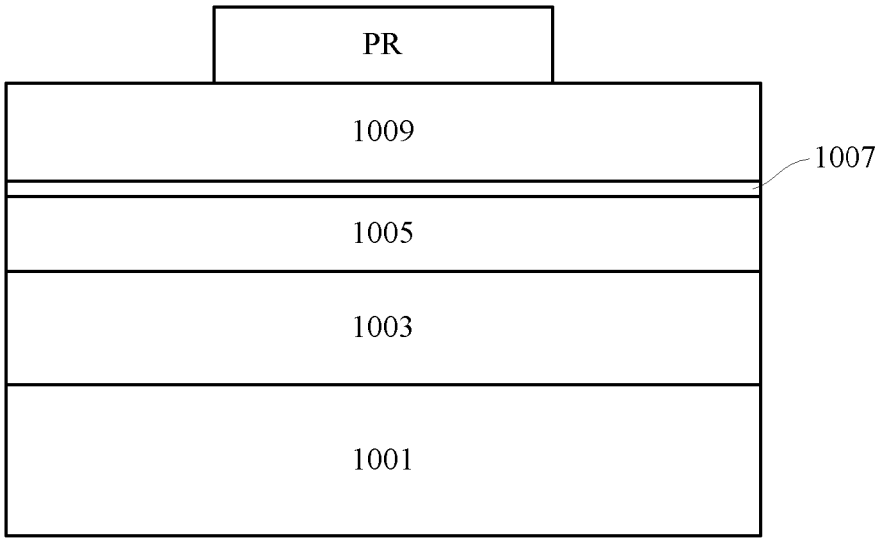

图1(b)

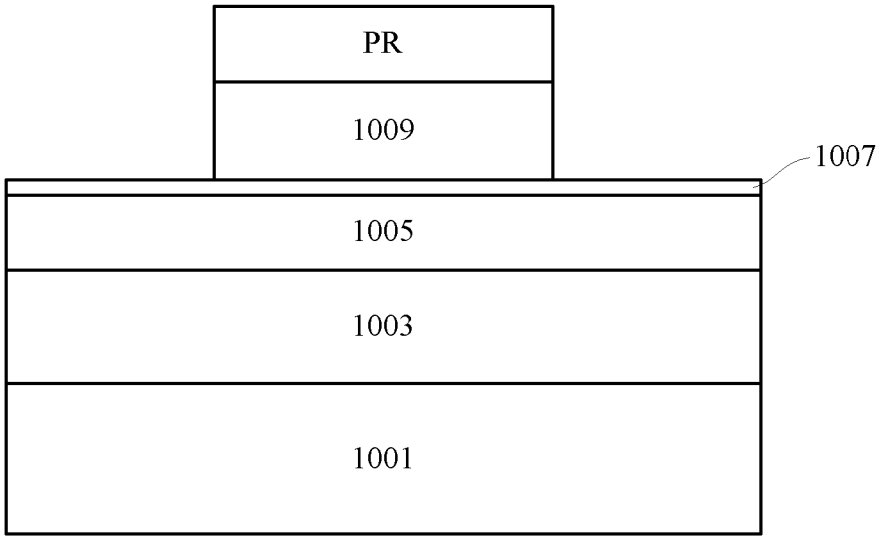

图2

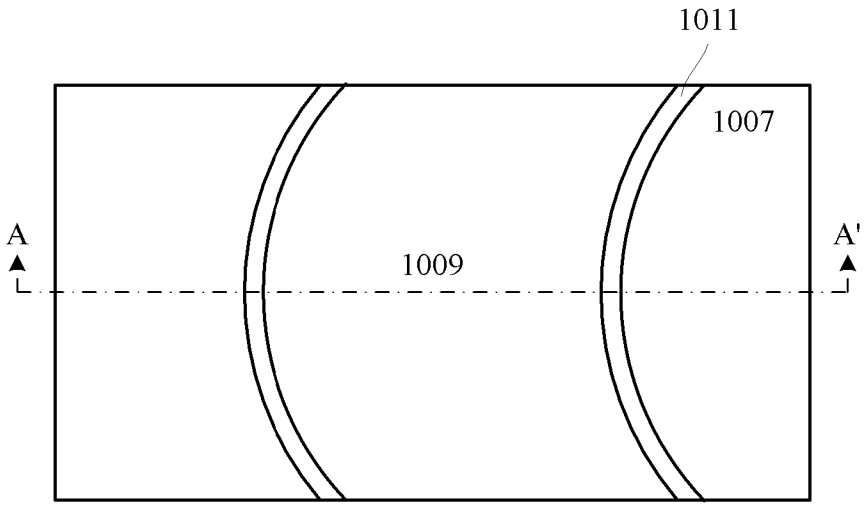

图3(a)

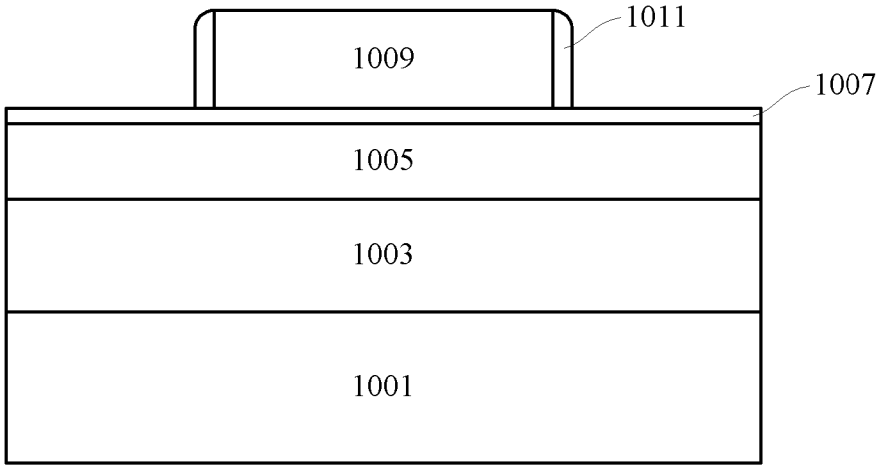

图3(b)

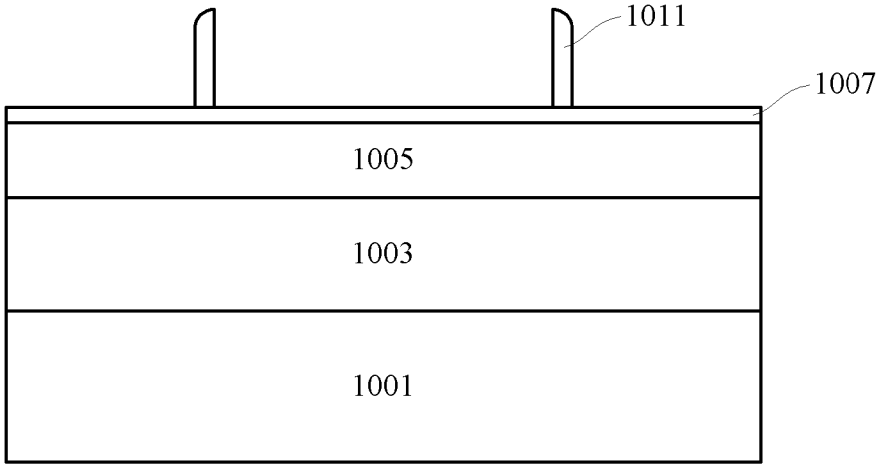

图4

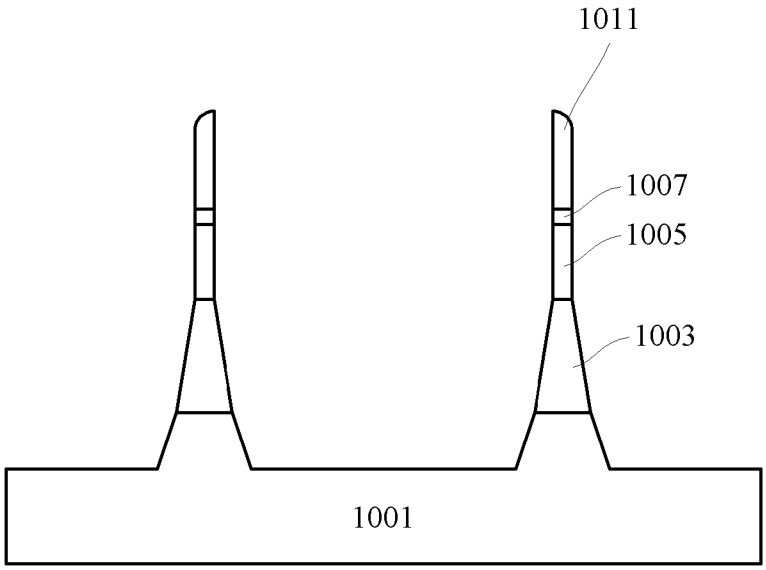

图5

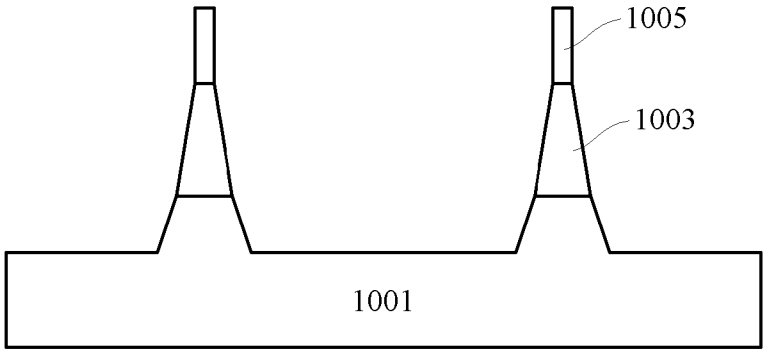

图6

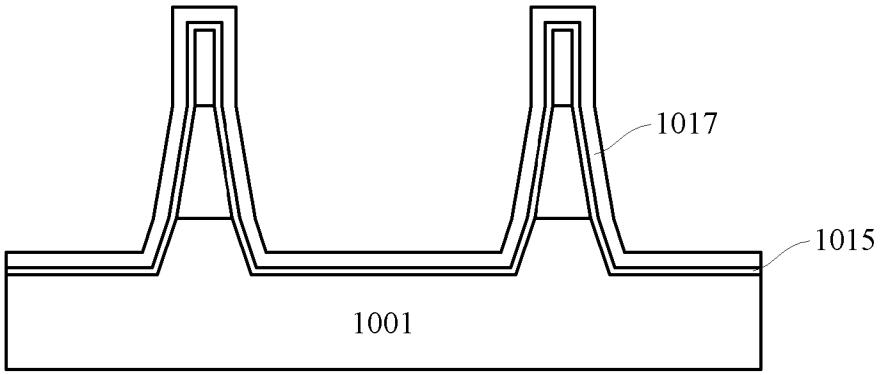

图7

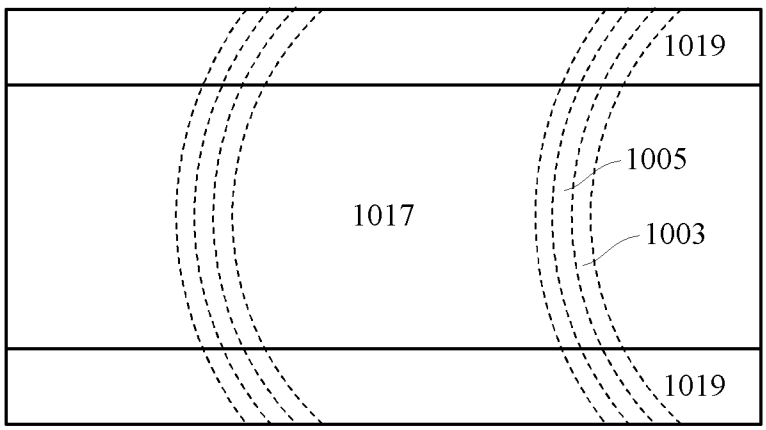

图8

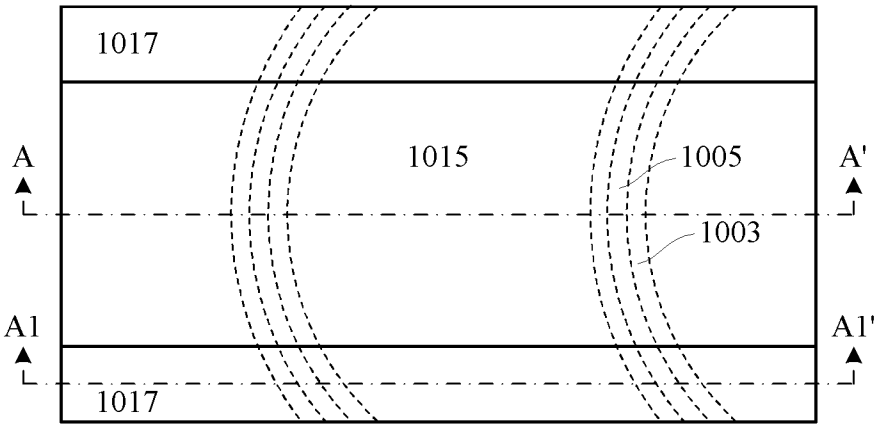

图9(a)

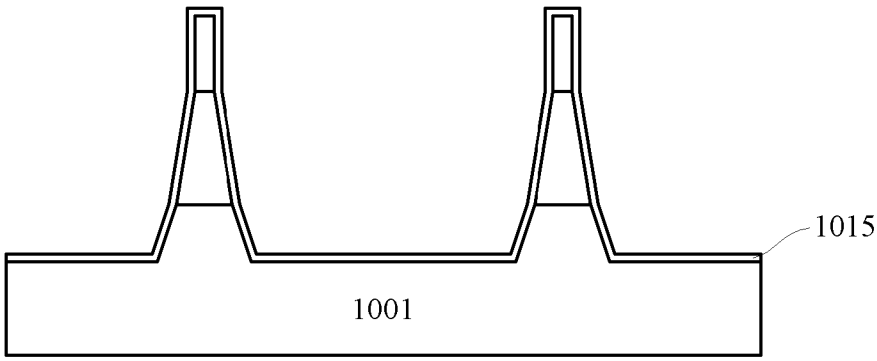

图9(b)

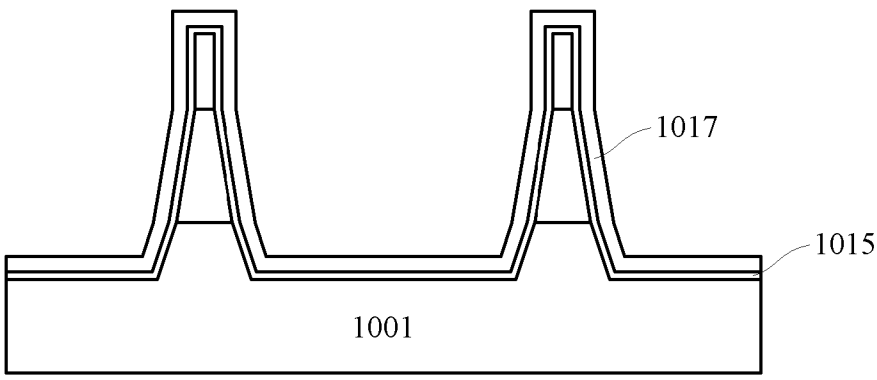

图9(c)

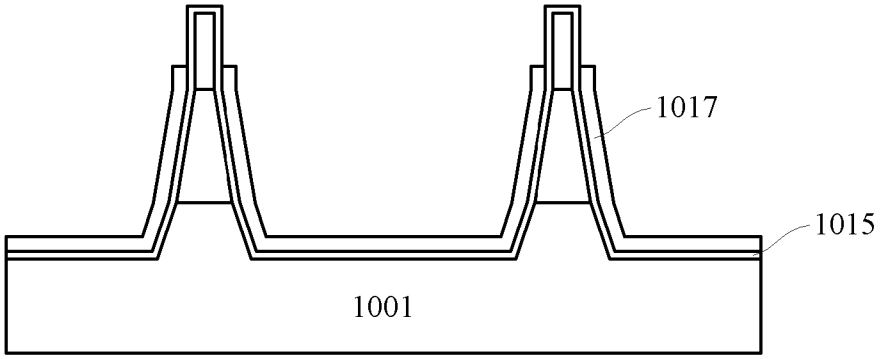

图10

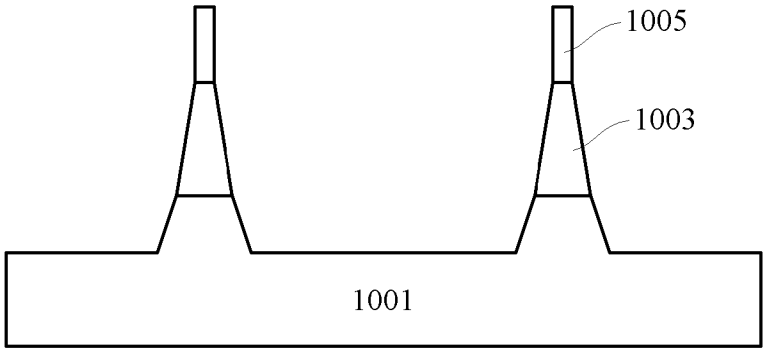

图11(a)

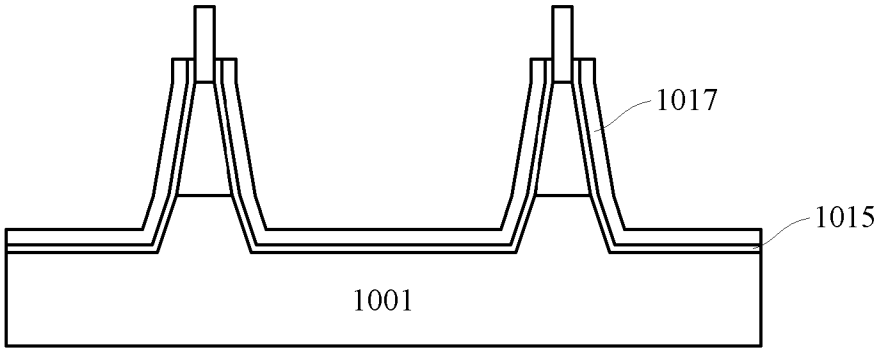

图11(b)

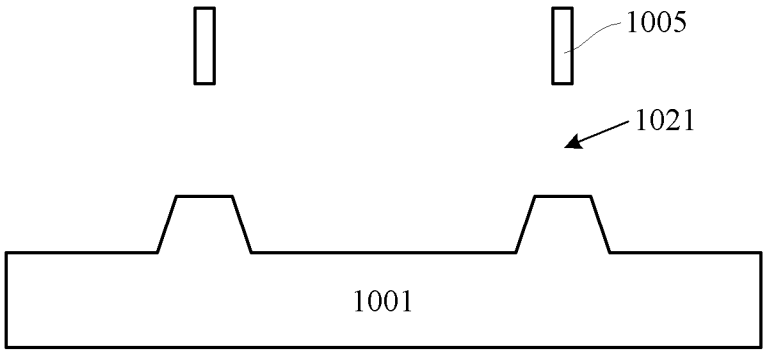

图12(a)

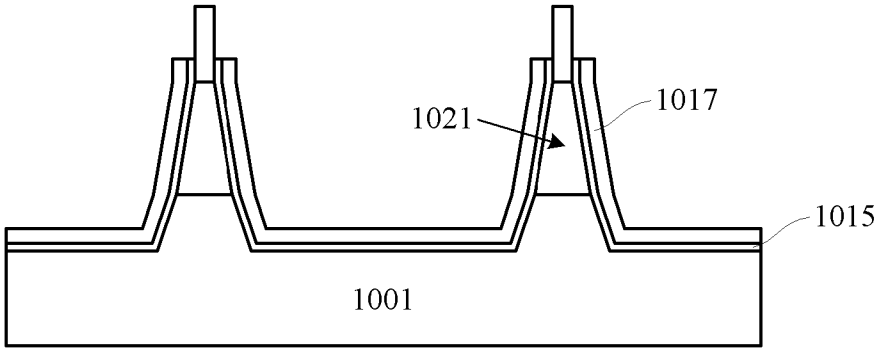

图12(b)

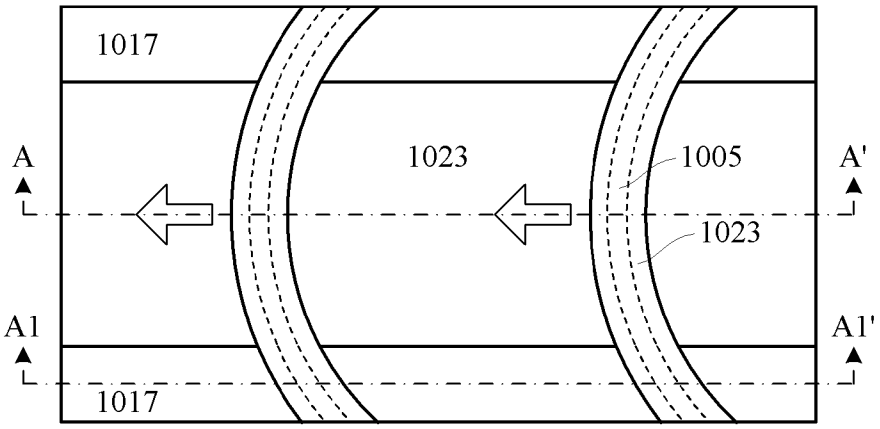

图13(a)

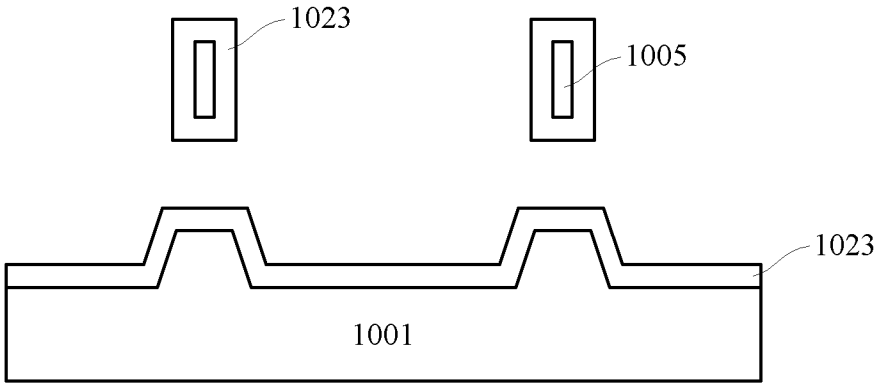

图13(b)

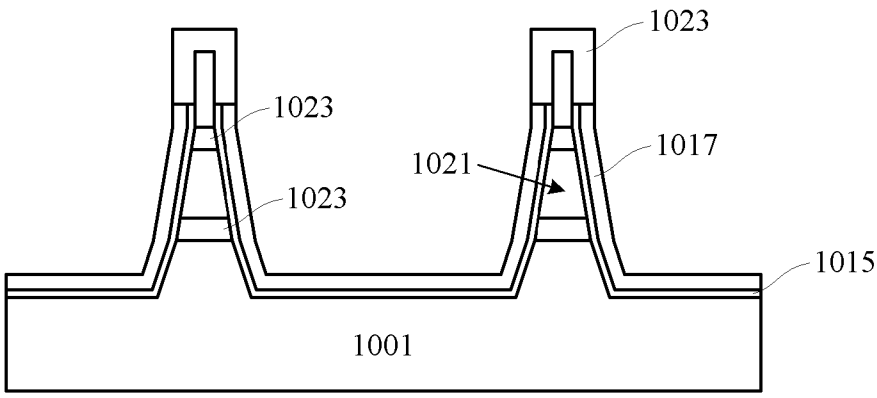

图13(c)

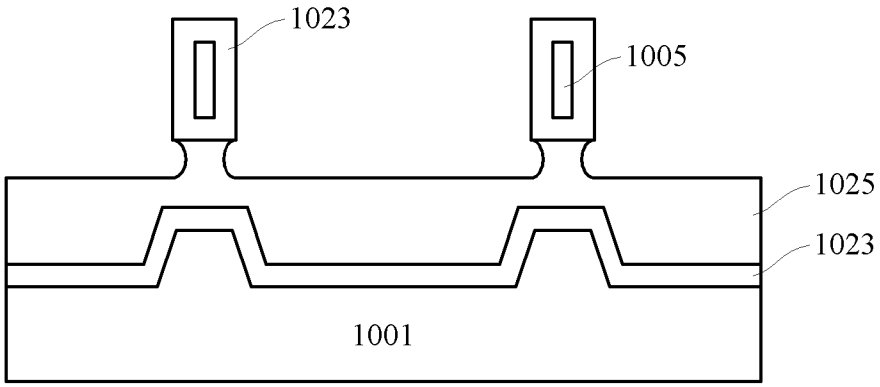

图14(a)

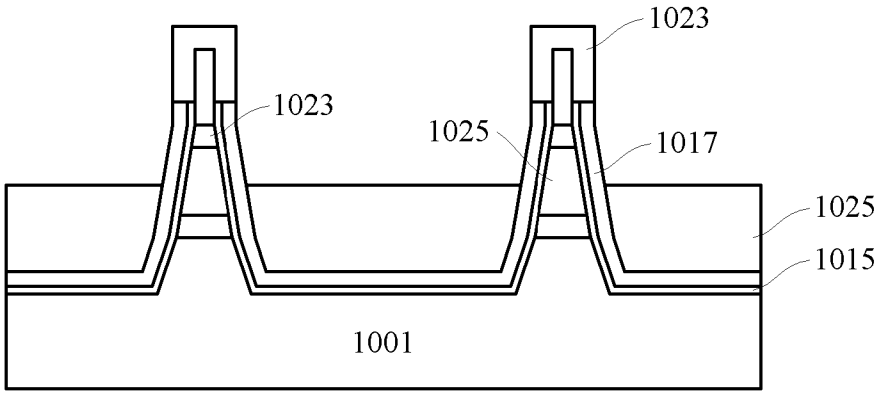

图14(b)

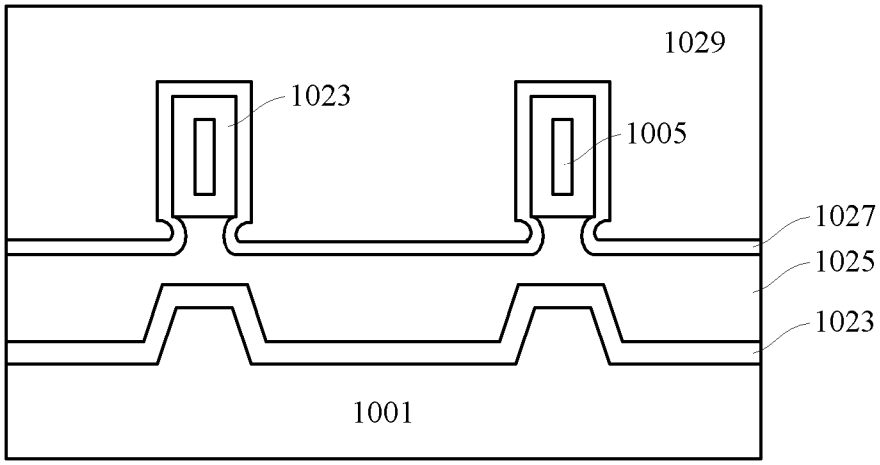
1029
1023
1005
1027
1025
1023
1001

图15

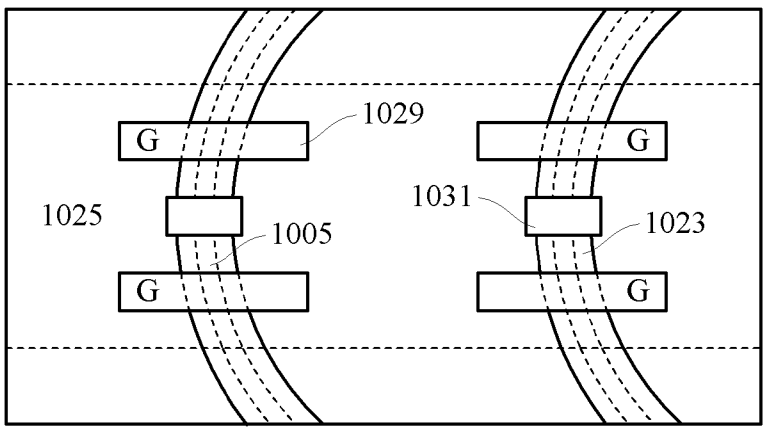
G
1029
G
1025
1005
1031
1023
G
G

图16

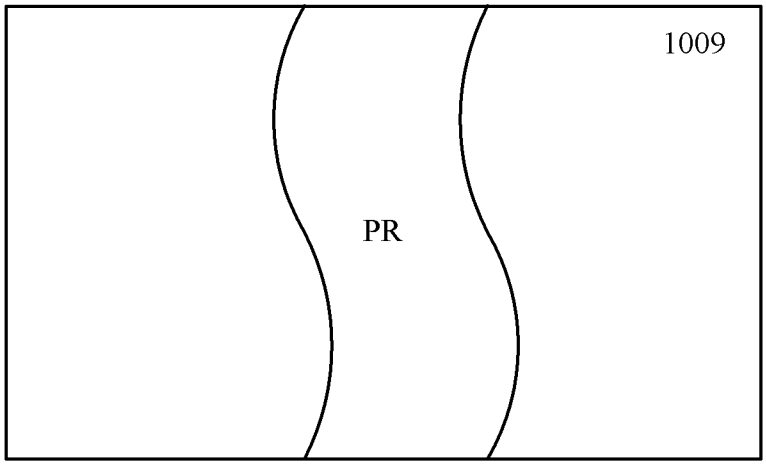

图17

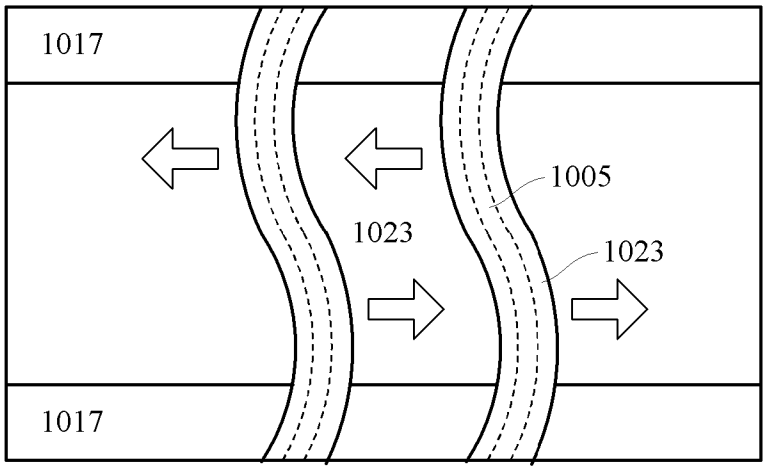

图18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/087244

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i; H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, SIPOABS, DWPI: substrate, fin, first, second, curve, stress, seed, semiconductor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105633167 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 01 June 2016 (01.06.2016), description, pages 3-8, and figures 1-16	1-35
Y	US 2016172359 A1 (YOON, Y.S. et al.), 16 June 2016 (16.06.2016), description, paragraph [0077]	1-35
A	CN 103456638 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI)), 18 December 2013 (18.12.2013), the whole document	1-35
A	CN 101339947 A (NEC ELECTRONICS CORP.), 07 January 2009 (07.01.2009), the whole document	1-35

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 March 2017 (09.03.2017)	**22 March 2017 (22.03.2017)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **XU, Jian** Telephone No.: (86-10) **62411591**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/087244

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105633167 A	01 June 2016	None	
US 2016172359 A1	16 June 2016	TW 201624640 A	01 July 2016
		CN 105702636 A	22 June 2016
		KR 20160072965 A	24 June 2016
CN 103456638 A	18 December 2013	CN 103456638 B	03 February 2016
CN 101339947 A	07 January 2009	US 2009008721 A1	08 January 2009
		US 7989846 B2	02 August 2011
		JP 2009016418 A	22 January 2009

国际检索报告

国际申请号
PCT/CN2016/087244

A. 主题的分类

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS, CNTXT, SIPOABS, DWPI, 衬底，鳍，第一，第二，弯曲，应力，种子，半导体，substrate, fin, first, second, curve, stress, seed, semiconductor

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 105633167 A (中国科学院微电子研究所) 2016年 6月 1日 (2016-06-01) 说明书第3-8页，图1-16	1-35
Y	US 2016172359 A1 (YOON 等) 2016年 6月 16日 (2016-06-16) 说明书第77段	1-35
A	CN 103456638 A (中芯国际集成电路制造上海有限公司) 2013年 12月 18日 (2013-12-18) 全文	1-35
A	CN 101339947 A (恩益禧电子股份有限公司) 2009年 1月 7日 (2009-01-07) 全文	1-35

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 3月 9日	2017年 3月 22日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	徐健
传真号 (86-10)62019451	电话号码 (86-10)62411591

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/087244

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105633167	A	2016年 6月 1日	无			
US	2016172359	A1	2016年 6月 16日	TW	201624640	A	2016年 7月 1日
				CN	105702636	A	2016年 6月 22日
				KR	20160072965	A	2016年 6月 24日
CN	103456638	A	2013年 12月 18日	CN	103456638	B	2016年 2月 3日
CN	101339947	A	2009年 1月 7日	US	2009008721	A1	2009年 1月 8日
				US	7989846	B2	2011年 8月 2日
				JP	2009016418	A	2009年 1月 22日