

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5079425号
(P5079425)

(45) 発行日 平成24年11月21日 (2012.11.21)

(24) 登録日 平成24年9月7日 (2012.9.7)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G09G 3/34 (2006.01)
 G02F 1/1345 (2006.01)
 G02F 1/1368 (2006.01)

G09G 3/36
 G09G 3/20 670E
 G09G 3/20 670J
 G09G 3/20 621J
 G09G 3/20 623H

請求項の数 12 (全 176 頁) 最終頁に続く

(21) 出願番号 特願2007-220623 (P2007-220623)
 (22) 出願日 平成19年8月28日 (2007.8.28)
 (65) 公開番号 特開2008-83692 (P2008-83692A)
 (43) 公開日 平成20年4月10日 (2008.4.10)
 審査請求日 平成22年8月18日 (2010.8.18)
 (31) 優先権主張番号 特願2006-236392 (P2006-236392)
 (32) 優先日 平成18年8月31日 (2006.8.31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 半導体装置、表示装置、液晶表示装置、表示モジュール及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1乃至第4のトランジスタと、第1乃至第6の配線と、を有し、前記第1のトランジスタのソース又はドレインの一方は、前記第1の配線と電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのゲートは、前記第5の配線と電氣的に接続され、前記第2のトランジスタのソース又はドレインの一方は、前記第3の配線と電氣的に接続され、前記第2のトランジスタのソース又はドレインの他方は、前記第6の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、前記第3のトランジスタのゲートは、前記第4の配線と電氣的に接続され、前記第4のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第4のトランジスタのソース又はドレインの他方は、前記第6の配線と電氣的に接

10

20

続され、

前記第 4 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 2 のトランジスタのチャネル幅は、前記第 1 のトランジスタのチャネル幅よりも大きい値を有し、

前記第 2 のトランジスタのチャネル幅は、前記第 3 のトランジスタのチャネル幅よりも大きい値を有し、

前記第 2 のトランジスタのチャネル幅は、前記第 4 のトランジスタのチャネル幅よりも大きい値を有することを特徴とする半導体装置。

【請求項 2】

第 1 乃至第 5 のトランジスタと、第 1 乃至第 7 の配線と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 7 の配線と電氣的に接続され、

前記第 2 のトランジスタのチャネル幅は、前記第 1 のトランジスタのチャネル幅よりも大きい値を有し、

前記第 2 のトランジスタのチャネル幅は、前記第 3 のトランジスタのチャネル幅よりも大きい値を有し、

前記第 2 のトランジスタのチャネル幅は、前記第 4 のトランジスタのチャネル幅よりも大きい値を有することを特徴とする半導体装置。

【請求項 3】

第 1 乃至第 5 のトランジスタと、第 1 乃至第 7 の配線と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 5 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接

10

20

30

40

50

続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 7 の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項 4】

請求項 2 又は請求項 3 において、

前記第 3 及び第 4 のトランジスタがオフであり、且つ前記第 5 のトランジスタがオンである第 1 の期間と、

前記第 3 及び第 4 のトランジスタがオンであり、且つ前記第 5 のトランジスタがオフである第 2 の期間と、

前記第 3 乃至第 5 のトランジスタがオフである第 3 の期間と、を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

第 6 乃至第 9 のトランジスタを有し、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 6 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 9 のトランジスタのゲートと電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 6 の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

容量素子を有し、

10

20

30

40

50

前記容量素子の第 1 の電極は、前記第 2 のトランジスタのゲートと電氣的に接続され、
前記容量素子の第 2 の電極は、前記第 2 のトランジスタのソース又はドレインの他方と
電氣的に接続されることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置を含む駆動回路と、
画素と、を有し、
前記画素は、表示素子を有し、
前記画素は、前記駆動回路と電氣的に接続されていることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置を含む駆動回路と、
画素と、を有し、
前記画素は、発光素子を有し、
前記画素は、前記駆動回路と電氣的に接続されていることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置を含む駆動回路と、
画素と、を有し、
前記画素は、液晶素子を有し、
前記画素は、前記駆動回路と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 10】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置、請求項 7 若しくは請求項 8
に記載の表示装置、又は請求項 9 に記載の液晶表示装置と、
F P C と、を有する表示モジュール。

【請求項 11】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置、請求項 7 若しくは請求項 8
に記載の表示装置、請求項 9 に記載の液晶表示装置、又は請求項 10 に記載の表示モジュ
ールと、
操作スイッチ、バッテリー又はアンテナと、を有する電子機器。

【請求項 12】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置、請求項 7 若しくは請求項 8
に記載の表示装置、請求項 9 に記載の液晶表示装置、又は請求項 10 に記載の表示モジュ
ールを有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。特に、トランジスタを用いて構成されたシフトレジスタを有する液晶表示装置に関する。また、その液晶表示装置の駆動方法に関する。また、その液晶表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、絶縁基板上に非結晶半導体（以下、アモルファスシリコンともいう）によって構成されたトランジスタを用いて、画素回路、及びシフトレジスタ等を含む駆動回路（以下、内部回路ともいう）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁基板上に形成された内部回路は、F P C 等を介してコントローラ I C 等（以下、外部回路ともいう）に接続され、その動作が制御される。

【0003】

上記示した内部回路の中でも、非結晶半導体によって構成されたトランジスタを用いたシフトレジスタが考案されている（例えば、特許文献 1）。特許文献 1 に示されているシフトレジスタは、出力端子がフローティングになる期間が長いため、ノイズがシフトレジスタ

10

20

30

40

50

タの出力信号に発生するという問題があった。この特許文献1のシフトレジスタの問題を解決するために、出力端子をフローティングにしないシフトレジスタの構成が考案されている（例えば、非特許文献1）

【特許文献1】特表平10-500243

【非特許文献1】2.0inch a-Si:H TFT-LCD with Low Noise Integrated Gate Driver SID'05 Digest P942-945

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記、非特許文献1では、非選択期間において、出力端子と負電源との間に接続されたトランジスタがオンとなる。したがって、非特許文献1に示したシフトレジスタの出力端子がフローティングにならず、非特許文献1に示したシフトレジスタは出力信号のノイズを小さくすることができる。

【0005】

しかしながら、非結晶半導体によって構成されたトランジスタは、オンとなる時間、印加する電圧などにしたがって、特性が劣化することが知られている。中でも、しきい値電圧がシフト（上昇）するしきい値電圧シフトは、シフトレジスタの誤動作の大きな原因の1つである。したがって、非特許文献1に示したシフトレジスタでは、非選択期間において出力端子と負電源との間に接続されたトランジスタがオンとなるため、このトランジスタの特性が劣化してしまうことによって、誤動作してしまう。

【0006】

このような問題点を鑑み、非選択期間において、出力信号のノイズが小さく、且つトランジスタの特性劣化を抑制することができるシフトレジスタを有する液晶表示装置、及び当該液晶表示装置を具備する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係わる液晶表示装置は、画素部と、絶縁基板上に画素部と一体形成されたシフトレジスタを有している。そして、シフトレジスタは複数のフリップフロップを有し、この複数のフリップフロップそれぞれは非選択期間において一定期間毎にオンとなり出力端子（走査線）に電源電位を出力するトランジスタを有している。このトランジスタが一定期間毎にオンとなり走査線に電源電位を供給することによって、複数のフリップフロップそれぞれは走査線の電位の変動を抑え、且つ該トランジスタの特性劣化を抑制する。

【0008】

本発明の液晶表示装置は、液晶素子を有する第1の画素及び第2の画素と、駆動回路と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、第6の配線と、を有し、前記第1の画素は、前記第5の配線を介して前記駆動回路に電氣的に接続され、前記第2の画素は、前記第6の配線を介して前記駆動回路に電氣的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタを有し、第1のトランジスタの第1端子が第1の配線に電氣的に接続され、第1のトランジスタの第2端子が第2のトランジスタのゲート端子に電氣的に接続され、第1のトランジスタのゲート端子が第5の配線に電氣的に接続され、第2のトランジスタの第1端子が第3の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、第3のトランジスタの第1端子が第2の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第4のトランジスタの第1端子が第2の配線に電氣的に接続され、第4のトランジスタの第2端子が第6の配線に電氣的に接続され、第4のトランジスタのゲート端子が第4の配線に電氣的に接続されていることを特徴としている。

【0009】

また、本発明の液晶表示装置は、液晶素子を有する第1の画素及び第2の画素と、駆動回路と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、を有し、前記第1の画素は、前記第5の配線を介して前記駆動回路に電氣的に接続され、前記第2の画素は、前記第1の配線を介して前記駆動回路に電氣的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタを有し、第1のトランジスタは、第1端子が第5の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第5の配線に電氣的に接続され、第2のトランジスタは、第1端子が第3の配線に電氣的に接続され、第2端子が第1の配線に電氣的に接続され、第3のトランジスタは、第1端子が第2のトランジスタのゲート端子に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第4のトランジスタは、第1端子が第1の配線に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続されていることを特徴としている。

10

【0010】

なお、本発明において、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタは、Nチャネル型トランジスタであってもよい。

【0011】

20

また、本発明において、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、及び第4のトランジスタは、半導体層を有し、半導体層は、アモルファスシリコンであってもよい。

【0012】

また本発明において、第1のトランジスタの第2端子とゲート端子との間に、容量素子が配置されていてもよい。

【0013】

また、本発明の液晶表示装置は、液晶素子を有する第1の画素及び第2の画素と、駆動回路と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、第6の配線と、第7の配線と、を有し、前記第1の画素は、前記第5の配線を介して前記駆動回路に電氣的に接続され、前記第2の画素は、前記第6の配線を介して前記駆動回路に電氣的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ及び第5のトランジスタを有し、第1のトランジスタは、第1端子が第1の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第5の配線に電氣的に接続され、第2のトランジスタは、第1端子が第3の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、第3のトランジスタは、第1端子が第2のトランジスタのゲート端子に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第4のトランジスタは、第1端子が第6の配線に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第5のトランジスタは、第1端子が第6の配線に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第7の配線に電氣的に接続されていることを特徴としている。

30

40

【0014】

また、本発明の液晶表示装置は、液晶素子を有する第1の画素及び第2の画素と、駆動回路と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、第6の配線と、を有し、前記第1の画素は、前記第5の配線を介して前記駆動回路に電氣的に接続され、前記第2の画素は、前記第1の配線を介して前記駆動回路に電氣的に接続され、駆動回路は、シフトレジスタを有し、シフトレジスタは、複数のフリップフロップを有

50

し、複数のフリップフロップのうち少なくとも一つは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ及び第5のトランジスタを有し、第1のトランジスタは、第1端子が第5の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第5の配線に電氣的に接続され、第2のトランジスタは、第1端子が第3の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、第3のトランジスタは、第1端子が第2の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第4のトランジスタは、第1端子が第1の配線に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第5のトランジスタは、第1端子が第6の配線に電氣的に接続され、第2端子が第2の配線に電氣的に接続され、ゲート端子が第1の配線に電氣的に接続されていることを特徴としている。

10

【0015】

なお、本発明において、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ及び第5のトランジスタは、Nチャネル型トランジスタであってもよい。

【0016】

また、本発明において、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、及び第5のトランジスタは、半導体層を有し、半導体層はアモルファスシリコンであってもよい。

20

【0017】

また、本発明において、第1のトランジスタの第2端子と第1のトランジスタのゲート端子との間に、容量素子が配置されていてもよい。

【0018】

また、本発明の液晶表示装置は、液晶素子を有する第1の画素乃至第4の画素と、第1の駆動回路と、第2の駆動回路と、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、第6の配線と、第7の配線と、第8の配線と、第9の配線と、第10の配線と、第11の配線と、第12の配線と、を有し、前記第1の画素は、前記第5の配線を介して前記第1の駆動回路に電氣的に接続され、前記第2の画素は、前記第6の配線を介して前記第1の駆動回路に電氣的に接続され、前記第3の画素は、前記第11の配線を介して前記第2の駆動回路に電氣的に接続され、前記第4の画素は、前記第12の配線を介して前記第2の駆動回路に電氣的に接続され、第1の駆動回路は、第1のシフトレジスタを有し、第2の駆動回路は、第2のシフトレジスタを有し、第1のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタを有し、第1のトランジスタは、第1端子が第1の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第5の配線に電氣的に接続され、第2のトランジスタは、第1端子が第3の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、第3のトランジスタは、第1端子が第2の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第4のトランジスタは、第1端子が第2の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第2のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第5のトランジスタ、第6のトランジスタ、第7のトランジスタ及び第8のトランジスタを有し、第5のトランジスタは、第1端子が第7の配線に電氣的に接続され、第2端子が第6のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第11の配線に電氣的に接続され、第6のトランジスタは、第1端子が第9の配線に電氣的に接続され、第2端子が第12の配線に電氣的に接続され、第7のトランジスタは、第1端子が第8の配線に電氣的に接続され、第2端子が第6のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第10の配線に電氣的に接続

30

40

50

され、第 8 のトランジスタは、第 1 端子が第 8 の配線に電氣的に接続され、第 2 端子が第 1 2 の配線に電氣的に接続され、ゲート端子が第 1 0 の配線に電氣的に接続されていることを特徴としている。

【0019】

なお、本発明において、第 5 の配線及び第 1 1 の配線は電氣的に接続され、第 6 の配線及び第 1 2 の配線は電氣的に接続されていてもよい。

【0020】

また、本発明において、第 5 の配線及び第 1 1 の配線は同一の配線であり、第 6 の配線及び第 1 2 の配線は同一の配線であってもよい。

【0021】

また、本発明において、第 1 の配線及び第 7 の配線は電氣的に接続され、第 2 の配線及び第 8 の配線は電氣的に接続され、第 3 の配線及び第 9 の配線は電氣的に接続され、第 4 の配線及び第 1 0 の配線は電氣的に接続されていてもよい。

【0022】

また、本発明において、第 1 の配線及び第 7 の配線は同一の配線であり、第 2 の配線及び第 8 の配線は同一の配線であり、第 3 の配線及び第 9 の配線は同一の配線であり、第 4 の配線及び第 1 0 の配線は同一の配線であってもよい。

【0023】

また、本発明において、第 1 の配線及び第 7 の配線は電氣的に接続され、第 2 の配線及び第 8 の配線は電氣的に接続され、第 3 の配線及び第 9 の配線は電氣的に接続され、第 4 の配線及び第 1 0 の配線は電氣的に接続され、第 5 の配線及び第 1 1 の配線は電氣的に接続され、第 6 の配線及び第 1 2 の配線は電氣的に接続されていてもよい。

【0024】

また、本発明において、第 1 の配線及び第 7 の配線は同一の配線であり、第 2 の配線及び第 8 の配線は同一の配線であり、第 3 の配線及び第 9 の配線は同一の配線であり、第 4 の配線及び第 1 0 の配線は同一の配線であり、第 5 の配線及び第 1 1 の配線は同一の配線であり、第 6 の配線及び第 1 2 の配線は同一の配線であってもよい。

【0025】

また、本発明の液晶表示装置は、液晶素子を有する第 1 の画素乃至第 4 の画素と、第 1 の駆動回路と、第 2 の駆動回路と、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 5 の配線と、第 6 の配線と、第 7 の配線と、第 8 の配線と、第 9 の配線と、第 1 0 の配線と、を有し、前記第 1 の画素は、前記第 5 の配線を介して前記第 1 の駆動回路に電氣的に接続され、前記第 2 の画素は、前記第 1 の配線を介して前記第 1 の駆動回路に電氣的に接続され、前記第 3 の画素は、前記第 1 0 の配線を介して前記第 2 の駆動回路に電氣的に接続され、前記第 4 の画素は、前記第 6 の配線を介して前記第 2 の駆動回路に電氣的に接続され、第 1 の駆動回路は、第 1 のシフトレジスタを有し、第 2 の駆動回路は、第 2 のシフトレジスタを有し、第 1 のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 4 のトランジスタを有し、第 1 のトランジスタは、第 1 端子が第 5 の配線に電氣的に接続され、第 2 端子が第 2 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第 5 の配線に電氣的に接続され、第 2 のトランジスタは、第 1 端子が第 3 の配線に電氣的に接続され、第 2 端子が第 1 の配線に電氣的に接続され、第 3 のトランジスタは、第 1 端子が第 2 のトランジスタのゲート端子に電氣的に接続され、第 2 端子が第 2 の配線に電氣的に接続され、ゲート端子が第 4 の配線に電氣的に接続され、第 4 のトランジスタは、第 1 端子が第 1 の配線に電氣的に接続され、第 2 端子が第 2 の配線に電氣的に接続され、ゲート端子が第 4 の配線に電氣的に接続され、第 2 のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第 5 のトランジスタ、第 6 のトランジスタ、第 7 のトランジスタ及び第 8 のトランジスタを有し、第 5 のトランジスタは、第 1 端子が第 1 0 の配線に電氣的に接続され、第 2 端子が第 6 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第 1 0 の

10

20

30

40

50

配線に電氣的に接続され、第 6 のトランジスタは、第 1 端子が第 8 の配線に電氣的に接続され、第 2 端子が第 6 の配線に電氣的に接続され、第 7 のトランジスタは、第 1 端子が第 6 のトランジスタのゲート端子に電氣的に接続され、第 2 端子が第 7 の配線に電氣的に接続され、ゲート端子が第 9 の配線に電氣的に接続され、第 8 のトランジスタは、第 1 端子が第 6 の配線に電氣的に接続され、第 2 端子が第 7 の配線に電氣的に接続され、ゲート端子が第 9 の配線に電氣的に接続されていることを特徴としている。

【0026】

なお、本発明において、第 1 の配線及び第 6 の配線は電氣的に接続され、第 5 の配線及び第 10 の配線は電氣的に接続されていてもよい。

【0027】

また、本発明において、第 1 の配線及び第 6 の配線は同一の配線であり、第 5 の配線及び第 10 の配線は同一の配線であってもよい。

【0028】

また、本発明において、第 2 の配線及び第 7 の配線は電氣的に接続され、第 3 の配線及び第 8 の配線は電氣的に接続され、第 4 の配線及び第 9 の配線は電氣的に接続されていてもよい。

【0029】

また、本発明において、第 2 の配線及び第 7 の配線は同一の配線であり、第 3 の配線及び第 8 の配線は同一の配線であり、第 4 の配線及び第 9 の配線は同一の配線であってもよい。

【0030】

また、本発明において、第 1 の配線及び第 6 の配線は電氣的に接続され、第 2 の配線及び第 7 の配線は電氣的に接続され、第 3 の配線及び第 8 の配線は電氣的に接続され、第 4 の配線及び第 9 の配線は電氣的に接続され、第 5 の配線及び第 10 の配線は電氣的に接続されていてもよい。

【0031】

また、本発明において、第 1 の配線及び第 6 の配線は同一の配線であり、第 2 の配線及び第 7 の配線は同一の配線であり、第 3 の配線及び第 8 の配線は同一の配線であり、第 4 の配線及び第 9 の配線は同一の配線であり、第 5 の配線及び第 10 の配線は同一の配線であってもよい。

【0032】

また、本発明において、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ、第 6 のトランジスタ、第 7 のトランジスタ及び第 8 のトランジスタは、Nチャネル型トランジスタであってもよい。

【0033】

また、本発明において、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ、第 6 のトランジスタ、第 7 のトランジスタ、及び第 8 のトランジスタは、半導体層を有し、半導体層は、アモルファスシリコンであってもよい。

【0034】

また、本発明において、第 1 のトランジスタの第 2 端子と、第 1 のトランジスタのゲート端子との間に、第 1 の容量素子が配置され、第 5 のトランジスタの第 2 端子と、第 5 のトランジスタのゲート端子との間に、第 2 の容量素子が配置されていてもよい。

【0035】

また、本発明の液晶表示装置は、液晶素子を有する第 1 の画素乃至第 4 の画素と、第 1 の駆動回路と、第 2 の駆動回路と、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 5 の配線と、第 6 の配線と、第 7 の配線と、第 8 の配線と、第 9 の配線と、第 10 の配線と、第 11 の配線と、第 12 の配線と、第 13 の配線と、第 14 の配線と、を有し、前記第 1 の画素は、前記第 5 の配線を介して前記第 1 の駆動回路に電氣的に接続され、前記第 2 の画素は、前記第 6 の配線を介して前記第 1 の駆動回路に電氣的に接続され、

10

20

30

40

50

前記第3の画素は、前記第12の配線を介して前記第2の駆動回路に電氣的に接続され、前記第4の画素は、前記第13の配線を介して前記第2の駆動回路に電氣的に接続され、第1の駆動回路は、第1のシフトレジスタを有し、第2の駆動回路は、第2のシフトレジスタを有し、第1のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ及び第5のトランジスタを有し、第1のトランジスタは、第1端子が第1の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第5の配線に電氣的に接続され、第2のトランジスタは、第1端子が第3の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、第3のトランジスタは、第1端子が第2の配線に電氣的に接続され、第2端子が第2のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第4の配線に電氣的に接続され、第4のトランジスタは、第1端子が第2の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、ゲート端子は、第4の配線に電氣的に接続され、第5のトランジスタは、第1端子が第2の配線に電氣的に接続され、第2端子が第6の配線に電氣的に接続され、ゲート端子が第7の配線に電氣的に接続され、第2のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第6のトランジスタ、第7のトランジスタ、第8のトランジスタ、第9のトランジスタ及び第10のトランジスタを有し、第6のトランジスタは、第1端子が第8の配線に電氣的に接続され、第2端子が第7のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第12の配線に電氣的に接続され、第7のトランジスタは、第1端子が第10の配線に電氣的に接続され、第2端子が第13の配線に電氣的に接続され、第8のトランジスタは、第1端子が第9の配線に電氣的に接続され、第2端子が第7のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第11の配線に電氣的に接続され、第9のトランジスタは、第1端子が第13の配線に電氣的に接続され、第2端子が第9の配線に電氣的に接続され、ゲート端子が第11の配線に電氣的に接続され、第10のトランジスタは、第1端子が第13の配線に電氣的に接続され、第2端子が第9の配線に電氣的に接続され、ゲート端子が第14の配線に電氣的に接続されていることを特徴としている。

【0036】

なお、本発明において、第5の配線及び第12の配線は電氣的に接続され、第6の配線及び第13の配線は電氣的に接続されていてもよい。

【0037】

また、本発明において、第5の配線及び第12の配線は同一の配線であり、第6の配線及び第13の配線は同一の配線であってもよい。

【0038】

また、本発明において、第1の配線及び第8の配線は電氣的に接続され、第2の配線及び第9の配線は電氣的に接続され、第3の配線及び第10の配線は電氣的に接続され、第4の配線及び第11の配線は電氣的に接続され、第7の配線及び第14の配線は電氣的に接続されていてもよい。

【0039】

また、本発明において、第1の配線及び第8の配線は同一の配線であり、第2の配線及び第9の配線は同一の配線であり、第3の配線及び第10の配線は同一の配線であり、第4の配線及び第11の配線は同一の配線であり、第7の配線及び第14の配線は同一の配線であってもよい。

【0040】

また、本発明において、第1の配線及び第8の配線は電氣的に接続され、第2の配線及び第9の配線は電氣的に接続され、第3の配線及び第10の配線は電氣的に接続され、第4の配線及び第11の配線は電氣的に接続され、第5の配線及び第12の配線は電氣的に接続され、第6の配線及び第13の配線は電氣的に接続され、第7の配線及び第14の配線は電氣的に接続されていてもよい。

【0041】

また、本発明において、第 1 の配線及び第 8 の配線は同一の配線であり、第 2 の配線及び第 9 の配線は同一の配線であり、第 3 の配線及び第 10 の配線は同一の配線であり、第 4 の配線及び第 11 の配線は同一の配線であり、第 5 の配線及び第 12 の配線は同一の配線であり、第 6 の配線及び第 13 の配線は同一の配線であり、第 7 の配線及び第 14 の配線は同一の配線であってもよい。

【0042】

また、本発明の液晶表示装置は、液晶素子を有する第 1 の画素乃至第 4 の画素と、第 1 の駆動回路と、第 2 の駆動回路と、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 5 の配線と、第 6 の配線と、第 7 の配線と、第 8 の配線と、第 9 の配線と、第 10 の配線と、第 11 の配線と、第 12 の配線と、を有し、前記第 1 の画素は、前記第 5 の配線を介して前記第 1 の駆動回路に電氣的に接続され、前記第 2 の画素は、前記第 6 の配線を介して前記第 1 の駆動回路に電氣的に接続され、前記第 3 の画素は、前記第 11 の配線を介して前記第 2 の駆動回路に電氣的に接続され、前記第 4 の画素は、前記第 12 の配線を介して前記第 2 の駆動回路に電氣的に接続され、第 1 の駆動回路は、第 1 のシフトレジスタを有し、第 2 の駆動回路は、第 2 のシフトレジスタを有し、第 1 のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ及び第 5 のトランジスタを有し、第 1 のトランジスタは、第 1 端子が第 5 の配線に電氣的に接続され、第 2 端子が第 2 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第 5 の配線に電氣的に接続され、第 2 のトランジスタは、第 1 端子が第 3 の配線に電氣的に接続され、第 2 端子が第 6 の配線に電氣的に接続され、第 3 のトランジスタは、第 1 端子が第 2 のトランジスタのゲート端子に電氣的に接続され、第 2 端子が第 2 の配線に電氣的に接続され、ゲート端子が第 4 の配線に電氣的に接続され、第 4 のトランジスタは、第 1 端子が第 6 の配線に電氣的に接続され、第 2 端子が第 2 の配線に電氣的に接続され、ゲート端子が第 4 の配線に電氣的に接続され、第 5 のトランジスタは、第 1 端子が第 6 の配線に電氣的に接続され、第 2 端子が第 2 の配線に電氣的に接続され、ゲート端子が第 1 の配線に電氣的に接続され、第 2 のシフトレジスタは、複数のフリップフロップを有し、複数のフリップフロップのうち少なくとも一つは、第 6 のトランジスタ、第 7 のトランジスタ、第 8 のトランジスタ、第 9 のトランジスタ及び第 10 のトランジスタを有し、第 6 のトランジスタは、第 1 端子が第 11 の配線に電氣的に接続され、第 2 端子が第 7 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第 11 の配線に電氣的に接続され、第 7 のトランジスタは、第 1 端子が第 9 の配線に電氣的に接続され、第 2 端子が第 12 の配線に電氣的に接続され、第 8 のトランジスタは、第 1 端子が第 8 の配線に電氣的に接続され、第 2 端子が第 7 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が第 10 の配線に電氣的に接続され、第 9 のトランジスタは、第 1 端子が第 8 の配線に電氣的に接続され、第 2 端子が第 12 の配線に電氣的に接続され、ゲート端子が第 10 の配線に電氣的に接続され、第 10 のトランジスタは、第 1 端子が第 8 の配線に電氣的に接続され、第 2 端子が第 12 の配線に電氣的に接続され、ゲート端子が第 7 の配線に電氣的に接続されていることを特徴としている。

【0043】

なお、本発明において、第 5 の配線及び第 11 の配線は電氣的に接続され、第 6 の配線及び第 12 の配線は電氣的に接続されていてもよい。

【0044】

なお、本発明において、第 5 の配線及び第 11 の配線は同一の配線であり、第 6 の配線及び第 12 の配線は同一の配線であってもよい。

【0045】

なお、本発明において、第 1 の配線及び第 7 の配線は電氣的に接続され、第 2 の配線及び第 8 の配線は電氣的に接続され、第 3 の配線及び第 9 の配線は電氣的に接続され、第 4 の配線及び第 10 の配線は電氣的に接続されていてもよい。

【0046】

なお、本発明において、第1の配線及び第7の配線は同一の配線であり、第2の配線及び第8の配線は同一の配線であり、第3の配線及び第9の配線は同一の配線であり、第4の配線及び第10の配線は同一の配線であってもよい。

【0047】

なお、本発明において、第1の配線及び第7の配線は電氣的に接続され、第2の配線及び第8の配線は電氣的に接続され、第3の配線及び第9の配線は電氣的に接続され、第4の配線及び第10の配線は電氣的に接続され、第5の配線及び第11の配線は電氣的に接続され、第6の配線及び第12の配線は電氣的に接続されていてもよい。

【0048】

なお、本発明において、第1の配線及び第7の配線は同一の配線であり、第2の配線及び第8の配線は同一の配線であり、第3の配線及び第9の配線は同一の配線であり、第4の配線及び第10の配線は同一の配線であり、第5の配線及び第11の配線は同一の配線であり、第6の配線及び第12の配線は同一の配線であってもよい。

【0049】

なお、本発明において、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、第5のトランジスタ、第6のトランジスタ、第7のトランジスタ、第8のトランジスタ、第9のトランジスタ及び第10のトランジスタは、Nチャネル型トランジスタであってもよい。

【0050】

なお、本発明において、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、第5のトランジスタ、第6のトランジスタ、第7のトランジスタ、第8のトランジスタ、第9のトランジスタ及び、第10のトランジスタは、半導体層を有し、半導体層は、アモルファスシリコンであってもよい。

【0051】

なお、本発明において、第1のトランジスタの第2端子と、第1のトランジスタのゲート端子との間に、第1の容量素子が配置され、第6のトランジスタの第2端子と、第1のトランジスタのゲート端子との間に、第2の容量素子が配置されていてもよい。

【0052】

本発明は、上記記載の液晶表示装置を具備する電子機器である。

【0053】

なお、本明細書に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートとソース間の電圧の絶対値を大きくできるため、スイッチとしての動作をより正確に行うことができるからである。

【0054】

なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型またはNチャネル型スイッチが導通すれば電流を流すことができるため、スイッチとしての動作がより正確に行うことができる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力

10

20

30

40

50

させることが出来る。また、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。また、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

【0055】

なお、本明細書において、接続されているとは、電氣的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本明細書が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電氣的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が1個以上配置されていてもよい。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやNAND回路やNOR回路など）や信号変換回路（DA変換回路やAD変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や増幅回路（オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。

【0056】

なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

【0057】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いることができ、また、様々な素子を有することが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、またはカーボンナノチューブ、など、電気磁氣的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0058】

なお、本明細書において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することが出来る。これらにより、単結晶半導体膜を用いる場合より低い製造温度で製造できたり、低コストで製造でき、また大型基板上に製造でき、透明基板上に製造でき、光を透過させることが可能なトランジスタを製造でき、またトランジスタを用いて表示素子での光の透過を制御することが出来る。また、半導体基板やSO

10

20

30

40

50

I 基板などを用いて形成することが出来る。また、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造でき、また、消費電力の少ない回路を構成することが出来る。また、ZnO、 α -InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、低い製造温度で製造、また室温で製造でき、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。また、インクジェットや印刷法を用いて形成したトランジスタなどを適用することが出来る。これらにより、室温で製造、また、真空度の低い状態で製造、また、大型基板で製造することができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能なトランジスタを形成することが出来る。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、基板として、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板に配置するようにしてもよい。配置された別の基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタを形成することができ、また消費電力の小さいトランジスタを形成することができ、また壊れにくい装置とすることができ、また耐熱性を持たせることが出来る。

【0059】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減、また、トランジスタの耐圧を向上させて信頼性を良くすることができ、また、飽和領域で動作する時に、ドレインとソース間の電圧が変化しても、ドレインとソース間の電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくすることができ、また、空乏層ができやすくなってS値を小さくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0060】

また、チャンネルの上にゲート電極が配置されている構造、チャンネルの下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域が複数の領域に分かれている構造、ゲート電極が並列に接続された構造、または直列に接続された構造にすることが可能である。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域が設けられた構成とすることも可能である。LDD領域を設けることにより、オフ電流を低減、また、トランジスタの耐圧を向上させて信頼性を良くすることができ、また、飽和領域で動作する時に、ドレインとソース間の電圧が変化しても、ドレインとソース間の電流があまり変化せず、フラットな特性にすること

ができる。

【0061】

なお、本明細書におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板上に形成されていてもよいし、単結晶基板上に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが同じ基板上に形成されていることにより、部品点数を減らしてコストを低減することができ、また、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG (Chip On Glass) で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減することができ、また、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまうので、そのような部分は同じ基板に形成しないようにすれば、消費電力の増加を防ぐことができる。

【0062】

なお、本明細書においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を追加しても良い。例えば、白色を加えて、RGBW (Wは白) としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができ、消費電力を低減することが出来る。また、別の例としては、1つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。なお、一画素 (三色分) と記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素 (一色分) と記載する場合は、一つの色要素につき、複数の画素がある場合、それらをまとめて一画素と考える場合であるとする。

【0063】

なお、本明細書において、画素は、マトリクス状に配置 (配列) されている場合を含んでいる。ここで、画素がマトリクスに配置 (配列) されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素 (例えばRGB) でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW (Wは白) や、RG

Bに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、消費電力を低下、また、表示素子の寿命を延ばすことが出来る。

【0064】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

10

【0065】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域やLDD（Lightly Doped Drain）領域などを形成する半導体膜と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続、またはゲート電極と別の配線とを接続するための配線のことを言う。

20

【0066】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャンネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0067】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャンネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造時にマージンを設ける関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

30

【0068】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであるから見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。また、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

40

【0069】

なお、ゲート端子とは、ゲート領域、またはゲート電極の一部や、またはゲート電極と電氣的に接続されている領域の一部または全部のことを言う。

【0070】

50

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続、またはソース電極と別の配線とを接続するための配線のことを言う。

【0071】

10

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0072】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時にマージン設ける関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

20

【0073】

また、例えば、ソース電極とソース配線とを接続している部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0074】

30

なお、ソース端子とは、ソース領域、またはソース電極の一部や、ソース電極と電氣的に接続されている領域の一部または全部のことを言う。

【0075】

なお、ドレインについては、ソースと同様である。

【0076】

なお、本明細書において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆるチップオンガラス（COG）で接続されたICチップなどを含んでも良い。さらに、ICや抵抗素子や容量素子やインダクタやトランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）又はプリント配線基板（PWB）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでも良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでも良い）を含んでも良い。また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

40

【0077】

50

なお、本明細書において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層 A の上に（もしくは層 A 上に）、層 B が形成されている、という場合は、層 A の上に直接接して層 B が形成されている場合と、層 A の上に直接接して別の層（例えば層 C や層 D など）が形成されていて、その上に直接接して層 B が形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層 A の上方に、層 B が形成されている、という場合は、層 A の上に直接接して層 B が形成されている場合と、層 A の上に直接接して別の層（例えば層 C や層 D など）が形成されていて、その上に直接接して層 B が形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

10

【発明の効果】**【0078】**

本発明により、トランジスタの特性劣化を抑制することができる。そのため、トランジスタの特性劣化が原因のシフトレジスタの誤動作を防止することができる。また、シフトレジスタの誤動作が原因の液晶表示装置の表示不良を抑制することができる。

20

【発明を実施するための最良の形態】**【0079】**

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【0080】**（実施の形態 1）**

本実施の形態は、本発明の表示装置のシフトレジスタの基本構成について、図面を参照して説明する。図 1 は、シフトレジスタが有する複数のフリップフロップのうち、ある 1 段（例えば 1 段目）のフリップフロップを示している。図 1 に示すフリップフロップは、第 1 のトランジスタ 101、第 2 のトランジスタ 102、第 3 のトランジスタ 103 及び第 4 のトランジスタ 104 を有する。なお、フリップフロップは、第 1 の配線 111、第 2 の配線 112、第 3 の配線 113、第 4 の配線 114、第 5 の配線 115 及び第 6 の配線 116 に接続されている。本実施の形態において、第 1 のトランジスタ 101、第 2 のトランジスタ 102、第 3 のトランジスタ 103 及び第 4 のトランジスタ 104 は N チャンネル型トランジスタとし、そのゲートとソース間の電圧（ V_{gs} ）がしきい値電圧（ V_{th} ）を上回ったとき、導通状態になるものとする。なお、第 1 の配線 111 及び第 2 の配線 112 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。また、第 3 の配線 113 及び第 4 の配線 114 を、それぞれ第 1 の信号線、第 2 の信号線と呼んでもよい。

30

【0081】

第 1 のトランジスタ 101 の第 1 端子（ソース端子及びドレイン端子の一方）は第 1 の配線 111 に接続され、第 2 端子（ソース端子及びドレイン端子の他方）は第 2 のトランジスタ 102 のゲート端子に接続され、ゲート端子は第 5 の配線 115 に接続されている。第 3 のトランジスタ 103 の第 1 端子は第 2 の配線 112 に接続され、第 2 端子は第 2 のトランジスタ 102 のゲート端子に接続され、ゲート端子は第 4 の配線 114 に接続されている。第 2 のトランジスタ 102 の第 1 端子は第 6 の配線 116 に接続され、第 2 端子は第 3 の配線 113 に接続されている。第 4 のトランジスタ 104 の第 1 端子は第 6 の配線 116 に接続され、第 2 端子は第 2 の配線 112 に接続され、ゲート端子は第 4 の配線 114 に接続されている。なお、第 1 のトランジスタ 101 の第 2 端子と、第 2 のトランジスタ 102 のゲート端子と、第 3 のトランジスタ 103 の第 1 端子との接続箇所をノー

40

50

ド 1 2 1 とする。

【0082】

なお、第3のトランジスタ103の第2端子及び第4のトランジスタ104の第2端子は、第2の配線112に接続されていることに限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ103のゲート端子及び第4のトランジスタ104のゲート端子は第4の配線114に接続されているとは限定されず、別々の配線に接続されていてもよい。

【0083】

次に、図1で示したフリップフロップの動作について、図2のタイミングチャート及び図3を参照して説明する。なお、図2において、セット期間、選択期間、非選択期間について説明する。なお、非選択期間は、第1の非選択期間、第2の非選択期間及び第3の非選択期間に分割され、第1の非選択期間、第2の非選択期間及び第3の非選択期間を順に繰り返している。

10

【0084】

なお、第1の配線111にはV1の電位が、第2の配線112にはV2の電位が供給されている。ただし、 $V1 > V2$ とする。

【0085】

ただし、第1の配線111にはV1の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。また、第2の配線112にはV2の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。

20

【0086】

なお、第3の配線113、第4の配線114及び第5の配線115には信号が入力されている。第3の配線113に入力される信号は第1のクロック信号であり、第4の配線114に入力される信号は第2のクロック信号であり、第5の配線115に入力される信号はスタート信号である。また、第3の配線113、第4の配線114及び第5の配線115に入力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

【0087】

ただし、第3の配線113には第1のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第4の配線114には第2のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第5の配線115にはスタート信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

30

【0088】

また、第3の配線113、第4の配線114及び第5の配線115に入力される信号のH信号の電位はV1、L信号の電位はV2とは限定されず、H信号の電位がL信号の電位よりも高ければ、それらの電位は特に限定されない。

【0089】

なお、第6の配線116からは信号が出力される。第6の配線116から出力される信号は、フリップフロップの出力信号であり、次の段のフリップフロップのスタート信号でもある。また、第6の配線116から出力される信号は、次の段のフリップフロップの第5の配線115に入力される。また、第6の配線116から出力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

40

【0090】

図2において、信号213は第3の配線113に入力される信号であり、信号214は第4の配線114に入力される信号であり、信号215は第5の配線115に入力される信号であり、信号216は第6の配線116から出力される信号である。また、電位221

50

は図1のノード121の電位である。

【0091】

まず、図2の期間A及び図3(A)に示すセット期間では、信号213がLレベルであり、信号214がLレベルになり、信号215がHレベルとなる。したがって、第3のトランジスタ103及び第4のトランジスタ104はオフとなり、第1のトランジスタ101はオンとなる。このとき、第1のトランジスタ101の第2端子がソース端子となり、ノード121の電位(電位221)は第5の配線115の電位から第1のトランジスタ101のしきい値電圧(V_{th101})を引いた値になるため、 $V_1 - V_{th101}$ となる。よって、第2のトランジスタ102はオンとなり、第6の配線116の電位は第3の配線113の電位と等しくなるため V_2 となる。このように、セット期間では、フリップフロップは第2のトランジスタ102をオンしたまま、Lレベルを第6の配線116から出力する。

10

【0092】

図2の期間B及び図3(B)に示す選択期間では、信号213がHレベルとなり、信号214がLレベルのままであり、信号215がLレベルとなる。したがって、第3のトランジスタ103及び第4のトランジスタ104はオフのままであり、第1のトランジスタ101はオフとなる。このとき、第2のトランジスタ102の第2端子がソース端子となり、第6の配線116の電位が上昇し始める。ノード121の電位(電位221)は、ノード121が浮遊状態(以下、フローティング状態ともいう)となっているため、第2のトランジスタ102のゲート端子と第2端子との間の寄生容量の容量結合により第6の配線116の電位と同時に上昇する(ブートストラップ動作ともいう)。よって、第2のトランジスタ102のゲートとソース間の電圧 V_{gs} は $V_{th102} + \alpha$ (V_{th102} :第2のトランジスタ102のしきい値電圧、 α :任意の正の数)となり、第6の配線116の電位はHレベル(V_1)となる。このように、選択期間では、フリップフロップはノード121の電位を $V_1 + V_{th102} + \alpha$ にすることによって、Hレベルを第6の配線116から出力することができる。

20

【0093】

図2の期間C及び図3(C)に示す第1の非選択期間では、信号213がLレベルとなり、信号214がHレベルとなり、信号215がLレベルのままである。したがって、第3のトランジスタ103及び第4のトランジスタ104がオンとなり、第1のトランジスタ101はオフのままである。ノード121及び第6の配線116は、それぞれ第3のトランジスタ103、第4のトランジスタ104を介して第2の配線112の電位が供給されるためLレベルとなる。

30

【0094】

図2の期間D及び図3(D)に示す第2の非選択期間では、信号213がLレベルのままであり、信号214がLレベルとなり、信号215がLレベルのままである。したがって、第3のトランジスタ103及び第4のトランジスタ104がオフとなり、第1のトランジスタ101はオフのままである。したがって、ノード121及び第6の配線116はLレベルを維持する。

【0095】

図2の期間E及び図3(E)に示す第3の非選択期間では、信号213がHレベルとなり、信号214がLレベルのままであり、信号215がLレベルのままである。したがって、第1のトランジスタ101、第3のトランジスタ103及び第4のトランジスタ104がオフのままである。したがって、ノード121及び第6の配線116はLレベルを維持する。

40

【0096】

以上のことから、図1のフリップフロップは、第3のトランジスタ103及び第4のトランジスタ104は第1の非選択期間のみでオンとなるため、第3のトランジスタ103及び第4のトランジスタ104の特性劣化(しきい値電圧のシフト)を抑制することができる。なお、図1のフリップフロップは、第1のトランジスタ101及び第2のトランジスタ102をオンしたまま、Lレベルを第6の配線116から出力する。

50

タ１０２はそれぞれセット期間のみ、セット期間及び選択期間のみでオンとなるため、第１のトランジスタ１０１及び第２のトランジスタ１０２の特性劣化も抑制することができる。

【００９７】

さらに、図１のフリップフロップは、非選択期間のうち、第１の非選択期間においてノード１２１及び第６の配線１１６にＶ２が供給されるためフリップフロップの誤動作を抑制することができる。なぜなら、非選択期間において、一定期間毎（第１の非選択期間）にノード１２１及び第６の配線１１６にＶ２が供給されており、ノード１２１及び第６の配線１１６の電位を安定してＶ２に維持することができるからである。

【００９８】

なお、図１のフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４が全てＮチャネル型トランジスタで構成されていることを特徴とする。したがって、図１のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【００９９】

また、図１のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモルファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。

【０１００】

ここで、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３及び第４のトランジスタ１０４が有する機能を説明する。第１のトランジスタ１０１は、第１の配線１１１の電位を供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第２のトランジスタ１０２は、第３の配線１１３の電位を第６の配線１１６に供給するタイミングを選択し、ノード１２１の電位をブートストラップ動作によって上昇させる機能を有し、ブートストラップ用トランジスタとして機能する。第３のトランジスタ１０３は、第２の配線１１２の電位をノード１２１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第４のトランジスタ１０４は、第２の配線１１２の電位を第６の配線１１６に供給する機能を有し、スイッチングトランジスタとして機能する。

【０１０１】

なお、図１と同様の動作を行うものであれば、トランジスタの配置及び数などは図１に限定されない。図１のフリップフロップの動作を説明した図３から分かるように、本実施の形態では、セット期間、選択期間、第１の非選択期間、第２の非選択期間及び第３の非選択期間は、それぞれ図３（Ａ）乃至（Ｅ）に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタ等を配置し、動作させうる構成であれば、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０１０２】

例えば、図４に示すように、図１に示した第２のトランジスタ１０２のゲート端子と第２端子との間に容量素子４０１を配置してもよい。容量素子４０１を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第２のトランジスタ１０２のゲート端子と第２端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子４０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体

10

20

30

40

50

層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0103】

図5のフリップフロップにおいても、図1と同様の動作を行うことができる。図5に示すように、図1に示した第1のトランジスタ101がダイオード接続となってもよい。第1のトランジスタ101がダイオード接続されることによって、第1の配線111が不要になり、配線及び電源（V1）を1つずつ減らすことができる。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0104】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタについて図6を参照して説明する。

【0105】

シフトレジスタは、第1の配線611、第2の配線612、第3の配線613、第4の配線614、第5の配線615、第6の配線616、配線622__1～622__n及びn個（n段）のフリップフロップ601__1～601__nを有する。そして、1+3N段目（N：0若しくは正の整数）のフリップフロップ601は第1の配線611、第2の配線612、第3の配線613及び第4の配線614に接続されている。2+3N段目のフリップフロップ601は第1の配線611、第2の配線612、第4の配線614及び第5の配線615に接続されている。3+3N段目のフリップフロップ601は第1の配線611、第2の配線612、第5の配線615及び第3の配線613に接続されている。また、例えばi段目のフリップフロップ601__i（フリップフロップ601__1～601__nのうちいずれか）のうち、フリップフロップ601__2～フリップフロップ601__n-1は、i-1段目のフリップフロップ601__i-1及びi+1段目のフリップフロップ601__i+1に接続され、i段目のフリップフロップ601__iとi+1段目のフリップフロップ601__i+1との接続箇所は配線622__i（配線622__1～622__nのうちいずれか）に接続されている。なお、1段目のフリップフロップ601__1は第6の配線616と2段目のフリップフロップ601__2に接続され、1段目のフリップフロップ601__1と2段目のフリップフロップ601__2との接続箇所は配線622__1に接続されている。なお、n段目のフリップフロップ601__nはn-1段目のフリップフロップ601__n-1と配線622__nに接続されている。

【0106】

なお、1+3N段目のフリップフロップ601では、第1の配線611、第2の配線612、第3の配線613、第4の配線614は、それぞれ図1の第1の配線111、第2の配線112、第3の配線113、第4の配線114に接続されている。2+3N段目のフリップフロップ601では、第1の配線611、第2の配線612、第4の配線114、第5の配線615は、それぞれ図1の第1の配線111、第2の配線112、第3の配線113、第4の配線114に接続されている。3+3N段目のフリップフロップ601では、第1の配線611、第2の配線612、第5の配線615、第3の配線613は、それぞれ図1の第1の配線111、第2の配線112、第3の配線113、第4の配線614に接続されている。また、例えばi段目のフリップフロップ601__iのうち、フリップフロップ601__2～フリップフロップ601__n-1の図1に示す第5の配線115及び第6の配線116は、それぞれi-1段目のフリップフロップ601__i-1の図1に示す第6の配線116、i+1段目のフリップフロップ601__i+1の図1に示す第5の配線115に接続されている。なお、1段目のフリップフロップ601__1の図1に示す第5の配線115及び第6の配線116は、それぞれ図6の第6の配線616、2段目のフリップフロップ601__2の図1に示す第5の配線115に接続されている。なお、n段目のフリップフロップ601__nの図1に示す第5の配線115及び第6の配線116は、それぞれn-1段目のフリップフロップ601__n-1の図1に示す第6の配線116、図6の配線622__nに接続されている。

10

20

30

40

50

【0107】

次に、図6に示したシフトレジスタの上面図の一形態を図92に示す。なお、図92に示すシフトレジスタは、図1のフリップフロップを用いた場合のシフトレジスタであり、 n 段目のフリップフロップ601 $_{-n}$ 及び $n+1$ 段目のフリップフロップ601 $_{-n+1}$ を示す。図92のシフトレジスタが有するフリップフロップには、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103及び第4のトランジスタ104が配置されている。そして、図92のシフトレジスタが有するフリップフロップそれぞれは、第1の配線611、第2の配線612、第3の配線613、第4の配線614及び第5の配線615に接続されている。なお、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103及び第4のトランジスタ104は、逆スタガ型のトランジスタ構造であり、チャンネルエッチ型の場合について説明する。ただし、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103及び第4のトランジスタ104は、チャンネル保護型でもよい。また、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103及び第4のトランジスタ104は、トップゲート型のトランジスタとしてもよい。

10

【0108】

また、図92に示すシフトレジスタのレイアウト図は、第1の導電膜9201、半導体層9202、コンタクト9203及び第2の導電膜9204によって構成されている。なお、第1の導電膜9201はゲート電極として機能する。半導体層9202は不純物を含まない真性の非結晶半導体膜である。コンタクト9203は、第1の導電膜9201と第2の導電膜9204とを電氣的に接続するために機能する。

20

【0109】

図92のシフトレジスタは、第1の配線611の配線幅を第3の配線613の配線幅、第4の配線614の配線幅及び第5の配線615の配線幅よりも小さくすることができる。なぜなら、第1の配線611に流れる電流は第3の配線613、第4の配線614及び第5の配線615に比べて小さいため、第1の配線611の配線幅を小さくしてもシフトレジスタの動作への影響は少ないからである。同様に、図92のシフトレジスタは、第2の配線612の配線幅を第3の配線613の配線幅、第4の配線614の配線幅及び第5の配線615の配線幅よりも小さくすることができる。ただし、第2の配線612に流れる電流は第1の配線611に流れる電流よりも大きいいため、第2の配線612の配線幅は第1の配線611の配線幅よりも大きいことが望ましい。したがって、図92のシフトレジスタは、1段分のフリップフロップのピッチを小さくできる。また、図92のシフトレジスタは、各トランジスタを効率的に配置できる。また、図92のシフトレジスタは、各トランジスタのチャンネル幅を大きくすることができる。

30

【0110】

また、図92のシフトレジスタは、第2のトランジスタ102のチャンネル幅を大きくすることで、ブートストラップ動作をより容易に行なうことができる。なぜなら、第2のトランジスタ102のチャンネル幅が大きいため、第2のトランジスタ102のゲート端子と第2端子との間の寄生容量が大きくなるからである。また、図92のシフトレジスタは、第2のトランジスタ102のチャンネル幅を大きくすることで、高い駆動能力を得ることができる。なぜなら、第2のトランジスタ102のチャンネル幅が大きいため、第2のトランジスタ102の電流供給能力が大きくなるからである。なお、すでに述べたように、図92のシフトレジスタは第1の配線611及び第2の配線612の配線幅を小さくして、各トランジスタを配置できる面積を大きくできる。その場合、図92のシフトレジスタは第2のトランジスタ102のチャンネル幅を優先的に大きくすることでより高い駆動能力を得ることができる。したがって、第2のトランジスタのチャンネル幅は、第1のトランジスタ101のチャンネル幅、第3のトランジスタ103のチャンネル幅、第4のトランジスタ104のチャンネル幅よりも大きくすることが望ましい。

40

【0111】

また、図92のシフトレジスタは、第2のトランジスタ102のチャンネル形状をU字型に

50

することで、第2のトランジスタ102のチャネル幅を大きくすることができる。

【0112】

なお、図92に示したレイアウト図の特徴は、他のシフトレジスタにも適用することができる。

【0113】

次に、図6に示したシフトレジスタの動作について、図7のタイミングチャートを参照して説明する。

【0114】

なお、第1の配線611にはV1の電位が、第2の配線612にはV2の電位が供給されている。ただし、 $V1 > V2$ とする。

10

【0115】

ただし、第1の配線611にはV1の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。また、第2の配線612にはV2の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。

【0116】

なお、第3の配線613、第4の配線614、第5の配線615、第6の配線616には信号が入力されている。第3の配線613、第4の配線614、第5の配線615にされる信号は位相が120度ずつずれた3相のクロック信号である。第6の配線616にされる信号はスタート信号である。また、第3の配線613、第4の配線614、第5の配線615、第6の配線616にされる信号は、H信号の電位がV1、L信号の電位がV2のデジタル信号である。

20

【0117】

ただし、第3の配線613、第4の配線614及び第5の配線615にはそれぞれ位相が120度ずつずれた3相のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第6の配線616にはスタート信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

【0118】

また、第3の配線613、第4の配線614、第5の配線615及び第6の配線616にされる信号のH信号の電位はV1、L信号の電位はV2とは限定されず、H信号の電位がL信号の電位よりも高ければ、その電位は特に限定されない。

30

【0119】

なお、配線622からは信号が出力される。例えば、配線622__i (iは任意の正の数)から出力される信号は、i段目のフリップフロップ601__iの出力信号であり、i+1段目のフリップフロップ601__i+1入力信号でもある。

【0120】

図7において、信号716は第6の配線616にされる信号を示している。また、信号722__1、信号722__i、信号722__i+1、信号722__nは、それぞれ1段目、i段目、i+1段目、n段目の配線622から出力される信号(配線622の電位)を示している。

40

【0121】

図7に示すように、例えば、i段目のフリップフロップ601__iが選択期間になると配線622__iにH信号(722__i)を出力する。このとき、i+1段目のフリップフロップ601__i+1はセット期間となり配線622__i+1にL信号を出力する。その後、i段目のフリップフロップ601__iは第1の非選択期間となり配線622__iにL信号を出力する。このとき、i+1段目のフリップフロップ601__i+1は選択期間となり配線622__i+1にH信号を出力する。その後、i段目のフリップフロップ601__iは第2の非選択期間となり配線622__iはLレベルを維持したまま浮遊状態となる。このとき、i+1段目のフリップフロップ601__i+1は第1の非選択期間となり配線

50

6 2 2 __ i + 1 に L 信号を出力する。その後、i 段目のフリップフロップ 6 0 1 __ i は第 3 の非選択期間となり配線 6 2 2 __ i は L レベルを維持したまま浮遊状態のままである。このとき、i + 1 段目のフリップフロップ 6 0 1 __ i + 1 は第 2 の非選択期間となり配線 6 2 2 __ i + 1 は L レベルを維持したまま浮遊状態となる。その後は、i 段目のフリップフロップ 6 0 1 __ i は、次のセット期間まで第 1 の非選択期間、第 2 の非選択期間、第 3 の非選択期間を順に繰り返す。同様に、i + 1 段目のフリップフロップ 6 0 1 __ i + 1 は、次のセット期間（i 段目のフリップフロップ 6 0 1 __ i の選択期間）まで、第 3 の非選択期間、第 1 の非選択期間、第 2 の非選択期間を順に繰り返す。

【0 1 2 2】

以上のことから、図 6 のシフトレジスタは、3 相のクロック信号を用いることができるため、立ち上がりまたは立ち下りの回数を減らすことができ、省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第 3 の配線 6 1 3、第 4 の配線 6 1 4、第 5 の配線 6 1 5）に接続されているフリップフロップ 6 0 1 の段数が単相のクロック信号を用いた場合の 2 / 3 になるため、各クロック信号線の負荷を小さくすることができる。

【0 1 2 3】

なお、図 6 のシフトレジスタは、各段のフリップフロップ 6 0 1 の出力信号をバッファを介して、それぞれ各段の配線 6 2 2 に出力してもよく、このような構成を図 8 に示す。図 8 のシフトレジスタは、各段のフリップフロップ 6 0 1 がバッファ 8 0 1 を介してそれぞれ各段の配線 6 2 2 に接続されているため、動作時における広いマージンを得ることができる。なぜなら、配線 6 2 2 に大きな負荷が接続され、配線 6 2 2 の信号に遅延や波形のなまりが生じてても、シフトレジスタの動作に影響しないからである。なお、バッファ 8 0 1 はインバータや、NAND、NOR などの論理回路や、オペアンプなどや、これらを組み合わせた回路を用いることができる。

【0 1 2 4】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置について図 9 を参照して説明する。

【0 1 2 5】

表示装置は、信号線駆動回路 9 0 1、走査線駆動回路 9 0 2 及び画素部 9 0 3 を有し、画素部 9 0 3 は、信号線駆動回路 9 0 1 から列方向に伸張して配置された複数の信号線 S 1 ~ S m、走査線駆動回路 9 0 2 から行方向に伸張して配置された複数の走査線 G 1 ~ G n 及び信号線 S 1 ~ S m 並びに走査線 G 1 ~ G n に対応してマトリクス状に配置された複数の画素 9 0 4 を有する。そして、各画素 9 0 4 は、信号線 S j（信号線 S 1 ~ S m のうちいずれか）、走査線 G i（走査線 G 1 ~ G n のうちいずれか）と接続されている。

【0 1 2 6】

なお、走査線 G 1 ~ G n は、図 6 及び図 8 の配線 6 2 2 __ 1 ~ 6 2 2 __ n に相当する。

【0 1 2 7】

なお、配線や電極は、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジウム（Nd）、クロム（Cr）、ニッケル（Ni）、白金（Pt）、金（Au）、銀（Ag）、銅（Cu）、マグネシウム（Mg）、スカンジウム（Sc）、コバルト（Co）、亜鉛（Zn）、ニオブ（Nb）、シリコン（Si）、リン（P）、ボロン（B）、ヒ素（As）、ガリウム（Ga）、インジウム（In）、錫（Sn）、及び酸素（O）から選ばれた一つ又は複数の元素、もしくは、群から選ばれた一つ又は複数の元素を成分とする化合物や合金材料（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を添加したインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、アルミネオジウム（Al-Nd）、マグネシウム銀（Mg-Ag）など）、もしくは、これらの化合物を組み合わせた物質などを有して形成される。もしくは、それらとシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）や、それらと窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成される。なお、シリ

10

20

30

40

50

コン（Si）には、n型不純物（リンなど）やp型不純物（ボロンなど）を多く含んでもよい。これらの不純物を含むことにより、導電率が向上、また、通常の導体と同様の振る舞いをするので、配線や電極として利用しやすくなる。なお、シリコンは、単結晶でもよいし、多結晶（ポリシリコン）でもよいし、非晶質（アモルファスシリコン）でもよい。単結晶シリコンや多結晶シリコンを用いることにより、抵抗を小さくすることが出来る。また、非晶質シリコンを用いることにより、簡単な製造工程で作ることが出来る。なお、アルミニウムや銀は、導電率が高いため、信号遅延を低減することができ、また、エッチングしやすいので、パターンニングしやすく、微細加工を行うことが出来る。なお、銅は、導電率が高いため、信号遅延を低減することが出来る。なお、モリブデンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料の不良などの問題が生じることなく製造できたり、パターンニングやエッチングがしやすく、また、耐熱性が高いため、望ましい。なお、チタンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料の不良などの問題が生じることなく製造できたり、耐熱性が高いため、望ましい。なお、タングステンは、耐熱性が高いため、望ましい。なお、ネオジウムは、耐熱性が高いため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなるため、望ましい。なお、シリコンは、トランジスタが有する半導体層と同時に形成できたり、耐熱性が高いため、望ましい。なお、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を添加したインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、シリコン（Si）は、透光性を有しているため、光を透過させるような部分に用いることができるため、望ましい。たとえば、画素電極や共通電極として用いることができる。

10

20

【0128】

なお、これらが単層で配線や電極を形成していてもよいし、多層構造になっていてもよい。単層構造で形成することにより、製造工程を簡略化することができ、工程時間を少なくでき、コストを低減することが出来る。また、多層構造にすることにより、それぞれの材料のメリットを生かし、一の材料のデメリットを、他の材料を用いることにより低減させ、性能の良い配線や電極を形成することが出来る。たとえば、抵抗の低い材料（アルミニウムなど）を多層構造の中に含むようにすることにより、配線の低抵抗化を図ることができる。また、耐熱性が高い材料を含むようにすれば、例えば、耐熱性が弱い材料が、別のメリットを有する材料を、耐熱性が高い材料で挟むような積層構造にすることにより、配線や電極全体として、耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデンやチタンを含む層で挟んだような形にした積層構造にすると望ましい。また、別の材料の配線や電極などと直接接するような部分がある場合、お互いに悪影響を及ぼすことがある。例えば、一方の材料が他方の材料の中に入っていて、性質を変えてしまい、本来の目的を果たせなくなったり、製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、ある層を別の層で挟んだり、覆ったりすることにより、問題を解決することが出来る。例えば、インジウム錫酸化物（ITO）と、アルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。また、シリコンとアルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。

30

40

【0129】

なお、上記説明した配線や電極は、他の表示装置並びにシフトレジスタにも適用することが出来る。

【0130】

なお、信号線駆動回路901は、信号線S1～Smにビデオ信号に応じた電位若しくは電流を入力する。また、信号線駆動回路901は、画素部903と同一基板上に形成される必要はなく、ICなどの単結晶基板上に形成されていてもよいし、一部を画素部903と同一基板上に形成され、残りの部分をICなどの単結晶基板に形成してもよい。

【0131】

なお、走査線駆動回路902は、走査線G1～Gnに信号を入力し、走査線G1～Gnを

50

1 行目から順に選択（以下、走査するともいう）する。そして、選択された走査線に接続されている複数の画素 904 も同時に選択される。なお、1 つの走査線が選択されている期間を 1 ゲート選択期間と呼び、1 つの走査線が選択されていない期間を非選択期間と呼ぶ。また、走査線駆動回路 902 は図 6 又は図 8 に示したシフトレジスタを適用することができる。また、走査線駆動回路 902 は、画素部 903 と同一基板上に形成されていることを特徴とする。

【0132】

なお、画素 904 は、選択されている場合には信号線駆動回路 901 から信号線を介してビデオ信号に応じた電位若しくは電流が入力される。ただし、選択されていない場合にはビデオ信号に応じた電位若しくは電流は入力されない。

10

【0133】

次に、図 9 に示した表示装置の動作について、図 10 のタイミングチャートを参照して説明する。なお、図 10 において、1 画面分の画像を表示する期間に相当する 1 フレーム期間を示す。なお、1 フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように 1 / 60 秒以下とすることが好ましい。

【0134】

なお、図 10 のタイミングチャートでは、1 行目の走査線 G1、i 行目の走査線 Gi、i + 1 行目の走査線 Gi + 1 及び n 行目の走査線 Gn がそれぞれ選択されるタイミングを示している。

【0135】

20

図 10 において、例えば i 行目の走査線 Gi が選択され、走査線 Gi に接続されている複数の画素 904 が選択される。そして、走査線 Gi に接続されている複数の画素 904 にはそれぞれビデオ信号が書き込まれ、それぞれの表示素子の輝度若しくは透過率がビデオ信号に応じた値となる。その後、i 行目の走査線 Gi が非選択になると、i + 1 行目の走査線 Gi + 1 が選択され、走査線 Gi + 1 に接続されている複数の画素 904 が選択される。そして、走査線 Gi + 1 に接続されている複数の画素 904 にはそれぞれビデオ信号が書き込まれ、それぞれの表示素子の輝度若しくは透過率がビデオ信号に応じた値となる。なお、各画素 904 は非選択状態になっても書き込まれたビデオ信号を保持するため、それぞれの表示素子はビデオ信号に応じた輝度若しくは透過率を維持する。

【0136】

30

以上のことから、走査線 G1 ~ Gn それぞれは、1 フレーム期間のうち 1 ゲート選択期間で選択され、1 ゲート選択期間以外では非選択期間となり選択されない。1 ゲート選択期間の長さは 1 フレーム期間の長さを n で割ったものとおおむね等しいため、1 フレーム期間のうちほとんどの期間は非選択期間となる。つまり、走査線駆動回路 902 に図 6 又は図 8 に示したシフトレジスタを適用した場合には、図 6 又は図 8 に示すフリップフロップ 601_1 ~ 601_i それぞれは 1 フレーム期間のうちほとんどの期間で第 1 の非選択期間、第 2 の非選択期間及び第 3 の非選択期間を順に繰り返している。したがって、走査線駆動回路 902 は、図 6 及び図 8 に示すフリップフロップ 601_1 ~ 601_i それぞれが有するトランジスタの劣化を抑制することができるため、寿命を長くすることができる。さらに、長寿命な走査線駆動回路 902 を画素部 903 と一体形成した図 9 の表示装置も寿命を長くすることができる。

40

【0137】

なお、図 9 のように、画素を選択し、画素にビデオ信号を書き込むことができれば、駆動回路の数や配置などは図 9 に限定されない。

【0138】

例えば、図 11 に示すように、走査線 G1 ~ 走査線 Gn を第 1 の走査線駆動回路 1101 及び第 2 の走査線駆動回路 1102 によって走査してもよい。なお、第 1 の走査線駆動回路 1101 及び第 2 の走査線駆動回路 1102 は、図 9 に示した走査線駆動回路 902 と同様の構成であり、同じタイミングで走査線 G1 ~ 走査線 Gn を走査する。走査線 G1 ~ 走査線 Gn を第 1 の走査線駆動回路 1101 及び第 2 の走査線駆動回路 1102 によって

50

走査することによって、走査線G1～走査線Gnそれぞれに出力する信号の遅延やなまりが低減され、走査線G1～走査線Gnが高速に走査される。つまり、図11の表示装置は、パネルサイズが大きくなり、走査線G1～走査線Gnの配線抵抗や寄生容量が大きくなっても、走査線G1～走査線Gnそれぞれに出力する信号の遅延やなまりが低減されるため、大型化を可能にすることができる。さらに、図11の表示装置は、パネルサイズが大きくなる若しくはパネルが高精細になって画素数が増えることにより、走査線G1～走査線Gnを高速に走査する必要があるがあっても、走査線G1～走査線Gnを高速に走査することができるため、大型化、高精細化を可能にすることができる。さらに、図11の表示装置は、第1の走査線駆動回路1101及び第2の走査線駆動回路1102のうち一方に不良が生じて、他方の走査線G1～走査線Gnを走査できるため、冗長性を持たせることができる。なお、図9の構成と共通するところは共通の符号を用いてその説明を省略する。なお、図11の表示装置には、図9と同様に図10のタイミングチャートを用いることができる。

10

【0139】

図12に示した表示装置においても、図9のように画素を選択し、画素にビデオ信号を書き込むことができる。図12に示すように、第1の走査線駆動回路1201及び第2の走査線駆動回路1202によって、走査線G1～走査線Gnを1行毎に走査してもよい。なお、第1の走査線駆動回路1201及び第2の走査線駆動回路1202は、図9に示した走査線駆動回路902と同様の構成であり、駆動タイミングが異なる。第1の走査線駆動回路1201が奇数行目の走査線を走査し、第2の走査線駆動回路1202が偶数行目の走査線を走査することによって、第1の走査線駆動回路1201及び第2の走査線駆動回路1202の駆動周波数を小さくでき、第1の走査線駆動回路1201及び第2の走査線駆動回路1202が有するフリップフロップの1段分のピッチが広がる。つまり、図12の表示装置は、第1の走査線駆動回路1201及び第2の走査線駆動回路1202の駆動周波数を小さくできるため、省電力化を実現できる。さらに、図12の表示装置は、第1の走査線駆動回路1201及び第2の走査線駆動回路1202が有するフリップフロップの1段分のピッチが広がるため、効率的にレイアウトでき、額縁を小さくすることができる。さらに、図12の表示装置は、第1の走査線駆動回路1201及び第2の走査線駆動回路1202を左右に配置するため、額縁を左右均一にすることができる。なお、図9の構成と共通するところは共通の符号を用いてその説明を省略する。なお、図12の表示装置には、図9と同様に図10のタイミングチャートを用いることができる。

20

30

【0140】

また、図44に示した表示装置においても、図9のように画素を選択し、画素にビデオ信号を書き込むことができる。図44に示すように、第1の走査線駆動回路4402及び第2の走査線駆動回路4403によって、走査線G1～走査線Gnを1行毎に走査してもよい。また、画素904は、1行毎に左右の信号線に接続されている。例えば、j列目の複数の画素904は、i行目では信号線Sj（信号線S1～信号線Sm+1のうちいずれか）に接続され、i+1行目では信号線Sj+1に接続され、i-1行目では信号線Sj+1に接続されている。

40

【0141】

図44に示した表示装置の動作について、図45のタイミングチャートを参照して説明する。なお、図45において、1画面分の画像を表示する期間に相当する1フレーム期間を示す。なお、1フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように1/60秒以下とすることが好ましい。

【0142】

なお、図45のタイミングチャートでは、1行目の走査線G1、i-1行目の走査線Gi-1、i行目の走査線Gi、i+1行目の走査線Gi+1及びn行目の走査線Gnがそれぞれ選択されるタイミングを示している。図45のタイミングチャートでは、1つの選択期間を選択期間Taと選択期間Tbとに分割している。

【0143】

50

なお、図44の表示装置は、1フレーム期間において各信号線に1列毎に正極のビデオ信号と負極のビデオ信号とを入力するだけで、ドット反転駆動をすることができる。また、図44の表示装置は、1フレーム期間毎に、各信号線に入力するビデオ信号の極性を反転することでフレーム反転駆動をすることができる。なお、図45のタイミングチャートでは、表示装置がドット反転駆動及びフレーム反転駆動をする場合について説明する。

【0144】

図45において、例えば*i*行目の走査線*G_i*の選択期間*T_a*は、*i* - 1行目の走査線*G_i* - 1の選択期間と重なっており、*i*行目の走査線*G_i*の選択期間*T_b*は、*i* + 1行目の走査線*G_i* + 1の選択期間と重なっている。したがって、選択期間*T_a*において、*i* - 1行・*j* + 1列目の画素904に入力されるビデオ信号と同様なものが、*i*行*j*列目の画素904に入力される。また、選択期間*T_b*において、*i*行*j*列目の画素904に入力されるビデオ信号と同様なものが、*i* + 1行・*j* - 1列目の画素904に入力される。なお、選択期間*T_b*において画素904に入力されるビデオ信号が本来のビデオ信号であり、選択期間*T_a*において画素904に入力されるビデオ信号が画素904のプリチャージ用のビデオ信号である。したがって、画素904それぞれは、選択期間*T_a*において入力されるビデオ信号によってプリチャージされ、選択期間*T_b*において入力されるビデオ信号を保持する。

【0145】

以上のことから、図44の表示装置は、画素904に高速にビデオ信号を書き込むことができるため、大型化、高精細化を容易に実現することができる。さらに、図44の表示装置は、1フレーム期間において信号線各々は同じ極性のビデオ信号が入力されるため、各信号線の充放電が少なく、低消費電力化を実現できる。また、図44の表示装置は、ビデオ信号を供給するためのICの負荷が大幅に低減されるため、ICの発熱や消費電力などを低減することができる。さらに、図44の表示装置は、第1の走査線駆動回路4402及び第2の走査線駆動回路4403の駆動周波数を約半分にできる。

【0146】

なお、図9、図11、図12、及び図44の表示装置は、画素904の構成によって別の配線などを追加してもよい。例えば、一定の電位に保たれている電源線、新たな走査線及び容量線などを追加してもよい。なお、新たに走査線を追加する場合には、図6及び図8に示したシフトレジスタを適用した走査線駆動回路を新たに追加してもよい。

【0147】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【0148】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる構成のフリップフロップを図13に示す。なお、実施の形態1と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0149】

図13に示すフリップフロップは、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104及び第5のトランジスタ1305を有する。なお、フリップフロップは、第1の配線111、第2の配線112、第3の配線113、第4の配線114、第5の配線115、第6の配線116及び第7の配線1317に接続されている。本実施の形態において、第5のトランジスタ1305はNチャネル型トランジスタとし、そのゲートとソース間の電圧(*V_{gs}*)がしきい値電圧(*V_{th}*)を上回ったとき、導通状態になるものとする。なお、第7の配線1317を、第3の信号線と呼んでもよい。

【0150】

第1のトランジスタ101の第1端子（ソース端子及びドレイン端子の一方）は第1の配線111に接続され、第2端子（ソース端子及びドレイン端子の他方）は第2のトランジスタ102のゲート端子に接続され、ゲート端子は第5の配線115に接続されている。第3のトランジスタ103の第1端子は第2のトランジスタ102のゲート端子に接続され、第2端子は第2の配線112に接続され、ゲート端子は第4の配線114に接続されている。第2のトランジスタ102の第1端子は第3の配線113に接続され、第2端子は第6の配線116に接続されている。第4のトランジスタ104の第1端子は第6の配線116に接続され、第2端子は第2の配線112に接続され、ゲート端子は配線114に接続されている。第5のトランジスタ1305の第1端子は第6の配線116に接続され、第2端子は第2の配線112に接続され、ゲート端子は第7の配線1317に接続されている。

10

【0151】

なお、第3のトランジスタ103の第2端子、第4のトランジスタ104の第2端子及び第5のトランジスタ1305の第2端子は、第2の配線112に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ103のゲート端子及び第4のトランジスタ104のゲート端子は第4の配線114に接続されているとは限定されず、別々の配線に接続されていてもよい。

【0152】

次に、図13で示したフリップフロップの動作について、図14のタイミングチャートを参照して説明する。なお、図14は、図13のフリップフロップを図1に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図2のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

20

【0153】

なお、第7の配線1317には信号が入力されている。第7の配線1317に入力される信号は、第3のクロック信号である。また、第7の配線1317に入力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

【0154】

ただし、第7の配線1317には第3のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

30

【0155】

図14において、信号1417は第7の配線1317に入力される信号である。

【0156】

図13のフリップフロップでは、セット期間及び第2の非選択期間において、第5のトランジスタ1305がオンとなる。そして、第6の配線116は、第5のトランジスタ1305を介して第2の配線112の電位が供給されるためLレベルを維持する。

【0157】

以上のことから、図13のフリップフロップは、第1の非選択期間、第2の非選択期間、第3の非選択期間のうち、第1の非選択期間及び第2の非選択期間において、第6の配線116にV2が供給されるためフリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、一定期間毎（第1の非選択期間及び第2の非選択期間）に第6の配線116にV2が供給されており、第6の配線116の電位を安定してV2に維持することができるからである。

40

【0158】

さらに、図13のフリップフロップの第5のトランジスタ1305は、セット期間及び第2の非選択期間のみでオンとなるため、第5のトランジスタ1305の特性劣化を抑制することができる。

【0159】

なお、図13のフリップフロップは、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104及び第5のトランジスタ1

50

305が全てNチャネル型トランジスタで構成されていることを特徴とする。したがって、図13のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0160】

また、図13のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモルファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。

10

【0161】

ここで、第5のトランジスタ1305が有する機能を説明する。第5のトランジスタ1305は、第2の配線112の電位を第6の配線116に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【0162】

なお、図13と同様の動作を行うものであれば、トランジスタの配置及び数などは図13に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【0163】

例えば、図15に示すように、図13に示した第2のトランジスタ102のゲート端子と第2端子との間に容量素子1501を配置してもよい。容量素子1501を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第2のトランジスタ102のゲート端子と第2端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子1501は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図13の構成と共通するところは共通の符号を用いてその説明を省略する。

20

30

【0164】

図16のフリップフロップにおいても、図13と同様の動作を行うことができる。図16に示すように、図13に示した第1のトランジスタ101がダイオード接続してもよい。第1のトランジスタ101がダイオード接続されることによって、第1の配線111が不必要になり、配線及び電源（V1）を1つずつ減らすことができる。なお、図13の構成と共通するところは共通の符号を用いてその説明を省略する。

【0165】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタについて図17を参照して説明する。なお、図1に示したフリップフロップを有するシフトレジスタを説明した図6と共通するところは共通の符号を用いて説明を省略する。

40

【0166】

シフトレジスタは、第1の配線611、第2の配線612、第3の配線613、第4の配線614、第5の配線615、第6の配線616、配線622₁～622_n及びn個（n段）のフリップフロップ1701₁～1701_nを有する。そして、n個（n段）のフリップフロップ1701₁～1701_nそれぞれは、第1の配線611、第2の配線612、第3の配線613、第4の配線614、第5の配線615に接続されている。また、例えばi段目のフリップフロップ1701_i（フリップフロップ1701₁～1701_nのうちいずれか一）のうち、フリップフロップ1701₂～フリップフロップ_{n-1}は、i-1段目のフリップフロップ1701_{i-1}及びi+1段目のフリップフロップ1701_{i+1}に接続され、i段目のフリップフロップ1701_i

50

と $i + 1$ 段目のフリップフロップ $1701_i + 1$ との接続箇所は配線 622_i (配線 $622_1 \sim 622_n$ のうちいずれか一) に接続されている。なお、1 段目のフリップフロップ 1701_1 は第 6 の配線 616 と 2 段目のフリップフロップ 1701_2 に接続され、1 段目のフリップフロップ 1701_1 と 2 段目のフリップフロップ 1701_2 との接続箇所は配線 622_1 に接続されている。なお、 n 段目のフリップフロップ 1701_n は $n - 1$ 段目のフリップフロップ $1701_n - 1$ と配線 622_n に接続されている。

【0167】

なお、 $1 + 3N$ 段目のフリップフロップ 1701 では、第 1 の配線 611 、第 2 の配線 612 、第 3 の配線 613 、第 4 の配線 614 、第 5 の配線 615 は、それぞれ図 13 の第 1 の配線 111 、第 2 の配線 112 、第 3 の配線 113 、第 4 の配線 114 、第 7 の配線 1317 に接続されている。2 + 3N 段目のフリップフロップ 1701 では、第 1 の配線 611 、第 2 の配線 612 、第 4 の配線 614 、第 5 の配線 615 、第 3 の配線 613 は、それぞれ図 13 の第 1 の配線 111 、第 2 の配線 112 、第 3 の配線 113 、第 4 の配線 114 、第 7 の配線 1317 に接続されている。3 + 3N 段目のフリップフロップ 601 では、第 1 の配線 611 、第 2 の配線 612 、第 5 の配線 615 、第 3 の配線 613 、第 4 の配線 614 は、それぞれ図 13 の第 1 の配線 111 、第 2 の配線 112 、第 3 の配線 113 、第 4 の配線 614 、第 7 の配線 1317 に接続されている。また、例えば i 段目のフリップフロップ 1701_i のうち、フリップフロップ $1701_2 \sim$ フリップフロップ $1701_n - 1$ の図 13 に示す第 5 の配線 115 及び第 6 の配線 116 は、それぞれ $i - 1$ 段目のフリップフロップ $1701_i - 1$ の図 13 に示す第 6 の配線 116 、 $i + 1$ 段目のフリップフロップ $1701_i + 1$ の図 13 に示す第 5 の配線 115 に接続されている。なお、1 段目のフリップフロップ 1701_1 の図 13 に示す第 5 の配線 115 及び第 6 の配線 116 は、それぞれ図 17 の第 6 の配線 616 、2 段目のフリップフロップ 1701_2 の図 13 に示す第 5 の配線 115 に接続されている。なお、 n 段目のフリップフロップ 1701_n の図 13 に示す第 5 の配線 115 及び第 6 の配線 116 は、それぞれ $n - 1$ 段目のフリップフロップ $1701_n - 1$ の図 13 に示す第 6 の配線 116 、図 17 の配線 622_n に接続されている。

【0168】

なお、図 17 に示したシフトレジスタは、図 6 に示したシフトレジスタと同様の動作を行うことができる。したがって、図 17 に示したシフトレジスタには、図 7 のタイミングチャートを用いることができる。

【0169】

よって、図 17 のシフトレジスタは、実施の形態 1 と同様、3 相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線 (第 3 の配線 613 、第 4 の配線 614 、第 5 の配線 615) に接続されているフリップフロップ 1701 の段数が単相のクロック信号を用いた場合の $2/3$ になるため、各クロック信号線の負荷を小さくすることができる。

【0170】

なお、図 17 のシフトレジスタは、各段のフリップフロップ 1701 の出力信号をバッファを介して、それぞれ各段の配線 622 に出力してもよく、このような構成を図 18 に示す。図 18 のシフトレジスタは、各段のフリップフロップ 1701 がバッファ 1801 を介してそれぞれ各段の配線 622 に接続されているため、動作における広いマージンを得ることができる。なぜなら、配線 622 に大きな負荷が接続され、配線 622 の信号に遅延や波形のなまりが生じて、シフトレジスタの動作に影響しないからである。なお、バッファ 1801 はインバータや、NAND、NOR などの論理回路や、オペアンプなどや、これらを組み合わせた回路を用いることができる。

【0171】

また、本実施の形態に示したシフトレジスタを図 9、図 11、図 12 及び図 44 の表示装置に適用することができる。実施の形態 1 と同様、画素部と一体形成した走査線駆動回路

10

20

30

40

50

に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【0172】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【0173】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2とは異なる構成のフリップフロップを図19に示す。なお、実施の形態1及び実施の形態2と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

10

【0174】

図19に示すフリップフロップは、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104、第5のトランジスタ1305、第6のトランジスタ1906、第7のトランジスタ1907、第8のトランジスタ1908及び第9のトランジスタ1909を有している。なお、フリップフロップは、第1の配線111、第2の配線112、第3の配線113、第4の配線114、第5の配線115、第6の配線116及び第7の配線1317に接続されている。本実施の形態において、第6のトランジスタ1906、第7のトランジスタ1907、第8のトランジスタ1908及び第9のトランジスタ1909はNチャネル型トランジスタとし、そのゲートとソース間の電圧(V_{gs})がしきい値電圧(V_{th})を上回ったとき、導通状態になるものとする。

20

【0175】

第1のトランジスタ101の第1端子(ソース端子及びドレイン端子の一方)は第1の配線111に接続され、第2端子(ソース端子及びドレイン端子の他方)は第2のトランジスタ102のゲート端子に接続され、ゲート端子は第5の配線115に接続されている。第3のトランジスタ103の第1端子は第2のトランジスタ102のゲート端子に接続され、第2端子は第2の配線112に接続され、ゲート端子は第4の配線114に接続されている。第2のトランジスタ102の第1端子は第3の配線113に接続され、第2端子は第6の配線116に接続されている。第4のトランジスタ104の第1端子は第6の配線116に接続され、第2端子は第2の配線112に接続され、ゲート端子は配線114に接続されている。第5のトランジスタ1305の第1端子は第6の配線116に接続され、第2端子は第2の配線112に接続され、ゲート端子は第7の配線1317に接続されている。第6のトランジスタ1906の第1端子は第8のトランジスタ1908のゲート端子に接続され、第2端子は第2の配線112に接続され、ゲート端子は第2のトランジスタ102のゲート端子に接続されている。第7のトランジスタ1907の第1端子は第1の配線111に接続され、第2端子は第8のトランジスタ1908のゲート端子に接続され、ゲート端子は第1の配線111に接続されている。第8のトランジスタ1908の第1端子は第3の配線113に接続され、第2端子は第9のトランジスタ1909のゲート端子に接続されている。第9のトランジスタ1909の第1端子は第6の配線116に接続され、第2端子は第2の配線112に接続されている。なお、第6のトランジスタ1906の第1端子、第7のトランジスタ1907の第2端子及び第8のトランジスタ1908のゲート端子の接続箇所をノード1922とする。また、第8のトランジスタ1908の第2端子及び第9のトランジスタ1909のゲート端子の接続箇所をノード1923とする。

30

40

【0176】

なお、第3のトランジスタ103の第2端子、第4のトランジスタ104の第2端子、第5のトランジスタ1305の第2端子、第6のトランジスタ1906の第2端子及び第9のトランジスタ1909の第2端子は第2の配線112に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ103のゲート端子及

50

び第4のトランジスタ104のゲート端子は第4の配線に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第1のトランジスタ101の第1端子、第7のトランジスタ1907の第1端子及び第7のトランジスタ1907のゲート端子は第1の配線111に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第2のトランジスタ102の第1端子及び第8のトランジスタ1908の第1端子は第3の配線113に接続されているとは限定されず、別々の配線に接続されていてもよい。

【0177】

次に、図19で示したフリップフロップの動作について、図20のタイミングチャートを参照して説明する。なお、図20は、図19のフリップフロップを図1及び図13に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図2及び図14のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

【0178】

図20において、電位2022は図19のノード1922の電位であり、電位2023は図19のノード1923の電位である。

【0179】

図19のフリップフロップでは、第3の非選択期間において、第9のトランジスタ1909がオンとなる。そして、第6の配線116は、第9のトランジスタ1909を介して第2の配線112の電位が供給されるためLレベルを維持する。

【0180】

具体的に第9のトランジスタ1909のオン及びオフの制御を説明する。まず、第6のトランジスタ1906及び第7のトランジスタ1907はインバータを構成しており、第6のトランジスタ1906のゲート端子にHレベルが入力されると、ノード1922の電位（電位2022）がおおむねV2となる。ただし、このときの電位2022は、このときの第6のトランジスタ1906と第7のトランジスタ1907との抵抗比によって決定するため、V2よりも少し高い値となる。また、第6のトランジスタ1906のゲート端子にLレベルが入力されると、ノード1922の電位が第1の配線111の電位から第7のトランジスタ1907のしきい値電圧（ V_{th1907} ）を引いた値となるため $V1 - V_{th1907}$ となる。したがって、第1の非選択期間、第2の非選択期間及び第3の非選択期間では、ノード121がLレベルであり、ノード1922がHレベルになるため第8のトランジスタ1908はオンとなる。よって、第9のトランジスタ1909は、第3の配線113に入力される信号によって制御されるため、第3の非選択期間においてオンとなり、第1の非選択期間及び第2の非選択期間においてはオフとなる。一方で、セット期間及び選択期間では、ノード121がHレベルであり、ノード1922がLレベルになるため第8のトランジスタ1908はオフとなる。よって、第9のトランジスタ1909のゲート端子の電位がセット期間の前の期間である第1の非選択期間の電位、つまりLレベルを維持するため、第9のトランジスタ1909はオフとなる。

【0181】

以上のことから、図19のフリップフロップは、第1の非選択期間、第2の非選択期間及び第3の非選択期間において、配線116にV2が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第6の配線116にV2を供給することができるからである。また、図19のフリップフロップは、非選択期間において第6の配線116にV2が供給されるため、第6の配線116のノイズを少なくすることができる。

【0182】

さらに、図19のフリップフロップは、第6のトランジスタ1906、第7のトランジスタ1907、第8のトランジスタ1908及び第9のトランジスタ1909の特性劣化を抑制することができる。なぜなら、第6のトランジスタ1906はセット期間及び選択期間のみでオンとなるからである。また、第7のトランジスタ1907は選択期間の後の第1の非選択期間のうちノード1922の電位が $V1 - V_{th1907}$ まで上昇する期間の

10

20

30

40

50

みでオンとなるからである。また、第8のトランジスタ1908は第1の非選択期間、第2の非選択期間及び第3の非選択期間のうちノード1923の電位が $V_1 - \beta$ ($\beta: V_{th1907} + V_{th1908}$) まで上昇する期間のみでオンとなるからである。また、第9のトランジスタ1909は第3の非選択期間のみでオンとなるからである。

【0183】

なお、図19のフリップフロップは、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104、第5のトランジスタ1305、第6のトランジスタ1906、第7のトランジスタ1907、第8のトランジスタ1908及び第9のトランジスタ1909が全てNチャネル型トランジスタで構成されていることを特徴とする。したがって、図19のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

10

【0184】

また、図19のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモルファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。

20

【0185】

ここで、第6のトランジスタ1906、第7のトランジスタ1907、第8のトランジスタ1908及び第9のトランジスタ1909が有する機能を説明する。第6のトランジスタ1906は、第2の配線112の電位をノード1922に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第7のトランジスタ1907は、第1の配線111の電位をノード1922に供給するタイミングを選択する機能を有し、ダイオードとして機能する。第8のトランジスタ1908は、第3の配線113の電位をノード1923に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第9のトランジスタ1909は、第2の配線112の電位を第6の配線116に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

30

【0186】

なお、図19と同様の動作を行うものであれば、トランジスタの配置及び数などは図19に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【0187】

例えば、図21に示すように、図19に示した第2のトランジスタ102のゲート端子と第2端子との間に容量素子2101を配置してもよい。容量素子2101を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第2のトランジスタ102のゲート端子と第2端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子2101は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図19の構成と共通するところは共通の符号を用いてその説明を省略する。

40

【0188】

図22のフリップフロップにおいても、図19と同様の動作を行うことができる。図22に示すように、図19に示した第1のトランジスタ101がダイオード接続してもよい。第1のトランジスタ101がダイオード接続されることによって、第1の配線111に流

50

れる電流が小さくなるため、第1の配線111の配線幅を小さくすることができる。なお、図19の構成と共通するところは共通の符号を用いてその説明を省略する。

【0189】

また、本実施の形態に示したフリップフロップを図17及び図18のシフトレジスタに適用することができる。実施の形態1及び実施の形態2と同様、3相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第3の配線613、第4の配線614、第5の配線615）に接続されているフリップフロップ1701の段数が単相のクロック信号を用いた場合の2/3となるため、各クロック信号線の負荷を小さくすることができる。

【0190】

また、本実施の形態に示したシフトレジスタを図9、図11、図12及び図44の表示装置に適用することができる。実施の形態1及び実施の形態2と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【0191】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【0192】

（実施の形態4）

本実施の形態では、実施の形態1、実施の形態2及び実施の形態3とは異なる構成のフリップフロップを図23に示す。なお、実施の形態1、実施の形態2及び実施の形態3と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0193】

図23に示すフリップフロップは、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104、第5のトランジスタ1305、第6のトランジスタ1906、第7のトランジスタ1907、第8のトランジスタ1908、第9のトランジスタ1909、第10のトランジスタ2310、第11のトランジスタ2311及び第12のトランジスタ2312を有している。なお、フリップフロップは、第1の配線111、第2の配線112、第3の配線113、第4の配線114、第5の配線115、第6の配線116及び第7の配線1317に接続されている。本実施の形態において、第10のトランジスタ2310、第11のトランジスタ2311及び第12のトランジスタ2312は、Nチャネル型トランジスタとし、そのゲートとソース間の電圧（ V_{gs} ）がしきい値電圧（ V_{th} ）を上回ったとき、導通状態になるものとする。

【0194】

第1のトランジスタ101の第1端子（ソース端子及びドレイン端子の一方）は第1の配線111に接続され、第2端子（ソース端子及びドレイン端子の他方）は第2のトランジスタ102のゲート端子に接続され、ゲート端子は第5の配線115に接続されている。第3のトランジスタ103の第1端子は第2の配線112に接続され、第2端子は第2のトランジスタ102のゲート端子に接続され、ゲート端子は第4の配線114に接続されている。第2のトランジスタ102の第1端子は第3の配線113に接続され、第2端子は第6の配線116に接続されている。第4のトランジスタ104の第1端子は第2の配線112に接続され、第2端子は第6の配線116に接続され、ゲート端子は第4の配線114に接続されている。第5のトランジスタ1305の第1端子は第2の配線112に接続され、第2端子は第6の配線116に接続され、ゲート端子は第7の配線1317に接続されている。第6のトランジスタ1906の第1端子は第2の配線112に接続され、第2端子は第8のトランジスタ1908のゲート端子及び第11のトランジスタ2311のゲート端子に接続され、ゲート端子は第2のトランジスタ102のゲート端子に接続

されている。第7のトランジスタ1907の第1端子は第1の配線111に接続され、第2端子は第8のトランジスタ1908のゲート端子及び第11のトランジスタ2311のゲート端子に接続され、ゲート端子は第1の配線111に接続されている。第8のトランジスタ1908の第1端子は第3の配線113に接続され、第2端子は第9のトランジスタ1909のゲート端子及び第10のトランジスタ2310のゲート端子に接続されている。第9のトランジスタ1909の第1端子は第2の配線112に接続され、第2端子は第6の配線116に接続されている。第10のトランジスタ2310の第1端子は第2の配線112に接続され、第2端子は第2のトランジスタ102のゲート端子に接続されている。第11のトランジスタ2311の第1端子は第7の配線1317に接続され、第2端子は第12のトランジスタ2312のゲート端子に接続されている。第12のトランジスタ2312の第1端子は第2の配線112に接続され、第2端子は第2のトランジスタ102のゲート端子に接続されている。なお、第11のトランジスタ2311の第2端子及び第12のトランジスタ2312のゲート端子の接続箇所をノード2324とする。

10

【0195】

なお、第3のトランジスタ103の第1端子、第4のトランジスタ104の第1端子、第5のトランジスタ1305の第1端子、第6のトランジスタ1906の第1端子、第9のトランジスタ1909の第1端子、第10のトランジスタ2310の第1端子及び第12のトランジスタ2312の第1端子は第2の配線112に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ103のゲート端子及び第4のトランジスタ104のゲート端子は第4の配線114に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第1のトランジスタ101の第1端子、第7のトランジスタ1907の第1端子及び第7のトランジスタ1907のゲート端子は第1の配線111に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第2のトランジスタ102の第1端子及び第8のトランジスタ1908の第1端子は第3の配線113に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第5のトランジスタ1305のゲート端子及び第11のトランジスタ2311の第1端子は第7の配線1317に接続されているとは限定されず、別々の配線に接続されていてもよい。

20

【0196】

次に、図23で示したフリップフロップの動作について、図24のタイミングチャートを参照して説明する。図24は、図23のフリップフロップを図1、図13及び図19に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図2、図14及び図20のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

30

【0197】

図24において、電位2424は図23のノード2324の電位である。

【0198】

図23のフリップフロップでは、第3の非選択期間において第10のトランジスタ2310がオンとなる。そして、ノード121は、第10のトランジスタ2310を介して第2の配線112の電位が供給されるためLレベルをより安定して維持できる。さらに、図23のフリップフロップでは、第1の非選択期間において第12のトランジスタ2312がオンとなる。そして、ノード121は、第12のトランジスタ2312を介して第2の配線112の電位が供給されるためLレベルをより安定して維持できる。

40

【0199】

具体的に第12のトランジスタ2312のオン及びオフの制御を説明する。なお、第10のトランジスタ2310のオン及びオフの制御は、実施の形態3に示した第9のトランジスタ1909のオン及びオフの制御と同様である。まず、図19のフリップフロップと同様に第6のトランジスタ1906及び第7のトランジスタ1907はインバータを構成している。したがって、第1の非選択期間、第2の非選択期間及び第3の非選択期間では、ノード121がLレベルでありノード1922がHレベルになるため第11のトランジスタ

50

タ 2 3 1 1 はオンとなる。よって、第 1 2 のトランジスタ 2 3 1 2 は、第 7 の配線 1 3 1 7 に入力される信号によって制御されるため、第 2 の非選択期間においてオンとなり、第 1 の非選択期間及び第 3 の非選択期間においてオフとなる。一方で、セット期間及び選択期間ではノード 1 2 1 が H レベルであり、ノード 1 9 2 2 が L レベルになるため第 1 1 のトランジスタ 2 3 1 1 はオフとなる。よって、第 1 2 のトランジスタ 2 3 1 2 のゲート端子の電位がセット期間の前の期間である第 1 の非選択期間の電位、つまり L レベルを維持するため、第 1 2 のトランジスタ 2 3 1 2 はオフとなる。

【0200】

以上のことから、図 2 3 のフリップフロップは、第 1 の非選択期間、第 2 の非選択期間及び第 3 の非選択期間において、第 6 の配線 1 1 6 及びノード 1 2 1 に V 2 が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第 6 の配線 1 1 6 及びノード 1 2 1 に V 2 を供給することができるからである。また、図 2 3 のフリップフロップは、非選択期間において第 6 の配線 1 1 6 及びノード 1 2 1 に V 2 が供給されるため、第 6 の配線 1 1 6 及びノード 1 2 1 のノイズを少なくすることができる。

10

【0201】

さらに、図 2 3 のフリップフロップは、第 1 0 のトランジスタ 2 3 1 0、第 1 1 のトランジスタ 2 3 1 1 及び第 1 2 のトランジスタ 2 3 1 2 の特性劣化を抑制することができる。なぜなら、第 1 0 のトランジスタ 2 3 1 0 は第 3 の非選択期間のみでオンとなるからである。また、第 1 1 のトランジスタ 2 3 1 1 は第 1 の非選択期間、第 2 の非選択期間及び第 3 の非選択期間のうちノード 2 3 2 4 の電位が $V_1 - \gamma$ ($\gamma: V_{th1907} + V_{th2311}$) まで上昇する期間のみでオンとなるからである。また、第 1 2 のトランジスタ 2 3 1 2 は、第 2 の非選択期間のみでオンとなるからである。

20

【0202】

なお、図 2 3 のフリップフロップは、第 1 のトランジスタ 1 0 1、第 2 のトランジスタ 1 0 2、第 3 のトランジスタ 1 0 3、第 4 のトランジスタ 1 0 4、第 5 のトランジスタ 1 3 0 5、第 6 のトランジスタ 1 9 0 6、第 7 のトランジスタ 1 9 0 7、第 8 のトランジスタ 1 9 0 8、第 9 のトランジスタ 1 9 0 9、第 1 0 のトランジスタ 2 3 1 0、第 1 1 のトランジスタ 2 3 1 1 及び第 1 2 のトランジスタ 2 3 1 2 が全て N チャネル型トランジスタで構成されていることを特徴とする。したがって、図 2 3 のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

30

【0203】

また、図 2 3 のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電圧のシフト）が顕著に表れるアモルファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示パネルなどの半導体装置を作製することができる。

40

【0204】

ここで、第 1 0 のトランジスタ 2 3 1 0、第 1 1 のトランジスタ 2 3 1 1 及び第 1 2 のトランジスタ 2 3 1 2 が有する機能を説明する。第 1 0 のトランジスタ 2 3 1 0 は、第 2 の配線 1 1 2 の電位をノード 1 2 1 に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第 1 1 のトランジスタ 2 3 1 1 は、第 7 の配線 1 3 1 7 の電位をノード 2 3 2 4 に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第 1 2 のトランジスタ 2 3 1 2 は第 2 の配線 1 1 2 の電位をノード 1 2 1 に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【0205】

50

なお、図 2 3 と同様の動作を行うものであれば、トランジスタの配置及び数などは図 2 3 に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【0206】

例えば、図 2 5 に示すように、図 2 3 に示した第 2 のトランジスタ 1 0 2 のゲート端子と第 2 端子との間に容量素子 2 5 0 1 を配置してもよい。容量素子 2 5 0 1 を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第 2 のトランジスタ 1 0 2 のゲート端子と第 2 端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子 2 5 0 1 は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図 2 3 の構成と共通するところは共通の符号を用いてその説明を省略する。

10

【0207】

図 2 6 のフリップフロップにおいても、図 2 3 と同様の動作を行うことができる。図 2 6 に示すように、図 2 3 に示した第 1 のトランジスタ 1 0 1 がダイオード接続してもよい。第 1 のトランジスタ 1 0 1 がダイオード接続されることによって、第 1 の配線 1 1 1 に流れる電流が小さくなるため、第 1 の配線 1 1 1 の配線幅を小さくすることができる。

20

【0208】

また、本実施の形態に示したフリップフロップを図 1 7 及び図 1 8 のシフトレジスタに適用することができる。実施の形態 1、実施の形態 2 及び実施の形態 3 と同様、3 相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第 3 の配線 6 1 3、第 4 の配線 6 1 4、第 5 の配線 6 1 5）に接続されているフリップフロップ 1 7 0 1 の段数が単相のクロック信号を用いた場合に比べて 2 / 3 になるため、各クロック信号線の負荷を小さくすることができる。

【0209】

また、本実施の形態に示したシフトレジスタを図 9、図 1 1、図 1 2 及び図 4 4 の表示装置に適用することができる。実施の形態 1、実施の形態 2 及び実施の形態 3 と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

30

【0210】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【0211】

（実施の形態 5）

本実施形態では、フリップフロップが有するトランジスタに P チャネル型トランジスタを適用した場合について図 2 7 を参照して説明する。なお、P チャネル型トランジスタで構成されるフリップフロップは、N チャネル型トランジスタで構成されるフリップフロップと基本的な構成は同様である。ただし、電源電位及び信号の H レベル、L レベルが反転している。

40

【0212】

図 2 7 は、シフトレジスタが有する複数のフリップフロップのうち、ある 1 段（例えば 1 段目）のフリップフロップを示している。図 2 7 に示すフリップフロップは、第 1 のトランジスタ 2 7 0 1、第 2 のトランジスタ 2 7 0 2、第 3 のトランジスタ 2 7 0 3 及び第 4 のトランジスタ 2 7 0 4 を有する。なお、フリップフロップは、第 1 の配線 2 7 1 1、第 2 の配線 2 7 1 2、第 3 の配線 2 7 1 3、第 4 の配線 2 7 1 4、第 5 の配線 2 7 1 5 及び第 6 の配線 2 7 1 6 に接続されている。本実施の形態において、第 1 のトランジスタ 2 7

50

01、第2のトランジスタ2702、第3のトランジスタ2703及び第4のトランジスタ2704はPチャンネル型トランジスタとし、そのゲートとソース間の電圧の絶対値 ($|V_{gs}|$) がしきい値電圧 ($|V_{th}|$) を上回ったとき (V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。なお、第1の配線2711及び第2の配線2712を、それぞれ第1の電源線、第2の電源線と呼んでもよい。また、第3の配線2713及び第4の配線2714を、それぞれ第1の信号線、第2の信号線と呼んでもよい。

【0213】

なお、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703及び第4のトランジスタ2704は、それぞれ図1の第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103及び第4のトランジスタ104に相当する。また、第1の配線2711、第2の配線2712、第3の配線2713、第4の配線2714、第5の配線2715及び第6の配線2716は、それぞれ図1の第1の配線111、第2の配線112、第3の配線113、第4の配線114、第5の配線115、第6の配線116に相当する。

10

【0214】

第1のトランジスタ2701の第1端子（ソース端子及びドレイン端子の一方）は第1の配線2711に接続され、第2端子（ソース端子及びドレイン端子の他方）は第2のトランジスタ2702のゲート端子に接続され、ゲート端子は第5の配線2715に接続されている。第3のトランジスタ2703の第1端子は第2の配線2712に接続され、第2端子は第2のトランジスタ2702のゲート端子に接続され、ゲート端子は第4の配線2714に接続されている。第2のトランジスタ2702の第1端子は第3の配線2713に接続され、第2端子は第6の配線2716に接続されている。第4のトランジスタ2704の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続され、ゲート端子は第4の配線2714に接続されている。なお、第1のトランジスタ2701の第2端子と、第2のトランジスタ2702のゲート端子と、第3のトランジスタ2703の第2端子との接続箇所をノード2721とする。

20

【0215】

なお、第3のトランジスタ2703の第2端子及び第4のトランジスタ2704の第2端子は、第2の配線2712に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ2703のゲート端子及び第4のトランジスタ2704のゲート端子は第4の配線2714に接続されているとは限定されず、別々の配線に接続されていてもよい。

30

【0216】

次に、図27で示したフリップフロップの動作について、図28のタイミングチャート及び図29を参照して説明する。なお、図28において、セット期間、選択期間、非選択期間について説明する。なお、非選択期間は、第1の非選択期間、第2の非選択期間及び第3の非選択期間に分割され、第1の非選択期間、第2の非選択期間及び第3の非選択期間を順に繰り返している。

【0217】

なお、第1の配線2711にはV2の電位が、第2の配線2712にはV1の電位が供給されている。ただし、 $V1 > V2$ とする。

40

【0218】

ただし、第1の配線2711にはV2の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。また、第2の配線2712にはV1の電位が供給されているとは限定されず、他の電位が供給されていてもよいし、デジタル信号又はアナログ信号が入力されていてもよい。

【0219】

なお、第3の配線2713、第4の配線2714及び第5の配線2715には信号が入力されている。第3の配線2713に入力される信号は第1のクロック信号であり、第4の配線2714に入力される信号は第2のクロック信号であり、第5の配線2715に入力

50

される信号はスタート信号である。また、第3の配線2713、第4の配線2714及び第5の配線2715に入力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

【0220】

ただし、第3の配線2713には第1のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第4の配線2714には第2のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。また、第5の配線2715にはスタート信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

10

【0221】

また、第3の配線2713、第4の配線2714及び第5の配線2715に入力される信号のH信号の電位はV1、L信号の電位はV2とは限定されず、H信号の電位がL信号の電位よりも高ければ、その電位は特に限定されない。

【0222】

なお、第6の配線2716からは信号が出力される。第6の配線2716から出力される信号は、フリップフロップの出力信号であり、次の段のフリップフロップのスタート信号でもある。また、第6の配線2716から出力される信号は、次の段のフリップフロップの第5の配線2715に入力される。また、第6の配線2716から出力される信号は、H信号の電位がV1（以下、Hレベルともいう）、L信号の電位がV2（以下、Lレベルともいう）のデジタル信号である。

20

【0223】

図28において、信号2813は第3の配線2713に入力される信号であり、信号2814は第4の配線2714に入力される信号であり、信号2815は第5の配線2715に入力される信号であり、信号2816は第6の配線2716から出力される信号である。また、電位2821は図27のノード2721の電位である。

【0224】

まず、図28の期間A及び図29（A）に示すセット期間では、信号2813及び信号2814がHレベルであり、信号2815がLレベルとなる。したがって、第3のトランジスタ2703及び第4のトランジスタ2704はオフとなり、第1のトランジスタ2701はオンとなる。このとき、第1のトランジスタ2701の第2端子がソース端子となり、ノード2721の電位（電位2821）は第5の配線2715の電位と第1のトランジスタ2701のしきい値電圧の絶対値との和になるため $V2 + |V_{th2701}|$ となる。よって、第2のトランジスタ2702はオンとなり、第6の配線2716の電位は第3の配線2713の電位と等しくなるためV1となる。このように、セット期間では、フリップフロップは第2のトランジスタ2702をオンしたまま、Hレベルを第6の配線2716から出力する。

30

【0225】

図28の期間B及び図29（B）に示す選択期間では、信号2813がLレベルとなり、信号2814がHレベルのままであり、信号2815がHレベルとなる。したがって、第3のトランジスタ2703及び第4のトランジスタ2704はオフのままであり、第1のトランジスタ2701はオフとなる。このとき、第2のトランジスタ2702の第2端子がソース端子となり、第6の配線2716の電位が減少し始める。ノード2721の電位（電位2821）は、ノード2721が浮遊状態（以下、フローティング状態ともいう）となっているため、第2のトランジスタ2702のゲート端子と第2端子との間の寄生容量の容量結合により第6の配線2716の電位と同時に減少する（ブートストラップ動作ともいう）。よって、第2のトランジスタ2702のゲートとソース間の電圧 V_{gs} は $|V_{th2702}| - \alpha (V_{th2702})$ （ V_{th2702} ：第2のトランジスタ2702のしきい値電圧、 α ：任意の正の数）となり、第6の配線2716の電位はLレベル（V2）となる。このように、選択期間では、フリップフロップはノード2721の電位を $V2 - |V_{th2}$

40

50

702 | - α にすることによって、Lレベルを第6の配線2716から出力することができる。

【0226】

図28の期間C及び図29(C)に示す第1の非選択期間では、信号2813がHレベルとなり、信号2814がLレベルとなり、信号2815がHレベルのままである。したがって、第3のトランジスタ2703及び第4のトランジスタ2704がオンとなり、第1のトランジスタ2701はオフのままである。ノード2721及び第6の配線2716は、それぞれ第3のトランジスタ2703、第4のトランジスタ2704を介して第2の配線2712の電位が供給されるためHレベルとなる。

【0227】

図28の期間D及び図29(D)に示す第2の非選択期間では、信号2813がHレベルのままであり、信号2814がHレベルとなり、信号2815がHレベルのままである。したがって、第3のトランジスタ2703及び第4のトランジスタ2704がオフとなり、第1のトランジスタ2701はオフのままである。したがって、ノード2721及び第6の配線2716はHレベルを維持する。

【0228】

図28の期間E及び図29(E)に示す第3の非選択期間では、信号2813がLレベルとなり、信号2814がHレベルのままであり、信号2815がHレベルのままである。したがって、第1のトランジスタ2701、第3のトランジスタ2703及び第4のトランジスタ2704がオフのままである。したがって、ノード2721及び第6の配線2716はHレベルを維持する。

【0229】

以上のことから、図27のフリップフロップは、第3のトランジスタ2703及び第4のトランジスタ2704は第1の非選択期間のみでオンとなるため、第3のトランジスタ2703及び第4のトランジスタ2704の特性劣化(しきい値電圧のシフト)を抑制することができる。なお、図27のフリップフロップは、第1のトランジスタ2701及び第2のトランジスタ2702はそれぞれセット期間のみ、セット期間及び選択期間のみでオンとなるため、第1のトランジスタ2701及び第2のトランジスタ2702の特性劣化も抑制することができる。

【0230】

さらに、図27のフリップフロップは、非選択期間のうち、第1の非選択期間においてノード2721及び第6の配線2716にV1が供給されるためフリップフロップの誤動作を抑制することができる。なぜなら、非選択期間において、一定期間毎(第1の非選択期間)にノード2721及び第6の配線2716にV1が供給されており、ノード2721及び第6の配線2716の電位を安定してV1に維持することができるからである。

【0231】

なお、図27のフリップフロップは、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703及び第4のトランジスタ2704が全てPチャネル型トランジスタで構成されていることを特徴とする。したがって、図27のフリップフロップは、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0232】

ここで、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703及び第4のトランジスタ2704が有する機能を説明する。第1のトランジスタ2701は、第1の配線2711の電位を供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第2のトランジスタ2702は、第3の配線2713の電位を第6の配線2716に供給するタイミングを選択し、ノード2721の電位をブートストラップ動作によって減少させる機能を有し、ブートストラップ用トランジスタとして機能する。第3のトランジスタ2703は、第2の配線2712の電位をノード2

10

20

30

40

50

721に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第4のトランジスタ2704は、第2の配線2712の電位を第6の配線2716に供給する機能を有し、スイッチングトランジスタとして機能する。

【0233】

なお、図27と同様の動作を行うものであれば、トランジスタの配置及び数などは図27に限定されない。図27のフリップフロップの動作を説明した図29から分かるように、本実施の形態では、セット期間、選択期間、第1の非選択期間、第2の非選択期間及び第3の非選択期間は、それぞれ図29(A)乃至(E)に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタ等を配置し、動作させる構成であれば、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

10

【0234】

例えば、図30に示すように、図27に示した第2のトランジスタ2701のゲート端子と第2端子との間に容量素子3001を配置してもよい。容量素子3001を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第2のトランジスタ2702のゲート端子と第2端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子3001は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図27の構成と共通するところは共通の符号を用いてその説明を省略する。

20

【0235】

なお、容量素子3001は、図4の容量素子401に相当する。

【0236】

図31のフリップフロップにおいても、図27と同様の動作を行うことができる。図31に示すように、図27に示した第1のトランジスタ2701がダイオード接続となってもよい。第1のトランジスタ2701がダイオード接続されることによって、第1の配線2711が不必要になり、配線及び電源(V2)を1つずつ減らすことができる。なお、図27の構成と共通するところは共通の符号を用いてその説明を省略する。

30

【0237】

また、本実施の形態に示したフリップフロップを図6及び図8のシフトレジスタに適用することができる。実施の形態1乃至実施の形態4と同様、3相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第3の配線613、第4の配線614、第5の配線615）に接続されているフリップフロップ601の段数が単相のクロック信号を用いた場合に比べて2/3になるため、各クロック信号線の負荷を小さくすることができる。ただし、第1の配線611及び第2の配線612に供給される電位と、第3の配線613、第4の配線614、第5の配線615及び第6の配線616に入力される信号と、配線622に出力される信号はそれぞれ、Nチャネル型トランジスタで構成されたフリップフロップを図6及び図8のシフトレジスタに適用した場合と比較して、Hレベル、Lレベルが反転している。

40

【0238】

また、本実施の形態に示したシフトレジスタを図9、図11、図12及び図44の表示装置に適用することができる。実施の形態1乃至実施の形態4と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【0239】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施

50

することができる。

【0240】

(実施の形態6)

本実施の形態では、実施の形態5とは異なる構成のPチャネル型トランジスタで構成されたフリップフロップを図32に示す。なお、実施の形態5と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0241】

図32に示すフリップフロップは、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703、第4のトランジスタ2704及び第5のトランジスタ3205を有する。なお、フリップフロップは、第1の配線2711、第2の配線2712、第3の配線2713、第4の配線2714、第5の配線2715、第6の配線2716及び第7の配線3217に接続されている。本実施の形態において、第5のトランジスタ3205はPチャネル型トランジスタとし、そのゲートとソース間の電圧の絶対値($|V_{gs}|$)がしきい値電圧($|V_{th}|$)を上回ったとき(V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。なお、第7の配線3217を、第3の信号線と呼んでもよい。

10

【0242】

なお、第5のトランジスタ3205は、図13の第5のトランジスタ1305に相当する。また、第7の配線3217は、図13の第7の配線1317に相当する。

【0243】

第1のトランジスタ2701の第1端子(ソース端子及びドレイン端子の一方)は第1の配線2711に接続され、第2端子(ソース端子及びドレイン端子の他方)は第2のトランジスタ2702のゲート端子に接続され、ゲート端子は第5の配線2715に接続されている。第3のトランジスタ2703の第1端子は第2の配線2712に接続され、第2端子は第2のトランジスタ2702のゲート端子に接続され、ゲート端子は第4の配線2714に接続されている。第2のトランジスタ2702の第1端子は第3の配線2713に接続され、第2端子は第6の配線2716に接続されている。第4のトランジスタ2704の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続され、ゲート端子は第4の配線2714に接続されている。第5のトランジスタ3205の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続され、ゲート端子は第7の配線3217に接続されている。

20

30

【0244】

なお、第3のトランジスタ2703の第1端子、第4のトランジスタ2704の第1端子及び第5のトランジスタ3205の第1端子は、第2の配線2712に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ2703のゲート端子及び第4のトランジスタ2704のゲート端子は第4の配線2714に接続されているとは限定されず、別々の配線に接続されていてもよい。

【0245】

次に、図32で示したフリップフロップの動作について、図33のタイミングチャートを参照して説明する。なお、図33は、図32のフリップフロップを図27に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図28のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

40

【0246】

なお、第7の配線3217には信号が入力されている。第7の配線3217に入力される信号は、第3のクロック信号である。また、第7の配線3217に入力される信号は、H信号の電位がV1(以下、Hレベルともいう)、L信号の電位がV2(以下、Lレベルともいう)のデジタル信号である。

【0247】

ただし、第7の配線3217には第3のクロック信号が入力されているとは限定されず、他の信号が入力されてもよいし、一定の電位又は電流が入力されていてもよい。

50

【0248】

図33において、信号3317は第7の配線3217に入力される信号である。

【0249】

図32のフリップフロップでは、セット期間及び第2の非選択期間において、第5のトランジスタ3205がオンとなる。そして、第6の配線2716は、第5のトランジスタ3205を介して第2の配線2712の電位が供給されるためHレベルを維持する。

【0250】

以上のことから、図32のフリップフロップは、第1の非選択期間、第2の非選択期間、第3の非選択期間のうち、第1の非選択期間及び第2の非選択期間において、第6の配線2716にV1が供給されるためフリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、一定期間毎（第1の非選択期間及び第2の非選択期間）に第6の配線2716にV1が供給されており、第6の配線2716の電位を安定してV1に維持することができるからである。

10

【0251】

さらに、図32のフリップフロップは、第5のトランジスタ3205はセット期間及び第2の非選択期間のみでオンとなるため、第5のトランジスタ3205の特性劣化を抑制することができる。

【0252】

なお、図32のフリップフロップは、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703、第4のトランジスタ2704及び第5のトランジスタ3205が全てPチャネル型トランジスタで構成されていることを特徴とする。したがって、図32のフリップフロップは、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

20

【0253】

ここで、第5のトランジスタ3205が有する機能を説明する。第5のトランジスタ3205は、第2の配線2712の電位を第6の配線2716に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

【0254】

なお、図32と同様の動作を行うものであれば、トランジスタの配置及び数などは図32に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

30

【0255】

例えば、図34に示すように、図32に示した第2のトランジスタ2702のゲート端子と第2端子との間に容量素子3401を配置してもよい。容量素子3401を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第2のトランジスタ2702のゲート端子と第2端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子3401は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図32の構成と共通するところは共通の符号を用いてその説明を省略する。

40

【0256】

なお、容量素子3401は、図15の容量素子1501に相当する。

【0257】

図35のフリップフロップにおいても、図32と同様の動作を行うことができる。図35に示すように、図32に示した第1のトランジスタ2701がダイオード接続されていてもよい。第1のトランジスタ2701がダイオード接続されることによって、第1の配線2711が不必要になり、配線及び電源（V2）を1つずつ減らすことができる。なお、

50

図 3 2 の構成と共通するところは共通の符号を用いてその説明を省略する。

【0258】

また、本実施の形態に示したフリップフロップを図 1 7 及び図 1 8 のシフトレジスタに適用することができる。実施の形態 1 乃至実施の形態 5 と同様、3 相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第 3 の配線 6 1 3、第 4 の配線 6 1 4、第 5 の配線 6 1 5）に接続されているフリップフロップ 1 7 0 1 の段数が単相のクロック信号を用いた場合に比べて 2 / 3 になるため、各クロック信号線の負荷を小さくすることができる。ただし、第 1 の配線 6 1 1 及び第 2 の配線 6 1 2 に供給される電位と、第 3 の配線 6 1 3、第 4 の配線 6 1 4、第 5 の配線 6 1 5 及び第 6 の配線 6 1 6 に入力される信号と、配線 6 2 2 に出力される信号はそれぞれ、N チャネル型トランジスタで構成されたフリップフロップを図 1 7 及び図 1 8 のシフトレジスタに適用した場合と比較して、H レベル、L レベルが反転している。

10

【0259】

また、本実施の形態に示したシフトレジスタを図 9、図 1 1、図 1 2 及び図 4 4 の表示装置に適用することができる。実施の形態 1 乃至実施の形態 5 と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【0260】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

20

【0261】

（実施の形態 7）

本実施の形態では、実施の形態 5 及び実施の形態 6 とは異なる構成のフリップフロップを図 3 6 に示す。なお、実施の形態 5 及び実施の形態 6 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0262】

図 3 6 に示すフリップフロップは、第 1 のトランジスタ 2 7 0 1、第 2 のトランジスタ 2 7 0 2、第 3 のトランジスタ 2 7 0 3、第 4 のトランジスタ 2 7 0 4、第 5 のトランジスタ 3 2 0 5、第 6 のトランジスタ 3 6 0 6、第 7 のトランジスタ 3 6 0 7、第 8 のトランジスタ 3 6 0 8 及び第 9 のトランジスタ 3 6 0 9 を有している。なお、フリップフロップは、第 1 の配線 2 7 1 1、第 2 の配線 2 7 1 2、第 3 の配線 2 7 1 3、第 4 の配線 2 7 1 4、第 5 の配線 2 7 1 5、第 6 の配線 2 7 1 6 及び第 7 の配線 3 2 1 7 に接続されている。本実施の形態において、第 6 のトランジスタ 3 6 0 6、第 7 のトランジスタ 3 6 0 7、第 8 のトランジスタ 3 6 0 8 及び第 9 のトランジスタ 3 6 0 9 は P チャネル型トランジスタとし、そのゲートとソース間の電圧の絶対値（ $|V_{gs}|$ ）がしきい値電圧（ $|V_{th}|$ ）を上回ったとき（ V_{gs} が V_{th} を下回ったとき）、導通状態になるものとする。

30

【0263】

第 1 のトランジスタ 2 7 0 1 の第 1 端子（ソース端子及びドレイン端子の一方）は第 1 の配線 2 7 1 1 に接続され、第 2 端子（ソース端子及びドレイン端子の他方）は第 2 のトランジスタ 2 7 0 2 のゲート端子に接続され、ゲート端子は第 5 の配線 2 7 1 5 に接続されている。第 3 のトランジスタ 2 7 0 3 の第 1 端子は第 2 の配線 2 7 1 2 に接続され、第 2 端子は第 2 のトランジスタ 2 7 0 2 のゲート端子に接続され、ゲート端子は第 4 の配線 2 7 1 4 に接続されている。第 2 のトランジスタ 2 7 0 2 の第 1 端子は第 3 の配線 2 7 1 3 に接続され、第 2 端子は第 6 の配線 2 7 1 6 に接続されている。第 4 のトランジスタ 2 7 0 4 の第 1 端子は第 2 の配線 2 7 1 2 に接続され、第 2 端子は第 6 の配線 2 7 1 6 に接続され、ゲート端子は第 4 の配線 2 7 1 4 に接続されている。第 5 のトランジスタ 3 2 0 5 の第 1 端子は第 2 の配線 2 7 1 2 に接続され、第 2 端子は第 6 の配線 2 7 1 6 に接続され

40

50

、ゲート端子は第7の配線3217に接続されている。第6のトランジスタ3606の第1端子は第2の配線2712に接続され、第2端子は第8のトランジスタ3208のゲート端子に接続され、ゲート端子は第2のトランジスタ2702のゲート端子に接続されている。第7のトランジスタ3607の第1端子は第1の配線2711に接続され、第2端子は第8のトランジスタ3608のゲート端子に接続され、ゲート端子は第1の配線2711に接続されている。第8のトランジスタ3608の第1端子は第3の配線2713に接続され、第2端子は第9のトランジスタ3609のゲート端子に接続されている。第9のトランジスタ3609の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続されている。なお、第6のトランジスタ3606の第2端子、第7のトランジスタ3607の第2端子及び第8のトランジスタ3608のゲート端子の接続箇所をノード3622とする。また、第8のトランジスタ3608の第2端子及び第9のトランジスタ3609のゲート端子の接続箇所をノード3623とする。

10

【0264】

なお、第3のトランジスタ2703の第1端子、第4のトランジスタ2704の第1端子、第5のトランジスタ3205の第1端子、第6のトランジスタ3606の第1端子及び第9のトランジスタ3609の第1端子は第2の配線2712に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ2703のゲート端子及び第4のトランジスタ2704のゲート端子は第4の配線2714に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第1のトランジスタ2701の第1端子、第7のトランジスタ3607の第1端子及び第7のトランジスタ3607のゲート端子は第1の配線2711に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第2のトランジスタ2702の第1端子及び第8のトランジスタ3608の第1端子は第3の配線2713に接続されているとは限定されず、別々の配線に接続されていてもよい。

20

【0265】

次に、図36で示したフリップフロップの動作について、図37のタイミングチャートを参照して説明する。なお、図37は、図36のフリップフロップを図27及び図32に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図28及び図33のタイミングチャートと共通するところは共通の符号を用いて説明を省略する。

30

【0266】

図37において、電位3722は図36のノード3622の電位であり、電位3723は図36のノード3623の電位である。

【0267】

図36のフリップフロップでは、第3の非選択期間において、第9のトランジスタ3609がオンとなる。そして、第6の配線2716は、第9のトランジスタ3609を介して第2の配線2712の電位が供給されるためHレベルを維持する。

【0268】

具体的に第9のトランジスタ3609のオン及びオフの制御を説明する。まず、第6のトランジスタ3606及び第7のトランジスタ3607はインバータを構成しており、トランジスタ3606のゲート端子にLレベルが入力されると、ノード3622の電位（電位3722）がおおむねV1となる。ただし、このときの電位3722は、このときの第6のトランジスタ3606と第7のトランジスタ3607との抵抗比によって決定するため、V1よりも少し低い値となる。また、第6のトランジスタ3606のゲート端子にHレベルが入力されると、ノード3622の電位が第1の配線2711の電位と第7のトランジスタ3607のしきい値電圧の絶対値との和となるため $V2 + |V_{th3607}|$ となる。したがって、第1の非選択期間、第2の非選択期間及び第3の非選択期間では、ノード2721がHレベルであり、ノード3622がLレベルになるため第8のトランジスタ3608はオンとなる。よって、第9のトランジスタ3609は、第3の配線2713に入力される信号によって制御されるため、第3の非選択期間においてオンとなり、第1の

40

50

非選択期間及び第2の非選択期間においてオフとなる。一方で、セット期間及び選択期間では、ノード2721がLレベルであり、ノード3622がHレベルになるため第8のトランジスタ3608はオフとなる。よって、第9のトランジスタ3609のゲート端子の電位がセット期間の前の期間である第1の非選択期間の電位、つまりHレベルを維持するため、第9のトランジスタ3609はオフとなる。

【0269】

以上のことから、図36のフリップフロップは、第1の非選択期間、第2の非選択期間及び第3の非選択期間において、第6の配線2716にV1が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第6の配線2716にV1を供給することができるからである。また、図36のフリップフロップは、非選択期間において第6の配線2716にV1が供給されるため、第6の配線2716のノイズを少なくすることができる。

10

【0270】

さらに、図36のフリップフロップは、第6のトランジスタ3606、第7のトランジスタ3607、第8のトランジスタ3608及び第9のトランジスタ3609の特性劣化を抑制することができる。なぜなら、第6のトランジスタ3606はセット期間及び選択期間のみでオンとなるからである。また、第7のトランジスタ3607は選択期間の後の第1の非選択期間のうちノード3622の電位が $V_2 + |V_{th3607}|$ まで減少する期間のみでオンとなるからである。また、第8のトランジスタ3608は第1の非選択期間、第2の非選択期間及び第3の非選択期間のうちノード3623の電位が $V_2 + \delta$ ($\delta: |V_{th3607}| + |V_{th3608}|$) まで減少する期間のみでオンとなるからである。また、第9のトランジスタ3609は第3の非選択期間のみでオンとなるからである。

20

【0271】

なお、図36のフリップフロップは、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703、第4のトランジスタ2704、第5のトランジスタ3205、第6のトランジスタ3606、第7のトランジスタ3607、第8のトランジスタ3608及び第9のトランジスタ3609が全てPチャネル型トランジスタで構成されていることを特徴とする。したがって、図36のフリップフロップは、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

30

【0272】

ここで、第6のトランジスタ3606、第7のトランジスタ3607、第8のトランジスタ3608及び第9のトランジスタ3609が有する機能を説明する。第6のトランジスタ3606は、第2の配線2712の電位をノード3622に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第7のトランジスタ3607は、第1の配線2711の電位をノード3622に供給するタイミングを選択する機能を有し、ダイオードとして機能する。第8のトランジスタ3608は、第3の配線2713の電位をノード3623に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第9のトランジスタ3609は、第2の配線2712の電位を第6の配線2716に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。

40

【0273】

なお、図36と同様の動作を行うものであれば、トランジスタの配置及び数などは図36に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【0274】

例えば、図38に示すように、図36に示した第2のトランジスタ2702のゲート端子と第2端子との間に容量素子3801を配置してもよい。容量素子3801を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また

50

、第2のトランジスタ2702のゲート端子と第2端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子3801は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図36の構成と共通するところは共通の符号を用いてその説明を省略する。

【0275】

図39のフリップフロップにおいても、図36と同様の動作を行うことができる。図39に示すように、図36に示した第1のトランジスタ2701がダイオード接続してもよい。第1のトランジスタ2701がダイオード接続されることによって、第1の配線2711に流れる電流が小さくなるため、第1の配線2711の配線幅を小さくすることができる。なお、図36の構成と共通するところは共通の符号を用いてその説明を省略する。

10

【0276】

また、本実施の形態に示したフリップフロップを図17及び図18のシフトレジスタに適用することができる。実施の形態1乃至実施の形態6と同様、3相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第3の配線613、第4の配線614、第5の配線615）に接続されているフリップフロップ1701の段数が単相のクロック信号を用いた場合の2/3になるため、各クロック信号線の負荷を小さくすることができる。ただし、第1の配線611及び第2の配線612に供給される電位と、第3の配線613、第4の配線614、第5の配線615及び第6の配線616に入力される信号と、配線622に出力される信号はそれぞれ、Nチャネル型トランジスタで構成されたフリップフロップを図17及び図18のシフトレジスタに適用した場合と比較して、Hレベル、Lレベルが反転している。

20

【0277】

また、本実施の形態に示したシフトレジスタを図9、図11、図12及び図44の表示装置に適用することができる。実施の形態1乃至実施の形態6と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

【0278】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

30

【0279】

（実施の形態8）

本実施の形態では、実施の形態5、実施の形態6及び実施の形態7とは異なる構成のフリップフロップを図40に示す。なお、実施の形態5、実施の形態6及び実施の形態7と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【0280】

図40に示すフリップフロップは、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703、第4のトランジスタ2704、第5のトランジスタ3205、第6のトランジスタ3606、第7のトランジスタ3607、第8のトランジスタ3608、第9のトランジスタ3609、第10のトランジスタ4010、第11のトランジスタ4011及び第12のトランジスタ4012を有している。なお、フリップフロップは、第1の配線2711、第2の配線2712、第3の配線2713、第4の配線2714、第5の配線2715、第6の配線2716及び第7の配線3217に接続されている。本実施の形態において、第10のトランジスタ4010、第11のトランジスタ4011及び第12のトランジスタ4012は、Pチャネル型トランジスタとし、そ

50

のゲートとソース間の電圧の絶対値 ($|V_{gs}|$) がしきい値電圧 ($|V_{th}|$) を上回ったとき (V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。

【0281】

第1のトランジスタ2701の第1端子(ソース端子及びドレイン端子の一方)は第1の配線2711に接続され、第2端子(ソース端子及びドレイン端子の他方)は第2のトランジスタ2702のゲート端子に接続され、ゲート端子は第5の配線2715に接続されている。第3のトランジスタ2703の第1端子は第2の配線2712に接続され、第2端子は第2のトランジスタ2702のゲート端子に接続され、ゲート端子は第4の配線2714に接続されている。第2のトランジスタ2702の第1端子は第3の配線2713に接続され、第2端子は第6の配線2716に接続されている。第4のトランジスタ2704の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続され、ゲート端子は第4の配線2714に接続されている。第5のトランジスタ3205の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続され、ゲート端子は第7の配線3217に接続されている。第6のトランジスタ3606の第1端子は第2の配線2712に接続され、第2端子は第8のトランジスタ3608のゲート端子及び第11のトランジスタ4011のゲート端子に接続され、ゲート端子は第2のトランジスタ2702のゲート端子に接続されている。第7のトランジスタ3607の第1端子は第1の配線2711に接続され、第2端子は第8のトランジスタ3608のゲート端子及び第11のトランジスタ4011のゲート端子に接続され、ゲート端子は第1の配線2711に接続されている。第8のトランジスタ3608の第1端子は第3の配線2713に接続され、第2端子は第9のトランジスタ3609のゲート端子及び第10のトランジスタ4010のゲート端子に接続されている。第9のトランジスタ3609の第1端子は第2の配線2712に接続され、第2端子は第6の配線2716に接続されている。第10のトランジスタ4010の第1端子は第2の配線2712に接続され、第2端子は第2のトランジスタ2702のゲート端子に接続されている。第11のトランジスタ4011の第1端子は第7の配線3217に接続され、第2端子は第12のトランジスタ4012のゲート端子に接続されている。第12のトランジスタ4012の第1端子は第2の配線2712に接続され、第2端子は第2のトランジスタ2702のゲート端子に接続されている。なお、第11のトランジスタ4011の第2端子及び第12のトランジスタ4012のゲート端子の接続箇所をノード4024とする。

【0282】

なお、第3のトランジスタ2703の第2端子、第4のトランジスタ2704の第2端子、第5のトランジスタ3205の第2端子、第6のトランジスタ3606の第2端子、第9のトランジスタ3609の第2端子、第10のトランジスタ4010の第2端子及び第12のトランジスタ4012の第2端子は第2の配線2712に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第3のトランジスタ2703のゲート端子及び第4のトランジスタ2704のゲート端子は第4の配線2714に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第1のトランジスタ2701の第1端子、第7のトランジスタ3607の第1端子及び第7のトランジスタ3607のゲート端子は第1の配線2711に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第2のトランジスタ2702の第1端子及び第8のトランジスタ3608の第1端子は第3の配線2713に接続されているとは限定されず、別々の配線に接続されていてもよい。また、第5のトランジスタ3205のゲート端子及び第11のトランジスタ4011の第1端子は第7の配線3217に接続されているとは限定されず、別々の配線に接続されていてもよい。

【0283】

次に、図40で示したフリップフロップの動作について、図41のタイミングチャートを参照して説明する。図41は、図40のフリップフロップを図27、図32及び図36に示したフリップフロップと同様に動作させる場合のタイミングチャートである。なお、図28、図33及び図37のタイミングチャートと共通するところは共通の符号を用いて説

10

20

30

40

50

明を省略する。

【0284】

図41において、電位4124は図40のノード4024の電位である。

【0285】

図40のフリップフロップでは、第3の非選択期間において第10のトランジスタ4010がオンとなる。そして、ノード2721は、第10のトランジスタ4010を介して第2の配線2712の電位が供給されるためHレベルをより安定して維持できる。さらに、図40のフリップフロップでは、第1の非選択期間において第12のトランジスタ4012がオンとなる。そして、ノード2721は、第12のトランジスタ4012を介して第2の配線2712の電位が供給されるためHレベルをより安定して維持できる。

10

【0286】

具体的に第12のトランジスタ4012のオン及びオフの制御を説明する。なお、第10のトランジスタ4010のオン及びオフの制御は、実施の形態7に示した第9のトランジスタ3609のオン及びオフの制御と同様である。まず、図36のフリップフロップと同様に第6のトランジスタ3606及び第7のトランジスタ3607はインバータを構成している。したがって、第1の非選択期間、第2の非選択期間及び第3の非選択期間では、ノード2721がHレベルであり、ノード3622がLレベルになるため第11のトランジスタ4011はオンとなる。よって、第12のトランジスタ4012は、第7の配線3217に入力される信号によって制御されるため、第2の非選択期間においてオンし、第1の非選択期間及び第3の非選択期間においてオフとなる。一方で、セット期間及び選択期間ではノード2721がLレベルであり、ノード3622がHレベルになるため第11のトランジスタ4011はオフとなる。よって、第12のトランジスタ4012のゲート端子の電位がセット期間の前の期間である第1の非選択期間の電位、つまりHレベルを維持するため、第12のトランジスタ4012はオフとなる。

20

【0287】

以上のことから、図40のフリップフロップは、第1の非選択期間、第2の非選択期間及び第3の非選択期間において、第6の配線2716及びノード2721にV1が供給されるため、フリップフロップの誤動作をさらに抑制することができる。なぜなら、非選択期間において、第6の配線2716及びノード2721にV1を供給することができるからである。また、図40のフリップフロップは、非選択期間において第6の配線2716及びノード2721にV1が供給されるため、第6の配線2716及びノード2721のノイズを少なくすることができる。

30

【0288】

さらに、図40のフリップフロップは、第10のトランジスタ4010、第11のトランジスタ4011及び第12のトランジスタ4012の特性劣化を抑制することができる。なぜなら、第10のトランジスタ4010は第3の非選択期間のみでオンとなるからである。また、第11のトランジスタ4011は第1の非選択期間、第2の非選択期間及び第3の非選択期間のうちノード4024の電位が $V_2 + \varepsilon$ ($\varepsilon: |V_{th3607}| + |V_{th4011}|$) まで減少する期間のみでオンとなるからである。また、第12のトランジスタ4012は、第2の非選択期間のみでオンとなるからである。

40

【0289】

なお、図40のフリップフロップは、第1のトランジスタ2701、第2のトランジスタ2702、第3のトランジスタ2703、第4のトランジスタ2704、第5のトランジスタ3205、第6のトランジスタ3606、第7のトランジスタ3607、第8のトランジスタ3608、第9のトランジスタ3609、第10のトランジスタ4010、第11のトランジスタ4011及び第12のトランジスタ4012が全てPチャネル型トランジスタで構成されていることを特徴とする。したがって、図40のフリップフロップは、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0290】

50

ここで、第10のトランジスタ4010、第11のトランジスタ4011及び第12のトランジスタ4012が有する機能を説明する。第10のトランジスタ4010は、第2の配線2712の電位をノード2721に供給する機能を有し、スイッチングトランジスタとして機能する。第11のトランジスタ4011は、第7の配線3217の電位をノード4024に供給する機能を有し、スイッチングトランジスタとして機能する。第12のトランジスタ4012は第2の配線2712の電位をノード2721に供給する機能を有し、スイッチングトランジスタとして機能する。

【0291】

なお、図40と同様の動作を行うものであれば、トランジスタの配置及び数などは図23に限定されない。よって、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

10

【0292】

例えば、図42に示すように、図40に示した第2のトランジスタ2702のゲート端子と第2端子との間に容量素子4201を配置してもよい。容量素子4201を配置することによって、選択期間でのブートストラップ動作をより安定して行うことができる。また、第2のトランジスタ2702のゲート端子と第2端子との間の寄生容量を小さくできるため、各トランジスタを高速にスイッチングさせることができる。なお、容量素子4201は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。なお、図40の構成と共通するところは共通の符号を用いてその説明を省略する。

20

【0293】

図43のフリップフロップにおいても、図40と同様の動作を行うことができる。図43に示すように、図40に示した第1のトランジスタ2701がダイオード接続してもよい。第1のトランジスタ2701がダイオード接続されることによって、第1の配線2711に流れる電流が小さくなるため、第1の配線2711の配線幅を小さくする。

【0294】

また、本実施の形態に示したフリップフロップを図17及び図18のシフトレジスタに適用することができる。実施の形態1乃至実施の形態7と同様、3相のクロック信号を用いることができるため省電力化を実現できる。また、本実施の形態のシフトレジスタは、各クロック信号線（第3の配線613、第4の配線614、第5の配線615）に接続されているフリップフロップ1701の段数が単相のクロック信号を用いた場合に比べて2/3になるため、各クロック信号線の負荷を小さくすることができる。ただし、第1の配線611及び第2の配線612に供給される電位と、第3の配線613、第4の配線614、第5の配線615及び第6の配線616に入力される信号と、配線622に出力される信号はそれぞれ、Nチャネル型トランジスタで構成されたフリップフロップを図17及び図18のシフトレジスタに適用した場合と比較して、Hレベル、Lレベルが反転している。

30

【0295】

また、本実施の形態に示したシフトレジスタを図9、図11、図12及び図44の表示装置に適用することができる。実施の形態1乃至実施の形態7と同様、画素部と一体形成した走査線駆動回路に本実施の形態を適用することによって、表示装置の寿命を長くすることができる。

40

【0296】

なお、本実施の形態で示したシフトレジスタやフリップフロップは、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示したシフトレジスタやフリップフロップの構成も自由に組み合わせて実施することができる。

【0297】

50

(実施の形態 9)

本実施の形態では、実施の形態 1 乃至実施の形態 8 に示した表示装置が有する画素の一例について図 4 6 を参照して説明する。

【0298】

図 4 6 の画素構成について説明する。図 4 6 (A) に示す画素は、トランジスタ 4 6 0 1、容量素子 4 6 0 2、表示素子 4 6 2 1 を有する。なお、画素は、第 1 の配線 4 6 1 1、第 2 の配線 4 6 1 2 及び第 3 の配線 4 6 1 3 に接続されている。また、表示素子 4 6 2 1 には図 4 6 (B) に示すように画素電極 4 6 2 3 と対向電極 4 6 2 2 との間の電界によって光の透過率が変化する液晶素子 4 6 3 1 を用いた場合について説明する。なお、第 1 の配線 4 6 1 1 を信号線と呼んでもよい。また、第 2 の配線 4 6 1 2 を走査線と呼んでもよい。また、第 3 の配線 4 6 1 3 を保持容量線と呼んでもよい。

10

【0299】

なお、トランジスタ 4 6 0 1 は、N チャネル型のトランジスタを示しているが、P チャネル型のトランジスタであってもよい。実施の形態 1 乃至実施の形態 4 では、トランジスタ 4 6 0 1 として N チャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態 5 乃至実施の形態 8 では、トラン

20

【0300】

なお、第 1 の配線 4 6 1 1 は、図 9、図 1 1、図 1 2 及び図 4 4 の表示装置に示した信号線 S 1 ~ S m のいずれかに相当する。第 2 の配線 4 6 1 2 は、図 9、図 1 1、図 1 2 及び図 4 4 の表示装置に示した走査線 G 1 ~ G n のいずれかに相当する。

【0301】

なお、第 3 の配線 4 6 1 3 は、図 9、図 1 1、図 1 2 及び図 4 4 には図示していないが、すでに述べたように必要に応じて図 9、図 1 1、図 1 2 及び図 4 4 に追加するとよい。

30

【0302】

なお、容量素子 4 6 0 2 は、表示素子 4 6 2 1 の画素電極 4 6 2 3 の電位を保持する役目をしている。よって、容量素子 4 6 0 2 は、画素電極 4 6 2 3 と第 3 の配線 4 6 1 3 との間に接続されているがこれに限定されない。画素電極 4 6 2 3 の電位を保持できるように配置されていればよく、別（例えば、前行）の画素の第 2 の配線 4 6 1 2 に接続されていてもよいし、対向電極 4 6 2 2 又は対向電極 4 6 2 2 に相当する電極に接続されていてもよい。また、表示素子 4 6 2 1 が容量性を有していれば、容量素子 4 6 0 2 及び第 3 の配線 4 6 1 3 は必ずしも必要ではない。

【0303】

動作方法としては、第 1 の配線 4 6 1 1 を選択して、トランジスタ 4 6 0 1 をオン状態にして、第 1 の配線 4 6 1 1 からビデオ信号を画素電極 4 6 2 3 及び容量素子 4 6 0 2 に入力する。すると、表示素子 4 6 2 1 がビデオ信号に応じた透過率となる。

40

【0304】

ここで、表示装置を高画質化できる駆動方法について説明する。なお、表示装置を高画質化できる駆動方法として、オーバードライブ駆動方法、コモン線（保持容量線）を制御する駆動方法、バックライトスキャン、高周波駆動方法などを説明する。また、これらの駆動方法は、自由に組み合わせて実施することができる。

【0305】

まず、オーバードライブ駆動について、図 4 7 を参照して説明する。図 4 7 (A) は、表示素子の、入力電圧に対する出力輝度の時間変化を表したものである。破線で表した入力

50

電圧 1 に対する表示素子の出力輝度の時間変化は、同じく破線で表した出力輝度 1 のようになる。すなわち、目的の出力輝度 L_{ow} を得るための電圧は V_i であるが、入力電圧として V_i をそのまま入力した場合は、目的の出力輝度 L_{ow} に達するまでに、素子の応答速度に対応した時間を要してしまう。

【0306】

オーバードライブ駆動は、この応答速度を速めるための技術である。具体的には、まず、 V_i よりも大きい電圧である V_o を素子に一定時間与えることで素子の応答速度を高めて、目的の出力輝度 L_{ow} に近づけた後に、入力電圧を V_i に戻す、という方法である。このときの入力電圧は入力電圧 2、出力輝度は出力輝度 2 に表したようになる。出力輝度 2 のグラフは、目的の輝度 L_{ow} に至るまでの時間が、出力輝度 1 のグラフよりも短くなっている。

10

【0307】

なお、図 47 (A) においては、入力電圧に対し出力輝度が正の変化をする場合について述べたが、入力電圧に対し出力輝度が負の変化をする場合も、本発明は含んでいる。

【0308】

このような駆動を実現するための回路について、図 47 (B) および図 47 (C) を参照して説明する。まず、図 47 (B) を参照して、入力映像信号 G_i がアナログ値（離散値でもよい）をとる信号であり、出力映像信号 G_o もアナログ値をとる信号である場合について説明する。図 47 (B) に示すオーバードライブ回路は、符号化回路 4701、フレームメモリ 4702、補正回路 4703、DA 変換回路 4704、を備える。

20

【0309】

入力映像信号 G_i は、まず、符号化回路 4701 に入力され、符号化される。つまり、アナログ信号から、適切なビット数のデジタル信号に変換される。その後、変換されたデジタル信号は、フレームメモリ 4702 と、補正回路 4703 と、にそれぞれ入力される。補正回路 4703 には、フレームメモリ 4702 に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路 4703 において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路 4703 に出力切替信号を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。次に、補正された映像信号または当該フレームの映像信号は、DA 変換回路 4704 に入力される。そして、補正された映像信号または当該フレームの映像信号にしたがった値のアナログ信号である出力映像信号 G_o が出力される。このようにして、オーバードライブ駆動が実現できる。

30

【0310】

続いて、図 47 (C) を参照して、入力映像信号 G_i がデジタル値をとる信号であり、出力映像信号 G_o もデジタル値をとる信号である場合について説明する。図 47 (C) に示すオーバードライブ回路は、フレームメモリ 4712、補正回路 4713、を備える。

【0311】

入力映像信号 G_i は、デジタル信号であり、まず、フレームメモリ 4712 と、補正回路 4713 と、にそれぞれ入力される。補正回路 4713 には、フレームメモリ 4712 に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路 4713 において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路 4713 に出力切替信号を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。このようにして、オーバードライブ駆動が実現できる。

40

【0312】

なお、補正された映像信号を得るための数値テーブルの組み合わせは、1SF において取りうる階調の数と、2SF において取りうる階調の数の積となる。この組み合わせの数は、小さいほど、補正回路 4713 内に格納するデータ量が小さくなるため、好ましい。本実施の形態においては、明画像を表示するサブフレームが最高輝度となるまでの中間調に

50

おいては、暗画像の輝度は0であり、明画像を表示するサブフレームが最高輝度となつてから最高階調となるまでは、明画像の輝度は一定であるため、この組み合わせの数を大幅に小さくできる。

【0313】

なお、本発明におけるオーバードライブ回路は、入力映像信号G_iがアナログ信号であり、出力映像信号G_oがデジタル信号である場合も含む。このときは、図47(B)に示した回路から、DA変換回路4704を省略すればよい。また、本発明におけるオーバードライブ回路は、入力映像信号G_iがデジタル信号であり、出力映像信号G_oがアナログ信号である場合も含む。このときは、図47(B)に示した回路から、符号化回路4701を省略すればよい。

10

【0314】

次に、コモン線の電位を操作する駆動について、図48を参照して説明する。図48(A)は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線1本に対し、コモン線が1本配置されているときの、複数の画素回路を表した図である。図48(A)に示す画素回路は、トランジスタ4801、補助容量4802、表示素子4803、映像信号線4804、走査線4805、コモン線4806、を備えている。

【0315】

なお、トランジスタ4801、補助容量4802、表示素子4803、映像信号線4804、走査線4805、コモン線4806それぞれは、図46に示したトランジスタ4601、容量素子4602、表示素子4621、第1の配線4611、第2の配線4612、第3の配線4613に相当する。

20

【0316】

トランジスタ4801のゲート端子は、走査線4805に電氣的に接続され、トランジスタ4801のソース端子またはドレイン端子の一方は、映像信号線4804に電氣的に接続され、トランジスタ4801のソース端子またはドレイン端子の他方は、補助容量4802の一方の端子、および表示素子4803の一方の端子に電氣的に接続されている。また、補助容量4802の他方の端子は、コモン線4806に電氣的に接続されている。

【0317】

まず、走査線4805によって選択された画素は、トランジスタ4801がオンとなるため、それぞれ、映像信号線4804を介して、表示素子4803および補助容量4802に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線4806に接続された全ての画素に対して最低階調を表示させるものだった場合、または、コモン線4806に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線4804を介して映像信号を書き込む必要はない。映像信号線4804を介して映像信号を書き込む代わりに、コモン線4806の電位を動かすことで、表示素子4803にかかる電圧を変えることができる。

30

【0318】

続いて、図48(B)は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線1本に対し、コモン線が2本配置されているときの、複数の画素回路を表した図である。図48(B)に示す画素回路は、トランジスタ4811、補助容量4812、表示素子4813、映像信号線4814、走査線4815、第1のコモン線4816、第2のコモン線4817、を備えている。

40

【0319】

トランジスタ4811のゲート端子は、走査線4815に電氣的に接続され、トランジスタ4811のソース端子またはドレイン端子の一方は、映像信号線4814に電氣的に接続され、トランジスタ4811のソース端子またはドレイン端子の他方は、補助容量4812の一方の端子、および表示素子4813の一方の端子に電氣的に接続されている。また、補助容量4812の他方の端子は、第1のコモン線4816に電氣的に接続されている。また、当該画素と隣接する画素においては、補助容量4812の他方の端子は、第2のコモン線4817に電氣的に接続されている。

50

【0320】

図48(B)に示す画素回路は、コモン線1本に対し電氣的に接続されている画素が少ないため、映像信号線4814を介して映像信号を書き込む代わりに、第1のコモン線4816または第2のコモン線4817の電位を動かすことで、表示素子4813にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動またはドット反転駆動が可能になる。ソース反転駆動またはドット反転駆動により、素子の信頼性を向上させ、フリッカーを抑えることができる。

【0321】

次に、走査型バックライトについて、図49を参照して説明する。図49(A)は、冷陰極管を並置した走査型バックライトを示す図である。図49(A)に示す走査型バックライトは、拡散板4901と、N個の冷陰極管4902-1から4902-Nと、を備える。N個の冷陰極管4902-1から4902-Nを、拡散板4901の後ろに並置することで、N個の冷陰極管4902-1から4902-Nは、その輝度を変化させて走査することができる。

10

【0322】

走査するときの各冷陰極管の輝度の変化を、図49(C)を用いて説明する。まず、冷陰極管4902-1の輝度を、一定時間変化させる。そして、その後に、冷陰極管4902-1の隣に配置された冷陰極管4902-2の輝度を、同じ時間だけ変化させる。このように、冷陰極管4902-1から4902-Nまで、輝度を順に変化させる。なお、図49(C)においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管4902-1から4902-Nまで走査するとしたが、逆方向に冷陰極管4902-Nから4902-1まで走査してもよい。

20

【0323】

なお、輝度が小さい期間のバックライト輝度は、暗画像を挿入するサブフレームの最高輝度と同程度とするのが好適である。具体的には、暗画像を1SFに挿入する場合は、1SFの最高輝度 L_{max1} 、暗画像を2SFに挿入する場合は、2SFの最高輝度 L_{max2} 、とするのが好ましい。

【0324】

なお、走査型バックライトの光源として、LEDを用いてもよい。その場合の走査型バックライトは、図49(B)のようになる。図49(B)に示す走査型バックライトは、拡散板4911と、LEDを並置した光源4912-1から4912-Nと、を備える。走査型バックライトの光源として、LEDを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、LEDを並置した光源4912-1から4912-Nのそれぞれに並置したLEDも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

30

【0325】

次に、高周波駆動について、図50を参照して説明する。図50(A)は、フレーム周波数が60Hzのときに暗画像を挿入して駆動するときの図である。5001は当該フレームの明画像、5002は当該フレームの暗画像、5003は次フレームの明画像、5004は次フレームの暗画像である。60Hzで駆動する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。

40

【0326】

図50(B)は、フレーム周波数が90Hzのときに暗画像を挿入して駆動するときの図である。5011は当該フレームの明画像、5012は当該フレームの暗画像、5013は当該フレームと次フレームと次々フレームから作成した第1の画像の明画像、5014は当該フレームと次フレームと次々フレームから作成した第1の画像の暗画像、5015は当該フレームと次フレームと次々フレームから作成した第2の画像の明画像、5016は当該フレームと次フレームと次々フレームから作成した第2の画像の暗画像である。90Hzで駆動する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効

50

果的に動画像の画質を向上できるという利点がある。

【0327】

図50(C)は、フレーム周波数が120Hzのときに暗画像を挿入して駆動するときの図である。5021は当該フレームの明画像、5022は当該フレームの暗画像、5023は当該フレームと次フレームから作成した画像の明画像、5024は当該フレームと次フレームから作成した画像の暗画像、5025は次フレームの明画像、5026は次フレームの暗画像、5027は次フレームと次々フレームから作成した画像の明画像、5028は次フレームと次々フレームから作成した画像の暗画像である。120Hzで駆動する場合は、動画像の画質改善効果が著しく、ほとんど残像を感じることがないという利点がある。

10

【0328】

図46に示した画素の上面図及び断面図を図51乃至図55に示す。図51乃至図55は、液晶の動作モードがそれぞれ異なっている。

【0329】

まず、図51は、液晶表示装置の画素構造のうち、TN方式と呼ばれるものに、薄膜トランジスタ(TFT)を組み合わせた場合の画素の断面図と上面図である。図51(A)は、画素の断面図であり、図51(B)は、画素の上面図である。また、図51(A)に示す画素の断面図は、図51(B)に示す画素の上面図における線分a-a'に対応している。図51に示す画素構造の液晶表示装置に本発明を適用することによって、安価に液晶表示装置を製造することができる。

20

【0330】

図51(A)を参照して、TN方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図51(A)において、2枚の基板は、第1の基板5101、および第2の基板5116である。第1の基板には、TFTおよび画素電極を作製し、また、第2の基板には、遮光膜5114、カラーフィルター5115、第4の導電層5113、スペーサ5117、および第2の配向膜5112を作製してもよい。

【0331】

なお、本発明は、第1の基板5101にTFTを作製しなくとも実施可能である。TFTを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、TFTを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

30

【0332】

なお、図51に示すTFTは、非晶質半導体を用いたボトムゲート型のTFTであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTではチャンネルエッチ型、チャンネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【0333】

なお、本発明は、第2の基板5116に遮光膜5114を作製しなくとも実施可能である。遮光膜5114を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜5114を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

40

【0334】

なお、本発明は、第2の基板5116にカラーフィルター5115を作製しなくとも実施可能である。カラーフィルター5115を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター5115を作製して本発明を実

50

施する場合は、カラー表示ができる表示装置を得ることができる。

【0335】

なお、本発明は、第2の基板5116にスペーサ5117を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ5117を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0336】

次に、第1の基板5101に施す加工について説明する。第1の基板5101は透光性を有する基板が好適であり、例えば石英基板、ガラス基板またはプラスチック基板でもよい。なお、第1の基板5101は遮光性の基板でもよく、半導体基板、SOI (Silicon On Insulator) 基板でもよい。

【0337】

まず、第1の基板5101に第1の絶縁膜5102を成膜してもよい。第1の絶縁膜5102は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜 (SiO_xN_y) 等の絶縁膜であってもよい。または、これらの膜の少なくとも2つの膜を組み合わせた積層構造の絶縁膜を用いてもよい。第1の絶縁膜5102を成膜して本発明を実施する場合は、基板からの不純物が半導体層に影響を及ぼし、TFTの性質が変化してしまうのを防ぐことができるので、信頼性の高い表示装置を得ることができる。なお、第1の絶縁膜5102を成膜せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。

【0338】

次に、第1の基板5101または第1の絶縁膜5102上に、第1の導電層5103を形成する。なお、第1の導電層5103は、形状を加工して形成してもよい。形状を加工する工程は、次のようなものであることが好適である。まず、第1の導電層5103を全面に成膜する。このとき、スパッタ装置、またはCVD装置などの成膜装置を用いてもよい。次に、全面に成膜した第1の導電層5103上に、感光性のレジスト材料を全面に形成する。次に、フォトリソグラフィ法やレーザ直描法などによって、形成したい形状に従ってレジスト材料を感光させる。次に、感光させたレジスト材料、または感光させなかったレジスト材料のうち、どちらか一方を、エッチングによって除去することで、第1の導電層5103を形状加工するためのマスクを得ることができる。その後、形成したマスクパターンに従って、第1の導電層5103をエッチングにより除去することで、所望のパターンに第1の導電層5103を形状加工することができる。なお、第1の導電層5103をエッチングする方法には、化学的な方法 (ウェットエッチング) と、物理的な方法 (ドライエッチング) があるが、第1の導電層5103の材料や、第1の導電層5103の下層にある材料の性質などを勘案し、適宜選択する。なお、第1の導電層5103に使用する材料は、Mo、Ti、Al、Nd、Crなどが好適である。または、これらの積層構造であってもよい。さらに、これらの合金を単層または積層構造として、第1の導電層5103として形成してもよい。

【0339】

次に、第2の絶縁膜5104を形成する。このとき、スパッタ装置、またはCVD装置などの成膜装置を用いてもよい。なお、第2の絶縁膜5104に使用する材料は、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などが好適である。または、これらの積層構造であってもよい。なお、第1の半導体層5105に接する部分の第2の絶縁膜5104は、酸化シリコン膜であることが、特に好適である。それは、酸化シリコン膜にすると半導体層5105との界面におけるトラップ準位が少なくなるからである。なお、第1の導電層5103をMoで形成するときは、第1の導電層5103と接する部分の第2の絶縁膜5104は窒化シリコン膜が好ましい。それは、窒化シリコン膜はMoを酸化させないからである。

【0340】

次に、第1の半導体層5105を形成する。その後、第2の半導体層5106を連続して形成するのが好適である。なお、第1の半導体層5105および第2の半導体層5106は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、第1の半導体層5105に使用する材料は、シリコンまたはシリコンゲルマニウム（SiGe）などが好適である。また、第2の半導体層5106に使用する材料は、リン等を含んだシリコン等が好適である。

【0341】

次に、第2の導電層5107を形成する。このとき、スパッタ法または印刷法を用いるのが好適である。なお、第2の導電層5107に使用する材料は、透明性を有していても、反射性を有していてもよい。透明性を有する場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ITO）膜、インジウムスズ酸化物（ITO）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ITSO）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（IZO）膜、酸化亜鉛膜、または酸化スズ膜を用いることができる。なお、IZOとは、ITOに2～20wt%の酸化亜鉛（ZnO）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。一方、反射性を有する場合は、Ti、Mo、Ta、Cr、W、Alなどを用いることができる。また、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としても良い。なお、第2の導電層5107は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、エッチング方法は、ドライエッチングで行なうのが好適である。ドライエッチングはECR（Electron Cyclotron Resonance）やICP（Inductive Coupled Plasma）などの高密度プラズマ源を用いたドライエッチング装置によって行われてもよい。

【0342】

次に、TFTのチャネル領域を形成する。このとき、第2の導電層5107をマスクとして、第2の半導体層5106のエッチングを行なってもよい。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。導電性をもつ第2の半導体層5106のエッチングを行なうことで、除去された部分がTFTのチャネル領域となる。なお、第1の半導体層5105と第2の半導体層5106を連続で形成せずに、第1の半導体層5105の形成のあと、TFTのチャネル領域となる部分にストッパーとなる膜を成膜およびパターン加工し、その後、第2の半導体層5106を形成してもよい。こうすることで、第2の導電層5107をマスクとして用いないで、TFTのチャネル領域を形成することができるので、レイアウトパターンの自由度が大きくなる利点がある。また、第2の半導体層5106のエッチング時に第1の半導体層5105までエッチングしてしまわないため、エッチング不良を起こすことなく、確実にTFTのチャネル領域が形成できる利点がある。

【0343】

次に、第3の絶縁膜5108を形成する。第3の絶縁膜5108は、透明性を有していることが好適である。なお、第3の絶縁膜5108に用いる材料は、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などが好適である。また、シロキサンを含む材料を用いてもよい。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基としてフルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。第3の絶縁膜5108は積層構造でも良い。なお、第3の絶縁膜5108は、形状を加工して形成してもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。このとき、同時に第2の絶縁膜5104もエッチングすることで、第3の絶縁膜5108だけではなく、第1の導電層5103とのコンタクトホールを形成することができる。な

お、第3の絶縁膜5108の表面は、できるだけ平坦であることが好適である。それは、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【0344】

次に、第3の導電層5109を形成する。このとき、スパッタ法または印刷法を用いるのが好適である。なお、第3の導電層5109に使用する材料は、第2の導電層5107と同じく、透明性を有していても、反射性を有していてもよい。なお、第3の導電層5109として使用できる材料は、第2の導電層5107と同様でもよい。また、第3の導電層5109は、形状を加工して形成してもよい。形状を加工する方法は、第2の導電層5107と同様でもよい。

【0345】

次に、第1の配向膜5110を形成する。配向膜5110には、ポリイミドなどの高分子膜を用いることができる。なお、第1の配向膜5110を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【0346】

以上のように作製した第1の基板5101と、遮光膜5114、カラーフィルター5115、第4の導電層5113、スペーサ5117、および第2の配向膜5112を作製した第2の基板5116を、シール材によって数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図51に示すようなTN方式の液晶パネルにおいては、第4の導電層5113は、第2の基板5116の全面に作製されていてもよい。

【0347】

次に、図51に示す、TN方式の液晶パネルの画素構造の特徴について説明する。図51(A)に示した液晶分子5118は、長軸と短軸を持った細長い分子である。液晶分子5118の向きを示すため、図51(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子5118は、その長軸の向きが紙面に平行であり、短く表現された液晶分子5118ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図51(A)に示した液晶分子5118は、第1の基板5101に近いものと、第2の基板5116に近いものとは、その長軸の向きが90度異なっており、これらの中間に位置する液晶分子5118の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図51(A)に示した液晶分子5118は、第1の基板5101と第2の基板5116の間で、90度ねじれているような配向状態となっている。

【0348】

次に、図51(B)を参照して、TN方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したTN方式の液晶表示装置の画素は、走査線5121と、映像信号線5122と、容量線5123と、TFT5124と、画素電極5125と、画素容量5126と、を備えていてもよい。

【0349】

走査線5121は、TFT5124のゲート端子と電氣的に接続されるため、第1の導電層5103で構成されているのが好適である。

【0350】

映像信号線5122は、TFT5124のソース端子またはドレイン端子と電氣的に接続されるため、第2の導電層5107で構成されているのが好適である。また、走査線5121と映像信号線5122はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【0351】

容量線5123は、画素電極5125と平行に配置されることで、画素容量5126を形成するための配線であり、第1の導電層5103で構成されているのが好適である。なお、図51(B)に示すように、容量線5123は、映像信号線5122に沿って、映像信

10

20

30

40

50

号線 5 1 2 2 を囲むように延設されていてもよい。こうすることで、映像信号線 5 1 2 2 の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線 5 1 2 2 との交差容量を低減させるため、図 5 1 (B) に示すように、第 1 の半導体層 5 1 0 5 を容量線 5 1 2 3 と映像信号線 5 1 2 2 の交差領域に設けてもよい。

【0352】

T F T 5 1 2 4 は、映像信号線 5 1 2 2 と画素電極 5 1 2 5 を導通させるスイッチとして動作する。なお、図 5 1 (B) に示すように、T F T 5 1 2 4 のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図 5 1 (B) に示すように、T F T 5 1 2 4 のゲート端子は、第 1 の半導体層 5 1 0 5 を囲むように配置してもよい。

【0353】

画素電極 5 1 2 5 は、T F T 5 1 2 4 のソース端子またはドレイン端子の一方に電氣的に接続される。画素電極 5 1 2 5 は、映像信号線 5 1 2 2 によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線 5 1 2 3 と画素容量 5 1 2 6 を形成してもよい。こうすることで、映像信号線 5 1 2 2 によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極 5 1 2 5 は、図 5 1 の (B) に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極 5 1 2 5 を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極 5 1 2 5 を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極 5 1 2 5 を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極 5 1 2 5 を、反射性をもつ材料で作製した場合は、画素電極 5 1 2 5 の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0354】

次に、図 5 2 を参照して、V A (V e r t i c a l A l i g n m e n t) モードの液晶表示装置に、本発明を適用した場合を説明する。図 5 2 は、V A モードの液晶表示装置の画素構造のうち、配向制御用突起を用いることで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆる M V A (M u l t i - d o m a i n V e r t i c a l A l i g n m e n t) 方式に、本発明を適用した場合の、画素の断面図と上面図である。図 5 2 (A) は、画素の断面図であり、図 5 2 (B) は、画素の上面図である。また、図 5 2 (A) に示す画素の断面図は、図 5 2 (B) に示す画素の上面図における線分 a - a ' に対応している。図 5 2 に示す画素構造の液晶表示装置に本発明を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0355】

図 5 2 (A) を参照して、M V A 方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した 2 枚の基板を、数 μ m のギャップを持たせて貼り合わせ、2 枚の基板間に液晶材料を注入することで作製される。図 5 2 (A) において、2 枚の基板は、第 1 の基板 5 2 0 1、および第 2 の基板 5 2 1 6 である。第 1 の基板には、T F T および画素電極を作製し、また、第 2 の基板には、遮光膜 5 2 1 4、カラーフィルター 5 2 1 5、第 4 の導電層 5 2 1 3、スペーサ 5 2 1 7、第 2 の配向膜 5 2 1 2、および配向制御用突起 5 2 1

9を作製してもよい。

【0356】

なお、本発明は、第1の基板5201にTFTを作製しなくとも実施可能である。TFTを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、TFTを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【0357】

なお、図52に示すTFTは、非晶質半導体を用いたボトムゲート型のTFTであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTではチャンネルエッチ型、チャンネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【0358】

なお、本発明は、第2の基板5216に遮光膜5214を作製しなくとも実施可能である。遮光膜5214を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜5214を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【0359】

なお、本発明は、第2の基板5216にカラーフィルター5215を作製しなくとも実施可能である。カラーフィルター5215を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター5215を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【0360】

なお、本発明は、第2の基板5216にスペーサ5217を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ5217を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0361】

次に、第1の基板5201に施す加工については、図51で説明した方法を用いてもよい。ここで、第1の基板5201、第1の絶縁膜5202、第1の導電層5203、第2の絶縁膜5204、第1の半導体層5205、第2の半導体層5206、第2の導電層5207、第3の絶縁膜5208、第3の導電層5209、第1の配向膜5210が、それぞれ、図51における第1の基板5101、第1の絶縁膜5102、第1の導電層5103、第2の絶縁膜5104、第1の半導体層5105、第2の半導体層5106、第2の導電層5107、第3の絶縁膜5108、第3の導電層5109、第1の配向膜5110、と対応する。なお、図示はしないが、第1の基板側にも、配向制御用突起を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第1の配向膜5210および第2の配向膜5212は、垂直配向膜でもよい。こうすることで、液晶分子5218を垂直に配向することができる。

【0362】

以上のように作製した第1の基板5201と、遮光膜5214、カラーフィルター5215、第4の導電層5213、スペーサ5217、および第2の配向膜5212を作製した第2の基板5216を、シール材によって数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図52に示すようなMVA方式の液晶パネルにおいては、第4の導電層5213は、第2の基板5216の全面に作製されていてもよい。また、第4の導電層5213に接して、配向制御用突起

5219を作製してもよい。なお、配向制御用突起5219の形状に限定はないが、滑らかな曲面を持った形状であるのが好適である。こうすることで、近接する液晶分子5218の配向が極近いものとなるため、配向不良が低減する。また、第2の配向膜5212が、配向制御用突起5219によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【0363】

次に、図52に示す、MVA方式の液晶パネルの画素構造の特徴について説明する。図52の(A)に示した液晶分子5218は、長軸と短軸を持った細長い分子である。液晶分子5218の向きを示すため、図52の(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子5218は、その長軸の向きが紙面に平行であり、短く表現された液晶分子5218ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図52の(A)に示した液晶分子5218は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起5219のある部分の液晶分子5218は、配向制御用突起5219を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

10

【0364】

次に、図52の(B)を参照して、MVA方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したMVA方式の液晶表示装置の画素は、走査線5221と、映像信号線5222と、容量線5223と、TFT5224と、画素電極5225と、画素容量5226と、配向制御用突起5219と、を備えていてもよい。

20

【0365】

走査線5221は、TFT5224のゲート端子と電氣的に接続されるため、第1の導電層5203で構成されているのが好適である。

【0366】

映像信号線5222は、TFT5224のソース端子またはドレイン端子と電氣的に接続されるため、第2の導電層5207で構成されているのが好適である。また、走査線5221と映像信号線5222はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【0367】

容量線5223は、画素電極5225と平行に配置されることで、画素容量5226を形成するための配線であり、第1の導電層5203で構成されているのが好適である。なお、図52(B)に示すように、容量線5223は、映像信号線5222に沿って、映像信号線5222を囲むように延設されていてもよい。こうすることで、映像信号線5222の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線5222との交差容量を低減させるため、図52(B)に示すように、第1の半導体層5205を容量線5223と映像信号線5222の交差領域に設けてもよい。

30

【0368】

TFT5224は、映像信号線5222と画素電極5225を導通させるスイッチとして動作する。なお、図52(B)に示すように、TFT5224のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図52(B)に示すように、TFT5224のゲート端子は、第1の半導体層5205を囲むように配置してもよい。

40

【0369】

画素電極5225は、TFT5224のソース端子またはドレイン端子の一方に電氣的に接続される。画素電極5225は、映像信号線5222によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線5223と画素容量5226を形成してもよい。こうすることで、映像信号線5222によって伝達された信号電圧を保持する役

50

割も持つことができる。なお、画素電極5225は、図52の(B)に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極5225を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極5225を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極5225を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極5225を、反射性をもつ材料で作製した場合は、画素電極5225の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

10

【0370】

次に、図53を参照して、VA(Vertical Alignment)モードの液晶表示装置に、本発明を適用した場合の、別の例を説明する。図53は、VAモードの液晶表示装置の画素構造のうち、第4の導電層5313にパターン加工を施すことで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆるPVA(Patterned Vertical Alignment)方式に、本発明を適用した場合の、画素の断面図と上面図である。図53(A)は、画素の断面図であり、図53(B)は、画素の上面図である。また、図53(A)に示す画素の断面図は、図53(B)に示す画素の上面図における線分a-a'に対応している。図53に示す画素構造の液晶表示装置に本発明を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

20

【0371】

図53(A)を参照して、PVA方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図53(A)において、2枚の基板は、第1の基板5301、および第2の基板5316である。第1の基板には、TFEおよび画素電極を作製し、また、第2の基板には、遮光膜5314、カラーフィルター5315、第4の導電層5313、スペーサ5317、および第2の配向膜5312を作製してもよい。

30

【0372】

なお、本発明は、第1の基板5301にTFEを作製しなくとも実施可能である。TFEを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、TFEを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【0373】

なお、図53に示すTFEは、非晶質半導体を用いたボトムゲート型のTFEであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるTFEの構造は、ボトムゲート型のTFEではチャンネルエッチ型、チャンネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

40

【0374】

なお、本発明は、第2の基板5316に遮光膜5314を作製しなくとも実施可能である。遮光膜5314を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜5314を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

50

【0375】

なお、本発明は、第2の基板5316にカラーフィルター5315を作製しなくとも実施可能である。カラーフィルター5315を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター5315を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【0376】

なお、本発明は、第2の基板5316にスペーサ5317を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ5317を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0377】

次に、第1の基板5301に施す加工については、図51で説明した方法を用いてもよい。ここで、第1の基板5301、第1の絶縁膜5302、第1の導電層5303、第2の絶縁膜5304、第1の半導体層5305、第2の半導体層5306、第2の導電層5307、第3の絶縁膜5308、第3の導電層5309、第1の配向膜5310が、それぞれ、図51における第1の基板5101、第1の絶縁膜5102、第1の導電層5103、第2の絶縁膜5104、第1の半導体層5105、第2の半導体層5106、第2の導電層5107、第3の絶縁膜5108、第3の導電層5109、第1の配向膜5110、と対応する。なお、第1の基板5301側の第3の導電層5309に、電極切り欠き部を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第1の配向膜5310および第2の配向膜5312は、垂直配向膜でもよい。こうすることで、液晶分子5318を垂直に配向することができる。

【0378】

以上のように作製した第1の基板5301と、遮光膜5314、カラーフィルター5315、第4の導電層5313、スペーサ5317、および第2の配向膜5312を作製した第2の基板5316を、シール材によって数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図53に示すようなPVA方式の液晶パネルにおいては、第4の導電層5313は、パターン加工を施して、電極切り欠き部5319を作製してもよい。なお、電極切り欠き部5319の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。また、電極切り欠き部5319と第4の導電層5313の境界における第4の導電層5313の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子5318の配向が極近いものとなるため、配向不良が低減する。また、第2の配向膜5312が、電極切り欠き部5319によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【0379】

次に、図53に示す、PVA方式の液晶パネルの画素構造の特徴について説明する。図53(A)に示した液晶分子5318は、長軸と短軸を持った細長い分子である。液晶分子5318の向きを示すため、図53(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子5318は、その長軸の向きが紙面に平行であり、短く表現された液晶分子5318ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図53(A)に示した液晶分子5318は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部5319のある部分の液晶分子5318は、電極切り欠き部5319と第4の導電層5313の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【0380】

次に、図53（B）を参照して、PVA方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したPVA方式の液晶表示装置の画素は、走査線5321と、映像信号線5322と、容量線5323と、TFT5324と、画素電極5325と、画素容量5326と、電極切り欠き部5319と、を備えていてもよい。

【0381】

走査線5321は、TFT5324のゲート端子と電氣的に接続されるため、第1の導電層5303で構成されているのが好適である。

【0382】

映像信号線5322は、TFT5324のソース端子またはドレイン端子と電氣的に接続されるため、第2の導電層5307で構成されているのが好適である。また、走査線5321と映像信号線5322はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【0383】

容量線5323は、画素電極5325と平行に配置されることで、画素容量5326を形成するための配線であり、第1の導電層5303で構成されているのが好適である。なお、図53（B）に示すように、容量線5323は、映像信号線5322に沿って、映像信号線5322を囲むように延設されていてもよい。こうすることで、映像信号線5322の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線5322との交差容量を低減させるため、図53の（B）に示すように、第1の半導体層5305を容量線5323と映像信号線5322の交差領域に設けてもよい。

【0384】

TFT5324は、映像信号線5322と画素電極5325を導通させるスイッチとして動作する。なお、図53（B）に示すように、TFT5324のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図53の（B）に示すように、TFT5324のゲート端子は、第1の半導体層5305を囲むように配置してもよい。

【0385】

画素電極5325は、TFT5324のソース端子またはドレイン端子の一方に電氣的に接続される。画素電極5325は、映像信号線5322によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線5323と画素容量5326を形成してもよい。こうすることで、映像信号線5322によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極5325は、図53（B）に示すように、第4の導電層5313に設けた電極切り欠き部5319の形状に合わせて、電極切り欠き部5319のない部分に、画素電極5325を切り欠いた部分を形成するのが好適である。こうすることで、液晶分子5318の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極5325を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極5325を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極5325を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極5325を、反射性をもつ材料で作製した場合は、画素電極5325の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型

10

20

30

40

50

の液晶表示装置を得ることができる。

【0386】

次に、図54を参照して、横電界方式の液晶表示装置に、本発明を適用した場合を説明する。図54は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の画素構造のうち、画素電極5425と共通電極5423に櫛歯状のパターン加工を施すことで、横方向に電界をかける方式、いわゆるIPS(In-Plane-Switching)方式に、本発明を適用した場合の、画素の断面図と上面図である。図54(A)は、画素の断面図であり、図54(B)は、画素の上面図である。また、図54の(A)に示す画素の断面図は、図54(B)に示す画素の上面図における線分a-a'に対応している。図54に示す画素構造の液晶表示装置に本発明を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

10

【0387】

図54(A)を参照して、IPS方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図54(A)において、2枚の基板は、第1の基板5401、および第2の基板5416である。第1の基板には、TFTおよび画素電極を作製し、また、第2の基板には、遮光膜5414、カラーフィルター5415、スペーサ5417、および第2の配向膜5412を作製してもよい。

20

【0388】

なお、本発明は、第1の基板5401にTFTを作製しなくとも実施可能である。TFTを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、TFTを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【0389】

なお、図54に示すTFTは、非晶質半導体を用いたボトムゲート型のTFTであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるTFTの構造は、ボトムゲート型のTFTではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけでなく、多結晶半導体も用いることができる。

30

【0390】

なお、本発明は、第2の基板5416に遮光膜5414を作製しなくとも実施可能である。遮光膜5414を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜5414を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【0391】

なお、本発明は、第2の基板5416にカラーフィルター5415を作製しなくとも実施可能である。カラーフィルター5415を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター5415を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

40

【0392】

なお、本発明は、第2の基板5416にスペーサ5417を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ5417を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

50

【0393】

次に、第1の基板5401に施す加工については、図51で説明した方法を用いてもよい。ここで、第1の基板5401、第1の絶縁膜5402、第1の導電層5403、第2の絶縁膜5404、第1の半導体層5405、第2の半導体層5406、第2の導電層5407、第3の絶縁膜5408、第3の導電層5409、第1の配向膜5410が、それぞれ、図51における第1の基板5101、第1の絶縁膜5102、第1の導電層5103、第2の絶縁膜5104、第1の半導体層5105、第2の半導体層5106、第2の導電層5107、第3の絶縁膜5108、第3の導電層5109、第1の配向膜5110、と対応する。なお、第1の基板5401側の第3の導電層5409にパターン加工を施し、互いにかみ合った2つの櫛歯状の形状に形成してもよい。また、一方の櫛歯状の電極は、TFT5424のソース端子またはドレイ端子の一方と電氣的に接続され、他方の櫛歯状の電極は、共通電極5423と電氣的に接続されていてもよい。こうすることで、液晶分子5418に効果的に横方向の電界をかけることができる。

10

【0394】

以上のように作製した第1の基板5401と、遮光膜5414、カラーフィルター5415、スペーサ5417、および第2の配向膜5412を作製した第2の基板5416を、シール材によって数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第2の基板5416側に、導電層を形成してもよい。第2の基板5416側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

20

【0395】

次に、図54に示す、IPS方式の液晶パネルの画素構造の特徴について説明する。図54(A)に示した液晶分子5418は、長軸と短軸を持った細長い分子である。液晶分子5418の向きを示すため、図54(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子5418は、その長軸の向きが紙面に平行であり、短く表現された液晶分子5418ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図54(A)に示した液晶分子5418は、その長軸の向きが常に基板と水平の方向を向くように配向している。図54(A)においては、電界のない状態における配向を表しているが、液晶分子5418に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

30

【0396】

次に、図54(B)を参照して、IPS方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したIPS方式の液晶表示装置の画素は、走査線5421と、映像信号線5422と、共通電極5423と、TFT5424と、画素電極5425と、を備えていてもよい。

【0397】

走査線5421は、TFT5424のゲート端子と電氣的に接続されるため、第1の導電層5403で構成されているのが好適である。

【0398】

映像信号線5422は、TFT5424のソース端子またはドレイン端子と電氣的に接続されるため、第2の導電層5407で構成されているのが好適である。また、走査線5421と映像信号線5422はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図54(B)に示すように、映像信号線5422は、画素電極5425および共通電極5423の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

40

【0399】

共通電極5423は、画素電極5425と平行に配置されることで、横方向の電界を発生させるための電極であり、第1の導電層5403および第3の導電層5409で構成され

50

ているのが好適である。なお、図54(B)に示すように、共通電極5423は、映像信号線5422に沿って、映像信号線5422を囲むように延設されていてもよい。こうすることで、映像信号線5422の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線5422との交差容量を低減させるため、図54(B)に示すように、第1の半導体層5405を共通電極5423と映像信号線5422の交差領域に設けてもよい。

【0400】

TFT5424は、映像信号線5422と画素電極5425を導通させるスイッチとして動作する。なお、図54(B)に示すように、TFT5424のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図54(B)に示すように、TFT5424のゲート端子は、第1の半導体層5405を囲むように配置してもよい。

【0401】

画素電極5425は、TFT5424のソース端子またはドレイン端子の一方に電氣的に接続される。画素電極5425は、映像信号線5422によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極5423と画素容量を形成してもよい。こうすることで、映像信号線5422によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極5425および櫛歯状の共通電極5423は、図54(B)に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子5418の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極5425および櫛歯状の共通電極5423を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極5425および櫛歯状の共通電極5423を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極5425および櫛歯状の共通電極5423を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極5425および櫛歯状の共通電極5423を、反射性をもつ材料で作製した場合は、画素電極5425および櫛歯状の共通電極5423の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0402】

なお、櫛歯状の画素電極5425と、櫛歯状の共通電極5423は、ともに第3の導電層5409で形成されとしたが、本発明が適用できる画素構成は、これに限定されず、適宜選択することができる。例えば、櫛歯状の画素電極5425と、櫛歯状の共通電極5423を、ともに第2の導電層5407で形成してもよいし、ともに第1の導電層5403で形成してもよいし、どちらか一方を第3の導電層5409で形成し、他方を第2の導電層5407で形成してもよいし、どちらか一方を第3の導電層5409で形成し、他方を第1の導電層5403で形成してもよいし、どちらか一方を第2の導電層5407で形成し、他方を第1の導電層5403で形成してもよい。

【0403】

次に、図55を参照して、別の横電界方式の液晶表示装置に、本発明を適用した場合を説明する。図55は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の別の画素構造を示す図である。より詳細には、画素電極5525と共通電極5523のうち、どちらか一方に櫛歯状のパターン加工を施し、他方は櫛歯状の形状に重なる領域に一樣に電極を形成することで、

横方向に電界をかける方式、いわゆるF F S (F r i n g e F i e l d S w i t c h i n g)方式に、本発明を適用した場合の、画素の断面図と上面図である。図55(A)は、画素の断面図であり、図55(B)は、画素の上面図である。また、図55(A)に示す画素の断面図は、図55(B)に示す画素の上面図における線分a-a'に対応している。図55に示す画素構造の液晶表示装置に本発明を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0404】

図55(A)を参照して、F F S方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図55(A)において、2枚の基板は、第1の基板5501、および第2の基板5516である。第1の基板には、T F Tおよび画素電極を作製し、また、第2の基板には、遮光膜5514、カラーフィルター5515、スペーサ5517、および第2の配向膜5512を作製してもよい。

【0405】

なお、本発明は、第1の基板5501にT F Tを作製しなくとも実施可能である。T F Tを作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、T F Tを作製して本発明を実施する場合は、より大型の表示装置を得ることができる。

【0406】

なお、図55に示すT F Tは、非晶質半導体を用いたボトムゲート型のT F Tであり、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本発明はこれに限定されるものではない。使用できるT F Tの構造は、ボトムゲート型のT F Tではチャンネルエッチ型、チャンネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【0407】

なお、本発明は、第2の基板5516に遮光膜5514を作製しなくとも実施可能である。遮光膜5514を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜5514を作製して本発明を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【0408】

なお、本発明は、第2の基板5516にカラーフィルター5515を作製しなくとも実施可能である。カラーフィルター5515を作製せずに本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、カラーフィルター5515を作製して本発明を実施する場合は、カラー表示ができる表示装置を得ることができる。

【0409】

なお、本発明は、第2の基板5516にスペーサ5517を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本発明を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ5517を作製して本発明を実施する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0410】

次に、第1の基板5501に施す加工については、図51で説明した方法を用いてもよい。ここで、第1の基板5501、第1の絶縁膜5502、第1の導電層5503、第2の絶縁膜5504、第1の半導体層5505、第2の半導体層5506、第2の導電層5507、第3の絶縁膜5508、第3の導電層5509、第1の配向膜5510が、それぞれ、図51における第1の基板5101、第1の絶縁膜5102、第1の

導電層 5103、第2の絶縁膜 5104、第1の半導体層 5105、第2の半導体層 5106、第2の導電層 5107、第3の絶縁膜 5108、第3の導電層 5109、第1の配向膜 5110、と対応する。

【0411】

ただし、図51と異なる点は、第1の基板 5501側に、第4の絶縁膜 5519および第4の導電層 5513を形成してもよいという点である。より詳細には、第3の導電層 5509にパターン加工を施したあと、第4の絶縁膜 5519を成膜し、パターン加工を施してコンタクトホールを形成した後、第4の導電層 5513を成膜し、同様にパターン加工を施した後、第1の配向膜 5510を形成してもよい。なお、第4の絶縁膜 5519および第4の導電層 5513に使用できる材料および加工方法は、第3の絶縁膜 5508および第3の導電層 5509に用いるものと同様のものを用いることができる。また、櫛歯状の電極は、TFT 5524のソース端子またはドレイン端子の一方と電氣的に接続され、一様な電極は、共通電極 5523と電氣的に接続されていてもよい。こうすることで、液晶分子 5518に効果的に横方向の電界をかけることができる。

10

【0412】

以上のように作製した第1の基板 5501と、遮光膜 5514、カラーフィルター 5515、スペーサ 5517、および第2の配向膜 5512を作製した第2の基板 5516を、シール材によって数 μm のギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第2の基板 5516側に、導電層を形成してもよい。第2の基板 5516側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

20

【0413】

次に、図55に示す、FFS方式の液晶パネルの画素構造の特徴について説明する。図55(A)に示した液晶分子 5518は、長軸と短軸を持った細長い分子である。液晶分子 5518の向きを示すため、図55(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子 5518は、その長軸の向きが紙面に平行であり、短く表現された液晶分子 5518ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図55(A)に示した液晶分子 5518は、その長軸の向きが常に基板と水平の方向を向くように配向している。図55(A)においては、電界のない状態における配向を表しているが、液晶分子 5518に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

30

【0414】

次に、図55(B)を参照して、FFS方式の液晶表示装置に本発明を適用した場合の、画素のレイアウトの一例について説明する。本発明を適用したFFS方式の液晶表示装置の画素は、走査線 5521と、映像信号線 5522と、共通電極 5523と、TFT 5524と、画素電極 5525と、を備えていてもよい。

【0415】

走査線 5521は、TFT 5524のゲート端子と電氣的に接続されるため、第1の導電層 5503で構成されているのが好適である。

40

【0416】

映像信号線 5522は、TFT 5524のソース端子またはドレイン端子と電氣的に接続されるため、第2の導電層 5507で構成されているのが好適である。また、走査線 5521と映像信号線 5522はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図55(B)に示すように、映像信号線 5522は、画素電極 5525の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

【0417】

共通電極 5523は、画素電極 5525と平行に配置されることで、横方向の電界を発生

50

させるための電極であり、第1の導電層5503および第3の導電層5509で構成されているのが好適である。なお、図55(B)に示すように、共通電極5523は、映像信号線5522に沿った形状に形成されていてもよい。こうすることで、映像信号線5522の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線5522との交差容量を低減させるため、図55(B)に示すように、第1の半導体層5505を共通電極5523と映像信号線5522の交差領域に設けてもよい。

【0418】

TFT5524は、映像信号線5522と画素電極5525を導通させるスイッチとして動作する。なお、図55(B)に示すように、TFT5524のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図55(B)に示すように、TFT5524のゲート端子は、第1の半導体層5505を囲むように配置してもよい。

【0419】

画素電極5525は、TFT5524のソース端子またはドレイン端子の一方に電氣的に接続される。画素電極5525は、映像信号線5522によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極5523と画素容量を形成してもよい。こうすることで、映像信号線5522によって伝達された信号電圧を保持する役割も持つことができる。なお、画素電極5525は、図55の(B)に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子5518の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極5525および櫛歯状の共通電極5523を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極5525および櫛歯状の共通電極5523を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極5525および櫛歯状の共通電極5523を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極5525および櫛歯状の共通電極5523を、反射性をもつ材料で作製した場合は、画素電極5525および櫛歯状の共通電極5523の表面に凹凸を持たせてもよい。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【0420】

なお、櫛歯状の画素電極5525は、第4の導電層5513で形成され、一様な共通電極5523は、第3の導電層5509で形成されとしたが、本発明が適用できる画素構成は、これに限定されず、ある条件を満たしていれば、適宜選択することができる。より詳細には、第1の基板5501から見て、櫛歯状の電極が、一様な電極より液晶に近いほうに位置していればよい。なぜならば、横方向の電界は、櫛歯状の電極から見た場合、常に、一様な電極とは逆方向に発生するからである。つまり、液晶に横電界をかけるためには、櫛歯状の電極は、一様な電極よりも液晶よりに位置していなければならないからである。

【0421】

この条件を満たすには、例えば、櫛歯状の電極を第4の導電層5513で形成し、一様な電極を第3の導電層5509で形成してもよいし、櫛歯状の電極を第4の導電層5513で形成し、一様な電極を第2の導電層5507で形成してもよいし、櫛歯状の電極を第4の導電層5513で形成し、一様な電極を第1の導電層5503で形成してもよいし、櫛歯状の電極を第3の導電層5509で形成し、一様な電極を第2の導電層5507で形成

してもよいし、櫛歯状の電極を第3の導電層5509で形成し、一様な電極を第1の導電層5503で形成してもよいし、櫛歯状の電極を第2の導電層5507で形成し、一様な電極を第1の導電層5503で形成してもよい。なお、櫛歯状の電極は、TFT5524のソース領域またはドレイン領域の一方と電氣的に接続され、一様な電極は、共通電極5523と電氣的に接続されるとしたが、この接続は、逆でもよい。その場合は、一様な電極が画素ごとに独立して形成されていてもよい。

【0422】

なお、本発明の液晶表示装置が有する液晶素子の動作モードは、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Bend) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード等を自由に用いることができる。

10

【0423】

液晶表示装置に上記実施の形態で示した表示装置の構成を適用することにより、トランジスタの特性劣化を抑制することができる。そのため、トランジスタの特性劣化が原因のシフトレジスタの誤動作を防止することができる。また、シフトレジスタの誤動作が原因の液晶表示装置の表示不良を抑制することができる。

20

【0424】

なお、本実施の形態で示した画素の構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した画素の構成も自由に組み合わせて実施することができる。

【0425】

(実施の形態10)

本実施の形態では、実施の形態1乃至実施の形態8に示した表示装置が有する画素の一例について、実施の形態9とは別の一例を説明する。

30

【0426】

図65(A)の画素構成について説明する。図65(A)に示す画素回路は、容量素子6500、第1のトランジスタ6501、第2のトランジスタ6502及び表示素子6521を有する。なお、画素は、第1の配線6511、第2の配線6512、第3の配線6513に接続されている。また、表示素子6521は発光層が画素電極と対向電極6522との間に挟持され、画素電極から対向電極6522に電流が流れるEL素子を適用することができる。なお、第1の配線6511は信号線と呼んでもよい。また、第2の配線6512は電源線と呼んでもよい。また、第3の配線6513は走査線と呼んでもよい。なお、第1のトランジスタ6501は駆動トランジスタと呼んでもよい。また、第2のトランジスタ6502は選択用トランジスタと呼んでもよい。

40

【0427】

なお、表示素子6521として、EL素子などの発光素子を適用した場合について説明する。

【0428】

なお、トランジスタ6501及びトランジスタ6502は、Nチャネル型のトランジスタを示しているが、Pチャネル型のトランジスタであってもよい。実施の形態1乃至実施の形態4では、トランジスタ6501及びトランジスタ6502としてNチャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルな

50

どの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態5乃至実施の形態8では、トランジスタ6501及びトランジスタ6502としてPチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。

【0429】

なお、第1の配線6511は、図9、図11、図12及び図44の表示装置に示した信号線S1～Smのいずれかーに相当する。第3の配線6513は、図9、図11、図12及び図44の表示装置に示した走査線G1～Gnのいずれかーに相当する。

10

【0430】

なお、第2の配線6512は、図9、図11、図12及び図44には図示していないが、すでに述べたように必要に応じて図9、図11、図12及び図44に追加するとよい。

【0431】

第1のトランジスタ6501の第1端子は第2の配線6512に接続され、第2端子は表示素子6521の画素電極に接続されている。第2のトランジスタ6502の第1端子は第1の配線6511に接続され、第2端子は第1のトランジスタ6501のゲート端子に接続され、ゲート端子は第3の配線6513に接続されている。容量素子6500の第1の電極は第2の配線6512に接続され、第2の電極は第1のトランジスタ6501のゲート端子に接続されている。

20

【0432】

なお、容量素子6500は、第1のトランジスタ6501のゲート端子の電圧を保持する役目をしている。よって、容量素子6500は、第1のトランジスタ6501と第2の配線6512との間に接続されているがこれに限定されない。容量素子6500は、第1のトランジスタ6501のゲート端子の電圧を保持できるように配置されていればよく、別の（例えば、前行）の画素の第3の配線6513に接続されてもよい。また、容量素子6500は、第1のトランジスタ6501のゲート容量を用いることで、省略してもよい。

【0433】

動作方法としては、第3の配線6513を選択し、第2のトランジスタ6502をオン状態にして、第1の配線6511からビデオ信号を容量素子6500及び第1のトランジスタ6501のゲート端子に入力する。すると、第1のトランジスタ6501がゲートとソース間の電圧に応じた電流を表示素子6521に流すことで、表示素子6521が発光する。

30

【0434】

ところで、表示装置の階調を表現する駆動方式には、表示アナログ階調方式とデジタル階調方式とがある。表示アナログ階調方式には、表示素子の発光強度をアナログ制御する方式と表示素子の発光時間をアナログ制御する方式とがある。アナログ階調方式において表示素子の発光強度をアナログ制御方式がよく用いられる。一方、デジタル階調方式はデジタル制御で表示素子をオンまたはオフさせ、階調を表現している。デジタル階調方式の場合、デジタル信号で処理できるためノイズに強いというメリットがあるが、発光・非発光の2状態しかないため、このままでは2階調しか表現できない。そこで、別の手法を組み合わせ、多階調化を図ることが行われている。多階調化のための手法としては、画素の発光面積に重みをつけてその選択により階調表示を行う面積階調方式と、発光時間に重みをつけてその選択により階調表示を行う時間階調方式とがある。

40

【0435】

このデジタル階調方式と時間階調方式とを組み合わせた場合、図68に示すように、1フレーム期間を複数のサブフレーム期間（SF_n）に分割する。各サブフレーム期間は、初期化期間、しきい値電圧書き込み期間及びデータ書き込み期間を有するアドレス期間（Ta）と、発光期間（Ts）とを有する。なお、サブフレーム期間は表示ビット数nに応じた数を1フレーム期間に設ける。また、1フレーム期間において各々のサブフレーム期間

50

における発光期間の長さの比を $2(n-1) : 2(n-2) : \dots : 2 : 1$ とし、各発光期間で表示素子の発光、もしくは非発光を選択し、表示素子が発光している1フレーム期間中の合計時間の差を利用して階調表現を行う。1フレーム期間において、発光している合計時間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図68においては4ビット階調の例を示しており、1フレーム期間は4つのサブフレーム期間に分割され、発光期間の組み合わせによって、 $2^4 = 16$ 階調を表現できる。なお、発光期間の長さの比は、特に2のべき乗の比としなくても、階調表現は可能である。また、あるサブフレーム期間をさらに分割していても良い。

【0436】

なお、上記のように時間階調方式を用いて多階調化を図る場合、下位ビットの発光期間の長さは短いため、発光期間の終了後直ちに次のサブフレーム期間のデータ書き込み動作を開始しようとする、前のサブフレーム期間のデータ書き込み動作と重複してしまい、正常な動作ができなくなる。そのため、図65(B)のように、第3のトランジスタ6503を第1のトランジスタ6501のゲート端子と第3の配線6513との間に設け、発光期間の一部において第3のトランジスタ6503がオンし、強制的に第1のトランジスタ6501をオフとなり、強制的に非発光状態を作り、非発光状態の期間（消去期間）を設けることで、全行に要するデータ書き込み期間より短い発光も表現することができる。なお、第3のトランジスタ6503のオン及びオフは第4の配線6514によって制御されている。よって、表示アナログ階調において特に有効であることはもちろんであるが、デジタル階調方式と時間階調方式とを組み合わせた方式においても有効である。なお、非発光状態に作るには表示素子に電流が流れなければ良いため、上述したように第1のトランジスタ6501をオフさせる他、第2の配線6512の電位を下げたりすることで非発光状態を得ることができる。また、第1のトランジスタ6501と第2の配線6512との間に新たなスイッチを設け、そのスイッチを用いて第1のトランジスタ6501と第2の配線6512とを非導通にすることで非発光状態を得ることもできる。また、第1のトランジスタ6501と表示素子6521の画素電極との間に新たにスイッチを設け、そのスイッチを用いて表示素子6521への電流の供給を止めることで非発光状態を得ることもできる。

【0437】

次に、図65とは別の画素の構成について、図66を参照して説明する。

【0438】

図66の画素構成について説明する。図66に示す画素回路は、容量素子6600、第1のトランジスタ6601、第2のトランジスタ6602、第3のトランジスタ6603及び表示素子6621を有する。なお、画素は、第1の配線6611、第2の配線6612、第3の配線6613及び第4の配線6614に接続されている。また、表示素子6621は画素電極と対向電極6622との間に挟持され、画素電極から対向電極6622に電流が流れるEL素子を適用することができる。なお、第1の配線6611は信号線と呼んでもよい。また、第2の配線6612は電源線と呼んでもよい。また、第3の配線6613及び第4の配線6614は、第1の走査線、第2の走査線と呼んでもよい。なお、第1のトランジスタ6601は駆動トランジスタと呼んでもよい。また、第2のトランジスタ6602及び第3のトランジスタ6603は、第1のスイッチング用トランジスタ、第2のスイッチング用トランジスタと呼んでもよい。

【0439】

なお、表示素子6621として、EL素子などの発光素子を適用した場合について説明する。

【0440】

なお、第1のトランジスタ6601、第2のトランジスタ6602及び第3のトランジスタ6603は、Nチャネル型のトランジスタを示しているが、Pチャネル型のトランジスタであってもよい。実施の形態1乃至実施の形態4では、第1のトランジスタ6601、第2のトランジスタ6602及び第3のトランジスタ6603としてNチャネル型のトラ

ンジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態5乃至実施の形態8では、第1のトランジスタ6601、第2のトランジスタ6602及び第3のトランジスタ6603としてPチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。

【0441】

なお、第1の配線6611は、図9、図11、図12及び図44の表示装置に示した信号線S1～Smのいずれかーに相当する。第3の配線6613は、図9、図11、図12及び図44の表示装置に示した走査線G1～Gnのいずれかーに相当する。

【0442】

なお、第2の配線6612、第4の配線6614は、図9、図11、図12及び図44には図示していないが、すでに述べたように必要に応じて図9、図11、図12及び図44に追加するとよい。

【0443】

第1のトランジスタ6601の第1端子は第2の配線6612に接続され、第2端子は表示素子6621の画素電極に接続されている。第2のトランジスタ6602の第1端子は第1の配線6611に接続され、第2端子は表示素子6621の画素電極に接続され、ゲート端子は第3の配線6613に接続されている。第3のトランジスタ6603の第1端子は第2の配線6612に接続され、第2端子は第1のトランジスタ6601のゲート端子に接続され、ゲート端子は第4の配線6614に接続されている。容量素子6600の第1の電極は第1のトランジスタ6601のゲート端子に接続され、第2の電極は表示素子6621の画素電極に接続されている。

【0444】

駆動方法としては、第3の配線6613及び第4の配線6614を選択し、第2のトランジスタ6602及び第3のトランジスタ6603をオン状態にし、第2の配線6612の電位を対向電極6622と同じくらいの電位まで下げる。その後、第2の配線6612から第1の配線6611にビデオ信号に応じた電流を流す（ビデオ信号を入力する）。すると、第1のトランジスタ6601のゲート端子の電圧は、ビデオ信号に応じた値となり、そのとき第1のトランジスタ6601のゲートとソース間の電圧（ゲート端子と第2端子との電位差）が容量素子6600に保持される。その後、第2のトランジスタ6602及び第3のトランジスタ6603をオフとなり、第2の配線6612の電位を上昇させることで、表示素子6621に電流が流れ始める。このとき、第1のトランジスタ6601のゲートとソース間の電圧は容量素子6600によってビデオ信号に応じた電位を保つため、ビデオ信号の電流と表示素子6621に流れる電流とが同じ値となる。すると、表示素子6621はビデオ信号に応じた輝度で発光する。

【0445】

次に、図66とは別の画素の構成について、図67を参照して説明する。

【0446】

図67の画素構成について説明する。図67に示す画素回路は、容量素子6700、第1のトランジスタ6701、第2のトランジスタ6702、第3のトランジスタ6703、第4のトランジスタ6704及び表示素子6721を有する。なお、画素は、第1の配線6711、第2の配線6712、第3の配線6713、第4の配線6714及び第5の配線6715に接続されている。また、表示素子6721は発光層が画素電極と対向電極6722との間に挟持され、画素電極から対向電極6722に電流が流れるEL素子を適用することができる。なお、第1の配線6711は信号線と呼んでもよい。また、第2の配線6712は電源線と呼んでもよい。また、第3の配線6713及び第4の配線6714

10

20

30

40

50

は、第1の走査線、第2の走査線と呼んでもよい。また、第5の配線6715は保持容量線と呼んでもよい。なお、第1のトランジスタ6701及び第2のトランジスタ6702は第1の駆動トランジスタ、第2の駆動トランジスタと呼んでもよい。また、第3のトランジスタ6703及び第4のトランジスタ6704は、第1のスイッチング用トランジスタ、第2のスイッチング用トランジスタと呼んでもよい。なお、第1のトランジスタ6701及び第2のトランジスタ6702は対をなしており、いわゆるカレントミラーの構成となっている。

【0447】

なお、表示素子6721として、EL素子などの発光素子を適用した場合について説明する。

10

【0448】

なお、第1のトランジスタ6701、第2のトランジスタ6702、第3のトランジスタ6703及び第4のトランジスタ6704は、Nチャネル型のトランジスタを示しているが、Pチャネル型のトランジスタであってもよい。実施の形態1乃至実施の形態4では、第1のトランジスタ6701、第2のトランジスタ6702、第3のトランジスタ6703及び第4のトランジスタ6704としてNチャネル型のトランジスタを用いるほうが望ましい。なぜなら、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。また、実施の形態5乃至実施の形態8では、第1のトランジスタ6701、第2のトランジスタ6702、第3のトランジスタ6703及び第4のトランジスタ6704としてPチャネル型のトランジスタを用いることが望ましい。なぜなら、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。

20

【0449】

なお、第1の配線6711は、図9、図11、図12及び図44の表示装置に示した信号線S1～Smのいずれかーに相当する。第3の配線6713は、図9、図11、図12及び図44の表示装置に示した走査線G1～Gnのいずれかーに相当する。

【0450】

30

なお、第2の配線6712、第4の配線6714、第5の配線6715は、図9、図11、図12及び図44には図示していないが、すでに述べたように必要に応じて図9、図11、図12及び図44に追加するとよい。

【0451】

第1のトランジスタ6701の第1端子は第2の配線6712に接続され、第2端子は表示素子6721の画素電極に接続されている。第2のトランジスタ6702の第1端子は第3のトランジスタ6703の第2端子に接続され、第2端子は表示素子6721の画素電極に接続されている。第3のトランジスタ6703の第1端子は第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子に接続され、ゲート端子は第4の配線6714に接続されている。第4のトランジスタ6704の第1端子は第1の配線6711に接続され、第2端子は第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子に接続され、ゲート端子は第3の配線6713に接続されている。容量素子6700の第1の電極は第5の配線6715に接続され、第2の電極は第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子に接続されている。

40

【0452】

なお、容量素子6700は、第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子の電圧を保持する役目をしている。よって、容量素子6700は、第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子と第5の配線6715との間に接続されているがこれに限定されない。容量素子6

50

700は、第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子の電圧を保持できるように配置されていればよく、別の（例えば、前行）の画素の第3の配線6713に接続されてもよい。また、容量素子6700は、第1のトランジスタ6701のゲート容量及び第2のトランジスタ6702のゲート容量を用いることで、省略してもよい。

【0453】

駆動方法としては、第3の配線6713及び第4の配線6714を選択し、第3のトランジスタ6703及び第4のトランジスタ6704をオン状態にする。その後、第1の配線6711から表示素子6721にビデオ信号に応じた電流を流す（ビデオ信号を入力する）。すると、第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子の電圧は、ビデオ信号に応じた値となる。そして、第1のトランジスタ6701のゲート端子及び第2のトランジスタ6702のゲート端子の電圧が容量素子6700に保持される。その後、第3のトランジスタ6703及び第4のトランジスタ6704がオフとなる。すると、第1のトランジスタ6701は、ビデオ信号に応じた電流を表示素子6721に供給し、表示素子6721はビデオ信号に応じた輝度で発光する。

10

【0454】

次に、図65（A）、（B）に示した画素の断面図について説明する。

【0455】

図69（A）に、1つの画素に2つのTFTを有する画素の素子のレイアウト例を示す。また、図69（A）において、X-X'で示される部分の断面図を図69（B）に示す。なお、図69（A）のレイアウト例は、図65（A）に示した画素に適用することができる。

20

【0456】

図69（A）に示すように、本発明における画素は、第1のTFT6905、第1の配線6906、第2の配線6907、第2のTFT6908、第3の配線6911、対向電極6912、コンデンサ6913、画素電極6915、隔壁6916、有機導電体膜6917、有機薄膜6918、基板6919を有していてもよい。なお、第1のTFT6905はスイッチング用TFTとして、第1の配線6906はゲート信号線として、第2の配線6907はソース信号線として、第2のTFT6908は駆動用TFTとして、第3の配線6911は電流供給線として、それぞれ用いられるのが好適である。

30

【0457】

図69（A）に示すように、第1のTFT6905のゲート電極は、第1の配線6906と電氣的に接続され、第1のTFT6905のソース端子またはドレイン端子の一方は、第2の配線6907と電氣的に接続され、第1のTFT6905のソース端子またはドレイン端子は、第2のTFT6908のゲート端子およびコンデンサ6913の一方の電極と電氣的に接続されているのが好適である。なお、第1のTFT6905のゲート電極は、図69（A）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTFT6905のオフ状態におけるリーク電流を低減することができる。

【0458】

また、第2のTFT6908のソース端子またはドレイン端子の一方は、第3の配線6911と電氣的に接続され、第2のTFT6908のソース端子またはドレイン端子の他方は、画素電極6915と電氣的に接続されているのが好適である。こうすることで、画素電極6915に流れる電流を、第2のTFT6908によって制御することができる。

40

【0459】

画素電極6915上には、有機導電体膜6917が設けられ、さらに有機薄膜（有機化合物層）6918が設けられていてもよい。有機薄膜（有機化合物層）6918上には、対向電極6912が設けられていてもよい。なお、対向電極6912は、全ての画素で共通に接続されるように、一面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

50

【0460】

有機薄膜（有機化合物層）6918から発せられた光は、画素電極6915もしくは対向電極6912のうちいずれかを透過して発せられる。このとき、図69（B）において、画素電極側、すなわちTFT等が形成されている側に光が発せられる場合を下面射出、対向電極側に光が発せられる場合を上面射出と呼ぶ。

【0461】

下面射出の場合、画素電極6915は透明導電膜によって形成されるのが好適である。また、上面射出の場合、対向電極6912は透明導電膜によって形成されるのが好適である。

【0462】

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を一面に塗り、カラーフィルターによってR・G・Bの発光を得るようにしても良い。

【0463】

なお、図69に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図69に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0464】

次に、図70（A）を参照して、1つの画素に3つのTFTを有する画素の素子のレイアウト例について説明する。また、図70（A）において、X-X'で示される部分の断面図を図70（B）に示す。なお、図70（A）のレイアウト例は、図65（B）に示した画素に適用することができる。

【0465】

図70（A）に示すように、本発明における画素は、基板7000、第1の配線7001、第2の配線7002、第3の配線7003、第4の配線7004、第1のTFT7005、第2のTFT7006、第3のTFT7007、画素電極7008、隔壁7011、有機導電体膜7012、有機薄膜7013、対向電極7014、を有していてもよい。なお、第1の配線7001はソース信号線として、第2の配線7002は書込用ゲート信号線として、第3の配線7003は消去用ゲート信号線として、第4の配線7004は電流供給線として、第1のTFT7005はスイッチング用TFTとして、第2のTFT7006は消去用TFTとして、第3のTFT7007は駆動用TFTとして、それぞれ用いられるのが好適である。

【0466】

図70（A）に示すように、第1のTFT7005のゲート電極は、第2の配線7002と電氣的に接続され、第1のTFT7005のソース端子またはドレイン端子の一方は、第1の配線7001と電氣的に接続され、第1のTFT7005のソース端子またはドレイン電極の端子は、第3のTFT7007のゲート端子と電氣的に接続されているのが好適である。なお、第1のTFT7005のゲート電極は、図70（A）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第1のTFT7005のオフ状態におけるリーク電流を低減することができる。

【0467】

また、第2のTFT7006のゲート電極は、第3の配線7003と電氣的に接続され、第2のTFT7006のソース電極またはドレイン電極の一方は、第4の配線7004と電氣的に接続され、第2のTFT7006のソース電極またはドレイン電極の他方は、第3のTFT7007のゲート電極と電氣的に接続されているのが好適である。なお、第2のTFT7006のゲート電極は、図70（A）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第2のTFT7006のオフ状態におけるリーク電流を低減することができる。

【0468】

また、第3のTF T 7 0 0 7のソース端子またはドレイン端子の一方は、第4の配線7 0 0 4と電氣的に接続され、第3のTF T 7 0 0 7のソース端子またはドレイン端子の他方は、画素電極7 0 0 8と電氣的に接続されているのが好適である。こうすることで、画素電極7 0 0 8に流れる電流を、第3のTF T 7 0 0 7によって制御することができる。

【0 4 6 9】

画素電極7 0 0 8上には、有機導電体膜7 0 1 2が設けられ、さらに有機薄膜（有機化合物層）7 0 1 3が設けられていてもよい。有機薄膜（有機化合物層）7 0 1 3上には、対向電極7 0 1 4が設けられていてもよい。なお、対向電極7 0 1 4は、全ての画素で共通に接続されるように、一面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

10

【0 4 7 0】

有機薄膜（有機化合物層）7 0 1 3から発せられた光は、画素電極7 0 0 8もしくは対向電極7 0 1 4のうちいずれかを透過して発せられる。このとき、図7 0（B）において、画素電極側、すなわちTF T等が形成されている側に光が発せられる場合を下面射出、対向電極側に光が発せられる場合を上面射出と呼ぶ。

【0 4 7 1】

下面射出の場合、画素電極7 0 0 8は透明導電膜によって形成されるのが好適である。逆に、上面射出の場合、対向電極7 0 1 4は透明導電膜によって形成されるのが好適である。

【0 4 7 2】

20

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を一面に形成し、カラーフィルターによってR・G・Bの発光を得るようにしても良い。

【0 4 7 3】

なお、図7 0に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図7 0に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0 4 7 4】

次に、図7 1（A）を参照して、1つの画素に4つのTF Tを有する画素の素子のレイアウト例について説明する。また、図7 1（A）において、X-X'で示される部分の断面図を図7 1（B）に示す。

30

【0 4 7 5】

図7 1（A）に示すように、本発明における画素は、基板7 1 0 0、第1の配線7 1 0 1、第2の配線7 1 0 2、第3の配線7 1 0 3、第4の配線7 1 0 4、第1のTF T 7 1 0 5、第2のTF T 7 1 0 6、第3のTF T 7 1 0 7、第4のTF T 7 1 0 8、画素電極7 1 0 9、第5の配線7 1 1 1、第6の配線7 1 1 2、隔壁7 1 2 1、有機導電体膜7 1 2 2、有機薄膜7 1 2 3、対向電極7 1 2 4、を有していてもよい。なお、第1の配線7 1 0 1はソース信号線として、第2の配線7 1 0 2は書込用ゲート信号線として、第3の配線7 1 0 3は消去用ゲート信号線として、第4の配線7 1 0 4は逆方向バイアス用信号線として、第1のTF T 7 1 0 5はスイッチング用TF Tとして、第2のTF T 7 1 0 6は消去用TF Tとして、第3のTF T 7 1 0 7は駆動用TF Tとして、第4のTF T 7 1 0 8は逆方向バイアス用TF Tとして、第5の配線7 1 1 1は電流供給線として、第6の配線7 1 1 2は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

40

【0 4 7 6】

図7 1（A）に示すように、第1のTF T 7 1 0 5のゲート電極は、第2の配線7 1 0 2と電氣的に接続され、第1のTF T 7 1 0 5のソース端子またはドレイン端子の一方は、第1の配線7 1 0 1と電氣的に接続され、第1のTF T 7 1 0 5のソース端子またはドレイン端子の他方は、第3のTF T 7 1 0 7のゲート電極と電氣的に接続されているのが好適である。なお、第1のTF T 7 1 0 5のゲート電極は、図7 1（A）に示すように、

50

複数のゲート電極によって構成されていても良い。こうすることで、第1のTFT7105のオフ状態におけるリーク電流を低減することができる。

【0477】

また、第2のTFT7106のゲート電極は、第3の配線7103と電氣的に接続され、第2のTFT7106のソース端子またはドレイン端子の一方は、第5の配線7111と電氣的に接続され、第2のTFT7106のソース端子またはドレイン端子の他方は、第3のTFT7107のゲート電極と電氣的に接続されているのが好適である。なお、第2のTFT7106のゲート電極は、図71(A)に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第2のTFT7106のオフ状態におけるリーク電流を低減することができる。

10

【0478】

また、第3のTFT7107のソース端子またはドレイン端子の一方は、第5の配線7111と電氣的に接続され、第3のTFT7107のソース端子またはドレイン端子の他方は、画素電極7109と電氣的に接続されているのが好適である。こうすることで、画素電極7109に流れる電流を、第3のTFT7107によって制御することができる。

【0479】

また、第4のTFT7108のゲート電極は、第4の配線7104と電氣的に接続され、第4のTFT7108のソース端子またはドレイン端子の一方は、第6の配線7112と電氣的に接続され、第4のTFT7108のソース電極またはドレイン電極の他方は、画素電極7109と電氣的に接続されているのが好適である。こうすることで、画素電極7109の電位を、第4のTFT7108によって制御することができるので、有機導電体膜7122および有機薄膜7123などで構成される発光素子に、逆方向のバイアスを印加することができる。有機導電体膜7122および有機薄膜7123などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

20

【0480】

たとえば、直流電圧(3.65V)で駆動した場合の輝度半減時間が400時間程度である発光素子を、交流電圧(順方向バイアス:3.7V、逆方向バイアス:1.7V、デューティ比50%、交流周波数60Hz)で駆動すると、輝度半減時間は700時間以上となることがわかっている。

30

【0481】

次に、画素電極7109上には、有機導電体膜7122が設けられ、さらに有機薄膜(有機化合物層)7123が設けられていてもよい。有機薄膜(有機化合物層)7123上には、対向電極7124が設けられていてもよい。なお、対向電極7124は、全ての画素で共通に接続されるように、一面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0482】

有機薄膜(有機化合物層)7123から発せられた光は、画素電極7109もしくは対向電極7124のうちいずれかを透過して発せられる。このとき、図71(B)において、画素電極側、すなわちTFT等が形成されている側に光が発せられる場合を下面射出、対向電極側に光が発せられる場合を上面射出と呼ぶ。

40

【0483】

下面射出の場合、画素電極7109は透明導電膜によって形成されるのが好適である。逆に、上面射出の場合、対向電極7124は透明導電膜によって形成されるのが好適である。

【0484】

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子を一面に形成し、カラーフィルターによってR・G・Bの発光を得るようにしても良い。

【0485】

50

なお、図 7 1 に示した構成はあくまで一例であり、画素レイアウト、断面構成、E L 素子の電極の積層順等に関して、図 7 1 に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、L E D のような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0486】

次に、本発明に適用できる E L 素子の構造について説明する。

【0487】

本発明に適用できる E L 素子は、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型の E L 素子と表記する）でもよい。

10

【0488】

混合接合型の E L 素子の構造を示す模式図を、図 7 2 に示す。図 7 2 において、7 2 0 1 は E L 素子の陽極である。7 2 0 2 は E L 素子の陰極である。陽極 7 2 0 1 と陰極 7 2 0 2 の間に挟まれた層が、E L 層に相当する。

【0489】

図 7 2 (A) において、E L 層は、正孔輸送材料からなる正孔輸送領域 7 2 0 3 と、電子輸送材料からなる電子輸送領域 7 2 0 4 とを含み、正孔輸送領域 7 2 0 3 は電子輸送領域 7 2 0 4 よりも陽極側に位置し、且つ、正孔輸送領域 7 2 0 3 と、電子輸送領域 7 2 0 4 の間に、正孔輸送材料及び電子輸送材料の両方を含む混合領域 7 2 0 5 が設けられた構成とすることができる。

20

【0490】

なお、このとき、陽極 7 2 0 1 から陰極 7 2 0 2 の方向に、混合領域 7 2 0 5 内の正孔輸送材料の濃度は減少し、混合領域 7 2 0 5 内の電子輸送材料の濃度は増加することの特徴としても良い。

【0491】

なお、上記構成において、正孔輸送材料のみからなる正孔輸送領域 7 2 0 3 が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域 7 2 0 5 内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域 7 2 0 3 及び電子輸送材料のみからなる電子輸送領域 7 2 0 4 が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域 7 2 0 5 内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

30

【0492】

混合領域 7 2 0 5 内に、発光材料が添加された領域 7 2 0 6 を有する。発光材料によって、E L 素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、E L 素子の発光色を制御することができる。

40

【0493】

陽極 7 2 0 1 としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドーパ酸化インジウム (ITO) や、亜鉛ドーパ酸化インジウム (IZO)、ZnO、SnO₂、In₂O₃ 等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極 7 2 0 1 は、不透明の金属材料でもよい。

【0494】

50

また、正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【0495】

また、電子輸送材料としては、キノリン誘導体、8-キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（8-キノリノラト）アルミニウム（Alq3））等を用いることができる。

【0496】

陰極7202としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

10

【0497】

図72（A）とは異なる構成のEL素子の模式図を図72（B）に示す。なお、図72（A）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0498】

図72（B）では、発光材料が添加された領域を有さない。しかし、電子輸送領域7204に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（8-キノリノライト）アルミニウム（Alq3）を用いる構成とし、発光を行うことができる。

【0499】

または、正孔輸送領域7203に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

20

【0500】

図72（A）及び図72（B）とは異なる構成のEL素子の模式図を図72（C）に示す。なお、図72（A）及び図72（B）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0501】

図72（C）において、正孔輸送材料に比べて最高被占分子軌道と最低空分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域7205内に添加された領域7207を有する。正孔ブロッキング性材料が添加された領域7207を、混合領域7205内の発光材料が添加された領域7206より陰極7202側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域7207を設ける構成は、特に、三重項励起子による発光（燐光）を利用するEL素子において有効である。

30

【0502】

図72（A）、図72（B）及び図72（C）とは異なる構成のEL素子の模式図を図72（D）に示す。なお、図72（A）、図72（B）及び図72（C）と同じ部分は同じ符号を用いて示し、説明は省略する。

【0503】

図72（D）において、電子輸送材料に比べて最高被占分子軌道と最低空分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域7205内に添加された領域7208を有する。電子ブロッキング性材料が添加された領域7208を、混合領域7205内の発光材料が添加された領域7206より陽極7201側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域7208を設ける構成は、特に、三重項励起子による発光（燐光）を利用するEL素子において有効である。

40

【0504】

図72（E）は、図72（A）、図72（B）、図72（C）および図72（D）とは異なる混合接合型のEL素子の構成を示す模式図である。図72（E）では、EL素子の電極に接するEL層の部分に、金属材料を添加した領域7209を有する構成の例を示す。図72（E）において、図72（A）～図72（D）と同じ部分は同じ符号を用いて示

50

し説明は省略する。図72(E)に示す構成は、たとえば、陰極7202としてMgAg(Mg-Ag合金)を用い、電子輸送材料が添加された領域7204の、陰極7202に接する領域にAl(アルミニウム)合金を添加した領域7209を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のEL素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0505】

上記混合接合型のEL素子を作製する手法としては、共蒸着法等を用いることができる。

【0506】

図72(A)～図72(E)に示したような混合接合型のEL素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0507】

なお、図72(A)～図72(E)に示した構成は、自由に組み合わせて実施することが可能である。

【0508】

なお、混合接合型のEL素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【0509】

なお、EL素子のEL層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、EL層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピン塗布法やインクジェット方式で成膜することができる。

【0510】

また、EL層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が20程度以下の有機発光材料を示すものとする。EL層として中分子材料を用いる場合は、インクジェット方式等で成膜することができる。

【0511】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせて用いても良い。

【0512】

また、EL素子は、一重項励起子からの発光(蛍光)を利用するものでも、三重項励起子からの発光(燐光)を利用するものでも、どちらでも良い。

【0513】

次に、本発明が適用できる表示装置を製造するための蒸着装置について、図面を参照して説明する。

【0514】

本発明が適用できる表示装置は、EL層を形成して製造されてもよい。EL層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。EL層は機能の異なる複数の層で構成されても良い。その場合、EL層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。

【0515】

トランジスタが形成された素子基板に、EL層を形成するための蒸着装置の構成を図73に示す。この蒸着装置は、搬送室7360、7361に複数の処理室を連結している。処理室には、基板を供給するロード室7362、基板を回収するアンロード室7363、その他、加熱処理室7368、プラズマ処理室7372、EL材料を蒸着する成膜処理室7369、7370、7371、7373、7374、7375、EL素子の一方の電極

10

20

30

40

50

として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室 7376 を含んでいる。また、搬送室と各処理室の間にはゲートバルブ 7377a~73771 が設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

【0516】

ロード室 7362 から搬送室 7360 に導入された基板は、回転自在に設けられたアーム方式の搬送手段 7366 により、所定の処理室へ搬入される。また、基板は搬送手段 7366 により、ある処理室から他の処理室へ搬送される。搬送室 7360 と搬送室 7361 とは成膜処理室 7370 で連結され、ここで搬送手段 7366 と搬送手段 7367 により基板の受け渡しを行う。

10

【0517】

搬送室 7360 及び搬送室 7361 に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続して EL 層の成膜処理が行われる。EL 層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室 7365 が搬送室 7361 に連結されている。封止処理室 7365 は大気圧若しくはそれに近い減圧下におかれているので、搬送室 7361 と封止処理室 7365 の間にも中間処理室 7364 が備えられている。中間処理室 7364 は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

20

【0518】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

【0519】

図 73 の蒸着装置において、搬送室 7360 及び搬送室 7361 に連結される処理室の数やその構成は、EL 素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

【0520】

加熱処理室 7368 は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室 7372 は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状态（例えば、仕事関数など）を安定化させるために行う。

30

【0521】

成膜処理室 7369 は、EL 素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、EL 素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6 \Omega \text{cm}$ であり、 $30 \sim 300 \text{nm}$ の厚さに形成される。また、成膜処理室 7371 は正孔輸送層を成膜する処理室である。

【0522】

EL 素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類の EL 素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室 7370 を第 1 の発光層の成膜用として、成膜処理室 7373 を第 2 の発光層の成膜用として、成膜処理室 7374 を第 3 の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することができ、成膜処理のスループットを向上させることができる。

40

【0523】

また、成膜処理室 7370、成膜処理室 7373、成膜処理室 7374 のそれぞれで、

50

発光色が異なる三種類の E L 材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【0524】

白色発光する E L 素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【0525】

成膜処理室 7376 では、E L 層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

10

【0526】

電極の形成まで終了した素子基板は、中間処理室 7364 を経て封止処理室 7365 に搬入される。封止処理室 7365 は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板の E L 層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板の間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室 7365 には、シール材を描画するディスペンサーや、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピコーターなどが備えられている。

20

【0527】

図 74 は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図 74 では天板 7491 と底板 7492 で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【0528】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図 74 では、蒸発源 7481a、7481b、7481c が蒸発源ホルダ 7480 に装着されている。蒸発源ホルダ 7480 は多関節アーム 7483 によって保持されている。多関節アーム 7483 は関節の伸縮によって、蒸発源ホルダ 7480 の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ 7480 に距離センサー 7482 を設け、蒸発源 7481a～7481c と基板 7489 との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームは上下方向（Z 方向）にも変位する多関節アームとしても良い。

30

【0529】

基板ステージ 7486 と基板チャック 7487 は一対となって基板 7489 を固定する。基板ステージ 7486 はヒータを内蔵させて基板 7489 を加熱できるように構成しても良い。基板 7489 は、基板チャック 7487 により、基板ステージ 7486 に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク 7490 を用いることもできる。その場合、シャドーマスク 7490 は、基板 7489 と蒸発源 7481a～7481c の間に配置されるようにする。シャドーマスク 7490 はマスクチャック 7488 により、基板 7489 と密着若しくは一定の間隔を持って固定される。シャドーマスク 7490 のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック 7488 に X-Y-θ 方向に微動する位置決め手段を備えることで、その位置合わせを行う。

40

【0530】

蒸発源 7481 には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源 7481 と離れた位置に配置される材料供給源 7485a、7485b、7485c と、その両者の間を繋ぐ材料供給管 7484 を有している。典型的には、材料供給源 7485a、7485b、7485c は蒸発源 7481 に対応して設けられている。図 74 の場合は、材料供給源 7485a と蒸発源 7481a が

50

対応している。材料供給源 7 4 8 5 b と蒸発源 7 4 8 1 b、材料供給源 7 4 8 5 c と蒸発源 7 4 8 1 c についても同様である。

【0 5 3 1】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源 7 4 8 1 に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解または分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源 7 4 8 1 には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板 7 4 8 9 に成膜する。図 7 4 の場合、材料供給管 7 4 8 4 は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

10

【0 5 3 2】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは 1 3 3 P a ~ 1 3 3 0 0 P a の減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、または当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気としておいても良い。

【0 5 3 3】

20

その他の蒸着材料の供給方法として、材料供給管 7 4 8 4 の中にスクリーンを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【0 5 3 4】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【0 5 3 5】

（実施の形態 1 1）

本実施の形態では、実施の形態 1 乃至実施の形態 8 に示した表示装置が有する信号線駆動回路について説明する。

30

【0 5 3 6】

図 5 6 の信号線駆動回路について説明する。図 5 6 に示す信号線駆動回路は、ドライバ I C 5 6 0 1、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及び配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M を有する。また、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M それぞれは、第 1 のスイッチ 5 6 0 3 a、第 2 のスイッチ 5 6 0 3 b 及び第 3 のスイッチ 5 6 0 3 c を有する。

【0 5 3 7】

ドライバ I C 5 6 0 1 は第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及び配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M に接続されている。そして、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M それぞれは、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及びスイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M それぞれに対応した配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M のうちいずれかに接続されている。そして、配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M それぞれは、第 1 のスイッチ 5 6 0 3 a、第 2 のスイッチ 5 6 0 3 b 及び第 3 のスイッチ 5 6 0 3 c を介して、3 つの信号線に接続されている。例えば、J 列目の配線 5 6 2 1 __ J（配線 5 6 2 1 __ 1 ~ 配線 5 6 2 1 __ M のうちいずれか）は、スイッチ群 5 6 0 2 __ J が有する第 1 のスイッチ 5 6 0 3 a、第 2 のスイッチ 5 6 0 3 b 及び第 3 のスイッチ 5 6 0 3 c を介して、信号線 S j - 1、信号線 S j、信号線 S j + 1 に接続されている。

40

【0 5 3 8】

なお、ドライバ I C 5 6 0 1 は、単結晶基板若しくは多結晶半導体を用いたガラス基板上

50

に形成されていることが望ましい。また、スイッチ群5602__1～5602__Mは、実施の形態1乃至実施の形態8に示した画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602__1～5602__MとはFPCなどを介して接続するとよい。

【0539】

次に、図56に示した信号線駆動回路の動作について、図57のタイミングチャートを参照して説明する。なお、図57のタイミングチャートは、i行目の走査線Giが選択されている場合のタイミングチャートを示している。また、i行目の走査線Giの選択期間は、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3に分割されている。なお、図56の信号線駆動回路は、他の行の走査線が選択されている場合でも図57と同様の動作をする。

10

【0540】

なお、第1の配線5611、第2の配線5612及び第3の配線5613には信号が入力されている。第1の配線5611に入力される信号によって第1のスイッチ5603aのオン及びオフが制御される。第2の配線5612に入力される信号によって第2のスイッチ5603bのオン及びオフが制御される。第3の配線5613に入力される信号によって、第3のスイッチ5603cのオン及びオフが制御される。

【0541】

なお、図57のタイミングチャートは、J列目の配線5621__Jが第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cを介して、信号線Sj-1、信号線Sj、信号線Sj+1に接続されている場合について示している。

20

【0542】

なお、図57のタイミングチャートは、i行目の走査線Giが選択されるタイミング、第1のスイッチ5603aのオン及びオフのタイミング5703a、第2のスイッチ5603bのオン及びオフのタイミング5703b、第3のスイッチ5603cのオン及びオフのタイミング5703c及びJ列目の配線5621__Jに入力される信号5721__Jを示している。

【0543】

なお、配線5621__1～配線5621__Mには第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、それぞれ別のビデオ信号が入力されている。例えば、第1のサブ選択期間T1において配線5621__Jに入力されるビデオ信号は信号線Sj-1に入力され、第2のサブ選択期間T2において配線5621__Jに入力されるビデオ信号は信号線Sjに入力され、第3のサブ選択期間T3において配線5621__Jに入力されるビデオ信号は信号線Sj+1に入力される。また、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、配線5621__Jに入力されるビデオ信号をそれぞれDataj-1、Dataj、Dataj+1とする。

30

【0544】

図57に示すように、第1のサブ選択期間T1において第1のスイッチ5603aがオンし、第2のスイッチ5603b及び第3のスイッチ5603cがオフとなる。このとき、配線5621__Jに入力されるDataj-1が、第1のスイッチ5603aを介して信号線Sj-1に入力される。第2のサブ選択期間T2では、第2のスイッチ5603bがオンし、第1のスイッチ5603a及び第3のスイッチ5603cがオフとなる。このとき、配線5621__Jに入力されるDatajが、第2のスイッチ5603bを介して信号線Sjに入力される。第3のサブ選択期間T3では、第3のスイッチ5603cがオンし、第1のスイッチ5603a及び第2のスイッチ5603bがオフとなる。このとき、配線5621__Jに入力されるDataj+1が、第3のスイッチ5603cを介して信号線Sj+1に入力される。

40

【0545】

以上のことから、図56の信号線駆動回路は、1ゲート選択期間を3つに分割することで

50

、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図56の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図56の信号線駆動回路は、信頼性、歩留まりなどを上げることができる。

【0546】

なお、本実施形態の信号線駆動回路を実施形態1乃至実施形態8に示した表示装置に適用することによって、さらに画素部が形成されている基板と外部基板との接続数を減らすことができる。したがって、本発明の表示装置は、信頼性及び歩留まりを高くすることができる。

10

【0547】

次に、第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cにNチャネル型のトランジスタを適用した場合について図59を参照して説明する。なお、図56と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0548】

第1のトランジスタ5903aが第1のスイッチ5603aに相当し、第2のトランジスタ5903bが第2のスイッチ5603bに相当し、第3のトランジスタ5903cが第3のスイッチ5603cに相当する。

【0549】

20

例えば、スイッチ群5602__Jの場合、第1のトランジスタ5903aは、第1端子が配線5621__Jに接続され、第2端子が信号線S_{j-1}に接続され、ゲート電極が第1の配線5611に接続されている。第2のトランジスタ5903bは、第1端子が配線5621__Jに接続され、第2端子が信号線S_jに接続され、ゲート電極が第2の配線5612に接続されている。第3のトランジスタ5903cは、第1端子が配線5621__Jに接続され、第2端子が信号線S_{j+1}に接続され、ゲート電極が第3の配線5613に接続されている。

【0550】

なお、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cは、それぞれスイッチングトランジスタとして機能する。また、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cは、それぞれゲート電極に入力される信号がHレベルのときにオンとなり、ゲート電極に入力される信号がLレベルのときにオフとなる。

30

【0551】

なお、第1のスイッチ5603a、第2のスイッチ5603b及び第3のスイッチ5603cとしてNチャネル型のトランジスタを用いることによって、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。したがって、図59の信号線駆動回路は実施の形態1乃至実施の形態4の表示装置に適用することが望ましい。

40

【0552】

図59の信号線駆動回路では、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cとしてNチャネル型のトランジスタを用いた場合について説明したが、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cとしてPチャネル型のトランジスタを用いてもよい。このとき、トランジスタはゲート電極に入力される信号がLレベルのときにオンとなり、ゲート電極に入力される信号がHレベルのときにオフとなる。なお、第1のトランジスタ5903a、第2のトランジスタ5903b、第3のトランジスタ5903cとしてPチャネ

50

ル型のトランジスタを用いた場合は、実施の形態 5 乃至実施の形態 8 の表示装置に適用することが望ましい。

【0553】

なお、図 56 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、スイッチの配置や数、駆動方法などは限定されない。例えば、3 つ以上のサブ選択期間それぞれにおいて 1 つの配線から 3 つ以上の信号線それぞれにビデオ信号を入力する場合は、スイッチ及びスイッチを制御するための配線を追加すればよい。ただし、1 ゲート選択期間を 4 つ以上のサブ選択期間に分割すると、1 つのサブ選択期間が短くなる。したがって、1 ゲート選択期間は、2 つ又は 3 つのサブ選択期間に分割することが望ましい。

10

【0554】

例えば、図 58 のタイミングチャートに示すように、1 つの選択期間をプリチャージ期間 T_p 、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 、第 3 のサブ選択期間 T_3 に分割してもよい。なお、図 58 のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第 1 のスイッチ 5603a のオン及びオフのタイミング 5803a、第 2 のスイッチ 5603b のオン及びオフのタイミング 5803b、第 3 のスイッチ 5603c のオン及びオフのタイミング 5803c 及び J 列目の配線 5621__ J に入力される信号 5821__ J を示している。図 58 に示すように、プリチャージ期間 T_p において第 1 のスイッチ 5603a、第 2 のスイッチ 5603b 及び第 3 のスイッチ 5603c がオンとなる。このとき、配線 5621__ J に入力されるプリチャージ電圧 V_p が第 1 のスイッチ 5603a、第 2 のスイッチ 5603b 及び第 3 のスイッチ 5603c を介してそれぞれ信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に入力される。第 1 のサブ選択期間 T_1 において第 1 のスイッチ 5603a がオンし、第 2 のスイッチ 5603b 及び第 3 のスイッチ 5603c がオフとなる。このとき、配線 5621__ J に入力される $Data_{j-1}$ が、第 1 のスイッチ 5603a を介して信号線 S_{j-1} に入力される。第 2 のサブ選択期間 T_2 では、第 2 のスイッチ 5603b がオンし、第 1 のスイッチ 5603a 及び第 3 のスイッチ 5603c がオフとなる。このとき、配線 5621__ J に入力される $Data_j$ が、第 2 のスイッチ 5603b を介して信号線 S_j に入力される。第 3 のサブ選択期間 T_3 では、第 3 のスイッチ 5603c がオンし、第 1 のスイッチ 5603a 及び第 2 のスイッチ 5603b がオフとなる。このとき、配線 5621__ J に入力される $Data_{j+1}$ が、第 3 のスイッチ 5603c を介して信号線 S_{j+1} に入力される。

20

30

【0555】

以上のことから、図 58 のタイミングチャートのように動作させた図 56 の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。また、信号線がプリチャージされているため、画素が正確なビデオ信号を保持することができる。もちろん、図 58 のタイミングチャートのように動作させた図 56 の信号線駆動回路は、図 57 のタイミングチャートのように動作させた図 56 の信号線駆動回路と同様に、ドライバ IC 5601 が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約 $1/3$ にすることができ、接続数が約 $1/3$ になることによって、信頼性、歩留まりなどを上げることができる。なお、図 57 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【0556】

図 60 においても、図 56 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができる。なお、図 60 は、信号線駆動回路のうち J 列目のスイッチ群 6022__ J のみを示している。スイッチ群 6022__ J は、第 1 のトランジスタ 6001、第 2 のトランジスタ 6002、第 3 のトランジスタ 6003、第 4 のトランジスタ 6004、第 5 のトランジスタ 6005、第 6 のトランジスタ 6006 を有している。第

50

1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006はNチャネル型のトランジスタである。スイッチ群6022__Jは、第1の配線6011、第2の配線6012、第3の配線6013、第4の配線6014、第5の配線6015、第6の配線6016、配線5621__J、信号線S_j-1、信号線S_j、信号線S_j+1に接続されている。

【0557】

第1のトランジスタ6001の第1端子は配線5621__Jに接続され、第2端子は信号線S_j-1に接続され、ゲート端子は第1の配線6011に接続されている。第2のトランジスタ6002の第1端子は配線5621__Jに接続され、第2端子は信号線S_j-1に接続され、ゲート端子は第2の配線6012に接続されている。第3のトランジスタ6003の第1端子は配線5621__Jに接続され、第2端子は信号線S_jに接続され、ゲート端子は第3の配線6013に接続されている。第4のトランジスタ6004の第1端子は配線5621__Jに接続され、第2端子は信号線S_jに接続され、ゲート端子は第4の配線6014に接続されている。第5のトランジスタ6005の第1端子は配線5621__Jに接続され、第2端子は信号線S_j+1に接続され、ゲート端子は第5の配線6015に接続されている。第6のトランジスタ6006の第1端子は配線5621__Jに接続され、第2端子は信号線S_j+1に接続され、ゲート端子は第6の配線6016に接続されている。

【0558】

なお、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006は、それぞれスイッチングトランジスタとして機能する。また、第1のトランジスタ6001、第2のトランジスタ6002、第3のトランジスタ6003、第4のトランジスタ6004、第5のトランジスタ6005、第6のトランジスタ6006は、それぞれゲート端子に入力される信号がHレベルのときにオンとなり、ゲート端子に入力される信号がLレベルのときにオフとなる。

【0559】

なお、第1の配線6011及び第2の配線6012は、図59の第1の配線5911に相当する。第3の配線6013及び第4の配線6014は、図59の第2の配線5912に相当する。第5の配線6015及び第6の配線6016は、図59の第3の配線5913に相当する。なお、第1のトランジスタ6001及び第2のトランジスタ6002は、図59の第1のトランジスタ5903aに相当する。第3のトランジスタ6003及び第4のトランジスタ6004は、図59の第2のトランジスタ5903bに相当する。第5のトランジスタ6005及び第6のトランジスタ6006は、図59の第3のトランジスタ5903cに相当する。

【0560】

図60では、図57に示した第1のサブ選択期間T₁において第1のトランジスタ6001又は第2のトランジスタ6002のどちらかがオンとなる。第2のサブ選択期間T₂において第3のトランジスタ6003又は第4のトランジスタ6004のどちらかがオンとなる。第3のサブ選択期間T₃において第5のトランジスタ6005又は第6のトランジスタ6006のどちらかがオンとなる。また、図58に示したプリチャージ期間T_pにおいて第1のトランジスタ6001、第3のトランジスタ6003及び第5のトランジスタ6005か、第2のトランジスタ6002、第4のトランジスタ6004及び第6のトランジスタ6006のどちらかがオンとなる。

【0561】

したがって、図60では、各トランジスタのオン時間を短くすることができるため、各トランジスタの特性劣化を抑制することができる。なぜなら、例えば図57に示した第1のサブ選択期間T₁においては、第1のトランジスタ6001又は第2のトランジスタ6002のどちらかがオンとなればビデオ信号を信号線S_j-1に入力することができるから

10

20

30

40

50

である。なお、例えば図57に示した第1のサブ選択期間T1において、第1のトランジスタ6001及び第2のトランジスタ6002を同時にオンとなることによって、高速にビデオ信号を信号線S_j-1に入力することもできる。

【0562】

なお、第1のトランジスタ6001、第3のトランジスタ6003及び第5のトランジスタ6005、第2のトランジスタ6002、第4のトランジスタ6004及び第6のトランジスタ6006としてNチャネル型のトランジスタを用いることによって、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。また、トランジスタの半導体層として、ポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。したがって、図60の信号線駆動回路は実施の形態1乃至実施の形態4の表示装置に適用することが望ましい。

10

【0563】

なお、図60では、2つのトランジスタを配線5621と信号線との間に並列に接続する場合について説明した。しかし、これに限定されず、3つ以上のトランジスタを配線5621と信号線との間に並列に接続してもよい。こうすることで、さらに各トランジスタの特性劣化を抑制することができる。

【0564】

なお、本実施の形態で示した信号線駆動回路は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した信号線駆動回路の構成も自由に組み合わせて実施することができる。

20

【0565】

(実施の形態12)

本実施の形態では、実施の形態1乃至実施の形態8に示した表示装置の静電破壊による不良を防止するための構成について説明する。

【0566】

なお、静電破壊とは、人体又は物体に蓄積された正又は負の電荷が半導体デバイスに触れた時にデバイスの入出力端子を介して瞬時に放電されることで、デバイス内部に大電流が流れて発生する破壊のことである。

30

【0567】

図61(A)は、保護ダイオードによって走査線に発生する静電破壊を防止するための構成を示す。図61(A)は、保護ダイオードを配線6111と走査線との間に配置した構成である。なお、図示はしないが、i行目の走査線G_iには複数の画素が接続されている。なお、保護ダイオードとしては、トランジスタ6101を用いる。なお、トランジスタ6101はNチャネル型のトランジスタである。ただし、Pチャネル型のトランジスタを用いてもよく、トランジスタ6101の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

【0568】

なお、保護ダイオードは1つだけ配置されているが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

40

【0569】

トランジスタ6101は第1端子がi行目の走査線G_iに接続され、第2端子が配線6111に接続され、ゲート端子がi行目の走査線G_iに接続されている。

【0570】

図61(A)の動作について説明する。配線6111にはある電位が入力されており、その電位は、i行目の走査線G_iに入力される信号のLレベルよりも低い電位である。正又は負の電荷がi行目の走査線G_iに放電されていない場合、i行目の走査線G_iの電位はHレベル若しくはLレベルであるため、トランジスタ6101はオフとなる。一方、負の

50

電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に下がる。このとき、 i 行目の走査線 G_i の電位が配線 6 1 1 1 の電位からトランジスタ 6 1 0 1 のしきい値電圧を引いた値よりも低くなると、トランジスタ 6 1 0 1 がオンとなり、電流がトランジスタ 6 1 0 1 を介して配線 6 1 1 1 に流れる。したがって、図 6 1 (A) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【0571】

なお、図 6 1 (B) は、正の電荷が i 行目の走査線 G_i に放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ 6 1 0 2 が走査線と配線 6 1 1 2 との間に配置されている。なお、保護ダイオードは 1 つだけ配置されているが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ 6 1 0 2 は N チャンネル型のトランジスタである。ただし、P チャンネル型のトランジスタを用いてもよく、トランジスタ 6 1 0 2 の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ 6 1 0 2 は第 1 端子が i 行目の走査線 G_i に接続され、第 2 端子が配線 6 1 1 2 に接続され、ゲート端子が配線 6 1 1 2 に接続されている。なお、配線 6 1 1 2 には、 i 行目の走査線 G_i に入力される信号の H レベルよりも高い電位が入力されている。したがって、トランジスタ 6 1 0 2 は、電荷が i 行目の走査線 G_i に放電されていない場合には、オフとなる。一方、正の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に上昇する。このとき、 i 行目の走査線 G_i の電位が配線 6 1 1 2 の電位とトランジスタ 6 1 0 2 のしきい値電圧との和よりも高くなると、トランジスタ 6 1 0 2 がオンとなり、電流がトランジスタ 6 1 0 2 を介して配線 6 1 1 2 に流れる。したがって、図 6 1 (B) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【0572】

なお、図 6 1 (C) に示すように、図 6 1 (A) と図 6 1 (B) とを組み合わせた構成にすることで、正の電荷が i 行目の走査線 G_i に放電された場合でも、負の電荷が i 行目の走査線 G_i に放電された場合でも、画素の静電破壊を防止することができる。なお、図 6 1 (A)、(B) と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0573】

図 6 2 (A) は、保護ダイオードとして機能するトランジスタ 6 2 0 1 を走査線と保持容量線との間に接続した場合の構成を示す。なお、保護ダイオードは 1 つだけ配置されているが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ 6 2 0 1 は N チャンネル型のトランジスタである。ただし、P チャンネル型のトランジスタを用いてもよく、トランジスタ 6 2 0 1 の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。なお、配線 6 2 1 1 は、保持容量線として機能する。トランジスタ 6 2 0 1 の第 1 端子は i 行目の走査線 G_i に接続され、第 2 端子は配線 6 2 1 1 に接続され、ゲート電極は i 行目の走査線 G_i に接続されている。なお、配線 6 2 1 1 には、 i 行目の走査線 G_i に入力される信号の L レベルよりも低い電位が入力されている。したがって、トランジスタ 6 2 0 1 は、電荷が i 行目の走査線 G_i に放電されていない場合には、オフとなる。一方、負の電荷が i 行目の走査線 G_i に放電された場合、 i 行目の走査線 G_i の電位は瞬間的に下がる。このとき、 i 行目の走査線 G_i の電位が配線 6 2 1 1 の電位からトランジスタ 6 2 0 1 のしきい値電圧を引いた値よりも低くなると、トランジスタ 6 2 0 1 がオンとなり、電流がトランジスタ 6 2 0 1 を介して配線 6 2 1 1 に流れる。したがって、図 6 2 (A) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。また、図 6 2 (A) に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。

【0574】

なお、図62(B)は、正の電荷が*i*行目の走査線*G_i*に放電された場合に静電破壊を防止するための構成である。ここでは、配線6211には、*i*行目の走査線*G_i*にされる信号のHレベルよりも高い電位がされている。したがって、トランジスタ6202は、電荷が*i*行目の走査線*G_i*に放電されていない場合には、オフとなる。一方、正の電荷が*i*行目の走査線*G_i*に放電された場合、*i*行目の走査線*G_i*の電位は瞬間的に上昇する。このとき、*i*行目の走査線*G_i*の電位が配線6211の電位とトランジスタ6202のしきい値電圧との和よりも高くなると、トランジスタ6202がオンとなり、電流がトランジスタ6202を介して配線6211に流れる。したがって、図62(B)に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。また、図62(A)に示した構成では、保持容量線を電荷を逃がす配線として利用しているため、新たに配線を追加する必要がない。なお、図62(B)と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

10

【0575】

次に、保護ダイオードによって信号線に発生する静電破壊を防止するための構成を図64(A)に示す。図64(A)は、保護ダイオードを配線6411と信号線との間に配置した場合の構成である。なお、図示はしないが*j*列目の信号線*S_j*には複数の画素が接続されている。なお、保護ダイオードとしては、トランジスタ6401を用いる。なお、トランジスタ6401はNチャンネル型のトランジスタである。ただし、Pチャンネル型のトランジスタを用いてもよく、トランジスタ6401の極性は信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

20

【0576】

なお、保護ダイオードは1つだけ配置されているが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

【0577】

トランジスタ6401は第1端子が*j*列目の信号線*S_j*に接続され、第2端子が配線6411に接続され、ゲート端子が*j*列目の信号線*S_j*に接続されている。

【0578】

図64(A)の動作について説明する。配線6411にはある電位がされており、その電位は、*j*列目の信号線*S_j*にされるビデオ信号の最小値よりも低い電位である。正又は負の電荷が*j*列目の信号線*S_j*に放電されていない場合、*j*列目の信号線*S_j*の電位はビデオ信号と同電位であるため、トランジスタ6401はオフとなる。一方、負の電荷が*j*列目の信号線*S_j*に放電された場合、*j*列目の信号線*S_j*の電位は瞬間的に下がる。このとき、*j*列目の信号線*S_j*の電位が配線6411の電位からトランジスタ6401のしきい値電圧を引いた値よりも低くなると、トランジスタ6401がオンとなり、電流がトランジスタ6401を介して配線6411に流れる。したがって、図64(A)に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

30

40

【0579】

なお、図64(B)は、正の電荷が*j*列目の信号線*S_j*に放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ6402が信号線と配線6412との間に配置されている。なお、保護ダイオードは1つだけ配置されているが、複数の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ6402はNチャンネル型のトランジスタである。ただし、Pチャンネル型のトランジスタを用いてもよく、トランジスタ6402の極性は信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ6402は第1端子が*j*列目の信号線*S_j*に接続され、第2端子が配線6412に接続され、ゲート端子が配線6412に接続されている。なお、配

50

線 6 4 1 2 には、 j 列目の信号線 S_j に入力されるビデオ信号の最大値よりも高い電位が入力されている。したがって、トランジスタ 6 4 0 2 は、電荷が j 列目の信号線 S_j に放電されていない場合ときには、オフとなる。一方、正の電荷が j 列目の信号線 S_j に放電された場合、 j 列目の信号線 S_j の電位は瞬間的に上昇する。このとき、 j 列目の信号線 S_j の電位が配線 6 4 1 2 の電位とトランジスタ 6 4 0 2 のしきい値電圧との和よりも高くなると、トランジスタ 6 4 0 2 がオンとなり、電流がトランジスタ 6 4 0 2 を介して配線 6 4 1 2 に流れる。したがって、図 6 4 (B) に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【0580】

なお、図 6 4 (C) に示すように、図 6 4 (A) と図 6 4 (B) とを組み合わせた構成にすることで、正の電荷が j 列目の信号線 S_j に放電された場合でも、負の電荷が j 列目の信号線 S_j に放電された場合でも、画素の静電破壊を防止することができる。なお、図 6 4 (A)、(B) と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

10

【0581】

本実施の形態では、走査線及び信号線に接続された画素の静電破壊を防止するための構成を説明した。しかし、本実施の形態の構成は、走査線及び信号線に接続された画素の静電破壊の防止だけに適用されるものではない。例えば、実施の形態 1 乃至実施の形態 8 に示した走査線駆動回路及び信号線駆動回路に接続されている信号又は電位が入力された配線に本実施の形態を適用する場合は、走査線駆動回路及び信号線駆動回路の静電破壊を防止することができる。

20

【0582】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示装置の構成も自由に組み合わせて実施することができる。

【0583】

(実施の形態 13)

本実施の形態では、実施の形態 1 乃至実施の形態 8 に示した表示装置に適用できる表示装置の新たな構成について説明する。

【0584】

図 6 3 (A) は、ダイオード接続されたトランジスタをある走査線と別の走査線との間に配置した場合の構成である。図 6 3 (A) では、 $i-1$ 行目の走査線 G_{i-1} と i 行目の走査線 G_i との間にダイオード接続されたトランジスタ 6 3 0 1 a を配置し、 i 行目の走査線 G_i と $i+1$ 行目の走査線 G_{i+1} との間にダイオード接続されたトランジスタ 6 3 0 1 b を配置した場合の構成を示している。なお、トランジスタ 6 3 0 1 a 及びトランジスタ 6 3 0 1 b は N チャネル型のトランジスタである。ただし、P チャネル型のトランジスタを用いてもよく、トランジスタ 6 3 0 1 a 及びトランジスタ 6 3 0 1 b の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

30

【0585】

なお、図 6 3 (A) では、代表して $i-1$ 行目の走査線 G_{i-1} 、 i 行目の走査線 G_i 及び $i+1$ 行目の走査線 G_{i+1} を示しているが、他の走査線も同様にダイオード接続されたトランジスタが配置されている。

40

【0586】

トランジスタ 6 3 0 1 a の第 1 端子は i 行目の走査線 G_i に接続され、第 2 端子は $i-1$ 行目の走査線 G_{i-1} に接続され、ゲート端子は G_{i-1} 行目の走査線 G_{i-1} に接続されている。トランジスタ 6 3 0 1 b の第 1 端子は $i+1$ 行目の走査線 G_{i+1} に接続され、第 2 端子は i 行目の走査線 G_i に接続され、ゲート端子は i 行目の走査線 G_i に接続されている。

【0587】

図 6 3 (A) の動作について説明する。実施の形態 1 乃至実施の形態 4 に示した走査線駆

50

動回路では、非選択期間において、 $i-1$ 行目の走査線 G_{i-1} 、 i 行目の走査線 G_i 及び $i+1$ 行目の走査線 G_{i+1} は L レベルを維持している。したがって、トランジスタ6301a及びトランジスタ6301bはオフとなる。しかしながら、例えばノイズなどによって i 行目の走査線 G_i の電位が上昇した場合、 i 行目の走査線 G_i が画素を選択してしまい、画素に不正なビデオ信号が書き込まれてしまう。そこで、図63(A)のようにダイオード接続したトランジスタを走査線間に配置しておくことで、画素に不正なビデオ信号が書き込まれることを防止することができる。なぜなら、 i 行目の走査線 G_i の電位が $i-1$ 行目の走査線 G_{i-1} の電位とトランジスタ6301aのしきい値電圧との和以上に上昇すると、トランジスタ6301aがオンとなり、 i 行目の走査線 G_i の電位が下がる。したがって、 i 行目の走査線 G_i によって画素が選択されることはないからである。

10

【0588】

なお、図63(A)の構成は、特に走査線駆動回路と画素部とを同一基板上に一体形成した場合に有利である。なぜなら、 N チャネル型のトランジスタ、又は P チャネル型のトランジスタだけで構成されている走査線駆動回路では、走査線が浮遊状態になることがあり、走査線にノイズが発生しやすいからである。

【0589】

なお、図63(B)は、走査線間に配置するダイオード接続されたトランジスタの向きを逆にした場合の構成である。なお、トランジスタ6302a及びトランジスタ6302bは N チャネル型のトランジスタである。ただし、 P チャネル型のトランジスタを用いてもよく、トランジスタ6302a及びトランジスタ6302bの極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。図63(B)では、トランジスタ6302aの第1端子が i 行目の走査線 G_i に接続され、第2端子が $i-1$ 行目の走査線 G_{i-1} に接続され、ゲート端子が i 行目の走査線 G_i に接続されている。トランジスタ6302bの第1端子が $i+1$ 行目の走査線 G_{i+1} に接続され、第2端子が i 行目の走査線 G_i に接続され、ゲート端子が $i+1$ 行目の走査線 G_{i+1} に接続されている。図63(B)は、図64(A)と同様に、 i 行目の走査線 G_i の電位が $i+1$ 行目の走査線 G_{i+1} の電位とトランジスタ6302bのしきい値電圧との和以上に上昇すると、トランジスタ6302bがオンとなり、 i 行目の走査線 G_i の電位が下がる。したがって、 i 行目の走査線 G_i によって画素が選択されることはなく、画素に不正なビデオ信号が書き込まれることを防止することができる。

20

30

【0590】

なお、図63(C)に示すように、図63(A)と図63(B)とを組み合わせた構成にすることで、 i 行目の走査線 G_i の電位が上昇しても、トランジスタ6301a及びトランジスタ6302bがオンとなるので、 i 行目の走査線 G_i の電位が下がる。なお、図63(C)では、電流が2つのトランジスタを介して流れるので、より大きいノイズを除去することが可能である。なお、図63(A)、(B)と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0591】

なお、図62(A)及び(B)に示すように、走査線と保持容量線との間にダイオード接続したトランジスタを配置しても図63(A)、(B)、(C)と同様の効果を得ることができる。

40

【0592】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示装置の構成も自由に組み合わせて実施することができる。

【0593】

(実施の形態14)

本実施の形態では、上記実施の形態で示した画素構成を有する表示パネルの構成について図100(a)、(b)を用いて説明する。

50

【0594】

なお、図100(a)は、表示パネルを示す上面図、図100(b)は図100(a)をA-A'で切断した断面図である。点線で示された信号制御回路10001、画素部10002、第1のゲートドライバ10003、第2のゲートドライバ10006を有する。また、封止基板10004、シール材10005を有し、シール材10005で囲まれた内側は、空間10007になっている。

【0595】

なお、配線10008は第1のゲートドライバ10003、第2のゲートドライバ10006及び信号制御回路10001に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)10009からビデオ信号、クロック信号、スタート信号等を受け取る。FPC10009と表示パネルとの接続部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)10019がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基板(PWB)が取り付けられていてもよい。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0596】

次に、断面構造について図100(b)を用いて説明する。基板10010上には画素部10002とその周辺駆動回路(第1のゲートドライバ10003、第2のゲートドライバ10006及び信号制御回路10001)が形成されているが、ここでは、信号制御回路10001と、画素部10002が示されている。

【0597】

なお、信号制御回路10001はNチャネル型であるトランジスタ10020やNチャネル型であるトランジスタ10021のように単極性のトランジスタで構成されている。なお、画素構成には図46、図65、図66及び図67の画素構成を適用することにより単極性のトランジスタで画素を構成することができる。よって、周辺駆動回路をNチャネル型トランジスタで構成すれば単極性表示パネルを作製することができる。もちろん、単極性のトランジスタだけでなくPチャネル型トランジスタも用いてCMOS回路を形成してもよい。

【0598】

なお、トランジスタ10020、及びトランジスタ10021がPチャネル型だった場合でも、周辺駆動回路をPチャネル型トランジスタで構成すれば単極性の表示パネルを作成することができる。もちろん、単極性のトランジスタだけでなくNチャネル型トランジスタも用いてCMOS回路を形成してもよい。

【0599】

また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装してもよい。その場合には駆動回路は単極性にする必要がなくNチャネル型トランジスタとPチャネル型トランジスタとを組み合わせ用いることができる。

【0600】

また、画素部10002はトランジスタ10011と、トランジスタ10012とを有している。なお、トランジスタ10012のソース端子は第1の電極(画素電極)10013と接続されている。また、第1の電極10013の端部を覆って絶縁物10014が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0601】

また、カバレッジを良好なものとするため、絶縁物10014の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物10014の材料としてポジ型の感光性アクリルを用いた場合、絶縁物10014の上端部のみに曲率半径($0.2\mu\text{m}$ ~ $3\mu\text{m}$)を有する曲面を持たせることが好ましい。また、絶縁物10014として、感

10

20

30

40

50

光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0602】

第1の電極10013上には、有機化合物を含む層10016、および第2の電極（対向電極）10017がそれぞれ形成されている。ここで、陽極として機能する第1の電極10013に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

10

【0603】

また、有機化合物を含む層10016は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層10016には、元素周期表第4族金属錯体をその一部に用いることとし、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であってもよい。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

20

【0604】

さらに、有機化合物を含む層10016上に形成される第2の電極10017に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）を用いればよい。なお、有機化合物を含む層10016で生じた光が第2の電極10017を透過させる場合には、第2の電極（陰極）10017として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In₂O₃-ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのがよい。

【0605】

さらにシール材10005で封止基板10004を基板10010と貼り合わせることで、より、基板10010、封止基板10004、およびシール材10005で囲まれた空間10007に発光素子10018が備えられた構造になっている。なお、空間10007には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材10005で充填される構成も含むものとする。

30

【0606】

なお、シール材10005にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板10004に用いる材料としてガラス基板や石英基板の他、FRP（Fiber glass-Reinforced Plastics）、PVF（ポリビニルフロライド）、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

40

【0607】

以上のようにして、本発明の表示装置の画素構成を有する表示パネルを得ることができる。なお、上述した構成は一例であって本発明の表示装置の表示パネルの構成はこれに限定されない。

【0608】

図100に示すように、信号制御回路10001、画素部10002、第1のゲートドライバ10003及び第2のゲートドライバ10006を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号制御回路10001、画素部10002、第1のゲートドライバ10003及び第2のゲートドライバ10006に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化

50

が図れる。

【0609】

なお、表示パネルの構成としては、図100(a)に示したように信号制御回路10001、画素部10002、第1のゲートドライバ10003及び第2のゲートドライバ10006を一体形成した構成に限られず、信号制御回路10001に相当する図101に示す信号制御回路10101をICチップ上に形成して、COG等で表示パネルに実装した構成としてもよい。なお、図101(a)の基板10100、画素部10102、第1のゲートドライバ10103、第2のゲートドライバ10104、FPC10105、ICチップ10106、ICチップ10107、封止基板10108、シール材10109は図100(a)の基板10010、画素部10002、第1のゲートドライバ10003、第2のゲートドライバ10006、FPC10009、ICチップ10019、封止基板10004、シール材10005に相当する。

10

【0610】

つまり、駆動回路の高速動作が要求される信号制御回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【0611】

そして、第2のゲートドライバ10103や第1のゲートドライバ10104を画素部10102と一体形成することで、低コスト化が図れる。そして、この第2のゲートドライバ10103、第1のゲートドライバ10104及び画素部10102は単極性のトランジスタで構成することでさらなる低コスト化が図れる。画素部10102の有する画素の構成としては実施の形態10で示した画素を適用することができる。

20

【0612】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC10105と基板10100との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

【0613】

また、図100(a)の信号制御回路10001、第1のゲートドライバ10003及び第2のゲートドライバ10006に相当する図101(b)の信号制御回路10111、第1のゲートドライバ10114及び第2のゲートドライバ10113をICチップ上に形成して、COG等で表示パネルに実装した構成としてもよい。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするためには、画素部に用いられるトランジスタの半導体層にはアモルファスシリコンを用いることが望ましい。なお、図101(b)の基板10110、画素部10112、FPC10115、ICチップ10116、ICチップ10117、封止基板10118、シール材10119は図100(a)の基板10010、画素部10002、FPC10009、ICチップ10019、ICチップ10022、封止基板10004、シール材10005に相当する。

30

【0614】

また、画素部10112のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

40

【0615】

また、画素の行方向及び列方向に第2のゲートドライバ、第1のゲートドライバ及び信号制御回路を設けなくてもよい。例えば、図75(a)に示すようにICチップ上に形成された周辺駆動回路7501が図101(b)に示す、第1のゲートドライバ10114、第2のゲートドライバ10113及び信号制御回路10111の機能を有するようにしてもよい。なお、図75(a)の基板7500、画素部7502、FPC7504、ICチップ7505、ICチップ7506、封止基板7507、シール材7508は図100(a)の基板10010、画素部10002、FPC10009、ICチップ10019、

50

ＩＣチップ１００２２、封止基板１０００４、シール材１０００５に相当する。

【０６１６】

なお、図７５（ａ）の表示装置の配線の接続を説明する模式図を図７５（ｂ）に示す。基板７５１０、周辺駆動回路７５１１、画素部７５１２、ＦＰＣ７５１３、ＦＰＣ７５１４を有する。ＦＰＣ７５１３より周辺駆動回路７５１１に外部からの信号及び電源電位が入力される。そして、周辺駆動回路７５１１からの出力は、画素部７５１２の有する画素に接続された行方向及び列方向の配線に入力される。

【０６１７】

さらに、発光素子１００１８に適用可能な発光素子の例を図７６（ａ）、（ｂ）に示す。つまり、上記実施の形態で示した画素に適用可能な発光素子の構成について図７６（ａ）、（ｂ）を用いて説明する。

10

【０６１８】

図７６（ａ）の発光素子は、基板７６０１の上に陽極７６０２、正孔注入材料からなる正孔注入層７６０３、その上に正孔輸送材料からなる正孔輸送層７６０４、発光層７６０５、電子輸送材料からなる電子輸送層７６０６、電子注入材料からなる電子注入層７６０７、そして陰極７６０８を積層させた素子構造である。ここで、発光層７６０５は、一種類の発光材料のみから形成されることもあるが、２種類以上の材料から形成されてもよい。また、素子の構造は、この構造に限定されない。

【０６１９】

また、図７６（ａ）で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色発光素子などにも応用可能である。

20

【０６２０】

図７６（ａ）に示す本実施の形態で示す素子作製方法は、まず、陽極７６０２（ＩＴＯ）を有する基板７６０１に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極７６０８を蒸着で形成する。

【０６２１】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

30

【０６２２】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン（以下「 H_2Pc 」と記す）、銅フタロシアニン（以下「 $CuPc$ 」と記す）などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下「 PSS 」と記す）をドーピングしたポリエチレンジオキシチオフェン（以下「 $PEDOT$ 」と記す）や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド（以下「 PI 」と記す）がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム（以下「アルミナ」と記す）の超薄膜などがある。

40

【０６２３】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系（すなわち、ベンゼン環－窒素の結合を有するもの）の化合物である。広く用いられている材料として、４，４′－ビス（ジフェニルアミノ）－ビフェニル（以下、「 TAD 」と記す）や、その誘導体である４，４′－ビス〔 N －（３－メチルフェニル）－ N －フェニル－アミノ〕－ビフェニル（以下、「 TPD 」と記す）、４，４′－ビス〔 N －（１－ナフチル）－ N －フェニル－アミノ〕－ビフェニル（以下、「 α － NPD 」と記す）がある。４，４′，４″－トリス（ N ， N －ジフェニル－アミノ）－トリフェニルアミン（以下、「 $TDATA$ 」と記

50

す)、4, 4', 4"-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]トリフェニルアミン(以下、「MTDA TA」と記す)などのスターバースト型芳香族アミン化合物が挙げられる。

【0624】

電子輸送材料としては、金属錯体がよく用いられ、Alq、BALq、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、「Almq」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(以下、「BeBq」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「Zn(BOX)₂」と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「Zn(BTZ)₂」と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニル)-5-(4-tert-ブチルフェニル)-1, 3, 4-オキサジアゾール(以下、「PBD」と記す)、OXD-7などのオキサジアゾール誘導体、TAZ、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニル)-1, 2, 4-トリアゾール(以下、「p-EtTAZ」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「BPhen」と記す)、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

10

【0625】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート(以下、「Li(acac)」と記す)や8-キノリノラト-リチウム(以下、「Li q」と記す)などのアルカリ金属錯体も有効である。

20

【0626】

発光材料としては、先に述べたAlq、Almq、BeBq、BALq、Zn(BOX)₂、Zn(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4, 4'-ビス(2, 2-ジフェニル-ビニル)-ビフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N, C2')アセチルアセトナトイリジウム(以下「acacIr(tpy)₂」と記す)、2, 3, 7, 8, 23, 13, 17, 18-オクタエチル-21H, 23Hポルフィリン-白金などが知られている。

30

【0627】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【0628】

また、実施の形態10で示した表示素子6521には図76(b)に示すように図76(a)とは逆の順番に層を形成した発光素子を用いることができる。つまり、基板7611の上に陰極7618、電子注入材料からなる電子注入層7617、その上に電子輸送材料からなる電子輸送層7616、発光層7615、正孔輸送材料からなる正孔輸送層7614、正孔注入材料からなる正孔注入層7613、そして陽極7612を積層させた素子構造である。

40

【0629】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の表示装置の画素構成はどの射出構造の発光素子にも適用することができる。

50

【0630】

上面射出構造の発光素子について図77(a)を用いて説明する。

【0631】

基板7700上に駆動用トランジスタ7701が形成され、駆動用トランジスタ7701のソース端子に接して第1の電極7702が形成され、その上に有機化合物を含む層7703と第2の電極7704が形成されている。

【0632】

また、第1の電極7702は発光素子の陽極である。そして第2の電極7704は発光素子の陰極である。つまり、第1の電極7702と第2の電極7704とで有機化合物を含む層7703が挟まれているところが発光素子となる。

10

【0633】

また、ここで、陽極として機能する第1の電極7702に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0634】

また、陰極として機能する第2の電極7704に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

20

【0635】

こうして、図77(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図100の表示パネルに適用した場合には、封止基板10004側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板10004は光透過性を有する基板を用いる。

30

【0636】

また、光学フィルムを設ける場合には、封止基板10004に光学フィルムを設ければよい。

【0637】

なお、第1の電極7702を陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第2の電極7704にはITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0638】

また、下面射出構造の発光素子について図77(b)を用いて説明する。射出構造以外は図77(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

40

【0639】

ここで、陽極として機能する第1の電極7702に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0640】

また、陰極として機能する第2の電極7704に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、C

50

CaF_2 、または Ca_3N_2 からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0641】

こうして、図77(b)の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図100の表示パネルに適用した場合には、基板10010側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板10010は光透過性を有する基板を用いる。

【0642】

また、光学フィルムを設ける場合には、基板10010に光学フィルムを設ければよい。

【0643】

両面射出構造の発光素子について図77(c)を用いて説明する。射出構造以外は図77(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0644】

ここで、陽極として機能する第1の電極7702に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0645】

また、陰極として機能する第2の電極7704に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、 CaF_2 、または窒化カルシウム）からなる金属薄膜と、透明導電膜（ITO（インジウムスズ酸化物）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ ZnO ）等）との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0646】

こうして、図77(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図100の表示パネルに適用した場合には、基板10010側と封止基板10004側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板10010および封止基板10004は、ともに光透過性を有する基板を用いる。

【0647】

また、光学フィルムを設ける場合には、基板10010および封止基板10004の両方に光学フィルムを設ければよい。

【0648】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0649】

図78に示すように、基板7800上に下地膜7802が形成され、その上に駆動用トランジスタ7801が形成され、駆動用トランジスタ7801のソース端子に接して第1の電極7803が形成され、その上に有機化合物を含む層7804と第2の電極7805が形成されている。

【0650】

また、第1の電極7803は発光素子の陽極である。そして第2の電極7805は発光素子の陰極である。つまり、第1の電極7803と第2の電極7805とで有機化合物を含む層7804が挟まれているところが発光素子となる。図78の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター7806R、緑色のカラーフィルター7806G、青色のカラーフィルター7806Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス（BMともいう）7807が設けられている。

【0651】

10

20

30

40

50

上述した発光素子の構成は組み合わせて用いることができ、本発明の表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろん画素構成は他の構成の表示装置に適用することもできる。

【0652】

次に、表示パネルの画素部の部分断面図を示す。

【0653】

まず、トランジスタの半導体層に結晶性半導体膜（ポリシリコン（ $p-Si:H$ ）膜）を用いた場合について図79及び図80を用いて説明する。

【0654】

ここで、半導体層は、例えば基板上にアモルファスシリコン（ $a-Si$ ）膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であればよい。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でもよい。

【0655】

そして、アモルファスシリコン膜をレーザ結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行ってもよい。

【0656】

上述した結晶化処理によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【0657】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターンニングして、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

【0658】

図79に示すように、基板7901上に下地膜7902が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ7918のチャンネル形成領域7903及びソース領域又はドレイン領域となる不純物領域7905、並びに容量素子7919の下部電極となるチャンネル形成領域7906、LDD領域7907及び不純物領域7908を有する。なお、チャンネル形成領域7903及びチャンネル形成領域7906にはチャンネルドーピングが行われていてもよい。

【0659】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜7902としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【0660】

半導体層上にはゲート絶縁膜7909を介してゲート電極7910及び容量素子の上部電極7911が形成されている。

【0661】

駆動トランジスタ7918及び容量素子7919を覆って層間絶縁物7912が形成され、層間絶縁物7912上にコンタクトホールを介して配線7913が不純物領域7905と接している。配線7913に接して画素電極7914が形成され、画素電極7914の端部及び配線7913を覆って第2の層間絶縁物7915が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極7914上に有機化合物を含む層7916及び対向電極7917が形成され、画素電極7914と対向電極7917とで有機化合物を含む層7916が挟まれた領域では発光素子7920が形成されている。

【0662】

また、図79（b）に示すように、容量素子7919の下部電極の一部を構成するLDD領域が、上部電極7911と重なるような領域7921を設けてもよい。なお、図79（

10

20

30

40

50

a) と共通するところは共通の符号を用い、説明は省略する。

【0663】

また、図80(a)に示すように、駆動トランジスタ7918の不純物領域7905と接する配線7913と同じ層に形成された第2の上部電極8091を有していてもよい。なお、図79(a)と共通するところは共通の符号を用い、説明は省略する。第2の上部電極8091と上部電極7911とで層間絶縁物7912を挟みこみ、第2の容量素子を構成している。また、第2の上部電極8091は不純物領域7908と接しているため、上部電極7911とチャンネル形成領域7906とで下地膜7902を挟みこんで構成される第1の容量素子と、上部電極7911と第2の上部電極8091とで層間絶縁物7912を挟みこんで構成される第2の容量素子と、が並列に接続され、第1の容量素子と第2の容量素子からなる容量素子8092を構成している。この容量素子8092の容量は第1の容量素子と第2の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の表示装置において画素構成の容量素子として用いるとより開口率の向上が図れる。

10

【0664】

また、図80(b)に示すような容量素子の構成としてもよい。基板8001上に下地膜8002が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ8018のチャンネル形成領域8003及びソース領域又はドレイン領域となる不純物領域8005を有する。なお、チャンネル形成領域8003はチャンネルドープが行われていてもよい。

20

【0665】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜7902としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【0666】

半導体層上にはゲート絶縁膜8006を介してゲート電極8007及び第1の電極8008が形成されている。

【0667】

駆動トランジスタ8018及び第1の電極8008を覆って第1の層間絶縁物8009が形成され、第1の層間絶縁物8009上にコンタクトホールを介して配線8010が不純物領域8005と接している。また、配線8010と同じ材料からなる同層の第2の電極8011が形成される。

30

【0668】

さらに、配線8010及び第2の電極8011を覆うように第2の層間絶縁物8012が形成され、第2の層間絶縁物8012上にコンタクトホールを介して、配線8010と接して画素電極8013が形成されている。また、画素電極8013と同じ材料からなる同層の第3の電極8014が形成されている。ここで、第1の電極8008、第2の電極8011及び第3の電極8014からなる容量素子8019が形成される。

【0669】

画素電極8013と第3の電極8014の端部を覆って第3の層間絶縁物8015が形成され、第3の層間絶縁物8015及び第3の電極8014上に有機化合物を含む層8016及び対向電極8017が形成され、画素電極8013と対向電極8017とで有機化合物を含む層8016が挟まれた領域では発光素子8020が形成されている。

40

【0670】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図79及び図80に示したような構成が挙げられる。なお、図79及び図80に示したトランジスタの構造はトップゲートの構造のトランジスタの一例である。つまり、トランジスタはP型でもN型でもよい。N型の場合には、LDD領域はゲート電極と重なった構成としてもよいし、ゲート電極と重なってない構成としてもよいし、又はLDD領域の一部の領域が重なった構成としてもよい。さらに、ゲート電極はテーパー形状でもよく、ゲート電極のテ-

50

パー部の下部にLDD領域が自己整合的に設けられた構成としてもよい。また、ゲート電極は二つに限らず三以上のマルチゲート構造でもよいし、一つのゲート電極でもよい。

【0671】

本発明の表示装置の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に結晶性半導体膜を用いることで、例えば、図100Aにおける第1のゲートドライバ10003、第2のゲートドライバ10006及び信号制御回路10001を画素部10002と一体形成することが容易になる。

【0672】

また、半導体層にポリシリコンを用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図81に示す。

10

【0673】

基板8101上に下地膜8102が形成されている。さらに下地膜8102上にゲート電極8103が形成されている。また、ゲート電極8103と同層に同じ材料からなる第1の電極8104が形成されている。ゲート電極8103の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0674】

また、ゲート電極8103及び第1の電極8104を覆うようにゲート絶縁膜8105が形成されている。ゲート絶縁膜8105としては酸化珪素膜や窒化珪素膜などが用いられる。

20

【0675】

また、ゲート絶縁膜8105上に、半導体層が形成されている。半導体層は駆動トランジスタ8122のチャネル形成領域8106、LDD領域8107及びソース領域又はドレイン領域となる不純物領域8108、並びに容量素子8123の第2の電極となるチャネル形成領域8109、LDD領域8110及び不純物領域8111を有する。なお、チャネル形成領域8106及びチャネル形成領域8109はチャネルドープが行われていてもよい。

【0676】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜8102としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

30

【0677】

半導体層を覆って第1の層間絶縁物8112が形成され、第1の層間絶縁物8112上にコンタクトホールを介して配線8113が不純物領域8108と接している。また、配線8113と同層に同じ材料で第3の電極8114が形成されている。第1の電極8104、第2の電極、第3の電極8114によって容量素子8123が構成されている。

【0678】

また、第1の層間絶縁物8112には開口部8115が形成されている。駆動トランジスタ8122、容量素子8123及び開口部8115を覆うように第2の層間絶縁物8116が形成され、第2の層間絶縁物8116上にコンタクトホールを介して、画素電極8117が形成されている。また、画素電極8117の端部を覆って絶縁物8118が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極8117上に有機化合物を含む層8119及び対向電極8120が形成され、画素電極8117と対向電極8120とで有機化合物を含む層8119が挟まれた領域では発光素子8121が形成されている。そして、発光素子8121の下部に開口部8115が位置している。つまり、発光素子8121からの発光を基板側から取り出すときには開口部8115を有するため透過率を高めることができる。

40

【0679】

また、図81(a)において画素電極8117と同層に同じ材料を用いて第4の電極81

50

24を形成して、図81(b)のような構成としてもよい。すると、第1の電極8104、第2の電極、第3の電極8114及び第4の電極8124によって構成される容量素子8123を形成することができる。

【0680】

次に、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。図82にはトップゲートのトランジスタ、図83及び図84にはボトムゲートのトランジスタの場合について示す。

【0681】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図82(a)に示す。基板8201上に下地膜8202が形成されている。さらに下地膜8202上に画素電極8203が形成されている。また、画素電極8203と同層に同じ材料からなる第1の電極8204が形成されている。

10

【0682】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜8202としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【0683】

また、下地膜8202上に配線8205及び配線8206が形成され、画素電極8203の端部が配線8205で覆われている。配線8205及び配線8206の上部にN型の導電性を有するN型半導体層8207及びN型半導体層8208が形成されている。また、配線8205と配線8206の間であって、下地膜8202上に半導体層8209が形成されている。そして、半導体層8209の一部はN型半導体層8207及びN型半導体層8208上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体(μ -Si:H)等の非結晶性を有する半導体膜で形成されている。また、半導体層8209上にゲート絶縁膜8210が形成されている。また、ゲート絶縁膜8210と同層の同じ材料からなる絶縁膜8211が第1の電極8204上にも形成されている。なお、ゲート絶縁膜8210としては酸化珪素膜や窒化珪素膜などが用いられる。

20

【0684】

また、ゲート絶縁膜8210上に、ゲート電極8212が形成されている。また、ゲート電極と同層に同じ材料でなる第2の電極8213が第1の電極8204上に絶縁膜8211を介して形成されている。第1の電極8204及び第2の電極8213で絶縁膜8211を挟まれた容量素子8219が形成されている。また、画素電極8203の端部、駆動トランジスタ8218及び容量素子8219を覆い、層間絶縁膜8214が形成されている。

30

【0685】

層間絶縁膜8214及びその開口部に位置する画素電極8203上に有機化合物を含む層8215及び対向電極8216が形成され、画素電極8203と対向電極8216とで有機化合物を含む層8215が挟まれた領域では発光素子8217が形成されている。

【0686】

また、図82(a)に示す第1の電極8204を図82(b)に示すように第1の電極8220で形成してもよい。第1の電極8220は配線8205及び8206と同層の同一材料で形成されている。

40

【0687】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示装置のパネルの部分断面を図83に示す。

【0688】

基板8301上に下地膜8302が形成されている。さらに下地膜8302上にゲート電極8303が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極8304が形成されている。ゲート電極8303の材料にはリンが添加された多結晶シリ

50

コンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0689】

また、ゲート電極8303及び第1の電極8304を覆うようにゲート絶縁膜8305が形成されている。ゲート絶縁膜8305としては酸化珪素膜や窒化珪素膜などが用いられる。

【0690】

また、ゲート絶縁膜8305上に、半導体層8306が形成されている。また、半導体層8306と同層に同じ材料からなる半導体層8307が形成されている。

【0691】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜8202としては、窒化アルミニウムや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

【0692】

半導体層8306上にはN型の導電性を有するN型半導体層8308、8309が形成され、半導体層8307上にはN型半導体層8310が形成されている。

【0693】

N型半導体層8308、8309上にはそれぞれ配線8311、8312が形成され、N型半導体層8310上には配線8311及び8312と同層の同一材料からなる導電層8313が形成されている。

【0694】

半導体層8307、N型半導体層8310及び導電層8313からなる第2の電極が構成される。なお、この第2の電極と第1の電極8304で下地膜8302を挟み込んだ構造の容量素子8320が形成されている。

【0695】

また、配線8311の一方の端部は延在し、その延在した配線8311上部に接して画素電極8314が形成されている。

【0696】

また、画素電極8314の端部、駆動トランジスタ8319及び容量素子8320を覆うように絶縁物8315が形成されている。

【0697】

画素電極8314及び絶縁物8315上には有機化合物を含む層8316及び対向電極8317が形成され、画素電極8314と対向電極8317とで有機化合物を含む層8316が挟まれた領域では発光素子8318が形成されている。

【0698】

容量素子の第2の電極の一部となる半導体層8307及びN型半導体層8310は設けなくても良い。つまり第2の電極は導電層8313とし、第1の電極8304と導電層8313でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【0699】

なお、図83(a)において、配線8311を形成する前に画素電極8314を形成することで、図83(b)に示すような、画素電極8314からなる第2の電極8321と第1の電極8304でゲート絶縁膜8305が挟まれた構造の容量素子8322を形成することができる。

【0700】

なお、図83では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図84(a)、(b)を用いて説明する。

【0701】

図84(a)に示すチャネル保護型構造のトランジスタは図83(a)に示したチャネルエッチ構造の駆動トランジスタ8319の半導体層8306のチャネルが形成される領域

10

20

30

40

50

上にエッチングのマスクとなる絶縁物 8401 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0702】

また、同様に、図 84 (b) に示すチャネル保護型構造のトランジスタは図 83 (b) に示したチャネルエッチ構造の駆動トランジスタ 8319 の半導体層 8306 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 8401 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0703】

本発明の表示装置の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図 66 や図 67 に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。

10

【0704】

なお、本発明の表示装置の画素構成に適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限らず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0705】

また、表示パネルの駆動に上記実施の形態で示した表示装置の構成を適用することにより、トランジスタの特性劣化を抑制することができる。そのため、トランジスタの特性劣化が原因のシフトレジスタの誤動作を防止することができる。また、シフトレジスタの誤動作が原因の表示パネルの表示不良を抑制することができる。

20

【0706】

なお、本実施の形態で示した表示パネルの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルの構成も自由に組み合わせて実施することができる。

【0707】

（実施の形態 15）

本実施形態においては、本発明を適用できる半導体装置が薄膜トランジスタ（TFT）を素子として有する場合の半導体装置の作製方法について、図面を参照して説明する。

【0708】

図 85 は、本発明を適用できる半導体装置が有することのできる TFT の構造および製造プロセスの例を示す図である。図 85 (A) は、本発明を適用できる半導体装置が有することのできる TFT の構造の例を示す図である。また、図 85 (B) 乃至 (G) は、本発明を適用できる半導体装置が有することのできる TFT の製造プロセスの例を示す図である。

30

なお、本発明を適用できる半導体装置が有することのできる TFT の構造および製造プロセスは、図 85 に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【0709】

まず、図 85 (A) を参照し、本発明を適用できる半導体装置が有することのできる TFT の構造の例について説明する。図 85 (A) は複数の異なる構造を有する TFT の断面図である。ここで、図 85 (A) においては、複数の異なる構造を有する TFT を並置して示しているが、これは、発明を適用できる半導体装置が有することのできる TFT の構造を説明するための表現であり、発明を適用できる半導体装置が有することのできる TFT が、実際に図 85 (A) のように並置されている必要はなく、必要に応じてつくり分けることができる。

40

【0710】

次に、本発明を適用できる半導体装置が有することのできる TFT を構成する各層の特徴について説明する。

【0711】

50

基板 8511 は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。また、このような基板であれば、その面積や形状に大きな制限はないため、基板 8511 として、例えば、1 辺が 1 メートル以上であって、矩形状のものをを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

10

【0712】

絶縁膜 8512 は、下地膜として機能する。基板 8511 から Na などのアルカリ金属やアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜 8512 としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、絶縁膜 8512 を 2 層構造で設ける場合、1 層目の絶縁膜として窒化酸化珪素膜を設け、2 層目の絶縁膜として酸化窒化珪素膜を設けるとよい。また絶縁膜 8512 を 3 層構造で設ける場合、1 層目の絶縁膜として酸化窒化珪素膜を設け、2 層目の絶縁膜として窒化酸化珪素膜を設け、3 層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

20

【0713】

半導体膜 8513、8514、8515 は、非晶質（アモルファス）半導体またはセミアモルファス半導体（SAS）で形成することができる。また、多結晶半導体膜を用いても良い。SAS は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20 nm の結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X 線回折では珪素結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。未結合手（ダングリングボンド）の終端として水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。SAS は、珪素を含有した気体をグロー放電分解（プラズマ CVD）して形成する。珪素を含有した気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また GeF_4 を混合させても良い。この珪素を含有した気体を H_2 、または、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は 2~1000 倍の範囲。圧力は概略 0.1 Pa~133 Pa の範囲、電源周波数は 1 MHz~120 MHz、好ましくは 13 MHz~60 MHz。基板加熱温度は 300℃ 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}\text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19}\text{ cm}^{-3}$ 以下とする。ここでは、公知の手段（スパッタ法、LPCVD 法、プラズマ CVD 法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）で非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA 又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

30

40

【0714】

絶縁膜 8516 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

【0715】

ゲート電極 8517 は、単層の導電膜、または二層、三層の導電膜の積層構造とすることができる。ゲート電極 8517 の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）

50

、クロム（Cr）、シリコン（Si）などの元素の単体膜、または、元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または、元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または、元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【0716】

絶縁膜8518は、公知の手段（スパッタ法やプラズマCVD法等）により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

10

【0717】

絶縁膜8519は、酸化珪素、窒化珪素（、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜はもちろん、その他にもエポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂からなる単層または積層構造で設けることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、本発明における半導体装置において、絶縁膜8518を設けずにゲート電極8517を覆うように直接絶縁膜8519を設けることも可能である。

20

【0718】

導電膜8523は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、または、元素の窒化膜、または、元素を組み合わせた合金膜、または、元素のシリサイド膜などを用いることができる。例えば、元素を複数含む合金として、CとTiを含有したAl合金、Niを含有したAl合金、CとNiを含有したAl合金、CとMnを含有したAl合金等を用いることができる。また、積層構造で設ける場合、AlをMoまたはTiなどで挟み込んだ構造とすることができる。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

30

【0719】

次に、図85（A）に示した、複数の異なる構造を有するTFETの断面図を参照して、各々の構造の特徴について説明する。

【0720】

8501は、シングルドレインTFETであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜8513、8515は、それぞれ不純物の濃度が異なり、半導体膜8513はチャンネル領域、半導体膜8515はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜8523との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極8517をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。

40

【0721】

8502は、ゲート電極8517に一定以上のテーパ角を有するTFETであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜8513、8514、8515は、それぞれ不純物濃度が異なり、半導体膜8513はチャンネル領域、半導体膜8514は低濃度ドレイン（Lightly Doped Drain：LDD）領域、半導体膜8515はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。

50

また、半導体膜と導電膜 8 5 2 3 との電氣的な接続状態を、オーミック接続に近づけることができる。また、L D D 領域を有するため、T F T 内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極 8 5 1 7 をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。T F T 8 5 0 2 においては、ゲート電極 8 5 1 7 が一定以上のテーパ角を有しているため、ゲート電極 8 5 1 7 を通過して半導体膜にドーピングされる不純物の濃度に勾配を持たせることができ、簡便に L D D 領域を形成することができる。

【0 7 2 2】

8 5 0 3 は、ゲート電極 8 5 1 7 が少なくとも 2 層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有する T F T である。ゲート電極 8 5 1 7 がこのような形状であることによって、フォトマスクを追加することなく、L D D 領域を形成することができる。なお、T F T 8 5 0 3 のように、L D D 領域がゲート電極 8 5 1 7 と重なっている構造を、特に G O L D 構造 (G a t e O v e r l a p p e d L D D) と呼ぶ。なお、ゲート電極 8 5 1 7 の形状をこのような形状とする方法としては、次のような方法を用いてもよい。まず、ゲート電極 8 5 1 7 をパターンニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜 (テーパ) のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、下層のゲート電極が上層のゲート電極よりも長い形状のゲート電極が形成される。その後、2 回、不純物元素をドーピングすることによって、チャンネル領域として用いる半導体膜 8 5 1 3、L D D 領域として用いる半導体膜 8 5 1 4、ソース端子及びドレイン端子として用いる半導体膜 8 5 1 5 が形成される。

【0 7 2 3】

なお、ゲート電極 8 5 1 7 と重なっている L D D 領域を L o v 領域、ゲート電極 8 5 1 7 と重なっていない L D D 領域を L o f f 領域と呼ぶことにする。ここで、L o f f 領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、L o v 領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造の T F T を作製することが好ましい。たとえば、本発明における半導体装置を表示装置として用いる場合、画素 T F T は、オフ電流値を抑えるために、L o f f 領域を有する T F T を用いることが好適である。一方、周辺回路における T F T は、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、L o v 領域を有する T F T を用いることが好適である。

【0 7 2 4】

8 5 0 4 は、ゲート電極 8 5 1 7 の側面に接して、サイドウォール 8 5 2 1 を有する T F T である。サイドウォール 8 5 2 1 を有することによって、サイドウォール 8 5 2 1 と重なる領域を L D D 領域とすることができる。

【0 7 2 5】

8 5 0 5 は、半導体膜にマスクを用いてドーピングすることにより、L D D (L o f f) 領域を形成した T F T である。こうすることにより、確実に L D D 領域を形成することができ、T F T のオフ電流値を低減することができる。

【0 7 2 6】

8 5 0 6 は、半導体膜にマスクを用いてドーピングすることにより、L D D (L o v) 領域を形成した T F T である。こうすることにより、確実に L D D 領域を形成することができ、T F T のドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0 7 2 7】

次に、図 8 5 (B) 乃至 (G) を参照して、本発明を適用できる半導体装置が有することのできる T F T の製造プロセスの例を説明する。なお、本発明を適用できる半導体装置が有することのできる T F T の構造および製造プロセスは、図 8 5 に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【0728】

本発明においては、基板8511、絶縁膜8512、半導体膜8513、8514、8515、絶縁膜8516、絶縁膜8518、または絶縁膜8519の表面に、プラズマ処理を用いて酸化または窒化を行うことにより、半導体膜または絶縁膜を酸化または窒化することができる。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【0729】

まず、基板8511の表面をフッ酸(HF)、アルカリまたは純水を用いて洗浄する。基板8511は、バリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板8511としてガラス基板を用いる場合を示す。

【0730】

ここで、基板8511の表面にプラズマ処理を行うことで、基板8511の表面を酸化または窒化することによって、基板8511の表面に酸化膜または窒化膜を形成してもよい(図85(B))。表面にプラズマ処理を行うことで形成された酸化膜または窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図85(B)においては、絶縁膜8531がプラズマ処理絶縁膜である。一般的に、ガラスやプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラスやプラスチック等に含まれるNaなどのアルカリ金属やアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラスやプラスチック等からなる基板の表面を窒化することにより、基板に含まれるNaなどのアルカリ金属やアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

【0731】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または酸素と水素(H_2)と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下)でプラズマ処理を行う。一方、プラズマ処理により表面を窒化する場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0732】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数と

10

20

30

40

50

しては、マイクロ波（2.45GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0733】

なお、図85（B）においては、基板8511の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本発明は、基板8511の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【0734】

なお、図85（C）乃至（G）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本発明においては、基板8511、絶縁膜8512、半導体膜8513、8514、8515、絶縁膜8516、絶縁膜8518、または絶縁膜8519の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

10

【0735】

次に、基板8511上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて絶縁膜8512を形成する（図85（C））。絶縁膜8512としては、酸化珪素または酸化窒化珪素を用いることができる。

【0736】

ここで、絶縁膜8512の表面にプラズマ処理を行い、絶縁膜8512を酸化または窒化することによって、絶縁膜8512の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜8512の表面を酸化することによって、絶縁膜8512の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。また、絶縁膜8512の表面を酸化することによって、N原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体膜を設けた場合にプラズマ処理絶縁膜と半導体膜界面特性が向上する。また、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

20

【0737】

次に、絶縁膜8512上に島状の半導体膜8513、8514を形成する（図85（D））。島状の半導体膜8513、8514は、絶縁膜8512上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体膜の端部を直角に近い形状（ $\theta = 85 \sim 100^\circ$ ）で設ける。また、低濃度ドレイン領域となる半導体膜8514は、マスクを用いて不純物をドーピングすることによって形成されてもよい。

30

【0738】

ここで、半導体膜8513、8514の表面にプラズマ処理を行い、半導体膜8513、8514の表面を酸化または窒化することによって、半導体膜8513、8514の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体膜8513、8514としてSiを用いた場合、プラズマ処理絶縁膜として、酸化珪素または窒化珪素が形成される。また、プラズマ処理により半導体膜8513、8514を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜8513、8514に接して酸化珪素が形成され、当該酸化珪素の表面に窒化酸化珪素が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素

40

50

(N₂)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または窒素と水素と希ガス雰囲気下またはNH₃と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0739】

次に、絶縁膜8516を形成する(図85(E))。絶縁膜8516は、公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)を用いて、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素($x > y$)等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。なお、半導体膜8513、8514の表面をプラズマ処理することにより、半導体膜8513、8514の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜8516として用いることも可能である。

10

【0740】

ここで、絶縁膜8516の表面にプラズマ処理を行い、絶縁膜8516の表面を酸化または窒化することによって、絶縁膜8516の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

20

【0741】

また、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜8516を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜8516にプラズマ処理を行い、絶縁膜8516の表面を酸化または窒化することによって、絶縁膜8516の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

【0742】

次に、ゲート電極8517を形成する(図85(F))。ゲート電極8517は、公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)を用いて形成することができる。

30

【0743】

TFT8501においては、ゲート電極8517を形成した後に不純物ドーピングを行なうことで、ソース領域及びドレイン領域として用いる半導体膜8515を形成することができる。

【0744】

TFT8502においては、ゲート電極8517を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる8514と、ソース領域及びドレイン領域として用いる半導体膜8515を形成することができる。

40

【0745】

TFT8503においては、ゲート電極8517を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる8514と、ソース領域及びドレイン領域として用いる半導体膜8515を形成することができる。

【0746】

TFT8504においては、ゲート電極8517の側面にサイドウォール8521を形成した後、不純物ドーピングを行なうことで、LDD領域として用いる8514と、ソース領域及びドレイン領域として用いる半導体膜8515を形成することができる。

なお、サイドウォール8521は、酸化珪素または窒化珪素を用いることができる。サイドウォール8521をゲート電極8517の側面に形成する方法としては、たとえば、ゲ

50

ート電極 8517 を形成した後に、酸化珪素または窒化珪素を公知の方法で成膜した後に、異方性エッチングによって酸化珪素膜または窒化珪素膜をエッチングする方法を用いることができる。こうすることで、ゲート電極 8517 の側面にのみ酸化珪素または窒化珪素膜を残すことができるので、ゲート電極 8517 の側面にサイドウォール 8521 を形成することができる。

【0747】

TFT8505 においては、ゲート電極 8517 を覆うようにマスク 8522 を形成した後、不純物ドーピングを行なうことで、LDD (L o f f) 領域として用いる 8514 と、ソース領域及びドレイン領域として用いる半導体膜 8515 を形成することができる。

【0748】

TFT8506 においては、ゲート電極 8517 を形成した後に不純物ドーピングを行なうことで、LDD (L o v) 領域として用いる 8514 と、ソース領域及びドレイン領域として用いる半導体膜 8515 を形成することができる。

【0749】

次に、絶縁膜 8518 を形成する (図 85 (G))。絶縁膜 8518 は、公知の手段 (スパッタ法やプラズマ CVD 法等) により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

【0750】

ここで、絶縁膜 8518 の表面にプラズマ処理を行い、絶縁膜 8518 の表面を酸化または窒化することによって、絶縁膜 8518 の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【0751】

次に、絶縁膜 8519 を形成する。絶縁膜 8519 は、公知の手段 (スパッタ法やプラズマ CVD 法等) により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、またはこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、Si-O-Si 結合を含む樹脂に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) が含まれており、例えば Ar を用いた場合にはプラズマ処理絶縁膜中に Ar が含まれている。

【0752】

絶縁膜 8519 としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜 8519 の表面をプラズマ処理により酸化または窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜 8519 の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。また、絶縁膜 8519 の表面が改質されることによって、絶縁膜 8519 上に導電膜 8523 を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜 8519 としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素または希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

【0753】

次に、半導体膜 8 5 1 5 と電氣的に接続された導電膜 8 5 2 3 を形成するため、絶縁膜 8 5 1 9、絶縁膜 8 5 1 8、絶縁膜 8 5 1 6 にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパ状であってもよい。こうすることで、導電膜 8 5 2 3 のカバレッジを向上させることができる。

【0754】

なお、本実施の形態で示した半導体装置の作製方法は、本明細書中の他の実施の形態に示した表示装置の作製方法にも適用させることができる。また、本実施の形態で示した半導体装置の作製方法も自由に組み合わせて実施することができる。

【0755】

(実施の形態 16)

本実施の形態では、トランジスタを始めとする半導体装置を作製するプロセスとして、ハーフトーン方式について説明する。

【0756】

図 104 はトランジスタ、容量素子、抵抗素子を含む半導体装置の断面構造を示す図である。図 104 は、Nチャネル型トランジスタ 10401、Nチャネル型トランジスタ 10402、容量素子 10404、抵抗素子 10405、Pチャネル型トランジスタ 10403 が示されている。各トランジスタは半導体層 10505、絶縁層 10508、ゲート電極 10509 を備えている。ゲート電極 10509 は、第 1 導電層 10503 と第 2 導電層 10502 の積層構造で形成されている。また、図 105 (A) ~ (E) は、図 104 で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり、合わせて参照することができる。

【0757】

図 104 において、Nチャネル型トランジスタ 10401 は、チャネル長方向（キャリアの流れる方向）において、ゲート電極の両側に低濃度ドレイン（LDD）とも呼ばれ、配線 10504 とコンタクトを形成するソース領域及びドレイン領域を形成する不純物領域 10506 の不純物濃度よりも低濃度にドーパされた不純物領域 10507 が半導体層 10505 に形成されている。不純物領域 10506 と不純物領域 10507 には、Nチャネル型トランジスタ 10401 を構成する場合、N型を付与する不純物としてリンなどが添加されている。LDD はホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。

【0758】

図 105 (A) で示すように、Nチャネル型トランジスタ 10401 のゲート電極 10509 において、第 1 導電層 10503 は、第 2 導電層 10502 の両側に広がって形成されている。この場合において、第 1 導電層 10503 の膜厚は、第 2 導電層 10502 の膜厚よりも薄く形成されている。第 1 導電層 10503 の厚さは、10 ~ 100 kV の電界で加速されたイオン種を通過させることが可能な厚さに形成されている。不純物領域 10507 はゲート電極 10509 の第 1 導電層 10503 と重なるように形成されている。すなわち、ゲート電極 10509 とオーバーラップする LDD 領域を形成している。この構造は、ゲート電極 10509 において、第 2 導電層 10502 をマスクとして、第 1 導電層 10503 を通して一導電型の不純物を添加することにより、自己整合的に不純物領域 10507 を形成している。すなわち、ゲート電極とオーバーラップする LDD を自己整合的に形成している。

【0759】

図 104 において、Nチャネル型トランジスタ 10402 は、ゲート電極の片側に不純物領域 10506 の不純物濃度よりも低濃度にドーパされた不純物領域 10507 が半導体層 10505 に形成されている。図 105 (B) で示すように、Nチャネル型トランジスタ 10402 のゲート電極 10509 において、第 1 導電層 10503 は、第 2 導電層 10502 の片側に広がって形成されている。この場合も同様に、第 2 導電層 10502 をマスクとして、第 1 導電層 10503 を通して一導電型の不純物を添加することにより、自己整合的に LDD を形成することができる。

【0760】

片側にLDDを有するトランジスタは、ソース端子及びドレイン端子間に正電圧のみ、もしくは負電圧のみが印加されるトランジスタに適用すればよい。具体的には、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、VCOといったアナログ回路を構成するトランジスタに適用すればよい。

【0761】

図104において、容量素子10404は、第1導電層10503と半導体層10505とで絶縁層10508を挟んで形成されている。容量素子10404を形成する半導体層10505には、不純物領域10510と不純物領域10511を備えている。不純物領域10511は、半導体層10505において第1導電層10503と重なる位置に形成される。また、不純物領域10510は配線10504とコンタクトを形成する。不純物領域10511は、第1導電層10503を通して一導電型の不純物を添加することができるので、不純物領域10510と不純物領域10511に含まれる不純物濃度は同じにすることもできるし、異ならせることも可能である。いずれにしても、容量素子10404において、半導体層10505は電極として機能させるので、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第1導電層10503は、図105(C)に示すように、第2導電層10502を補助的な電極として利用することにより、電極として十分に機能させることができる。このように、第1導電層10503と第2導電層10502を組み合わせた複合的な電極構造とすることにより、容量素子10404を自己整合的に形成することができる。

【0762】

図104において、抵抗素子10405は、第1導電層10503によって形成されている。第1導電層10503は30～150nm程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

【0763】

抵抗素子は、高濃度に不純物元素を含む半導体層や、膜厚の薄い金属層によって構成すればよい。抵抗値が膜厚、膜質、不純物濃度、活性化率などに依存する半導体層に対して、金属層は、膜厚、膜質で抵抗値が決定するため、ばらつきが小さく好ましい。抵抗素子10405の上面図を図105(D)に示す。

【0764】

図104において、Pチャネル型トランジスタ10403は、半導体層10505に不純物領域10512を備えている。この不純物領域10512は、配線10504とコンタクトを形成するソース領域及びドレイン領域を形成する。ゲート電極10509の構成は第1導電層10503と第2導電層10502が重畳した構成となっている。Pチャネル型トランジスタ10403はLDDを設けないシングルドレイン構造のトランジスタである。Pチャネル型トランジスタ10403を形成する場合、不純物領域10512にはP型を付与する不純物として硼素などが添加される。一方、不純物領域10512にリンを添加すればシングルドレイン構造のNチャネル型トランジスタとすることもできる。Pチャネル型トランジスタ10403の上面図を図105(E)に示す。

【0765】

半導体層10505及び絶縁層10508の一方若しくは双方に対してマイクロ波で励起され、電子温度が2eV以下、イオンエネルギーが5eV以下、電子密度が $10^{11} \sim 10^{13} / \text{cm}^3$ 程度である高密度プラズマ処理によって酸化又は窒化処理してもよい。このとき、基板温度を300～450℃とし、酸化雰囲気(O_2 、 N_2O など)又は窒化雰囲気(N_2 、 NH_3 など)で処理することにより、半導体層10505と絶縁層10508の界面の欠陥準位を低減することができる。絶縁層10508に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電欠陥の生成を抑えトランジスタのしきい値電圧の変動を抑えることができる。また、トランジスタを3V以下の電圧で駆動させる場合には、このプラズマ処理により酸化若しくは窒化された層を絶

10

20

30

40

50

緑層 10508 として適用することができる。また、トランジスタの駆動電圧が 3 V 以上の場合には、このプラズマ処理で半導体層 10505 の表面に形成した絶縁層と CVD 法（プラズマ CVD 法若しくは熱 CVD 法）で堆積した絶縁層とを組み合わせることで絶縁層 10508 を形成することができる。また、同様にこの絶縁層は、容量素子 10404 の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、1～10 nm の厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

【0766】

図 104 及び図 105 を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて形成することができる。すなわち、フォトリソグラフィ工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスクまたはレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成してもよい。また、現像後に約 200 °C のベークを行ってフォトレジスト材料で形成されるマスクパターンを変形させてもよい。

【0767】

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いることにより、第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域を連続して形成することができる。図 105 (A) に示すように、第 1 導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域（ゲート電極と連続する配線領域）では必要がない。このフォトマスク若しくはレチクルを用いることにより、配線部分は、第 1 導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

【0768】

図 104 及び図 105 の場合には、第 1 導電層はタングステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタルまたはモリブデン (Mo) などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を 30～50 nm の厚さで形成する。また、第 2 導電層はタングステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタルまたはモリブデン (Mo) などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で 300～600 nm の厚さに形成する。例えば、第 1 導電層と第 2 導電層をそれぞれ異なる導電材料を用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。一例として、第 1 導電層として窒化タンタル膜を用い、第 2 導電層としてタングステン膜を用いることができる。

【0769】

本実施の形態では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を、同じパターンニング工程によって作り分けることができることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

【0770】

なお、本実施の形態で示した半導体装置の作製方法は、本明細書中の他の実施の形態に示した表示装置の作製方法にも適用させることができる。また、本実施の形態で示した半導体装置の作製方法も自由に組み合わせる実施することができる。

【0771】

（実施の形態 17）

本実施の形態では、本発明の表示装置に発光素子を設けた場合に適用することのできる他

10

20

30

40

50

の構成を、図 8 6 及び図 1 0 2 を用いて説明する。

【0772】

エレクトロルミネセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0773】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機 EL ではドナー-アクセプター再結合型発光、薄膜型無機 EL 素子では局在型発光である場合が多い。

10

【0774】

本発明で用いることのできる発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法や液相法（共沈法）などの様々な方法を用いることができる。また、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

20

【0775】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。固相法では、液相法などの他の方法と比べて比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【0776】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく、固相法の焼成温度よりも低い焼成温度でも反応が進むことができる。

30

【0777】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛、硫化カドミウム、硫化カルシウム、硫化イットリウム、硫化ガリウム、硫化ストロンチウム、硫化バリウム等を用いることができる。また、酸化物としては、例えば、酸化亜鉛、酸化イットリウム等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム、窒化ガリウム、窒化インジウム等を用いることができる。さらに、セレン化亜鉛、テルル化亜鉛等も用いることができ、硫化カルシウム-ガリウム、硫化ストロンチウム-ガリウム、硫化バリウム-ガリウム、等の 3 元素の混晶であってもよい。

40

【0778】

局在型発光の発光中心として、マンガン (Mn)、銅 (Cu)、サマリウム (Sm)、テルビウム (Tb)、エルビウム (Er)、ツリウム (Tm)、ユーロピウム (Eu)、セリウム (Ce)、プラセオジウム (Pr) などを用いることができる。なお、電荷補償として、フッ素 (F)、塩素 (Cl) などのハロゲン元素が添加されていてもよい。

【0779】

一方、ドナー-アクセプター再結合型発光の発光中心として、ドナー準位を形成する第 1 の不純物元素及びアクセプター準位を形成する第 2 の不純物元素を含む発光材料を用いる

50

ことができる。第1の不純物元素は、例えば、フッ素（F）、塩素（Cl）、アルミニウム（Al）等を用いることができる。第2の不純物元素としては、例えば、銅（Cu）、銀（Ag）等を用いることができる。

【0780】

ドナーアクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第1の不純物元素又は第1の不純物元素を含む化合物と、第2の不純物元素又は第2の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第1の不純物元素又は第1の不純物元素を含む化合物としては、例えば、フッ素（F）、塩素（Cl）、硫化アルミニウム等を用いることができ、第2の不純物元素又は第2の不純物元素を含む化合物としては、例えば、銅（Cu）、銀（Ag）、硫化銅、硫化銀等を用いることができる。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

10

【0781】

また、固相反応を利用する場合の不純物元素として、第1の不純物元素と第2の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第1の不純物元素と第2の不純物元素で構成される化合物としては、例えば、塩化銅、塩化銀等を用いることができる。

20

【0782】

なお、これらの不純物元素の濃度は、母体材料に対して0.01～10atom%であればよく、好ましくは0.05～5atom%の範囲である。

【0783】

薄膜型無機ELの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着（EB蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（PVD）、有機金属CVD法、ハイドライド輸送減圧CVD法等の化学気相成長法（CVD）、原子層エピタキシ法（ALE）等を用いて形成することができる。

【0784】

図86（A）乃至（C）に発光素子として用いることのできる薄膜型無機EL素子の一例を示す。図86（A）乃至（C）において、発光素子は、第1の電極層8600、電界発光層8602、第2の電極層8603を含む。

30

【0785】

図86（B）及び図86（C）に示す発光素子は、図86（A）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図86（B）に示す発光素子は、第1の電極層8600と電界発光層8602との間に絶縁層8604を有し、図86（C）に示す発光素子は、第1の電極層8600と電界発光層8602との間に絶縁層8604a、第2の電極層8603と電界発光層8602との間に絶縁層8604bとを有している。このように絶縁層は電界発光層を挟持する一对の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

40

【0786】

また、図86（B）では第1の電極層8600に接するように絶縁層8604が設けられているが、絶縁層と電界発光層の順番を逆にして、第2の電極層8603に接するように絶縁層8604を設けてもよい。

【0787】

分散型無機ELの場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉碎などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分

50

散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【0788】

分散型無機ELの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、10～1000nmの範囲である。また、発光材料及びバインダを含む電界発光層において、発光材料の割合は50wt%以上80wt%以下とするよい。

【0789】

図102（A）乃至（C）に発光素子として用いることのできる分散型無機EL素子の一例を示す。図102（A）における発光素子は、第1の電極層10200、電界発光層10202、第2の電極層10203の積層構造を有し、電界発光層10202中にバインダによって保持された発光材料10201を含む。

【0790】

本実施の形態に用いることのできるバインダとしては、有機材料や無機材料を用いることができ、有機材料及び無機材料の混合材料を用いてもよい。有機材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコーン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。また、芳香族ポリアミド、ポリベンゾイミダゾール（polybenzimidazole）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si—O—Si結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラルなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂（ポリベンゾオキサゾール）等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウムやチタン酸ストロンチウムなどの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

【0791】

バインダに含まれる無機材料としては、酸化珪素、窒化珪素、酸素及び窒素を含む珪素、窒化アルミニウム、酸素及び窒素を含むアルミニウムまたは酸化アルミニウム、酸化チタン、チタン酸バリウム、チタン酸ストロンチウム、チタン酸鉛、ニオブ酸カリウム、ニオブ酸鉛、酸化タンタル、タンタル酸バリウム、タンタル酸リチウム、酸化イットリウム、酸化ジルコニウム、硫化亜鉛その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる（添加等によって）ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

【0792】

作製工程において、発光材料はバインダを含む溶液中に分散されるが本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法（各種ウェットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。有機溶媒等を用いることができ、例えばバインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（PGMEAともいう）、3-メトシキ3-メチル-1-ブタノール（MMBともいう）などを用いることができる。

【0793】

図102（B）及び図102（C）に示す発光素子は、図102（A）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図102（B）に示す発光素子

10

20

30

40

50

は、第1の電極層10200と電界発光層10202との間に絶縁層10204を有し、図102(C)に示す発光素子は、第1の電極層10200と電界発光層10202との間に絶縁層10204a、第2の電極層10203と電界発光層10202との間に絶縁層10204bとを有している。このように絶縁層は電界発光層を挟持する一对の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

【0794】

また、図102(B)では第1の電極層10200に接するように絶縁層10204が設けられているが、絶縁層と電界発光層の順番を逆にして、第2の電極層10203に接するように絶縁層10204を設けてもよい。

10

【0795】

図86における絶縁層8604、図102における絶縁層10204のような絶縁層は、特に限定されることはないが、絶縁耐圧が高く、緻密な膜質であることが好ましく、さらには、誘電率が高いことが好ましい。例えば、酸化シリコン、酸化イットリウム、酸化チタン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、チタン酸バリウム、チタン酸ストロンチウム、チタン酸鉛、窒化シリコン、酸化ジルコニウム等やこれらの混合膜又は2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVD等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10

20

【0796】

本実施の形態で示す発光素子は、電界発光層を挟持する一对の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

【0797】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示装置の構成も自由に組み合わせて実施することができる。

【0798】

(実施の形態18)

図87は表示パネル8701と、回路基板8702を組み合わせた表示モジュールを示している。回路基板8702には、例えば、コントロール回路8703や信号分割回路8704などが形成されている。また、表示パネル8701と回路基板8702とは、接続配線8708を介して接続されている。

30

【0799】

この表示パネル8701は、表示素子が各画素に設けられた画素部8705と、走査線駆動回路8706、選択された画素にビデオ信号を供給する信号線駆動回路8707を有している。画素は、実施の形態9及び実施の形態10と同様である。走査線駆動回路8706は、実施の形態1乃至実施の形態8と同様である。信号線駆動回路8707は、実施の形態11と同様である。

40

【0800】

ただし、すでに述べたように、信号線駆動回路8707は必ずしも必要ではなく、回路基板8702から接続配線8708を介して選択された画素にビデオ信号を供給してもよい。また、走査線駆動回路8706は画素部8705の両側に配置されていてもよい。

【0801】

この表示モジュールにより液晶テレビ受像機又はELテレビ受信機を完成させることができる。図88は、テレビ受像機の主要な構成を示すブロック図である。チューナ8801は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路8802と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路880

50

3と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路8804により処理される。コントロール回路8804は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路8805を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0802】

チューナ8801で受信した信号のうち、音声信号は音声信号増幅回路8806に送られ、その出力は音声信号処理回路8807を経てスピーカー8808に供給される。制御回路8809は受信局（受信周波数）や音量の制御情報を入力部8810から受け、チューナ8801や音声信号処理回路8807に信号を送出する。

【0803】

図89に示すように、表示モジュールを筐体8901に組みこんで、テレビ受像機を完成させることができる。表示モジュールにより、表示パネル8902が形成される。また、スピーカー8903、操作スイッチ8904などが適宜備えられている。

【0804】

このテレビ受像機は、表示パネル8902を含んで構成されることにより、部品数を削減することができる。したがって、このテレビ受信機は安価に製造することができる。

【0805】

勿論、本発明はテレビ受像機に限定されず、コンピュータのモニターをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0806】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【0807】

（実施の形態19）

図90（A）は表示パネル9001とプリント基板9002を組み合わせたモジュールを示している。表示パネル9001は、複数の画素が設けられた画素部9003、第1の走査線駆動回路9004、第2の走査線駆動回路9005及び信号線駆動回路9006を有している。もちろん、表示パネル9001の構成は、図9、図11、図12及び図44と同様な構成にしてもよい。

【0808】

プリント基板9002には、コントローラ9007、中央処理装置（CPU）9008、メモリ9009、電源回路90010、音声処理回路90011及び送受信回路90012などが備えられている。プリント基板9002と表示パネル9001は、FPC（フレキシブルプリントサーキット）90013により接続されている。FPC90013には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ9007、音声処理回路90011、メモリ9009、CPU9008、電源回路90010などは、COG（Chip on Glass）方式を用いて表示パネル9001に実装することもできる。COG方式により、プリント基板9002の規模を縮小することができる。

【0809】

プリント基板9002に備えられたインターフェース（I/F）部90014を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート90015が、プリント基板9002に設けられている。

【0810】

図90（B）は、図90（A）に示したモジュールのブロック図を示す。このモジュールは、メモリ9009としてVRAM90016、DRAM90017、フラッシュメモリ90018などが含まれている。VRAM90016にはパネルに表示する画像のデータ

10

20

30

40

50

が、DRAM 90017には画像データまたは音声データが、フラッシュメモリ 90018には各種プログラムが記憶されている。

【0811】

電源回路 90010は、表示パネル 9001、コントローラ 9007、CPU 9008、音声処理回路 90011、メモリ 9009、送受信回路 90012を動作させる電力を供給する。またパネルの仕様によっては、電源回路 90010に電流源が備えられている場合もある。

【0812】

CPU 9008は、制御信号生成回路 90020、デコーダ 90021、レジスタ 90022、演算回路 90023、RAM 90024、CPU 9008用のインターフェース 90019などを有している。インターフェース 90019を介してCPU 9008に入力された各種信号は、一旦レジスタ 90022に保持された後、演算回路 90023、デコーダ 90021などに入力される。演算回路 90023では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ 90021に入力された信号はデコードされ、制御信号生成回路 90020に入力される。制御信号生成回路 90020は入力された信号に基づき、各種命令を含む信号を生成し、演算回路 90023において指定された場所、具体的にはメモリ 9009、送受信回路 90012、音声処理回路 90011、コントローラ 9007などに送る。

【0813】

メモリ 9009、送受信回路 90012、音声処理回路 90011、コントローラ 9007は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0814】

入力手段 90025から入力された信号は、インターフェース部 90014を介してプリント基板 9002に実装されたCPU 9008に送られる。制御信号生成回路 90020は、ポインティングデバイスやキーボードなどの入力手段 90025から送られてきた信号に従い、VRAM 90016に格納してある画像データを所定のフォーマットに変換し、コントローラ 9007に送付する。

【0815】

コントローラ 9007は、パネルの仕様に合わせてCPU 9008から送られてきた画像データを含む信号にデータ処理を施し、表示パネル 9001に供給する。またコントローラ 9007は、電源回路 90010から入力された電源電圧やCPU 9008から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)、切り替え信号L/Rを生成し、表示パネル 9001に供給する。

【0816】

送受信回路 90012では、アンテナ 90028において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路 90012において送受信される信号のうち音声情報を含む信号が、CPU 9008からの命令に従って、音声処理回路 90011に送られる。

【0817】

CPU 9008の命令に従って送られてきた音声情報を含む信号は、音声処理回路 90011において音声信号に復調され、スピーカ 90027に送られる。またマイク 90026から送られてきた音声信号は、音声処理回路 90011において変調され、CPU 9008からの命令に従って、送受信回路 90012に送られる。

【0818】

コントローラ 9007、CPU 9008、電源回路 90010、音声処理回路 90011、メモリ 9009を、本実施の形態のパッケージとして実装することができる。本実施の形態は、アイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カプラ

10

20

30

40

50

、 balanなどの高周波回路以外であれば、どのような回路にも応用することができる。

【0819】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【0820】

(実施の形態20)

図91は、実施の形態19のモジュールを含む携帯電話機の一態様を示している。表示パネル9101はハウジング91030に脱着自在に組み込まれる。ハウジング91030は表示パネル9101のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル9101を固定したハウジング91030はプリント基板91031に嵌着されモジュールとして組み立てられる。

10

【0821】

表示パネル9101はFPC91013を介してプリント基板91031に接続される。プリント基板91031には、スピーカ91032、マイクロフォン91033、送受信回路91034、CPU及びコントローラなどを含む信号処理回路91035が形成されている。このようなモジュールと、入力手段91036、バッテリー91037を組み合わせ、筐体91039に収納する。表示パネル9101の画素部は筐体91039に形成された開口窓から視認できよう配置する。

20

【0822】

表示パネル9101は、複数の画素を有する画素部と、走査線駆動回路を有している。走査線駆動回路を画素部と一体形成することによって、図91の携帯電話機は、安価に製造することができる。また、表示モジュールの部品数が少なくなるため、歩留まりの増加、軽量化、小型化などのメリットを得ることができる。

【0823】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、表示パネルを複数備えたり、筐体を適宜複数に分割して蝶番により開閉式とした構成としても、上記した作用効果を奏することができる。

【0824】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

30

【0825】

(実施の形態21)

本実施の形態は、実施の形態19で説明した表示モジュールを含む携帯電話機10300を完成させる一例について例示する。

【0826】

図103で示す携帯電話機は、操作スイッチ類10304、マイクロフォン10305などが備えられた本体(A)10301と、表示パネル(A)10308、表示パネル(B)10309、スピーカ10306などが備えられた本体(B)10302とが、蝶番10310で開閉可能に連結されている。表示パネル(A)10308と表示パネル(B)10309は、回路基板10307と共に本体(B)10302の筐体10303の中に収納される。表示パネル(A)10308及び表示パネル(B)10309の画素部は筐体10303に形成された開口窓から視認できよう配置される。

40

【0827】

表示パネル(A)10308と表示パネル(B)10309は、その携帯電話機10300の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネルA10308を主画面とし、表示パネルB10309を副画面として組み合わせることがで

50

きる。

【0828】

表示パネル（A）10308及び表示パネル（B）10309は、複数の画素を有する画素部と、走査線駆動回路を有している。走査線駆動回路を画素部と一体形成することによって、図103の携帯電話機は、安価に製造することができる。また、表示モジュールの部品数が少なくなるため、歩留まりの増加、軽量化、小型化などのメリットを得ることができる。

【0829】

このような表示パネルを用いることにより、表示パネル（A）10308を文字や画像を表示する高精細のカラー表示画面とし、表示パネル（B）10309を文字情報を表示する単色の情報表示画面とすることができる。特に表示パネル（B）10309をアクティブマトリクス型として、高精細化をすることにより、さまざまな文字情報を表示して、一画面当たりの情報表示密度を向上させることができる。例えば、表示パネル（A）10308を、2～2.5インチで64階調、26万色のQVGA（320ドット×240ドット）とし、表示パネル（B）10309を、単色で2～8階調、180～220ppiの高精細パネルとして、ローマ字、ひらがな、カタカナをはじめ、漢字やアラビア文字などを表示することができる。

10

【0830】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番10310の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類10304、表示パネル（A）10308、表示パネル（B）10309を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。

20

【0831】

なお、本実施の形態で示した表示パネルや表示モジュールの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。また、本実施の形態で示した表示パネルや表示モジュールの構成も自由に組み合わせて実施することができる。

【0832】

（実施の形態22）

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置）などが挙げられる。

30

【0833】

図93（A）は発光装置であり、筐体93001、支持台93002、表示部93003、スピーカー部93004、ビデオ入力端子93005等を含む。本発明の表示装置を表示部93003に用いることができる。なお、発光装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明の表示装置を表示部93003に用いた発光装置は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

40

【0834】

図93（B）はカメラであり、本体93101、表示部93102、受像部93103、操作キー93104、外部接続ポート93105、シャッターボタン93106等を含む。

【0835】

50

本発明を表示部 93102 に用いたデジタルカメラは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0836】

図 93 (C) はコンピュータであり、本体 93201、筐体 93202、表示部 93203、キーボード 93204、外部接続ポート 93205、ポインティングデバイス 93206 等を含む。本発明を表示部 93203 に用いたコンピュータは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0837】

図 93 (D) はモバイルコンピュータであり、本体 93301、表示部 93302、スイッチ 93303、操作キー 93304、赤外線ポート 93305 等を含む。本発明を表示部 93302 に用いたモバイルコンピュータは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

10

【0838】

図 93 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 93401、筐体 93402、表示部 A 93403、表示部 B 93404、記録媒体（DVD 等）読み込み部 93405、操作キー 93406、スピーカー部 93407 等を含む。表示部 A 93403 は主として画像情報を表示し、表示部 B 93404 は主として文字情報を表示することができる。本発明を表示部 A 93403 や表示部 B 93404 に用いた画像再生装置は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

20

【0839】

図 93 (F) はゴーグル型ディスプレイであり、本体 93501、表示部 93502、アーム部 93503 を含む。本発明を表示部 93502 に用いたゴーグル型ディスプレイは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0840】

図 93 (G) はビデオカメラであり、本体 93601、表示部 93602、筐体 93603、外部接続ポート 93604、リモコン受信部 93605、受像部 93606、バッテリー 93607、音声入力部 93608、操作キー 93609 等を含む。本発明を表示部 93602 に用いたビデオカメラは、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

30

【0841】

図 93 (H) は携帯電話機であり、本体 93701、筐体 93702、表示部 93703、音声入力部 93704、音声出力部 93705、操作キー 93706、外部接続ポート 93707、アンテナ 93708 等を含む。本発明を表示部 93703 に用いた携帯電話機は、オフ電流によって生じる微発光を低減し、きれいな表示を行うことが可能となる。

【0842】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0843】

なお、本実施の形態で示した電子機器の構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。

40

【0844】

（実施の形態 23）

本実施の形態については、本発明の表示装置の画素構成を表示部に用いた表示パネルを用いた応用例について、応用形態を図示し説明する。本発明の表示装置の画素構成を表示部に用いた表示パネルは、移動体や建造物等と一体に設けられた構成をとることもできる。

【0845】

本発明の表示装置の画素構成を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図 94 に示す。図 94 (a) は、表示装置一体型の移動体の例として電車車両本体 9401 におけるドアのガラス戸のガラスに表示パネル 9402 を

50

用いた例について示す。図 9 4 (a) に示す本発明の表示装置の画素構成を表示部に有する表示パネル 9 4 0 2 は、外部からの信号により表示部で表示される画像の切り替えが容易である。そのため、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替え、より効果的な広告効果を実現できる。

【0 8 4 6】

なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図 9 4 (a) で示した電車車両本体におけるドアのガラスにのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ありとあらゆる場所に適用可能である。図 9 4 (b) にその一例について説明する。

【0 8 4 7】

図 9 4 (b) は、電車車両本体における車内の様子について図示したものである。図 9 4 (b) において、図 9 4 (a) で示したドアのガラス戸の表示パネル 9 4 0 2 の他に、ガラス窓に設けられた表示パネル 9 4 0 3、及び天井より吊り下げられた表示パネル 9 4 0 4 を示す。本発明の表示装置の画素構成を具備する表示パネル 9 4 0 3 は、自発光型の表示素子を具備するため、混雑時には広告用の画像を表示し、混雑時以外には表示を行わないことで、電車からの外観をも見ることもできる。また、本発明の表示装置の画素構成を具備する表示パネル 9 4 0 4 はフィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することで、表示パネル自体を湾曲させて表示を行うことも可能である。

【0 8 4 8】

また、本発明の表示装置の画素構成を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図 9 5 にて説明する。

【0 8 4 9】

本発明の表示装置の画素構成を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図 9 5 に示す。図 9 5 は、表示装置一体型の移動体の例として自動車の車体 9 5 0 1 に一体に取り付けられた表示パネル 9 5 0 2 の例について示す。図 9 5 に示す本発明の表示装置の画素構成を表示部に有する表示パネル 9 5 0 2 は、自動車の車体と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示、また、自動車の目的地までのナビゲーション機能をも有する。

【0 8 5 0】

なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図 9 5 で示した車体のフロント部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ガラス窓、ドアなどありとあらゆる場所に適用可能である。

【0 8 5 1】

また、本発明の表示装置の画素構成を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図 9 6 にて説明する。

【0 8 5 2】

本発明の表示装置の画素構成を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図 9 6 に示す。図 9 6 (a) は、表示装置一体型の移動体の例として飛行機車体 9 6 0 1 内の客席天井部に一体に取り付けられた表示パネル 9 6 0 2 の例について示す。図 9 6 (a) に示す本発明の表示装置の画素構成を表示部に有する表示パネル 9 6 0 2 は、飛行機車体 9 6 0 1 とヒンジ部 9 6 0 3 を介して一体に取り付けられており、ヒンジ部 9 6 0 3 の伸縮により乗客は表示パネル 9 6 0 2 の視聴が可能になる。表示パネル 9 6 0 2 は乗客が操作することで情報を表示、また、広告や娯楽手段として利用できる機能を有する。また、図 9 6 (b) に示すように、ヒンジ部を折り曲げて飛行機車体 9 6 0 1 に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、飛行機車体 9 6 0 1 の誘導灯としても利用可能である。

【0 8 5 3】

なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図 9 6 で示した飛行

10

20

30

40

50

機車体 9601 の天井部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、座席やドアなどありとあらゆる場所に適用可能である。例えば座席前の座席後方に表示パネルを設け、操作・視聴を行う構成であってもよい。

【0854】

なお、本実施の形態において、移動体としては電車車両本体、自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、多岐に渡る。本発明の表示装置の画素構成を適用することにより、表示パネルの小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。また特に、外部からの信号により、移動体内における表示パネルの表示を一斉に切り替えることが容易であるため、不特定多数の顧客を対象とした広告表示盤、また緊急災害時の情報表示板としても極めて有用であるといえる。

10

【0855】

また、本発明の表示装置の画素構成を表示部に有する表示パネルを用いた応用例について、建造物に用いた応用形態を図 97 を用いて説明する。

【0856】

図 97 は本発明の表示装置の画素構成を表示部に有する表示パネルとして、フィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することにより表示パネル自身を湾曲させて表示可能な表示パネルとし、その応用例について説明する。図 97 においては、建造物として電柱等の屋外に設けられた柱状体の有する曲面に表示パネルを具備し、ここでは柱状体として電柱 9701 に表示パネル 9702 を具備する構成について示す。

20

【0857】

図 97 に示す表示パネル 9702 は、電柱の高さの真ん中あたりに位置させ、人間の視点より高い位置に設ける。そして移動体 9703 から表示パネルを視認することにより、表示パネル 9702 における画像を認識することができる。電柱のように屋外で繰り返し林立し、林立した電柱に設けた表示パネル 9702 において同じ映像を表示させることにより、視認者は情報表示、広告表示を視認することができる。図 97 において電柱 9701 に設けられた表示パネル 9702 は、外部より同じ画像を表示させることが容易であるため、極めて効率的な情報表示、及び広告効果の実現できる。また、本発明の表示装置の表示パネルには、表示素子として自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。

30

【0858】

また、本発明の表示装置の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、図 97 とは別の建造物の応用形態を図 98 にて説明する。

【0859】

本発明の表示装置の画素構成を表示部に有する表示パネルの応用例として、図 98 に示す。図 98 は、表示装置一体型の例としてユニットバス 9801 内の側壁に一体に取り付けられた表示パネル 9802 の例について示す。図 98 に示す本発明の表示装置の画素構成を用いた表示部を有する表示パネル 9802 は、ユニットバス 9801 と一体に取り付けられており、入浴者は表示パネル 9802 の視聴が可能になる。表示パネル 9802 は入浴者が操作することで情報を表示、また広告や娯楽手段として利用できる機能を有する。

40

【0860】

なお、本発明の表示装置の画素構成を表示部に有する表示パネルは、図 98 で示したユニットバス 9801 の側壁にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、鏡面の一部や浴槽自体と一体にするなどありとあらゆる場所に適用可能である。

【0861】

また図 99 に建造物内に大型の表示部を有するテレビジョン装置を設けた例について示す。図 99 は、筐体 9910、表示部 9911、操作部であるリモコン装置 9912、スピ

50

ーカー部 9913 等を含む。本発明の表示装置の画素構成を表示部に有する表示パネルは、表示部 9911 の作製に適用される。図 99 のテレビジョン装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0862】

なお、本実施の形態において、建造物として、柱状体として電柱、ユニットバス等を例としたが、本実施の形態はこれに限定されず、表示パネルを備えることのできる建造物であれば適用することができる。本発明の表示装置の画素構成を適用することにより、表示装置の小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。

【0863】

なお、本実施の形態で示した表示パネルの構成は、本明細書中の他の実施の形態に示した表示装置の構成と自由に組み合わせて実施することができる。

【図面の簡単な説明】

【0864】

【図 1】実施の形態 1 を説明する図。

【図 2】実施の形態 1 を説明する図。

【図 3】実施の形態 1 を説明する図。

【図 4】実施の形態 1 を説明する図。

【図 5】実施の形態 1 を説明する図。

【図 6】実施の形態 1 を説明する図。

【図 7】実施の形態 1 を説明する図。

【図 8】実施の形態 1 を説明する図。

【図 9】実施の形態 1 を説明する図。

【図 10】実施の形態 1 を説明する図。

【図 11】実施の形態 1 を説明する図。

【図 12】実施の形態 1 を説明する図。

【図 13】実施の形態 2 を説明する図。

【図 14】実施の形態 2 を説明する図。

【図 15】実施の形態 2 を説明する図。

【図 16】実施の形態 2 を説明する図。

【図 17】実施の形態 2 を説明する図。

【図 18】実施の形態 2 を説明する図。

【図 19】実施の形態 3 を説明する図。

【図 20】実施の形態 3 を説明する図。

【図 21】実施の形態 3 を説明する図。

【図 22】実施の形態 3 を説明する図。

【図 23】実施の形態 4 を説明する図。

【図 24】実施の形態 4 を説明する図。

【図 25】実施の形態 4 を説明する図。

【図 26】実施の形態 4 を説明する図。

【図 27】実施の形態 5 を説明する図。

【図 28】実施の形態 5 を説明する図。

【図 29】実施の形態 5 を説明する図。

【図 30】実施の形態 5 を説明する図。

【図 31】実施の形態 5 を説明する図。

【図 32】実施の形態 6 を説明する図。

【図 33】実施の形態 6 を説明する図。

【図 34】実施の形態 6 を説明する図。

【図 35】実施の形態 6 を説明する図。

【図 36】実施の形態 7 を説明する図。

10

20

30

40

50

【図 3 7】	実施の形態 7 を説明する図。	
【図 3 8】	実施の形態 7 を説明する図。	
【図 3 9】	実施の形態 7 を説明する図。	
【図 4 0】	実施の形態 8 を説明する図。	
【図 4 1】	実施の形態 8 を説明する図。	
【図 4 2】	実施の形態 8 を説明する図。	
【図 4 3】	実施の形態 8 を説明する図。	
【図 4 4】	実施の形態 1 を説明する図。	
【図 4 5】	実施の形態 1 を説明する図。	
【図 4 6】	実施の形態 9 を説明する図。	10
【図 4 7】	実施の形態 9 を説明する図。	
【図 4 8】	実施の形態 9 を説明する図。	
【図 4 9】	実施の形態 9 を説明する図。	
【図 5 0】	実施の形態 9 を説明する図。	
【図 5 1】	実施の形態 9 を説明する図。	
【図 5 2】	実施の形態 9 を説明する図。	
【図 5 3】	実施の形態 9 を説明する図。	
【図 5 4】	実施の形態 9 を説明する図。	
【図 5 5】	実施の形態 9 を説明する図。	
【図 5 6】	実施の形態 1 1 を説明する図。	20
【図 5 7】	実施の形態 1 1 を説明する図。	
【図 5 8】	実施の形態 1 1 を説明する図。	
【図 5 9】	実施の形態 1 1 を説明する図。	
【図 6 0】	実施の形態 1 1 を説明する図。	
【図 6 1】	実施の形態 1 2 を説明する図。	
【図 6 2】	実施の形態 1 2 を説明する図。	
【図 6 3】	実施の形態 1 3 を説明する図。	
【図 6 4】	実施の形態 1 2 を説明する図。	
【図 6 5】	実施の形態 1 0 を説明する図。	
【図 6 6】	実施の形態 1 0 を説明する図。	30
【図 6 7】	実施の形態 1 0 を説明する図。	
【図 6 8】	実施の形態 1 0 を説明する図。	
【図 6 9】	実施の形態 1 0 を説明する図。	
【図 7 0】	実施の形態 1 0 を説明する図。	
【図 7 1】	実施の形態 1 0 を説明する図。	
【図 7 2】	実施の形態 1 0 を説明する図。	
【図 7 3】	実施の形態 1 0 を説明する図。	
【図 7 4】	実施の形態 1 0 を説明する図。	
【図 7 5】	実施の形態 1 4 を説明する図。	
【図 7 6】	実施の形態 1 4 を説明する図。	40
【図 7 7】	実施の形態 1 4 を説明する図。	
【図 7 8】	実施の形態 1 4 を説明する図。	
【図 7 9】	実施の形態 1 4 を説明する図。	
【図 8 0】	実施の形態 1 4 を説明する図。	
【図 8 1】	実施の形態 1 4 を説明する図。	
【図 8 2】	実施の形態 1 4 を説明する図。	
【図 8 3】	実施の形態 1 4 を説明する図。	
【図 8 4】	実施の形態 1 4 を説明する図。	
【図 8 5】	実施の形態 1 5 を説明する図。	
【図 8 6】	実施の形態 1 7 を説明する図。	50

【図 8 7】	実施の形態 1 8 を説明する図。	
【図 8 8】	実施の形態 1 8 を説明する図。	
【図 8 9】	実施の形態 1 8 を説明する図。	
【図 9 0】	実施の形態 1 9 を説明する図。	
【図 9 1】	実施の形態 2 0 を説明する図。	
【図 9 2】	実施の形態 1 を説明する図。	
【図 9 3】	実施の形態 2 2 を説明する図。	
【図 9 4】	実施の形態 2 3 を説明する図。	
【図 9 5】	実施の形態 2 3 を説明する図。	
【図 9 6】	実施の形態 2 3 を説明する図。	10
【図 9 7】	実施の形態 2 3 を説明する図。	
【図 9 8】	実施の形態 2 3 を説明する図。	
【図 9 9】	実施の形態 2 3 を説明する図。	
【図 1 0 0】	実施の形態 1 4 を説明する図。	
【図 1 0 1】	実施の形態 1 4 を説明する図。	
【図 1 0 2】	実施の形態 1 7 を説明する図。	
【図 1 0 3】	実施の形態 2 1 を説明する図。	
【図 1 0 4】	実施の形態 1 6 を説明する図。	
【図 1 0 5】	実施の形態 1 6 を説明する図。	
【符号の説明】		20
【 0 8 6 5】		
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 1 1	配線	
1 1 2	配線	
1 1 3	配線	
1 1 4	配線	
1 1 5	配線	30
1 1 6	配線	
1 2 1	ノード	
1 3 1	絶縁膜	
2 1 3	信号	
2 1 4	信号	
2 1 5	信号	
2 1 6	信号	
2 2 1	電位	
2 7 2	配線	
2 7 6	配線	40
4 0 1	容量素子	
4 0 2	容量素子	
6 0 1	フリップフロップ	
6 0 2	フリップフロップ	
6 1 1	配線	
6 1 2	配線	
6 1 3	配線	
6 1 4	配線	
6 1 5	配線	
6 1 6	配線	50

6 2 1	配線	
6 2 2	配線	
7 1 6	信号	
7 2 2	信号	
8 0 1	バッファ	
8 1 a	蒸発源	
9 0 1	信号線駆動回路	
9 0 2	走査線駆動回路	
9 0 3	画素部	
9 0 4	画素	10
1 1 0 1	走査線駆動回路	
1 1 0 2	走査線駆動回路	
1 2 0 1	走査線駆動回路	
1 2 0 2	走査線駆動回路	
1 3 0 5	トランジスタ	
1 3 1 7	配線	
1 4 1 7	信号	
1 5 0 1	容量素子	
1 7 0 1	フリップフロップ	
1 8 0 1	バッファ	20
1 9 0 6	トランジスタ	
1 9 0 7	トランジスタ	
1 9 0 8	トランジスタ	
1 9 0 9	トランジスタ	
1 9 2 2	ノード	
1 9 2 3	ノード	
2 0 2 2	電位	
2 0 2 3	電位	
2 1 0 1	容量素子	
2 3 1 0	トランジスタ	30
2 3 1 1	トランジスタ	
2 3 1 2	トランジスタ	
2 3 2 4	ノード	
2 4 2 4	電位	
2 5 0 1	容量素子	
2 7 0 1	トランジスタ	
2 7 0 2	トランジスタ	
2 7 0 3	トランジスタ	
2 7 0 4	トランジスタ	
2 7 1 1	配線	40
2 7 1 2	配線	
2 7 1 3	配線	
2 7 1 4	配線	
2 7 1 5	配線	
2 7 1 6	配線	
2 7 2 1	ノード	
2 8 1 3	信号	
2 8 1 4	信号	
2 8 1 5	信号	
2 8 1 6	信号	50

2 8 2 1	電位	
3 0 0 1	容量素子	
3 2 0 5	トランジスタ	
3 2 0 7	配線	
3 2 0 8	トランジスタ	
3 2 1 7	配線	
3 3 1 7	信号	
3 4 0 1	容量素子	
3 6 0 6	トランジスタ	
3 6 0 7	トランジスタ	10
3 6 0 8	トランジスタ	
3 6 0 9	トランジスタ	
3 6 2 2	ノード	
3 6 2 3	ノード	
3 7 2 2	電位	
3 7 2 3	電位	
3 8 0 1	容量素子	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 2	トランジスタ	20
4 0 2 4	ノード	
4 1 2 4	電位	
4 2 0 1	容量素子	
4 4 0 2	走査線駆動回路	
4 4 0 3	走査線駆動回路	
4 5 0 1	トランジスタ	
4 5 0 2	容量素子	
4 5 1 1	配線	
4 5 1 2	配線	
4 5 1 3	配線	30
4 5 2 1	表示素子	
4 5 2 2	対向電極	
4 5 2 3	画素電極	
4 5 3 1	液晶素子	
4 7 0 1	符号化回路	
4 7 0 2	フレームメモリ	
4 7 0 3	補正回路	
4 7 0 4	D A変換回路	
4 7 1 2	フレームメモリ	
4 7 1 3	補正回路	40
4 8 0 1	トランジスタ	
4 8 0 2	補助容量	
4 8 0 3	表示素子	
4 8 0 4	映像信号線	
4 8 0 5	走査線	
4 8 0 6	コモン線	
4 8 1 1	トランジスタ	
4 8 1 2	補助容量	
4 8 1 3	表示素子	
4 8 1 4	映像信号線	50

4 8 1 5	走査線	
4 8 1 6	コモン線	
4 8 1 7	コモン線	
4 9 0 1	拡散板	
4 9 0 2	冷陰極管	
4 9 0 3	画素部	
4 9 1 1	拡散板	
4 9 1 2	光源	
4 9 3 1	信号制御回路	
5 1 0 1	基板	10
5 1 0 2	絶縁膜	
5 1 0 3	導電層	
5 1 0 4	絶縁膜	
5 1 0 5	半導体層	
5 1 0 6	半導体層	
5 1 0 7	導電層	
5 1 0 8	絶縁膜	
5 1 0 9	導電層	
5 1 1 0	配向膜	
5 1 1 2	配向膜	20
5 1 1 3	導電層	
5 1 1 4	遮光膜	
5 1 1 5	カラーフィルター	
5 1 1 6	基板	
5 1 1 7	スペーサ	
5 1 1 8	液晶分子	
5 1 2 1	走査線	
5 1 2 2	映像信号線	
5 1 2 3	容量線	
5 1 2 4	T F T	30
5 1 2 5	画素電極	
5 1 2 6	画素容量	
5 2 0 1	基板	
5 2 0 2	絶縁膜	
5 2 0 3	導電層	
5 2 0 4	絶縁膜	
5 2 0 5	半導体層	
5 2 0 6	半導体層	
5 2 0 7	導電層	
5 2 0 8	絶縁膜	40
5 2 0 9	導電層	
5 2 1 0	配向膜	
5 2 1 2	配向膜	
5 2 1 3	導電層	
5 2 1 4	遮光膜	
5 2 1 5	カラーフィルター	
5 2 1 6	基板	
5 2 1 7	スペーサ	
5 2 1 8	液晶分子	
5 2 1 9	配向制御用突起	50

5 2 2 1	走査線	
5 2 2 2	映像信号線	
5 2 2 3	容量線	
5 2 2 4	T F T	
5 2 2 5	画素電極	
5 2 2 6	画素容量	
5 3 0 1	基板	
5 3 0 2	絶縁膜	
5 3 0 3	導電層	
5 3 0 4	絶縁膜	10
5 3 0 5	半導体層	
5 3 0 6	半導体層	
5 3 0 7	導電層	
5 3 0 8	絶縁膜	
5 3 0 9	導電層	
5 3 1 0	配向膜	
5 3 1 2	配向膜	
5 3 1 3	導電層	
5 3 1 4	遮光膜	
5 3 1 5	カラーフィルター	20
5 3 1 6	基板	
5 3 1 7	スペーサ	
5 3 1 8	液晶分子	
5 3 1 9	部	
5 3 2 1	走査線	
5 3 2 2	映像信号線	
5 3 2 3	容量線	
5 3 2 4	T F T	
5 3 2 5	画素電極	
5 3 2 6	画素容量	30
5 4 0 1	基板	
5 4 0 2	絶縁膜	
5 4 0 3	導電層	
5 4 0 4	絶縁膜	
5 4 0 5	半導体層	
5 4 0 6	半導体層	
5 4 0 7	導電層	
5 4 0 8	絶縁膜	
5 4 0 9	導電層	
5 4 1 0	配向膜	40
5 4 1 2	配向膜	
5 4 1 4	遮光膜	
5 4 1 5	カラーフィルター	
5 4 1 6	基板	
5 4 1 7	スペーサ	
5 4 1 8	液晶分子	
5 4 2 1	走査線	
5 4 2 2	映像信号線	
5 4 2 3	共通電極	
5 4 2 4	T F T	50

5 4 2 5	画素電極	
5 5 0 1	基板	
5 5 0 2	絶縁膜	
5 5 0 3	導電層	
5 5 0 4	絶縁膜	
5 5 0 5	半導体層	
5 5 0 6	半導体層	
5 5 0 7	導電層	
5 5 0 8	絶縁膜	
5 5 0 9	導電層	10
5 5 1 0	配向膜	
5 5 1 2	配向膜	
5 5 1 3	導電層	
5 5 1 4	遮光膜	
5 5 1 5	カラーフィルター	
5 5 1 6	基板	
5 5 1 7	スペーサ	
5 5 1 8	液晶分子	
5 5 1 9	絶縁膜	
5 5 2 1	走査線	20
5 5 2 2	映像信号線	
5 5 2 3	共通電極	
5 5 2 4	T F T	
5 5 2 5	画素電極	
5 6 0 1	ドライバ I C	
5 6 0 2	スイッチ群	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	30
5 7 2 1	信号	
5 8 2 1	信号	
5 9 0 3 a	トランジスタ	
5 9 0 3 b	トランジスタ	
5 9 0 3 c	トランジスタ	
5 9 1 1	配線	
5 9 1 2	配線	
5 9 1 3	配線	
6 0 0 1	トランジスタ	
6 0 0 2	トランジスタ	40
6 0 0 3	トランジスタ	
6 0 0 4	トランジスタ	
6 0 0 5	トランジスタ	
6 0 0 6	トランジスタ	
6 0 1 1	配線	
6 0 1 2	配線	
6 0 1 3	配線	
6 0 1 4	配線	
6 0 1 5	配線	
6 0 1 6	配線	50

6 0 2 2	スイッチ群	
6 1 0 1	トランジスタ	
6 1 0 2	トランジスタ	
6 1 1 1	配線	
6 1 1 2	配線	
6 2 0 1	トランジスタ	
6 2 1 1	配線	
6 4 0 1	トランジスタ	
6 4 0 2	トランジスタ	
6 4 1 1	配線	10
6 4 1 2	配線	
6 5 0 0	容量素子	
6 5 0 1	トランジスタ	
6 5 0 2	トランジスタ	
6 5 0 3	トランジスタ	
6 5 1 1	配線	
6 5 1 2	配線	
6 5 1 3	配線	
6 5 1 4	配線	
6 5 2 1	表示素子	20
6 5 2 2	対向電極	
6 5 2 3	画素電極	
6 6 0 0	容量素子	
6 6 0 1	トランジスタ	
6 6 0 2	トランジスタ	
6 6 0 3	トランジスタ	
6 6 1 1	配線	
6 6 1 2	配線	
6 6 1 3	配線	
6 6 1 4	配線	30
6 6 2 1	表示素子	
6 6 2 2	対向電極	
6 6 2 3	画素電極	
6 7 0 0	容量素子	
6 7 0 1	トランジスタ	
6 7 0 2	トランジスタ	
6 7 0 3	トランジスタ	
6 7 0 4	トランジスタ	
6 7 1 1	配線	
6 7 1 2	配線	40
6 7 1 3	配線	
6 7 1 4	配線	
6 7 1 5	配線	
6 7 2 1	表示素子	
6 7 2 2	対向電極	
6 7 2 3	画素電極	
6 9 0 5	T F T	
6 9 0 6	配線	
6 9 0 7	配線	
6 9 0 8	T F T	50

6 9 1 1	配線	
6 9 1 2	対向電極	
6 9 1 3	コンデンサ	
6 9 1 5	画素電極	
6 9 1 6	隔壁	
6 9 1 7	有機導電体膜	
6 9 1 8	有機薄膜	
6 9 1 9	基板	
7 0 0 0	基板	
7 0 0 1	配線	10
7 0 0 2	配線	
7 0 0 3	配線	
7 0 0 4	配線	
7 0 0 5	T F T	
7 0 0 6	T F T	
7 0 0 7	T F T	
7 0 0 8	画素電極	
7 0 1 1	隔壁	
7 0 1 2	有機導電体膜	
7 0 1 3	有機薄膜	20
7 0 1 4	対向電極	
7 1 0 0	基板	
7 1 0 1	配線	
7 1 0 2	配線	
7 1 0 3	配線	
7 1 0 4	配線	
7 1 0 5	T F T	
7 1 0 6	T F T	
7 1 0 7	T F T	
7 1 0 8	T F T	30
7 1 0 9	画素電極	
7 1 1 1	配線	
7 1 1 2	配線	
7 1 2 1	隔壁	
7 1 2 2	有機導電体膜	
7 1 2 3	有機薄膜	
7 1 2 4	対向電極	
7 2 0 1	陽極	
7 2 0 2	陰極	
7 2 0 3	正孔輸送領域	40
7 2 0 4	電子輸送領域	
7 2 0 5	混合領域	
7 2 0 6	領域	
7 2 0 7	領域	
7 2 0 8	領域	
7 2 0 9	領域	
7 3 6 0	搬送室	
7 3 6 1	搬送室	
7 3 6 2	ロード室	
7 3 6 3	アンロード室	50

7 3 6 4	中間処理室	
7 3 6 5	封止処理室	
7 3 6 6	搬送手段	
7 3 6 7	搬送手段	
7 3 6 8	加熱処理室	
7 3 6 9	成膜処理室	
7 3 7 0	成膜処理室	
7 3 7 1	成膜処理室	
7 3 7 2	プラズマ処理室	
7 3 7 3	成膜処理室	10
7 3 7 4	成膜処理室	
7 3 7 6	成膜処理室	
7 4 8 0	蒸発源ホルダ	
7 4 8 1	蒸発源	
7 4 8 2	距離センサー	
7 4 8 3	多関節アーム	
7 4 8 4	材料供給管	
7 4 8 6	基板ステージ	
7 4 8 7	基板チャック	
7 4 8 8	マスクチャック	20
7 4 8 9	基板	
7 4 9 0	シャドーマスク	
7 4 9 1	天板	
7 4 9 2	底板	
7 5 0 0	基板	
7 5 0 1	周辺駆動回路	
7 5 0 2	画素部	
7 5 0 4	第 F P C	
7 5 0 5	I C チップ	
7 5 0 6	I C チップ	30
7 5 0 7	封止基板	
7 5 0 8	シール材	
7 5 1 0	基板	
7 5 1 1	周辺駆動回路	
7 5 1 2	画素部	
7 5 1 3	F P C	
7 5 1 4	F P C	
7 6 0 1	基板	
7 6 0 2	陽極	
7 6 0 3	正孔注入層	40
7 6 0 4	正孔輸送層	
7 6 0 5	発光層	
7 6 0 6	電子輸送層	
7 6 0 7	電子注入層	
7 6 0 8	陰極	
7 6 1 1	基板	
7 6 1 2	陽極	
7 6 1 3	正孔注入層	
7 6 1 4	正孔輸送層	
7 6 1 5	発光層	50

7 6 1 6	電子輸送層	
7 6 1 7	電子注入層	
7 6 1 8	陰極	
7 7 0 0	基板	
7 7 0 1	駆動用トランジスタ	
7 7 0 2	電極	
7 7 0 3	層	
7 7 0 4	電極	
7 8 0 0	基板	
7 8 0 1	駆動用トランジスタ	10
7 8 0 2	下地膜	
7 8 0 3	電極	
7 8 0 4	層	
7 8 0 5	電極	
7 8 0 7	ブラックマトリクス	
7 9 0 1	基板	
7 9 0 2	下地膜	
7 9 0 3	チャネル形成領域	
7 9 0 5	不純物領域	
7 9 0 6	チャネル形成領域	20
7 9 0 7	L D D領域	
7 9 0 8	不純物領域	
7 9 0 9	ゲート絶縁膜	
7 9 1 0	ゲート電極	
7 9 1 1	上部電極	
7 9 1 2	層間絶縁物	
7 9 1 3	配線	
7 9 1 4	画素電極	
7 9 1 5	層間絶縁物	
7 9 1 6	層	30
7 9 1 7	対向電極	
7 9 1 8	駆動トランジスタ	
7 9 1 9	容量素子	
7 9 2 0	発光素子	
7 9 2 1	領域	
8 0 0 1	基板	
8 0 0 2	下地膜	
8 0 0 3	チャネル形成領域	
8 0 0 5	不純物領域	
8 0 0 6	ゲート絶縁膜	40
8 0 0 7	ゲート電極	
8 0 0 8	電極	
8 0 0 9	層間絶縁物	
8 0 1 0	配線	
8 0 1 1	電極	
8 0 1 2	層間絶縁物	
8 0 1 3	画素電極	
8 0 1 4	電極	
8 0 1 5	絶縁物	
8 0 1 5	層間絶縁物	50

8 0 1 6	層	
8 0 1 7	対向電極	
8 0 1 8	駆動トランジスタ	
8 0 1 9	容量素子	
8 0 2 0	発光素子	
8 0 9 1	上部電極	
8 0 9 2	容量素子	
8 1 0 1	基板	
8 1 0 2	下地膜	
8 1 0 3	ゲート電極	10
8 1 0 4	電極	
8 1 0 5	ゲート絶縁膜	
8 1 0 6	チャネル形成領域	
8 1 0 7	L D D領域	
8 1 0 8	不純物領域	
8 1 0 9	チャネル形成領域	
8 1 1 0	L D D領域	
8 1 1 1	不純物領域	
8 1 1 2	層間絶縁物	
8 1 1 3	配線	20
8 1 1 4	電極	
8 1 1 5	開口部	
8 1 1 6	層間絶縁物	
8 1 1 7	画素電極	
8 1 1 8	絶縁物	
8 1 1 9	層	
8 1 2 0	対向電極	
8 1 2 1	発光素子	
8 1 2 2	駆動トランジスタ	
8 1 2 3	容量素子	30
8 1 2 4	電極	
8 1 2 5	容量素子	
8 2 0 1	基板	
8 2 0 2	下地膜	
8 2 0 3	画素電極	
8 2 0 4	電極	
8 2 0 5	配線	
8 2 0 6	配線	
8 2 0 7	N型半導体層	
8 2 0 8	N型半導体層	40
8 2 0 9	半導体層	
8 2 1 0	ゲート絶縁膜	
8 2 1 1	絶縁膜	
8 2 1 2	ゲート電極	
8 2 1 3	電極	
8 2 1 4	層間絶縁膜	
8 2 1 5	層	
8 2 1 6	対向電極	
8 2 1 7	発光素子	
8 2 1 8	駆動トランジスタ	50

8 2 1 9	容量素子	
8 2 2 0	電極	
8 3 0 1	基板	
8 3 0 2	下地膜	
8 3 0 3	ゲート電極	
8 3 0 4	電極	
8 3 0 5	ゲート絶縁膜	
8 3 0 6	半導体層	
8 3 0 7	半導体層	
8 3 0 8	N型半導体層	10
8 3 1 0	N型半導体層	
8 3 1 1	配線	
8 3 1 3	導電層	
8 3 1 4	画素電極	
8 3 1 5	絶縁物	
8 3 1 6	層	
8 3 1 7	対向電極	
8 3 1 8	発光素子	
8 3 1 9	駆動トランジスタ	
8 3 2 0	容量素子	20
8 3 2 1	電極	
8 3 2 2	容量素子	
8 4 0 1	絶縁物	
8 5 1 1	基板	
8 5 1 2	絶縁膜	
8 5 1 3	半導体膜	
8 5 1 4	半導体膜	
8 5 1 5	半導体膜	
8 5 1 6	絶縁膜	
8 5 1 7	ゲート電極	30
8 5 1 8	絶縁膜	
8 5 1 9	絶縁膜	
8 5 2 1	サイドウォール	
8 5 2 2	マスク	
8 5 2 3	導電膜	
8 6 0 0	電極層	
8 6 0 1	電界発光層	
8 6 0 2	電界発光層	
8 6 0 3	電極層	
8 6 0 4	絶縁層	40
8 7 0 1	表示パネル	
8 7 0 2	回路基板	
8 7 0 3	コントロール回路	
8 7 0 4	信号分割回路	
8 7 0 5	画素部	
8 7 0 6	走査線駆動回路	
8 7 0 7	信号線駆動回路	
8 7 0 8	接続配線	
8 8 0 1	チューナ	
8 8 0 2	映像信号増幅回路	50

8803	映像信号処理回路	
8804	コントロール回路	
8805	信号分割回路	
8806	音声信号増幅回路	
8807	音声信号処理回路	
8808	スピーカー	
8809	制御回路	
8810	入力部	
8901	筐体	
8902	表示パネル	10
8903	スピーカー	
8904	操作スイッチ	
9001	表示パネル	
9002	プリント基板	
9003	画素部	
9004	走査線駆動回路	
9005	走査線駆動回路	
9006	信号線駆動回路	
9007	コントローラ	
9008	CPU	20
9009	メモリ	
9100	表示素子	
9101	表示パネル	
9201	導電膜	
9202	半導体層	
9203	コンタクト	
9204	導電膜	
9401	電車車両本体	
9402	表示パネル	
9403	表示パネル	30
9404	表示パネル	
9501	車体	
9502	表示パネル	
9601	飛行機車体	
9602	表示パネル	
9603	ヒンジ部	
9701	電柱	
9702	表示パネル	
9703	移動体	
9801	ユニットバス	40
9802	表示パネル	
9910	筐体	
9911	表示部	
9912	リモコン装置	
9913	スピーカー部	
10001	信号制御回路	
10002	画素部	
10003	ゲートドライバ	
10004	封止基板	
10005	シール材	50

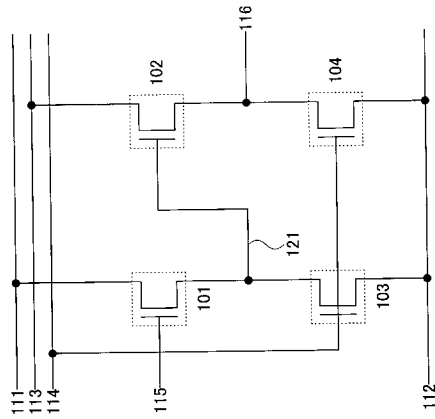
1 0 0 0 6	ゲートドライバ	
1 0 0 0 7	空間	
1 0 0 0 8	配線	
1 0 0 0 9	F P C	
1 0 0 1 0	基板	
1 0 0 1 1	トランジスタ	
1 0 0 1 2	トランジスタ	
1 0 0 1 3	電極	
1 0 0 1 4	絶縁物	
1 0 0 1 6	層	10
1 0 0 1 7	電極	
1 0 0 1 8	発光素子	
1 0 0 1 9	I C チップ	
1 0 0 2 0	トランジスタ	
1 0 0 2 1	トランジスタ	
1 0 0 2 2	I C チップ	
1 0 0 4 0	基板	
1 0 1 0 0	基板	
1 0 1 0 1	信号制御回路	
1 0 1 0 2	画素部	20
1 0 1 0 3	ゲートドライバ	
1 0 1 0 4	ゲートドライバ	
1 0 1 0 5	F P C	
1 0 1 0 6	I C チップ	
1 0 1 0 7	I C チップ	
1 0 1 0 8	封止基板	
1 0 1 0 9	シール材	
1 0 1 1 0	基板	
1 0 1 1 1	信号制御回路	
1 0 1 1 2	画素部	30
1 0 1 1 3	ゲートドライバ	
1 0 1 1 4	ゲートドライバ	
1 0 1 1 5	F P C	
1 0 1 1 6	I C チップ	
1 0 1 1 7	I C チップ	
1 0 1 1 8	封止基板	
1 0 1 1 9	シール材	
1 0 2 0 0	電極層	
1 0 2 0 1	発光材料	
1 0 2 0 2	電界発光層	40
1 0 2 0 3	電極層	
1 0 2 0 4	絶縁層	
1 0 3 0 0	携帯電話機	
1 0 3 0 1	本体 (A)	
1 0 3 0 2	本体 (B)	
1 0 3 0 3	筐体	
1 0 3 0 4	操作スイッチ類	
1 0 3 0 5	マイクロフォン	
1 0 3 0 6	スピーカ	
1 0 3 0 7	回路基板	50

1 0 3 0 8	表示パネル (A)	
1 0 3 0 9	表示パネル (B)	
1 0 3 1 0	蝶番	
1 0 4 0 1	Nチャネル型トランジスタ	
1 0 4 0 2	Nチャネル型トランジスタ	
1 0 4 0 3	Pチャネル型トランジスタ	
1 0 4 0 4	容量素子	
1 0 4 0 5	抵抗素子	
1 0 5 0 2	導電層	
1 0 5 0 3	導電層	10
1 0 5 0 4	配線	
1 0 5 0 5	半導体層	
1 0 5 0 6	不純物領域	
1 0 5 0 7	不純物領域	
1 0 5 0 8	絶縁層	
1 0 5 0 9	ゲート電極	
1 0 5 1 0	不純物領域	
1 0 5 1 1	不純物領域	
1 0 5 1 2	不純物領域	
4 9 0 2 A	ゲートドライバ	20
4 9 0 2 B	ゲートドライバ	
5 6 0 3 a	スイッチ	
5 6 0 3 b	スイッチ	
5 6 0 3 c	スイッチ	
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	
5 7 0 3 c	タイミング	
5 8 0 3 a	タイミング	
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	30
5 9 0 3 a	トランジスタ	
5 9 0 3 b	トランジスタ	
5 9 0 3 c	トランジスタ	
6 3 0 1 a	トランジスタ	
6 3 0 1 b	トランジスタ	
6 3 0 2 a	トランジスタ	
6 3 0 2 b	トランジスタ	
7 3 7 7 a	ゲートバルブ	
7 4 8 1 a	蒸発源	
7 4 8 1 b	蒸発源	40
7 4 8 1 c	蒸発源	
7 4 8 5 a	材料供給源	
7 4 8 5 b	材料供給源	
7 4 8 5 c	材料供給源	
7 8 0 6 B	カラーフィルター	
7 8 0 6 G	カラーフィルター	
7 8 0 6 R	カラーフィルター	
8 6 0 4 a	絶縁層	
8 6 0 4 b	絶縁層	
9 0 0 1 0	電源回路	50

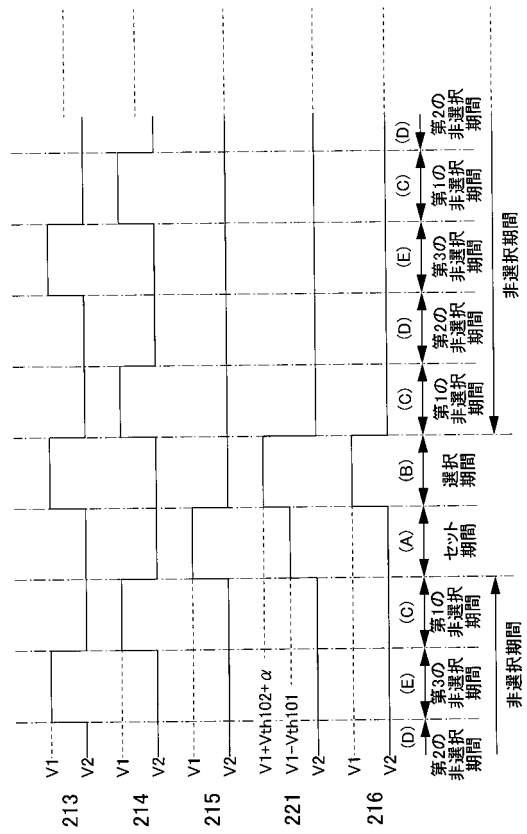
9 0 0 1 1	音声処理回路	
9 0 0 1 2	送受信回路	
9 0 0 1 3	F P C	
9 0 0 1 4	インターフェース部	
9 0 0 1 5	アンテナ用ポート	
9 0 0 1 6	V R A M	
9 0 0 1 7	D R A M	
9 0 0 1 8	フラッシュメモリ	
9 0 0 1 9	インターフェース	
9 0 0 2 0	制御信号生成回路	10
9 0 0 2 1	デコーダ	
9 0 0 2 2	レジスタ	
9 0 0 2 3	演算回路	
9 0 0 2 4	R A M	
9 0 0 2 5	入力手段	
9 0 0 2 6	マイク	
9 0 0 2 7	スピーカ	
9 0 0 2 8	アンテナ	
9 1 0 1 3	F P C	
9 1 0 3 0	ハウジング	20
9 1 0 3 1	プリント基板	
9 1 0 3 2	スピーカ	
9 1 0 3 3	マイクロフォン	
9 1 0 3 4	送受信回路	
9 1 0 3 5	信号処理回路	
9 1 0 3 6	入力手段	
9 1 0 3 7	バッテリー	
9 1 0 3 9	筐体	
9 3 0 0 1	筐体	
9 3 0 0 2	支持台	30
9 3 0 0 3	表示部	
9 3 0 0 4	スピーカ部	
9 3 0 0 5	ビデオ入力端子	
9 3 1 0 1	本体	
9 3 1 0 2	表示部	
9 3 1 0 3	受像部	
9 3 1 0 4	操作キー	
9 3 1 0 5	外部接続ポート	
9 3 1 0 6	シャッターボタン	
9 3 2 0 1	本体	40
9 3 2 0 2	筐体	
9 3 2 0 3	表示部	
9 3 2 0 4	キーボード	
9 3 2 0 5	外部接続ポート	
9 3 2 0 6	ポインティングデバイス	
9 3 3 0 1	本体	
9 3 3 0 2	表示部	
9 3 3 0 3	スイッチ	
9 3 3 0 4	操作キー	
9 3 3 0 5	赤外線ポート	50

9 3 4 0 1	本体	
9 3 4 0 2	筐体	
9 3 4 0 3	表示部 A	
9 3 4 0 4	表示部 B	
9 3 4 0 5	部	
9 3 4 0 6	操作キー	
9 3 4 0 7	スピーカー部	
9 3 5 0 1	本体	
9 3 5 0 2	表示部	
9 3 5 0 3	アーム部	10
9 3 6 0 1	本体	
9 3 6 0 2	表示部	
9 3 6 0 3	筐体	
9 3 6 0 4	外部接続ポート	
9 3 6 0 5	リモコン受信部	
9 3 6 0 6	受像部	
9 3 6 0 7	バッテリー	
9 3 6 0 8	音声入力部	
9 3 6 0 9	操作キー	
9 3 7 0 1	本体	20
9 3 7 0 2	筐体	
9 3 7 0 3	表示部	
9 3 7 0 4	音声入力部	
9 3 7 0 5	音声出力部	
9 3 7 0 6	操作キー	
9 3 7 0 7	外部接続ポート	
9 3 7 0 8	アンテナ	
1 0 2 0 4 a	絶縁層	
1 0 2 0 4 b	絶縁層	

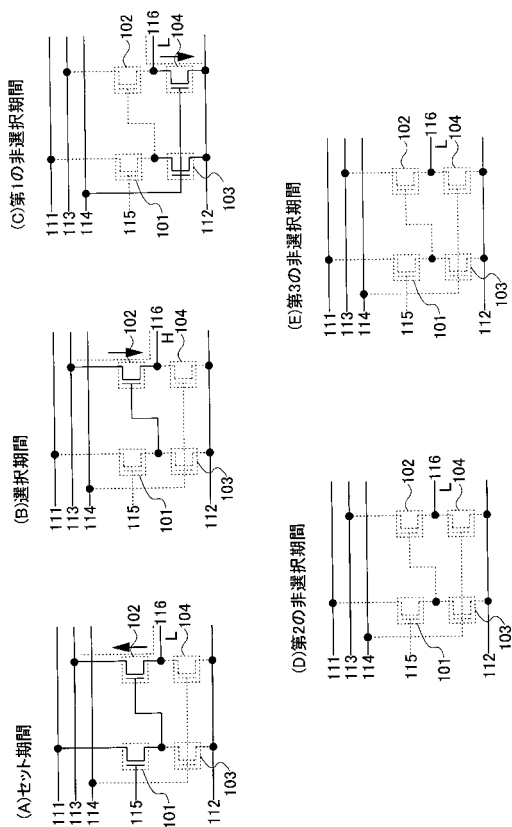
【図 1】



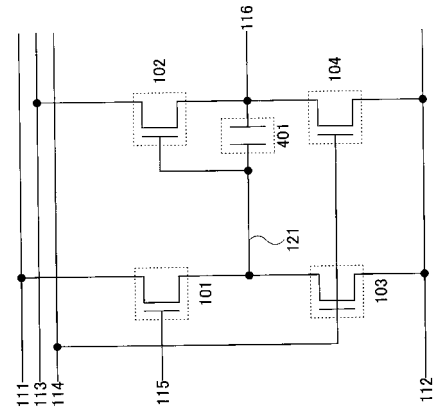
【図 2】



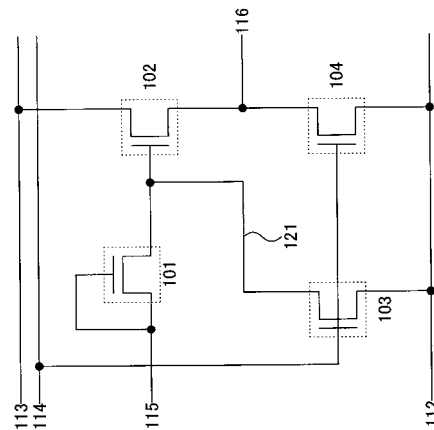
【図 3】



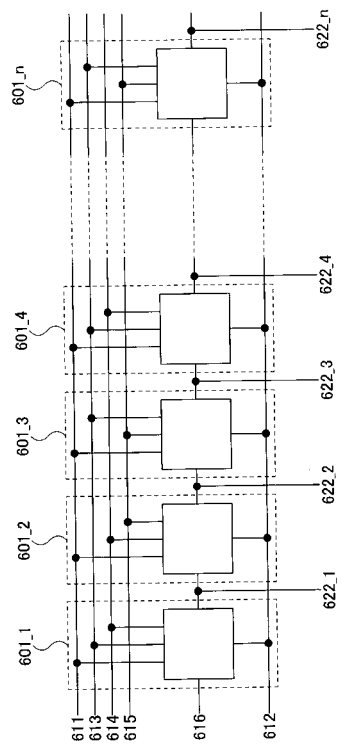
【図 4】



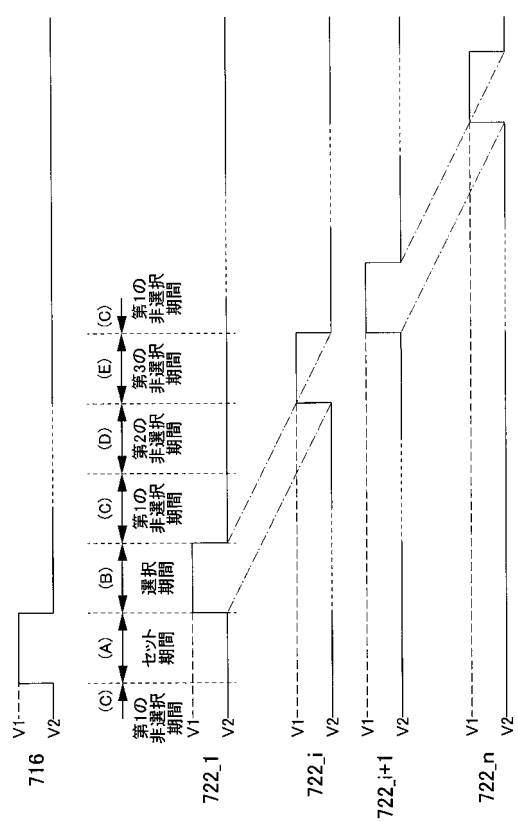
【図 5】



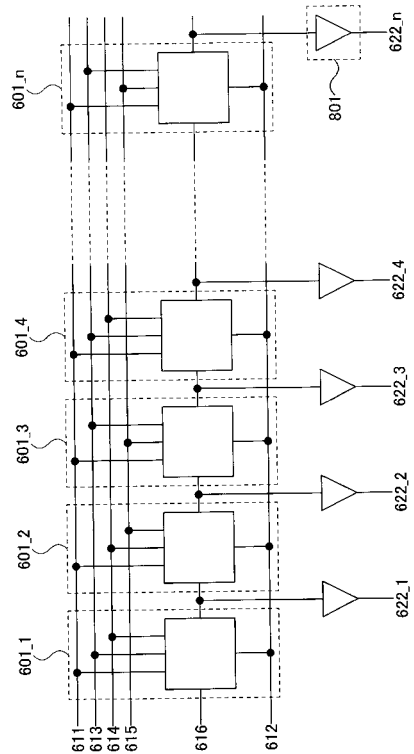
【図 6】



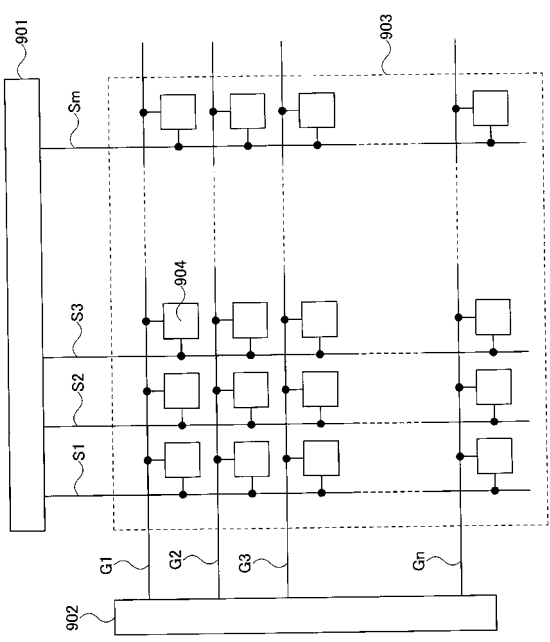
【図 7】



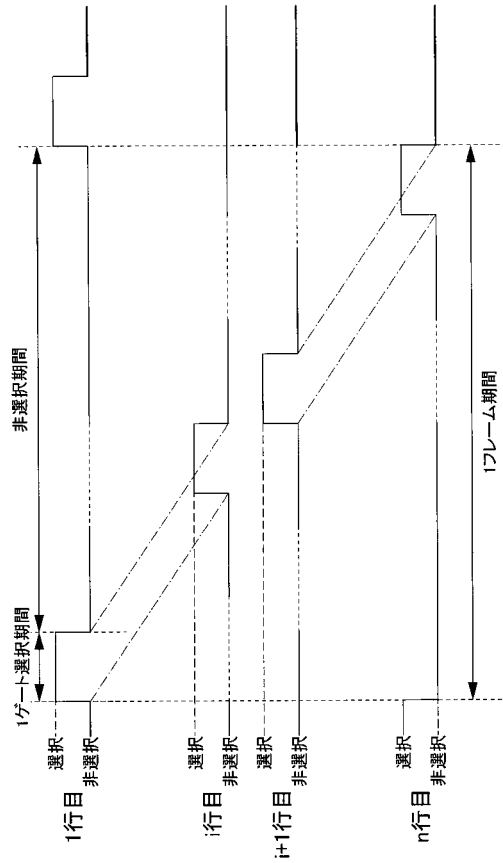
【図 8】



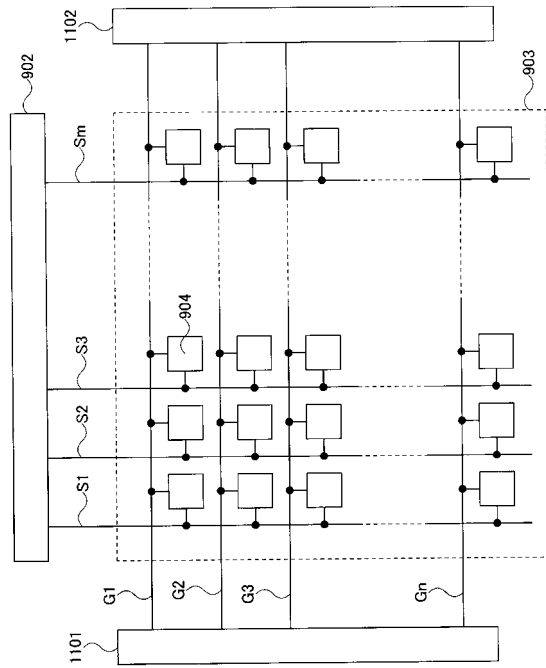
【図 9】



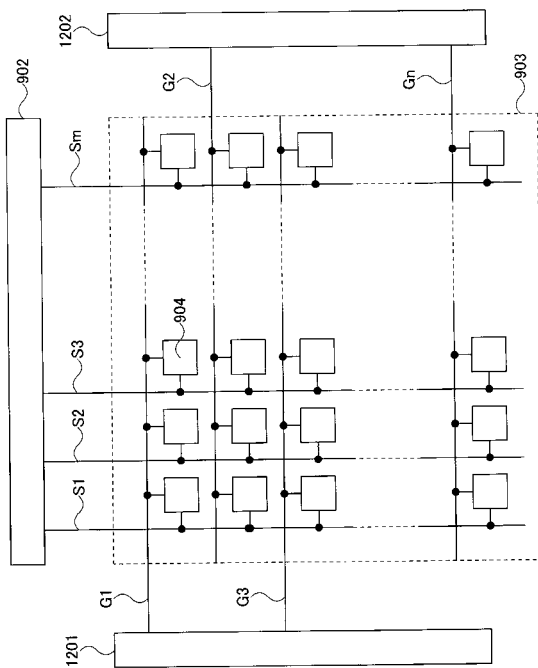
【図 10】



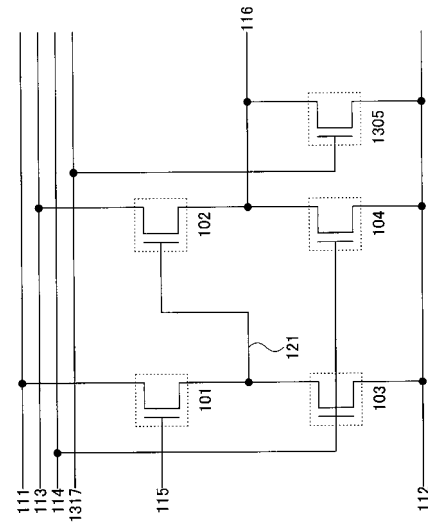
【図 11】



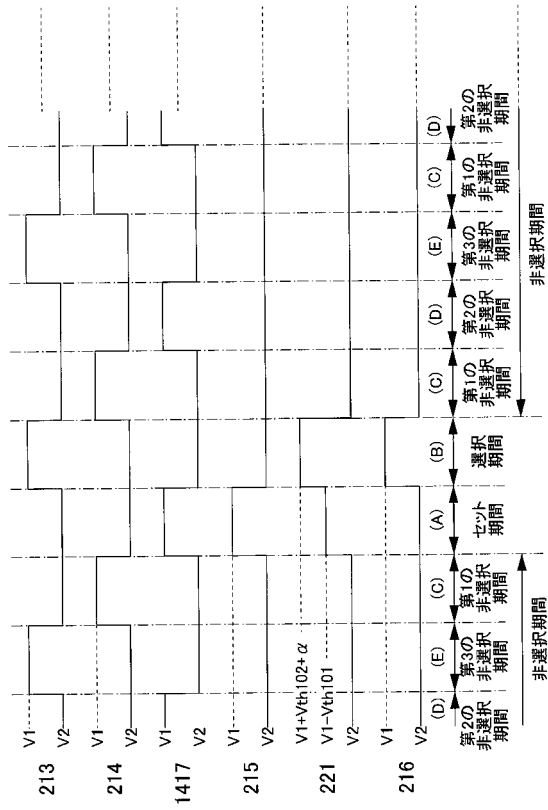
【図 12】



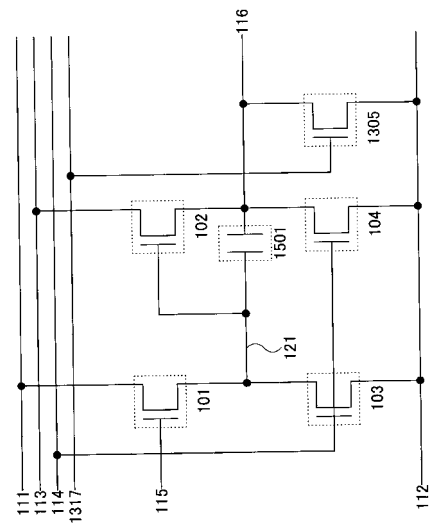
【図 13】



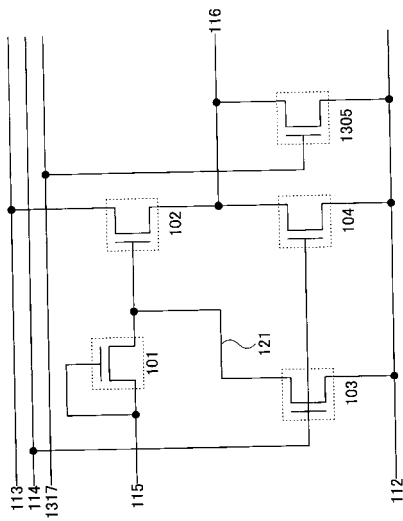
【図 14】



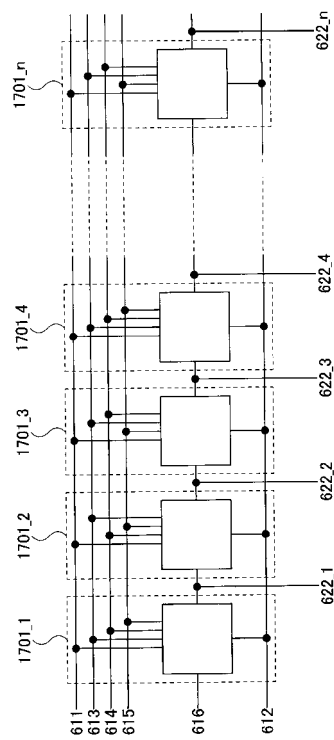
【図 15】



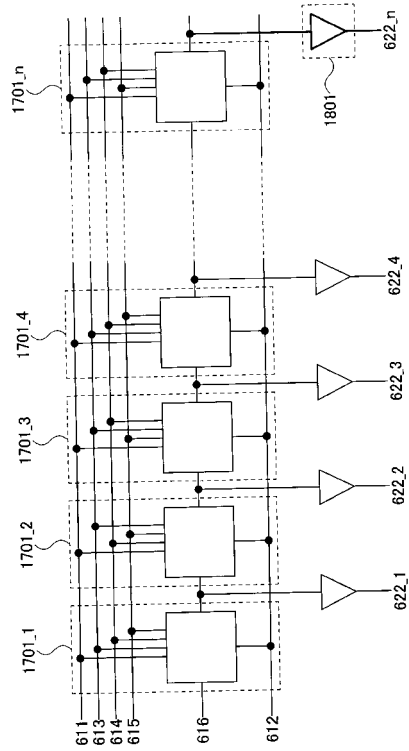
【図 16】



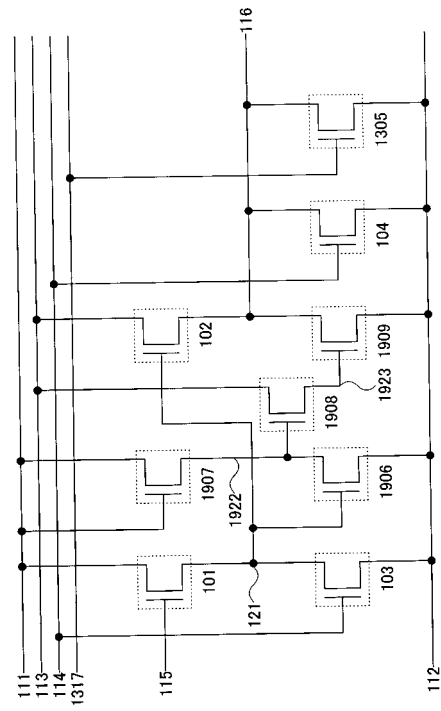
【図 17】



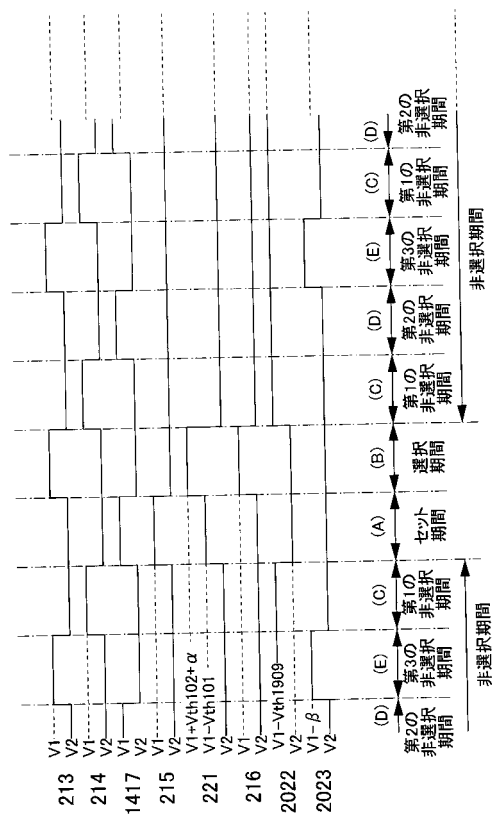
【図 18】



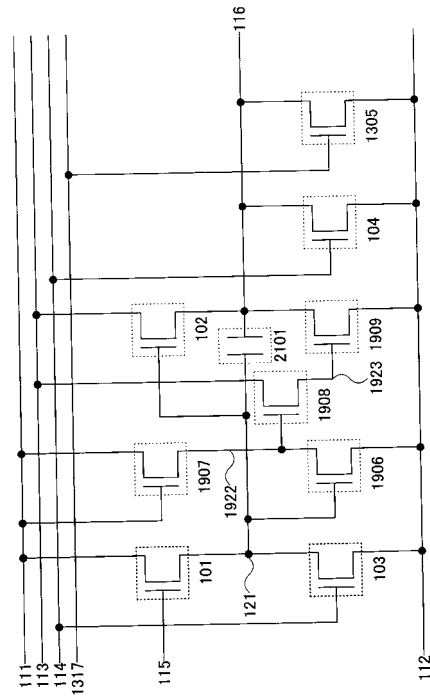
【図 19】



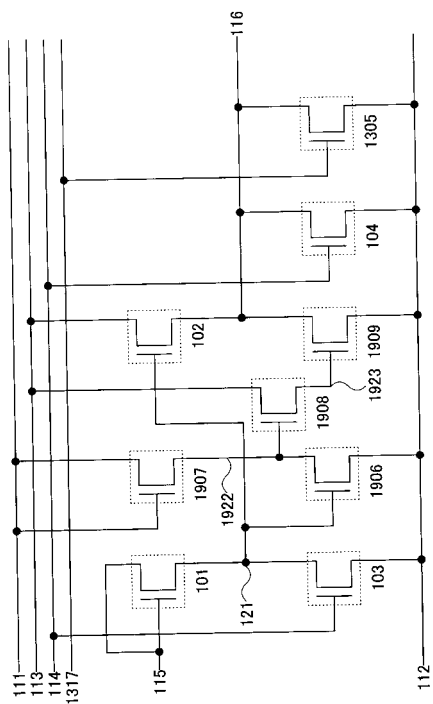
【図 20】



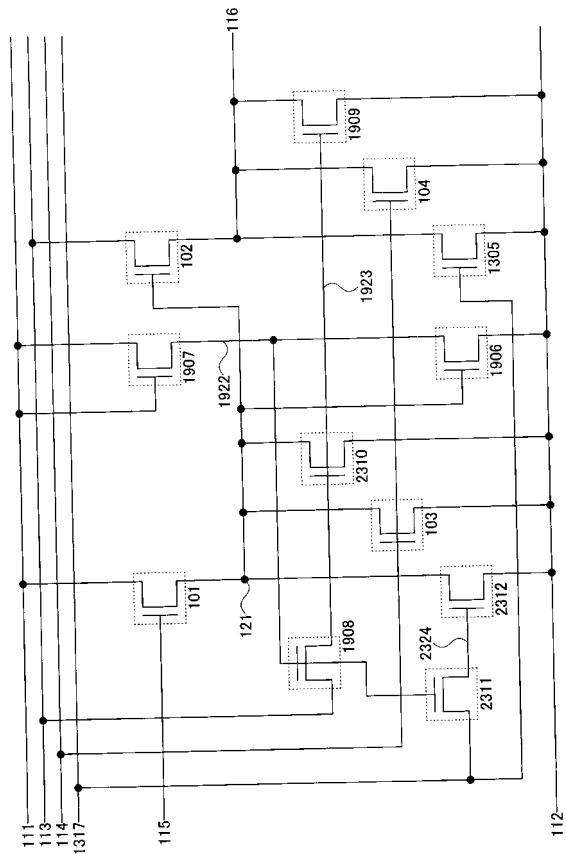
【図 21】



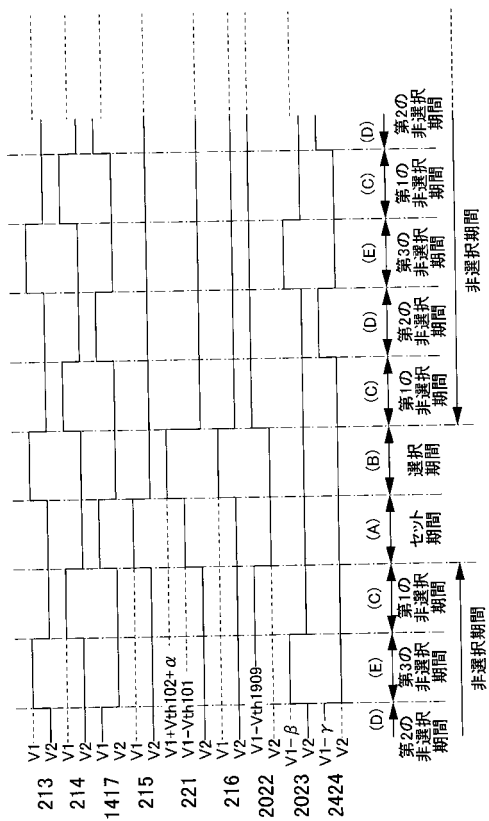
【图 2 2】



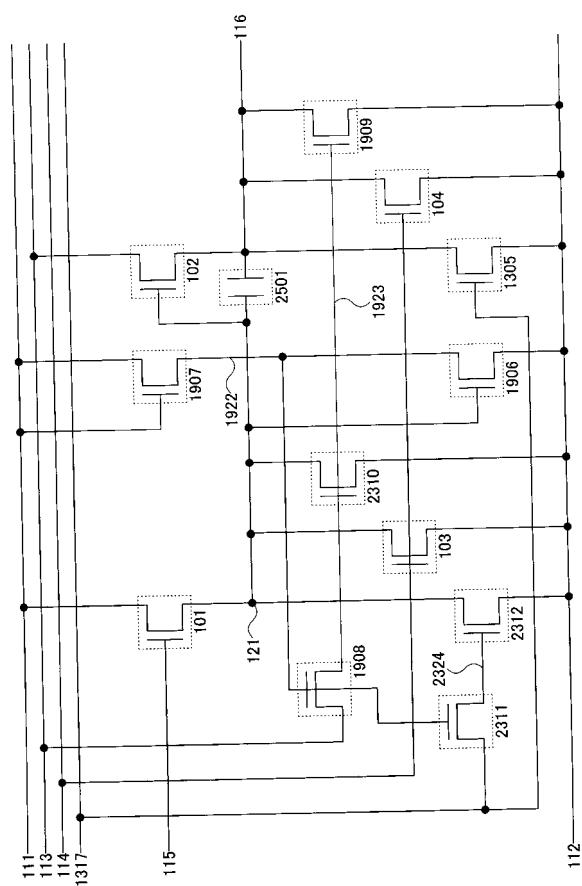
【图 2 3】



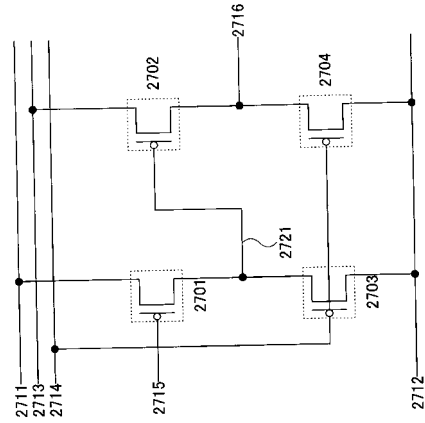
【図 2 4】



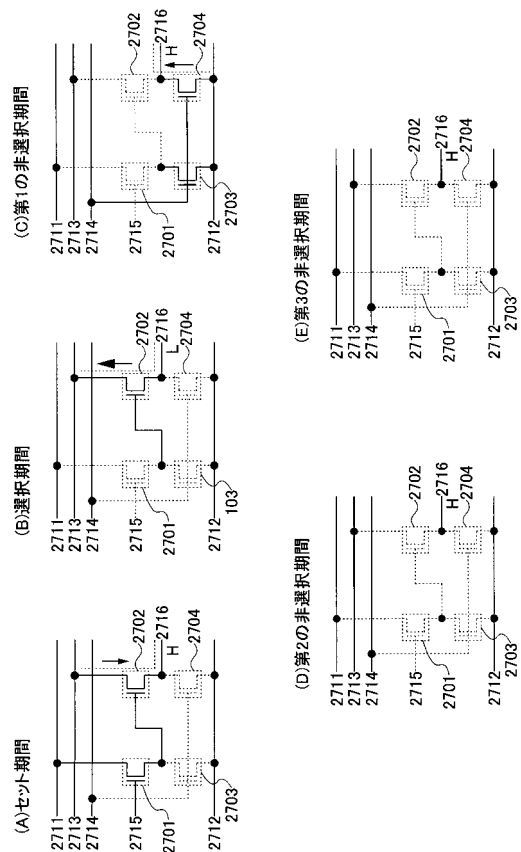
【図 25】



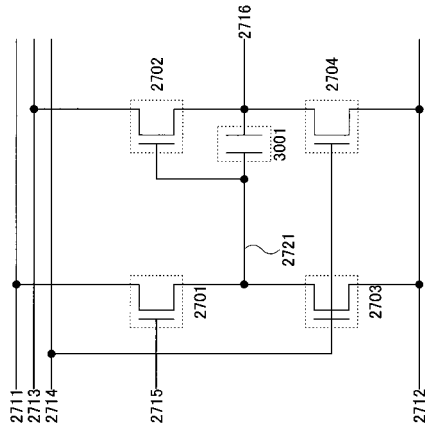
【図 27】



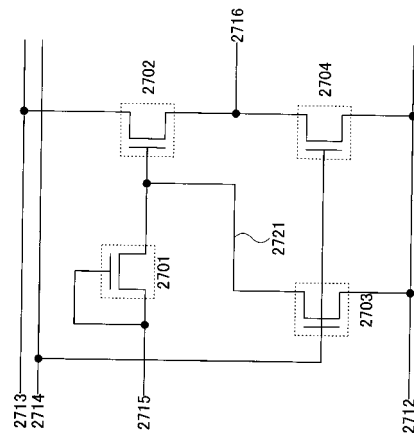
【图 29】



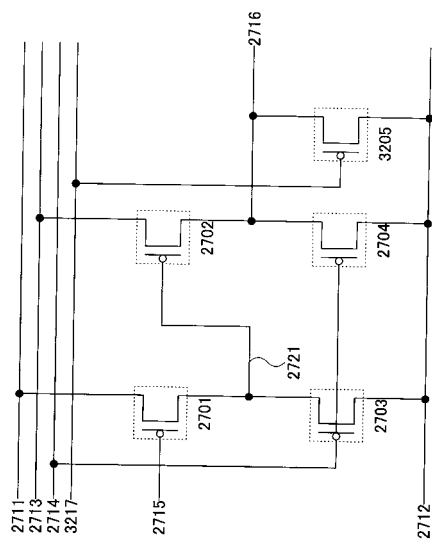
【図 30】



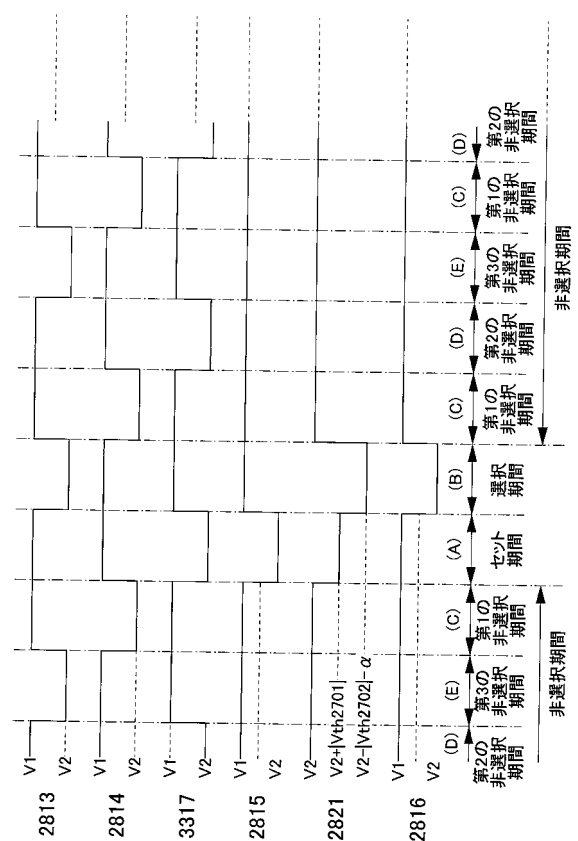
【図 31】



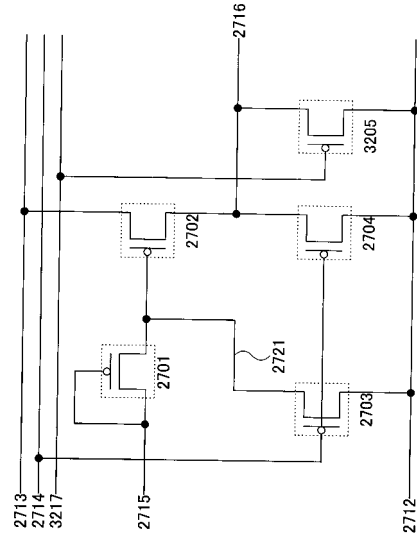
【図 32】



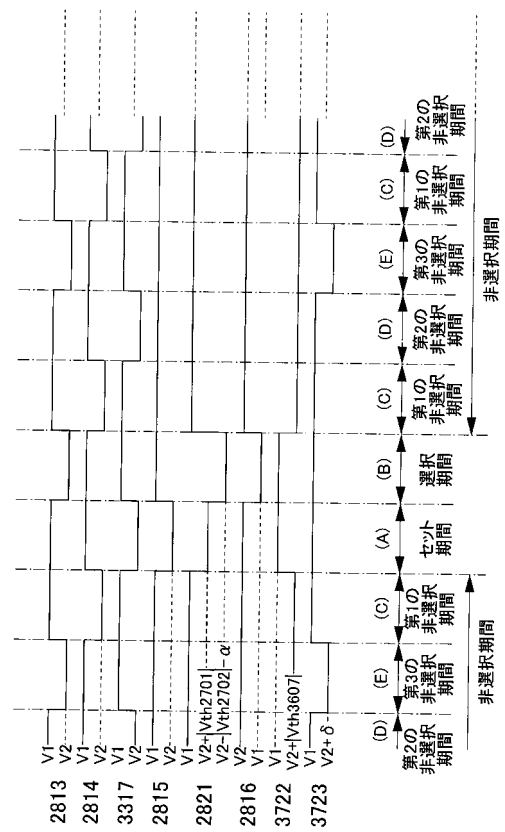
【図 33】



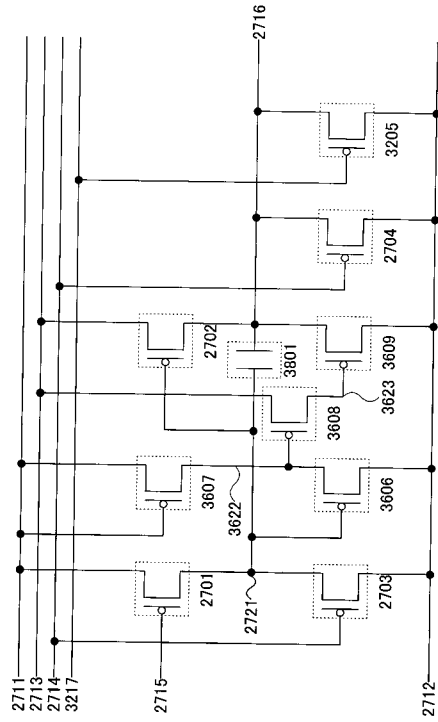
【図 3 5】



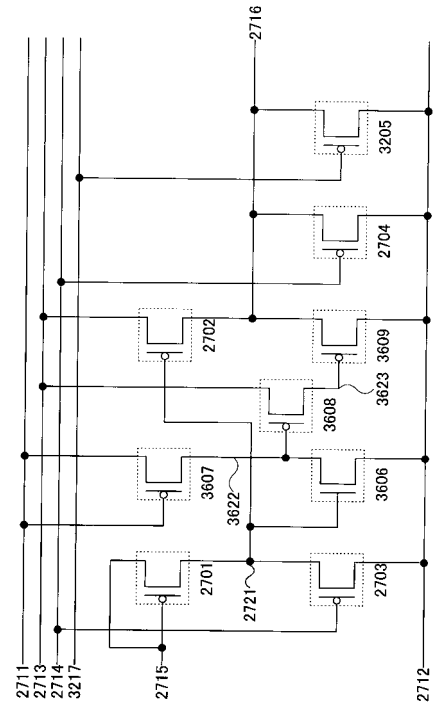
【图 3 7】



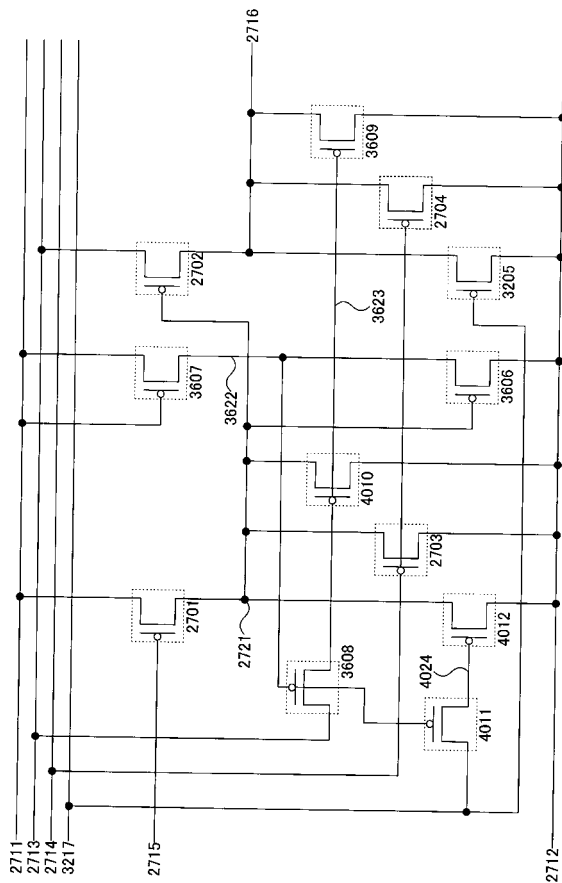
【図 38】



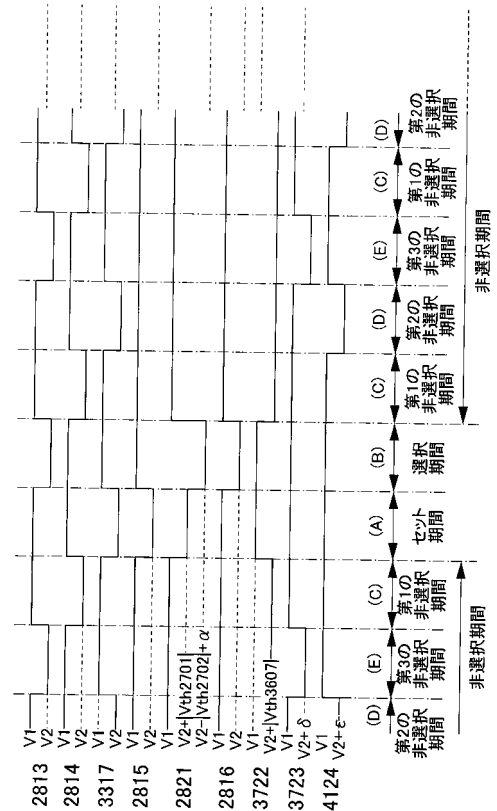
【図 39】



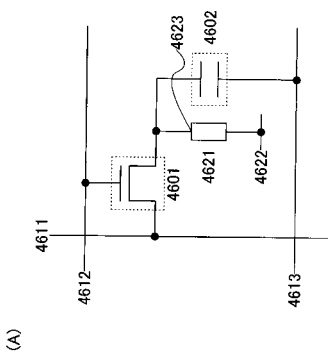
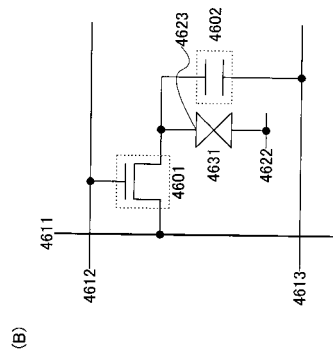
【図 40】



【図 41】

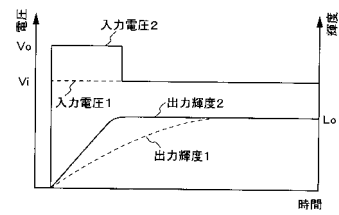


【図 46】

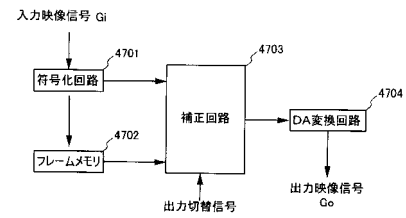


【図 47】

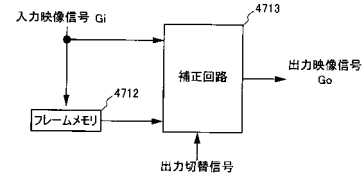
(A) 電圧と輝度



(B) オーバードライブ回路 (アナログ)

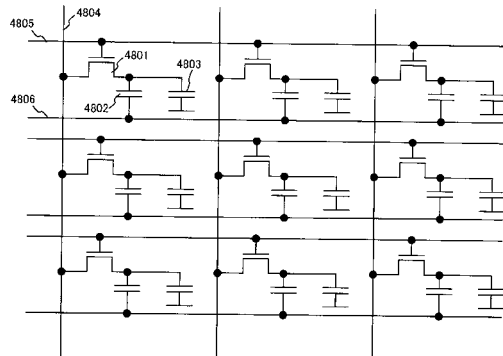


(C) オーバードライブ回路 (デジタル)

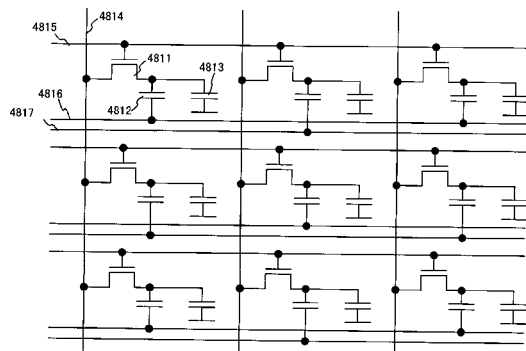


【図 48】

(A) コモン線 1 本

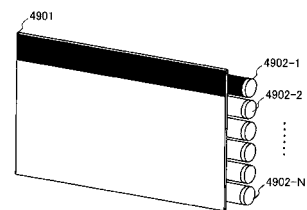


(B) コモン線 2 本

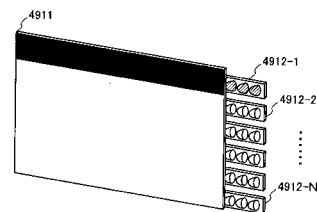


【図 49】

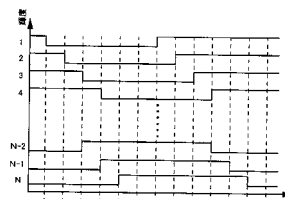
(A) 冷陰極管



(B) LED

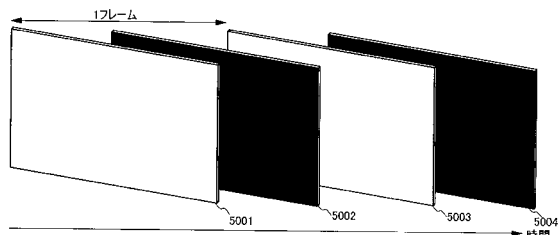


(C) スキャン

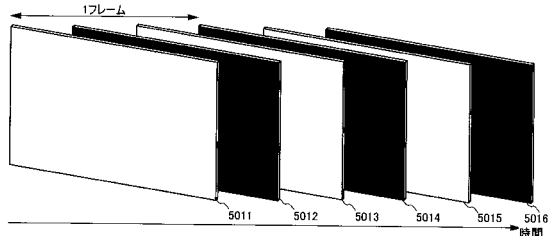


【図 50】

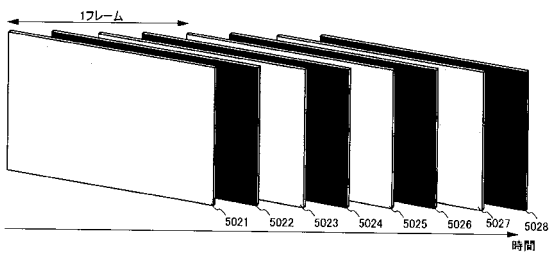
(A) 60Hz黒挿入



(B) 90Hz黒挿入

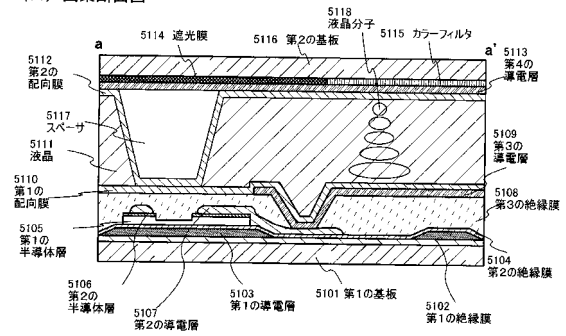


(C) 120Hz黒挿入

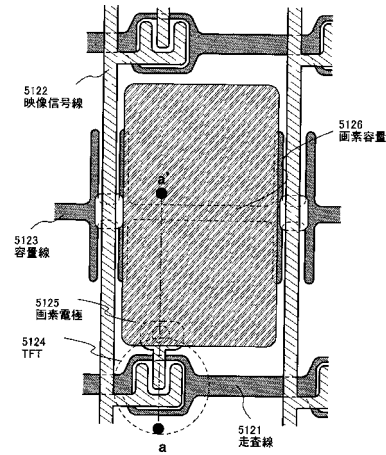


【図 51】

(A) 画素断面図

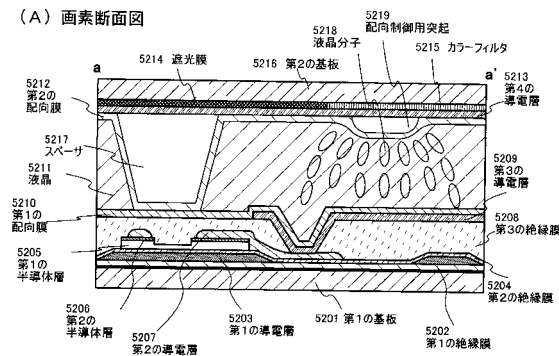


(B) 画素上面図

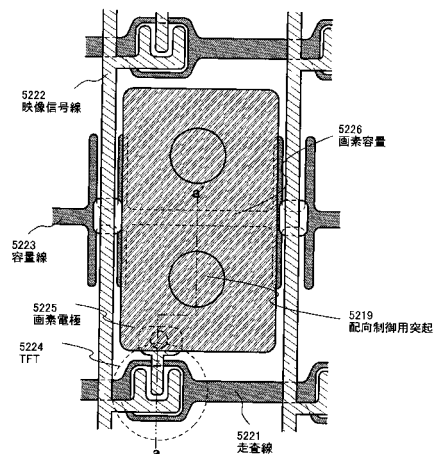


【図 52】

(A) 画素断面図

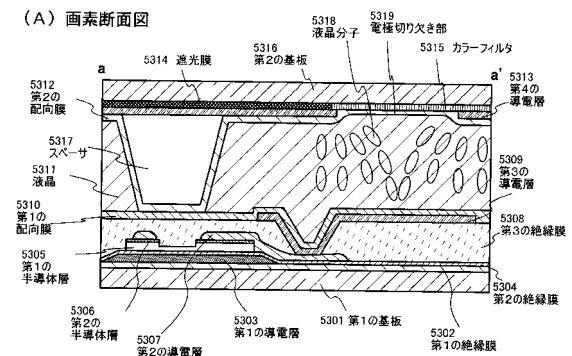


(B) 画素上面図

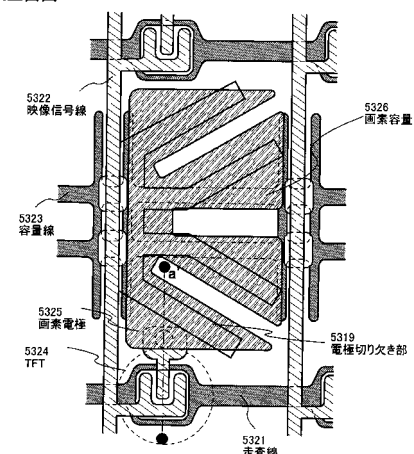


【図 53】

(A) 画素断面図

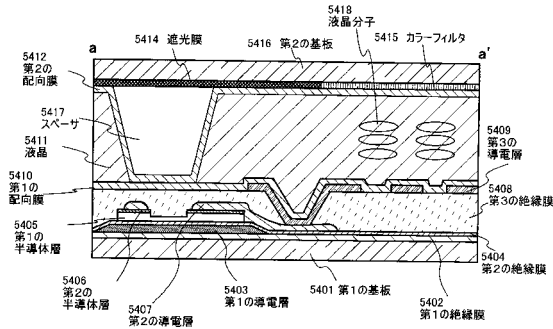


(B) 画素上面図

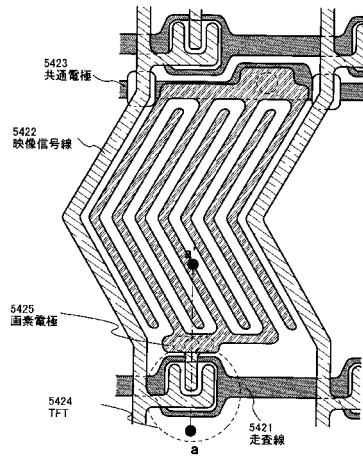


【図 5 4】

(A) 画素断面図

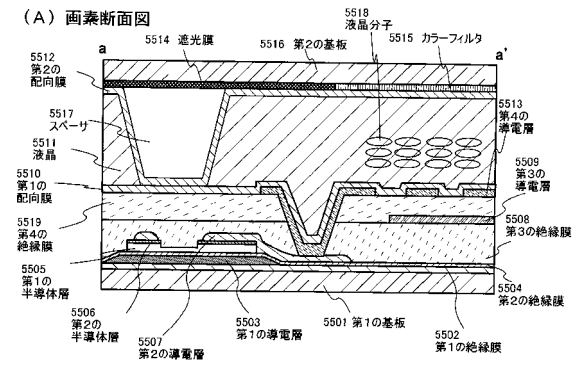


(B) 画素上面図

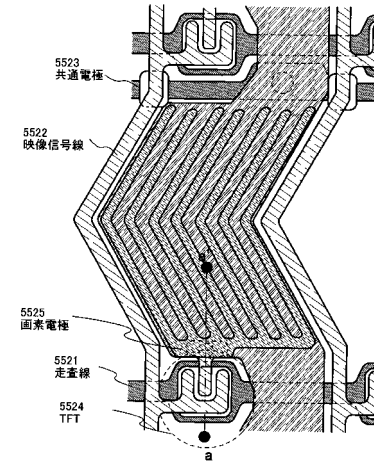


【図 5 5】

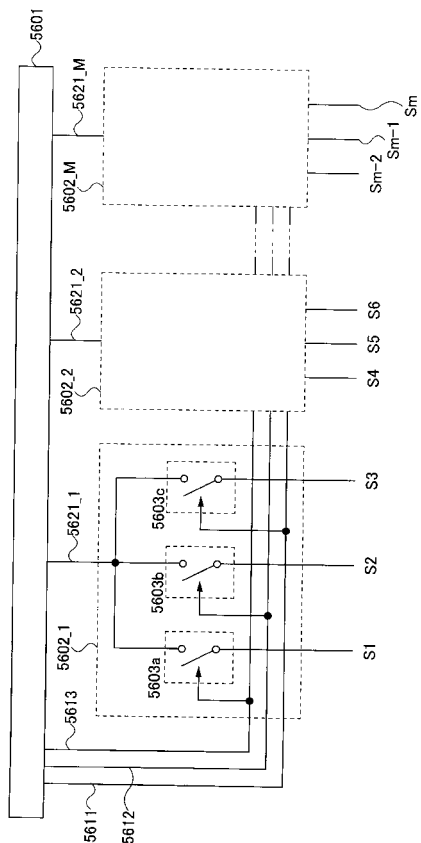
(A) 画素断面图



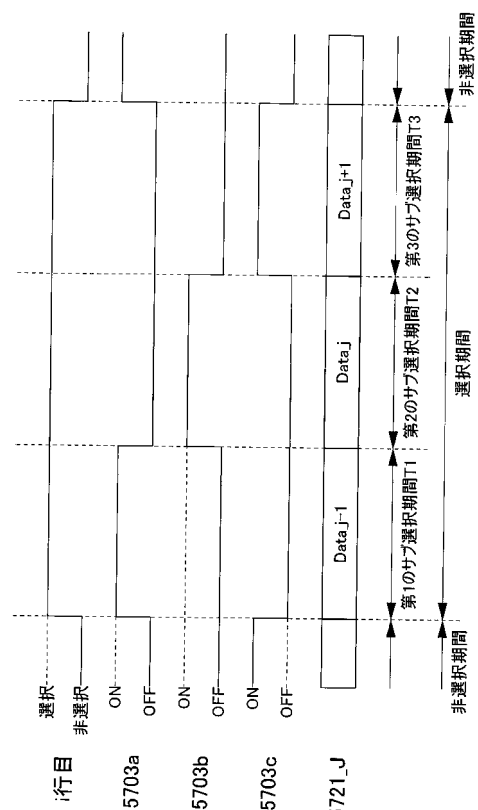
(B) 画素上面図



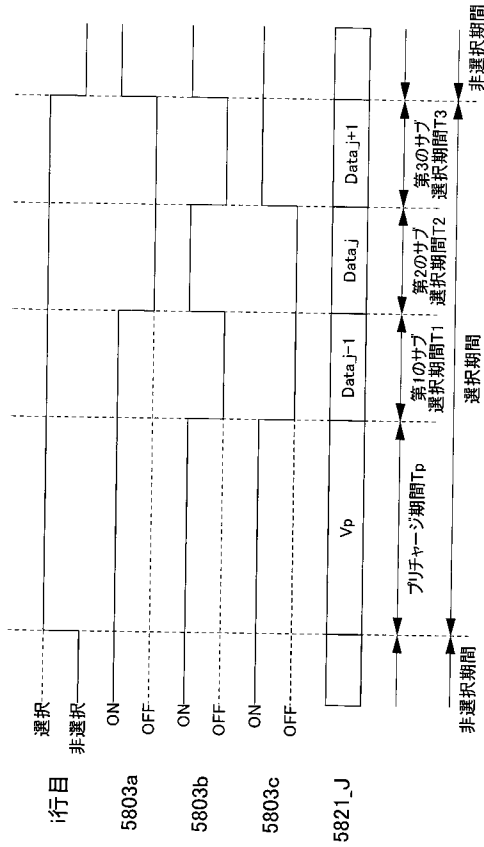
【図 5 6】



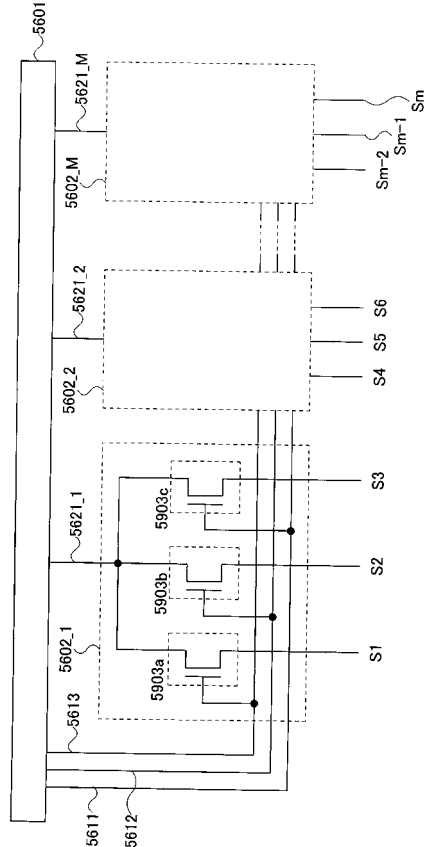
【图 5 7】



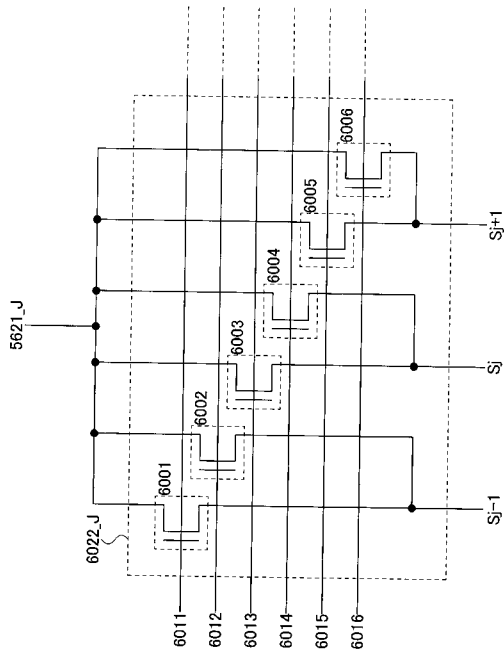
【図 58】



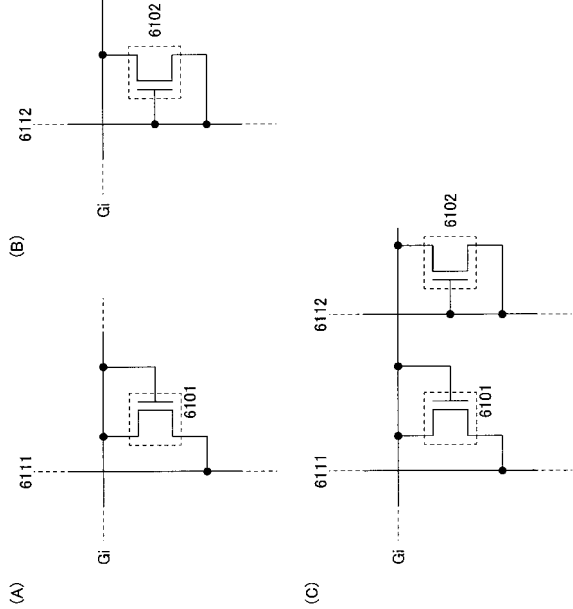
【図 59】



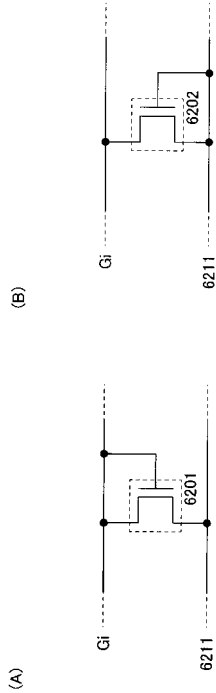
【図 60】



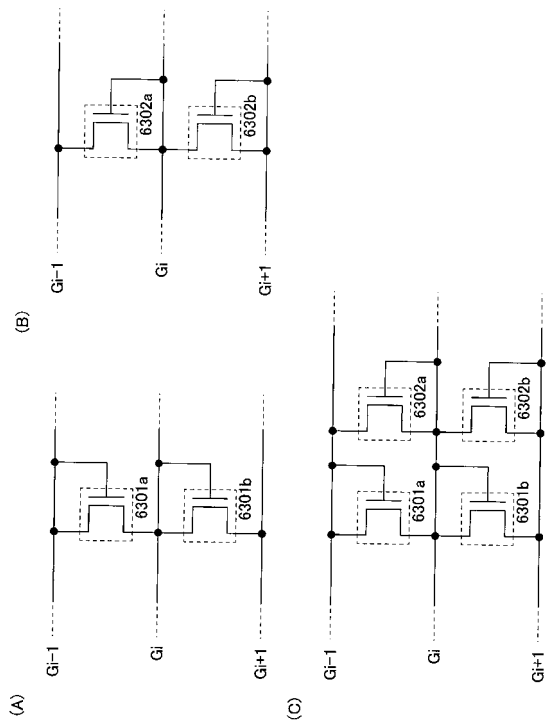
【図 61】



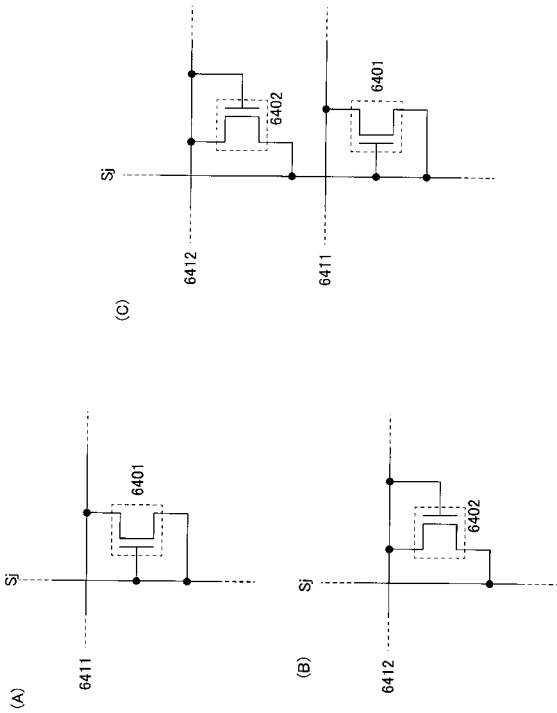
【図 6 2】



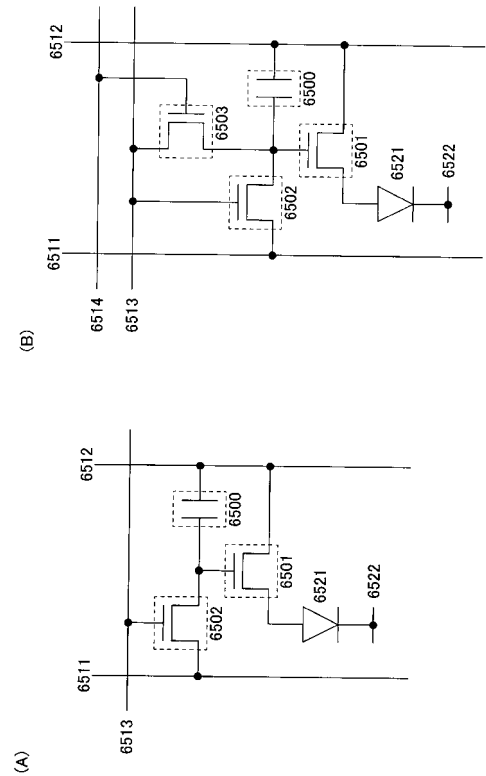
【図 6 3】



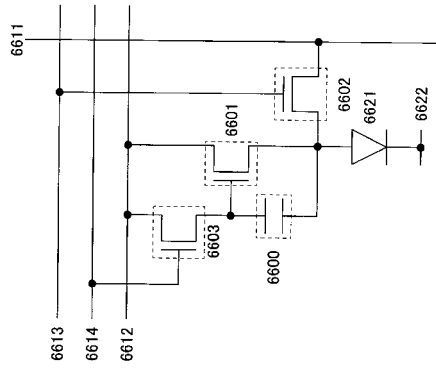
【図 6 4】



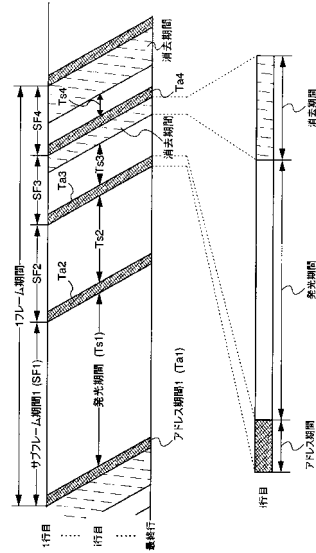
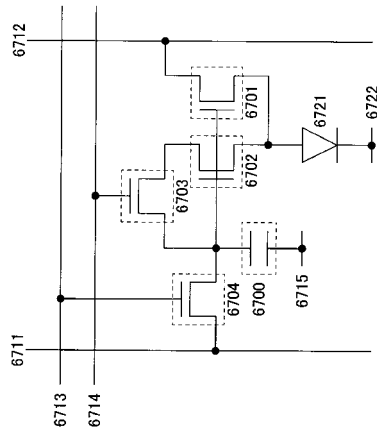
【図 6 5】



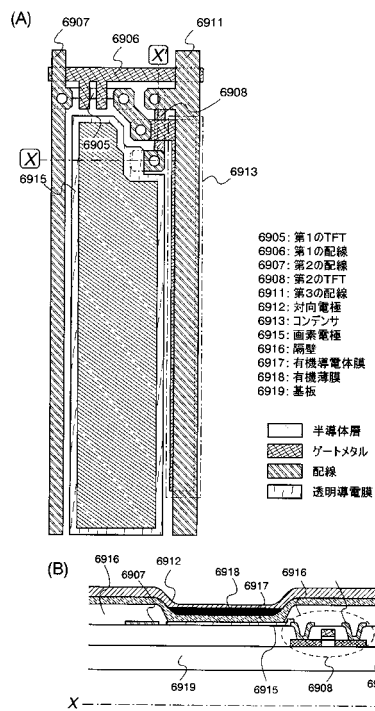
【図 6 8】



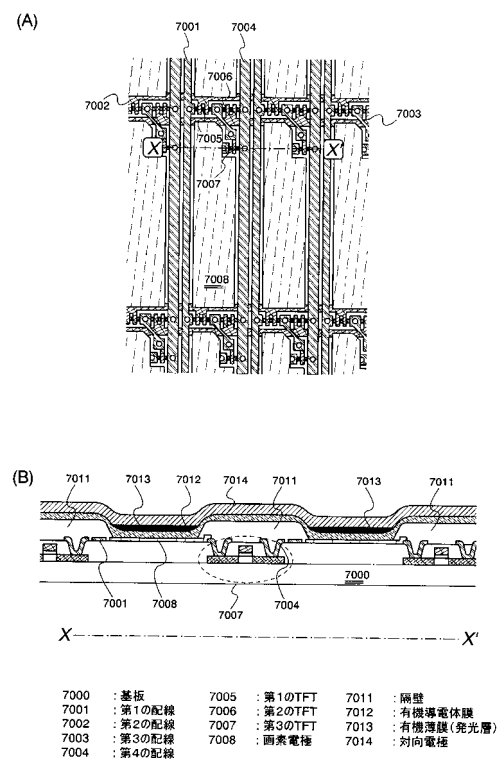
【図 6 7】



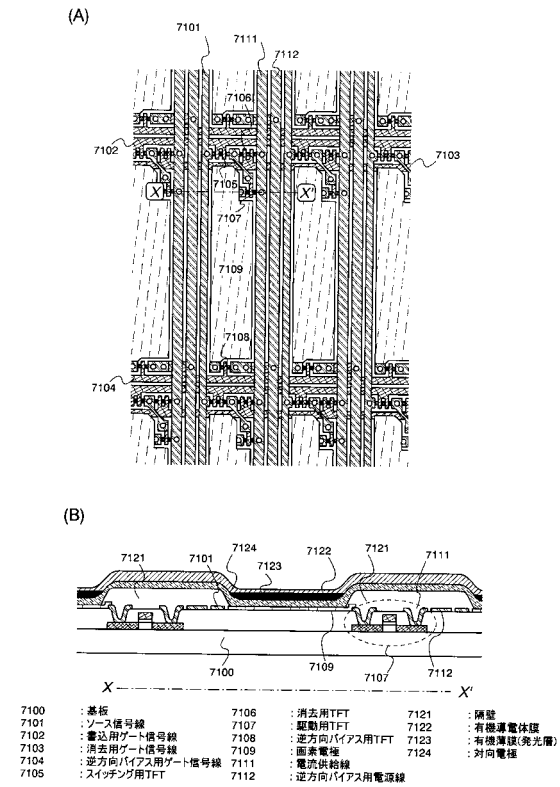
【図 6 9】



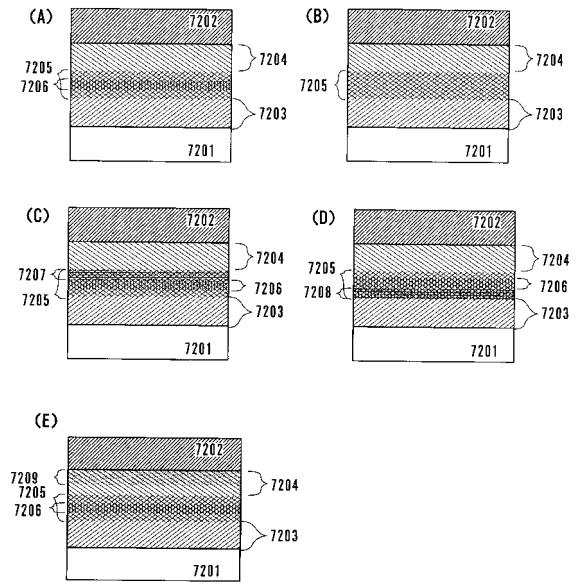
【图 7 0】



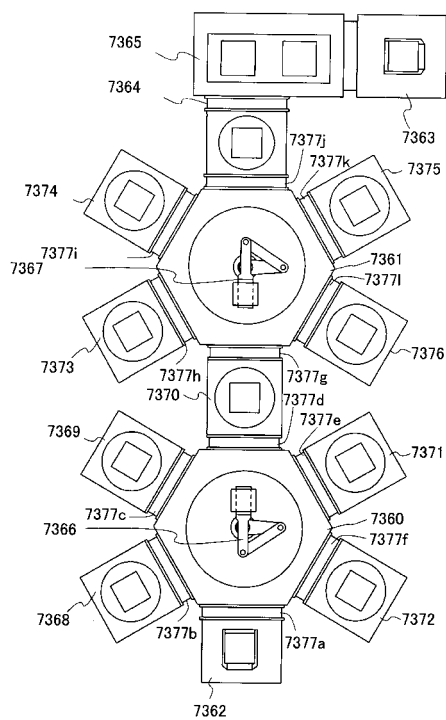
【図 7 1】



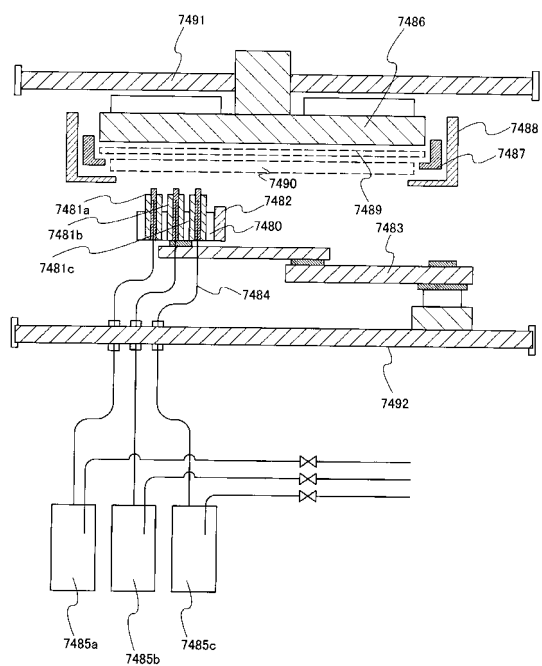
【図 7 2】



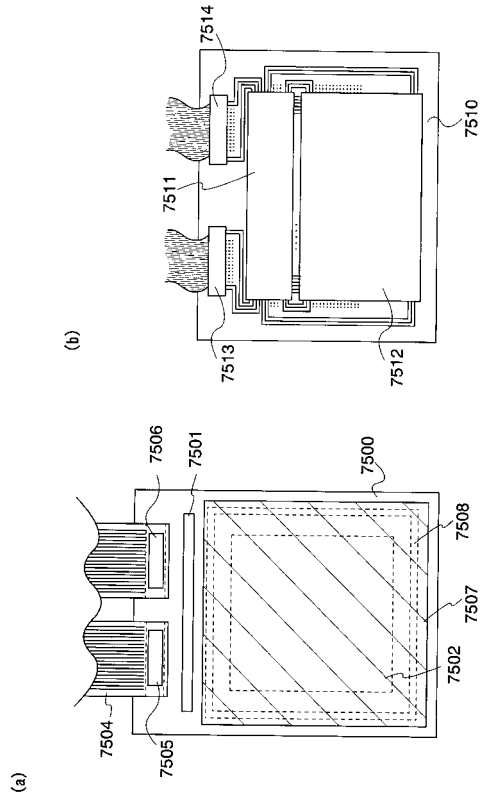
【図 7 3】



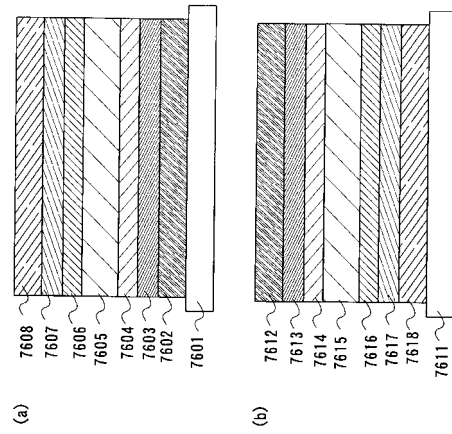
【図 7 4】



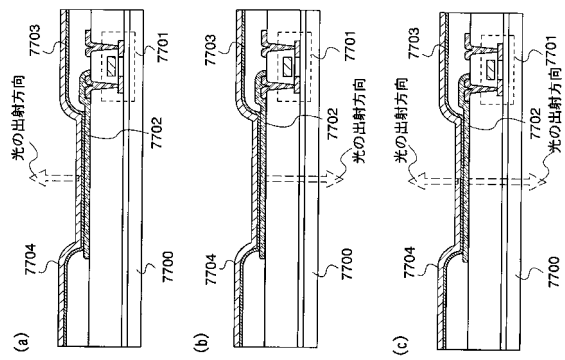
【図 75】



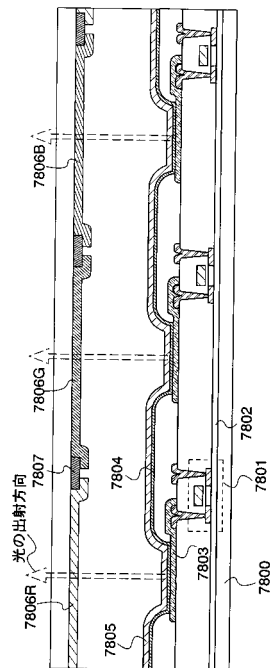
【図 76】



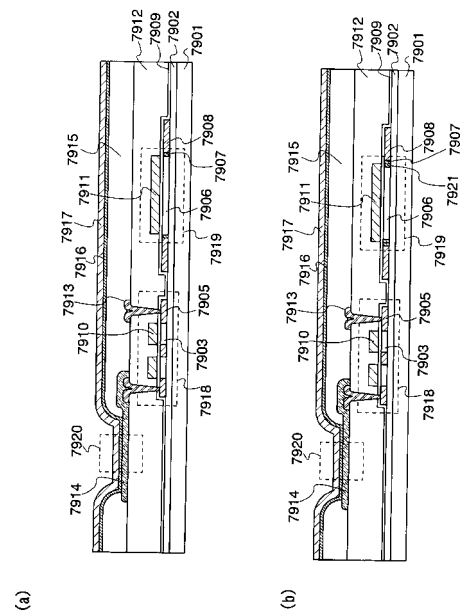
【図 77】



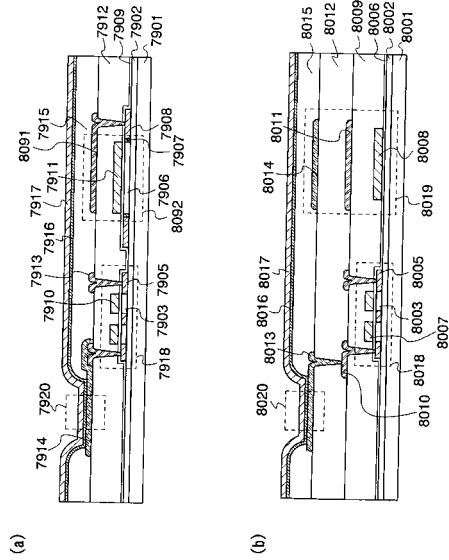
【図 78】



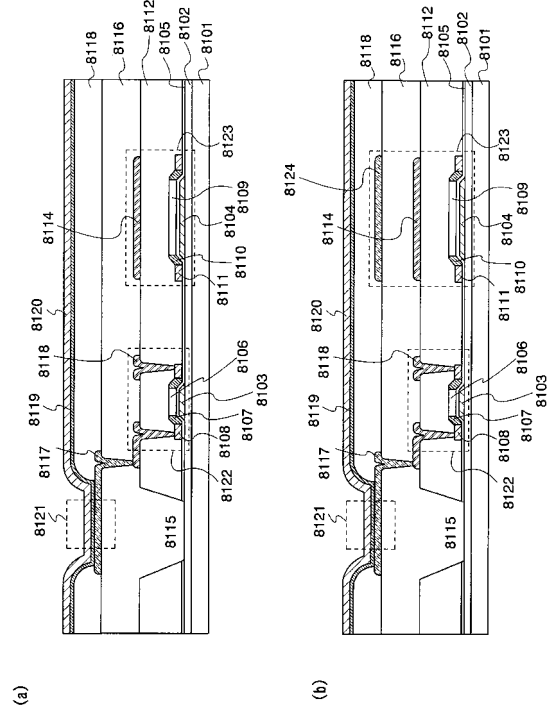
【図 79】



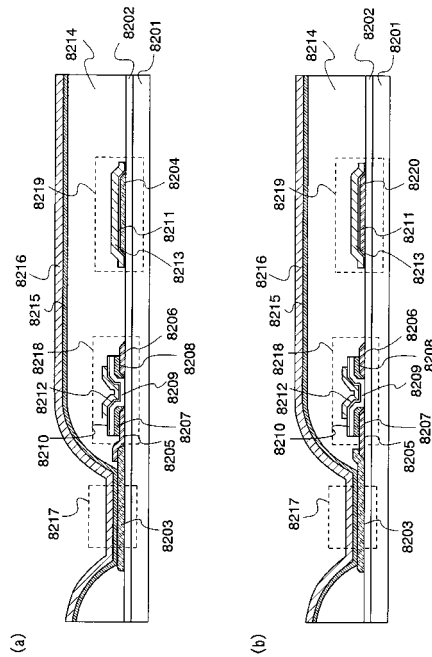
【図 8 0】



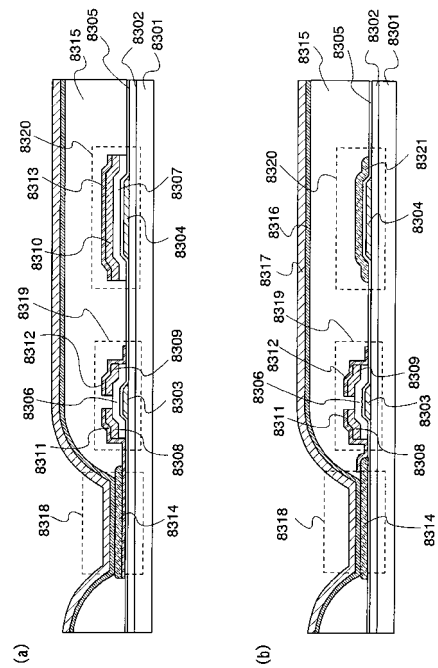
【图 8 1】



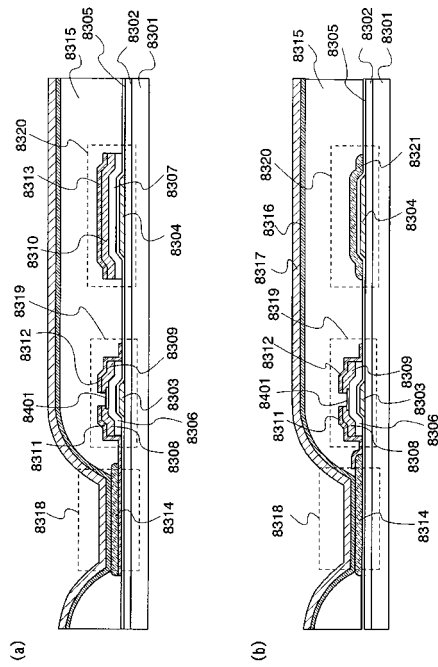
【図 8 2】



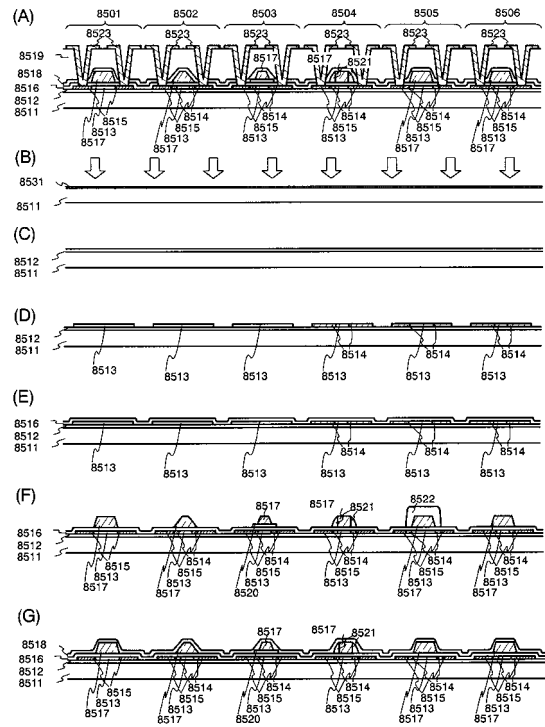
【图 8 3】



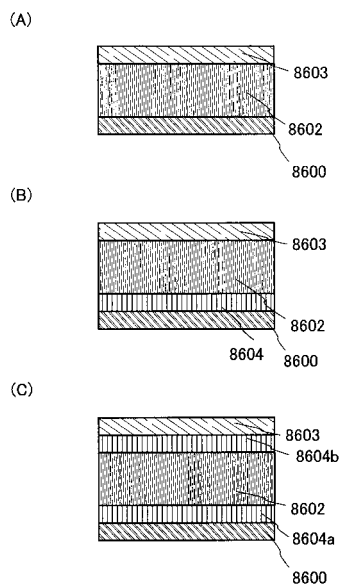
【図 8 4】



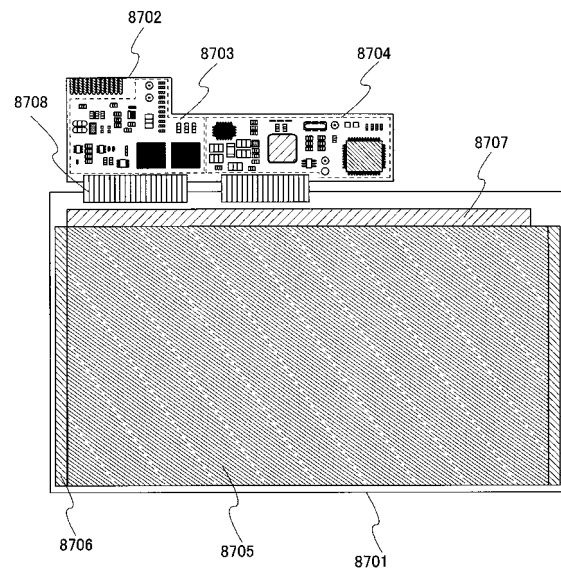
【図 8 5】



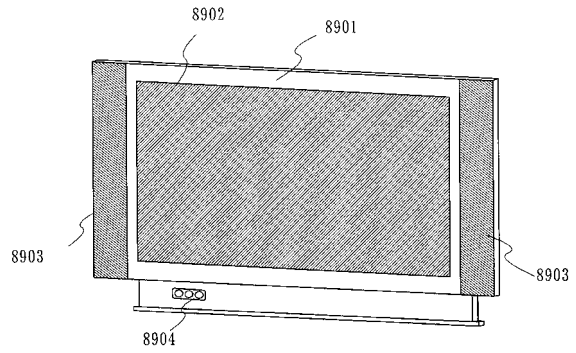
【図 8 6】



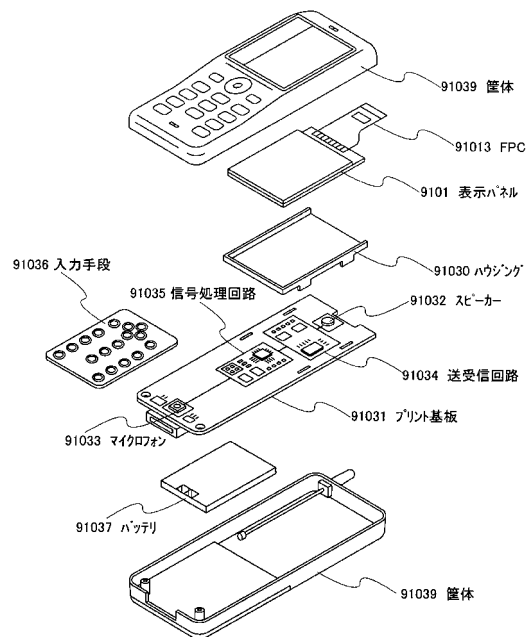
【图 8 7】



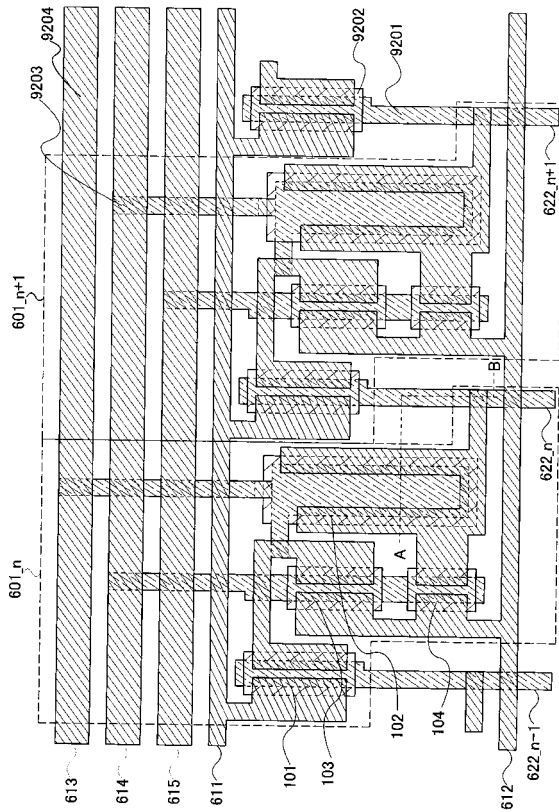
【図 8 9】



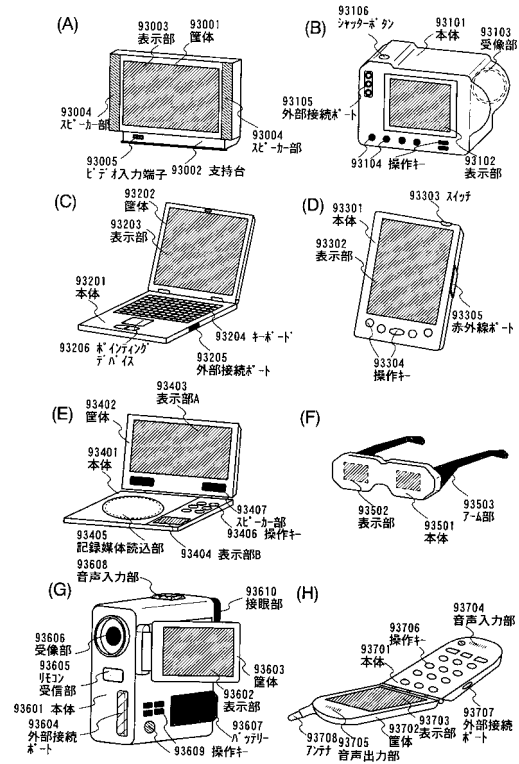
【图 9 1】



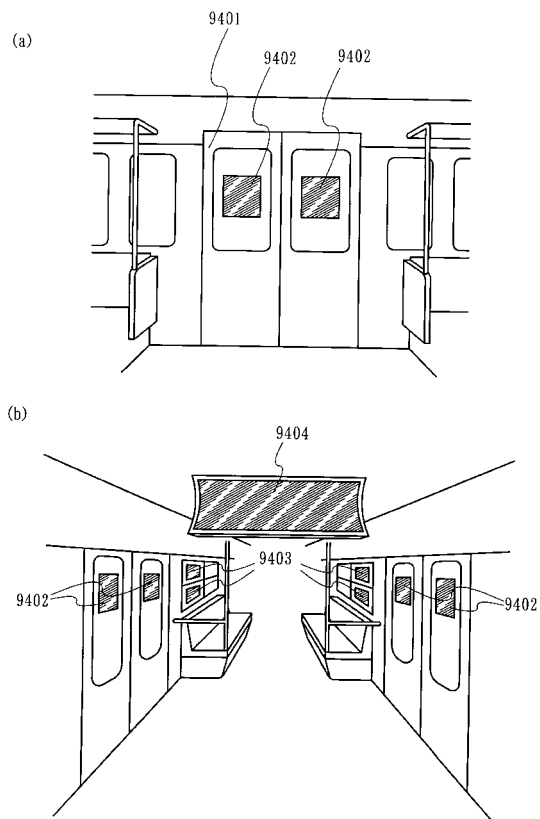
【図 9 2】



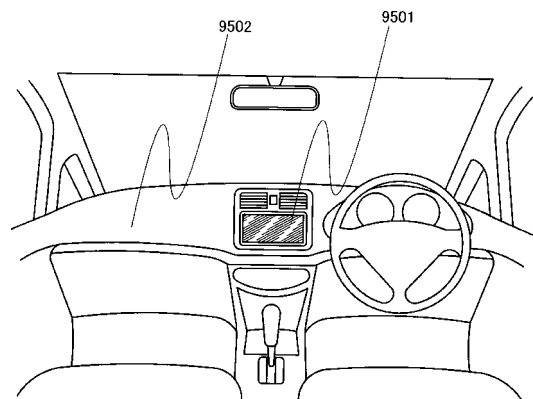
【図 9 3】



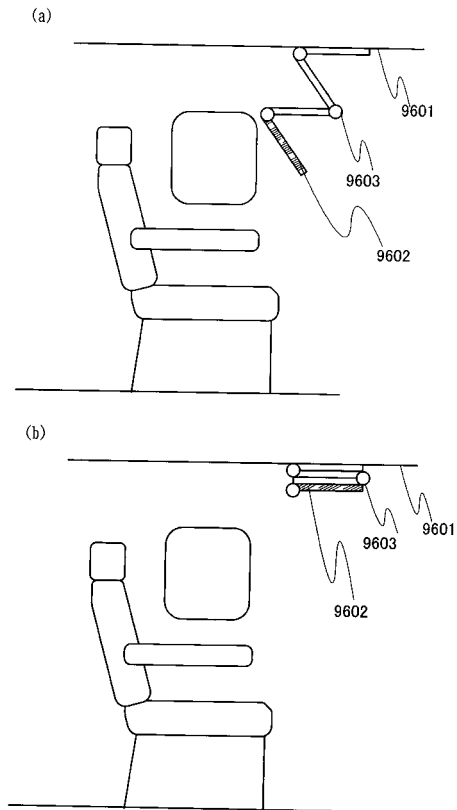
【図 9 4】



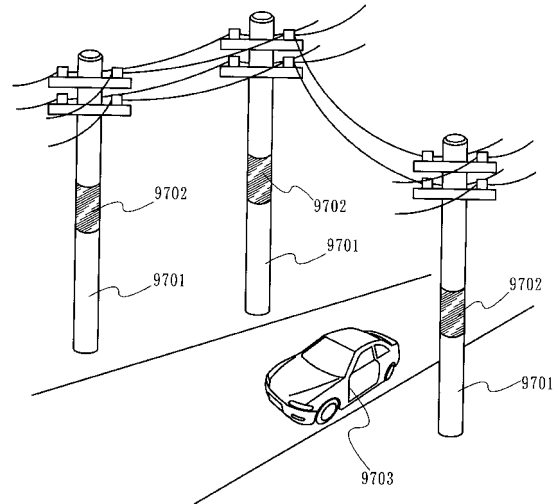
【図 9 5】



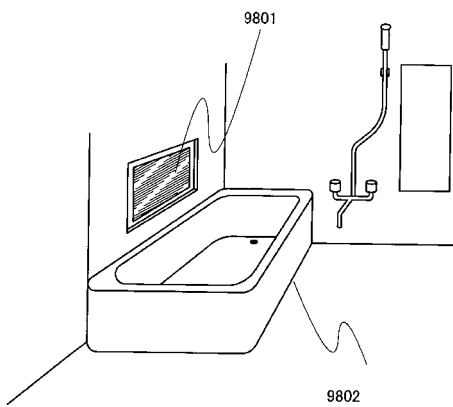
【図 96】



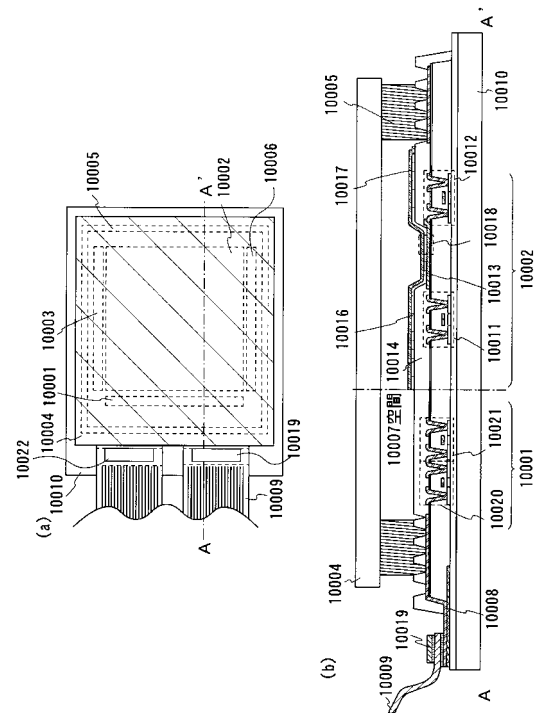
【図 97】



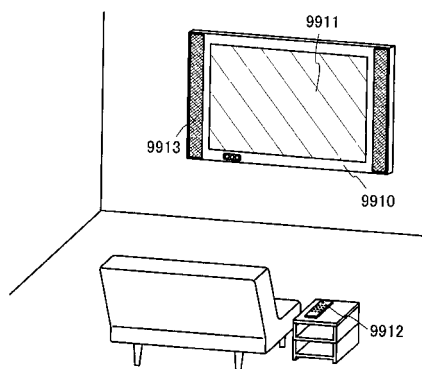
【図 98】



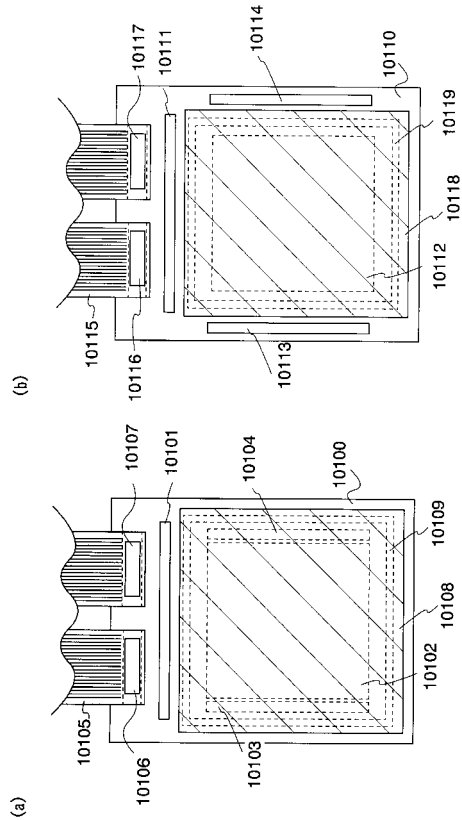
【図 100】



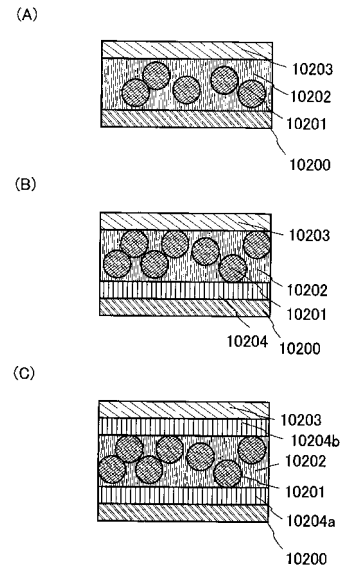
【図 99】



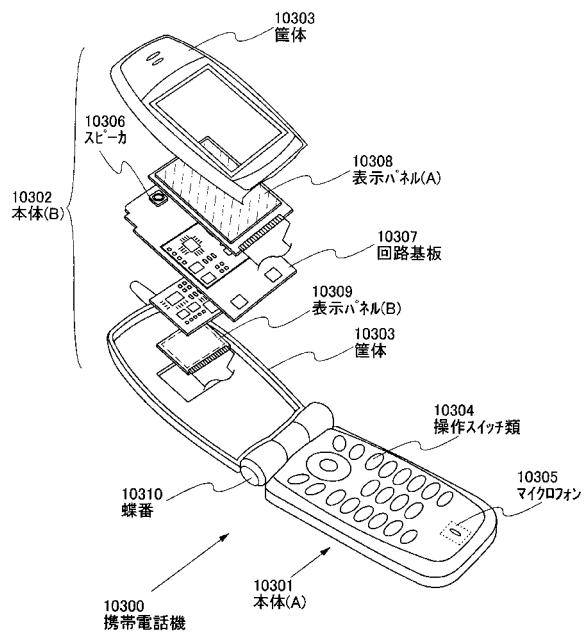
【図101】



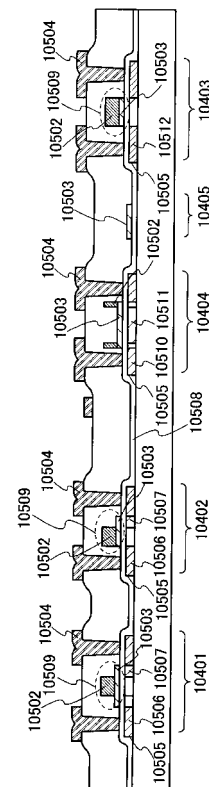
【図102】



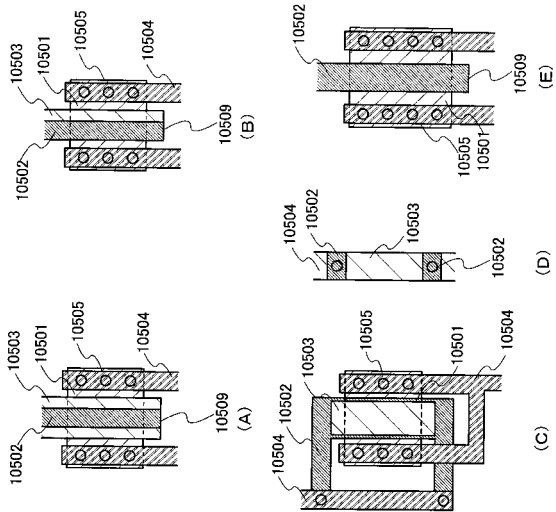
【図103】



【図104】



【図 105】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 (2006.01)
 G 0 9 G 3/20 6 1 1 A
 G 0 9 G 3/20 6 2 1 F
 G 0 9 G 3/20 6 2 2 E
 G 0 9 G 3/20 6 2 4 E
 G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/34 J
 G 0 9 G 3/20 6 2 3 R
 G 0 2 F 1/1345
 G 0 2 F 1/1368
 G 0 2 F 1/133 5 5 0

(56)参考文献 特開 2 0 0 0 - 1 5 5 5 5 0 (J P, A)
 特開 2 0 0 6 - 0 3 9 1 1 1 (J P, A)
 特開 2 0 0 5 - 3 5 4 0 3 6 (J P, A)
 特開 2 0 0 7 - 2 0 0 4 5 2 (J P, A)

(58)調査した分野(Int.Cl., D B名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3 - 1 / 1 3 6 8