



등록특허 10-2243098



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월22일
(11) 등록번호 10-2243098
(24) 등록일자 2021년04월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/1368* (2006.01)
(21) 출원번호 10-2014-0117660
(22) 출원일자 2014년09월04일
심사청구일자 2019년09월03일
(65) 공개번호 10-2015-0030614
(43) 공개일자 2015년03월20일
(30) 우선권주장
JP-P-2013-189539 2013년09월12일 일본(JP)

(56) 선행기술조사문현
JP2004045647 A

(뒷면에 계속)

전체 청구항 수 : 총 15 항
(54) 발명의 명칭 표시 장치

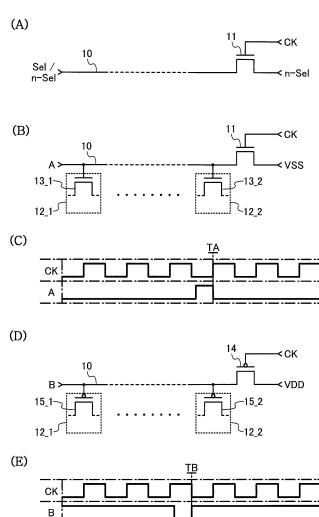
심사관 : 이종경

(57) 요 약

본 발명은 표시 장치에 제공되는 주사선의 각 개소에서의 전위 변화의 타이밍 차이를 억제한다.

주사선에 입력되는 신호가 선택 신호로부터 비선택 신호로 전환될 때에, 상기 주사선의 한 끝뿐만 아니라 양쪽 끝으로부터 비선택 신호를 입력한다. 구체적으로는 표시 장치에, 한 끝으로부터 선택 신호 또는 비선택 신호가 입력되는 주사선과, 게이트에 클럭 신호가 입력되며 소스에 비선택 신호가 입력되고 드레인에 상기 주사선에 접속되는 트랜지스터를 제공한다. 그리고, 한 끝으로부터 주사선에 입력되는 신호가 선택 신호로부터 비선택 신호로 전환되는 타이밍과, 트랜지스터가 오프 상태로부터 온 상태로 되는 타이밍을 동일 또는 대략 동일하게 한다. 이로써, 주사선의 한 끝뿐만 아니라, 양쪽 끝으로부터 비선택 신호가 입력되게 한다. 따라서, 상기 주사선의 각 개소에서의 전위 변화의 타이밍 차이를 억제할 수 있다.

대 표 도 - 도1



(56) 선행기술조사문현
JP2012198543 A
JP2012238003 A
JP4126909 B2
JP2008040024 A

명세서

청구범위

청구항 1

표시 장치에 있어서,

화소와;

상기 화소에 전기적으로 접속되는 주사선과;

제 1 트랜지스터를 포함하고,

신호가 상기 주사선의 한 끝으로부터 상기 주사선에 입력되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 주사선의 다른 끝에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽에는 제 1 전위가 공급되고,

상기 제 1 전위는 상기 제 1 트랜지스터를 통하여 상기 주사선의 상기 다른 끝으로부터 상기 주사선에 입력되고,

상기 제 1 트랜지스터는, 적어도 상기 신호의 전위가 제 2 전위로부터 상기 제 1 전위로 변화되는 타이밍과 동일한 타이밍에 온 상태가 되고,

상기 제 2 전위는 상기 주사선의 상기 다른 끝으로부터 상기 주사선에 입력되지 않는, 표시 장치.

청구항 2

제 1 항에 있어서,

클럭 신호가 상기 제 1 트랜지스터의 게이트에 입력되는, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 신호의 전위가 상기 제 2 전위인 기간 동안 상기 제 1 트랜지스터는 오프 상태인, 표시 장치.

청구항 4

제 1 항에 있어서,

상기 화소는 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터의 게이트는 상기 주사선에 전기적으로 접속되고,

상기 제 2 트랜지스터는 상기 신호의 전위가 상기 제 2 전위인 동안 온 상태인, 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 같은 극성을 갖는, 표시 장치.

청구항 6

제 4 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 채널 형성 영역을 포함하는 산화물 반도체막을 포함하는, 표시 장치.

청구항 7

표시 장치에 있어서,

제 1 시프트 레지스터와;

제 2 시프트 레지스터와;

상기 제 1 시프트 레지스터와 상기 제 2 시프트 레지스터 사이에 있고, 제 1 화소 및 제 2 화소를 포함하는 화소부;

상기 제 1 화소에 전기적으로 접속되는 제 1 주사선과;

상기 제 2 화소에 전기적으로 접속되는 제 2 주사선과;

제 1 트랜지스터와;

제 2 트랜지스터를 포함하고,

상기 제 1 시프트 레지스터는 상기 제 1 주사선의 한 끝에 전기적으로 접속되고,

상기 제 1 시프트 레지스터로부터 출력되는 신호가 상기 제 1 주사선의 상기 한 끝으로부터 상기 제 1 주사선에 입력되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 주사선의 다른 끝에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽에는 제 1 전위가 공급되고,

상기 제 1 전위는 상기 제 1 트랜지스터를 통하여 상기 제 1 주사선의 상기 다른 끝으로부터 상기 제 1 주사선에 입력되고,

상기 제 1 트랜지스터는, 적어도 상기 제 1 시프트 레지스터로부터 상기 제 1 주사선에 출력되는 상기 신호의 전위가 제 2 전위로부터 상기 제 1 전위로 변화되는 타이밍과 동일한 타이밍에 온 상태가 되고,

상기 제 2 전위는 상기 제 1 주사선의 상기 다른 끝으로부터 상기 제 1 주사선에 입력되지 않고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 주사선의 한 끝에 전기적으로 접속되고,

상기 제 2 시프트 레지스터는 상기 제 2 주사선의 다른 끝에 전기적으로 접속되고,

상기 제 2 시프트 레지스터로부터 출력되는 신호가 상기 제 2 주사선의 상기 다른 끝으로부터 상기 제 2 주사선에 입력되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에는 상기 제 1 전위가 공급되고,

상기 제 1 전위는 상기 제 2 트랜지스터를 통하여 상기 제 2 주사선의 상기 한 끝으로부터 상기 제 2 주사선에 입력되고,

상기 제 2 트랜지스터는, 적어도 상기 제 2 시프트 레지스터로부터 상기 제 2 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위로부터 상기 제 1 전위로 변화되는 타이밍과 동일한 타이밍에 온 상태가 되고,

상기 제 2 전위는 상기 제 2 주사선의 상기 한 끝으로부터 상기 제 2 주사선에 입력되지 않는, 표시 장치.

청구항 8

제 7 항에 있어서,

제 1 클럭 신호가 상기 제 1 시프트 레지스터 및 상기 제 2 트랜지스터의 게이트에 입력되고,

제 2 클럭 신호가 상기 제 2 시프트 레지스터 및 상기 제 1 트랜지스터의 게이트에 입력되는, 표시 장치.

청구항 9

제 7 항에 있어서,

제 3 주사선과;

제 4 주사선과;

제 3 트랜지스터와;

제 4 트랜지스터를 더 포함하고,

상기 제 1 시프트 레지스터는 상기 제 1 주사선의 상기 한 끝에 전기적으로 접속되는 제 1 펄스 출력 회로를 포함하고,

상기 제 2 시프트 레지스터는 상기 제 2 주사선의 상기 다른 끝에 전기적으로 접속되는 제 2 펄스 출력 회로를 포함하고,

상기 제 1 시프트 레지스터는 상기 제 3 주사선의 한 끝에 전기적으로 접속되는 제 3 펄스 출력 회로를 더 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 주사선의 다른 끝에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에는 상기 제 1 전위가 공급되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 주사선의 한 끝에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에는 상기 제 1 전위가 공급되고,

상기 제 2 시프트 레지스터는 상기 제 4 주사선의 다른 끝에 전기적으로 접속되는 제 4 펄스 출력 회로를 더 포함하고,

제 1 클럭 신호, 제 2 클럭 신호, 및 제 3 클럭 신호가 상기 제 1 펄스 출력 회로에 입력되고,

상기 제 2 클럭 신호, 상기 제 3 클럭 신호, 및 제 4 클럭 신호가 상기 제 3 펄스 출력 회로에 입력되고,

제 5 클럭 신호, 제 6 클럭 신호, 및 제 7 클럭 신호가 상기 제 2 펄스 출력 회로에 입력되고,

상기 제 6 클럭 신호, 상기 제 7 클럭 신호, 및 제 8 클럭 신호가 상기 제 4 펄스 출력 회로에 입력되고,

상기 제 6 클럭 신호는 상기 제 1 트랜지스터의 게이트에 입력되고,

상기 제 3 클럭 신호는 상기 제 2 트랜지스터의 게이트에 입력되고,

상기 제 7 클럭 신호는 상기 제 3 트랜지스터의 게이트에 입력되고,

상기 제 4 클럭 신호는 상기 제 4 트랜지스터의 게이트에 입력되는, 표시 장치.

청구항 10

제 7 항에 있어서,

제 3 주사선과;

제 4 주사선과;

제 3 트랜지스터와;

제 4 트랜지스터를 더 포함하고,

상기 제 1 시프트 레지스터는 상기 제 1 주사선의 상기 한 끝에 전기적으로 접속되는 제 1 펄스 출력 회로를 포함하고,

상기 제 2 시프트 레지스터는 상기 제 2 주사선의 상기 다른 끝에 전기적으로 접속되는 제 2 펄스 출력 회로를 포함하고,

상기 제 1 시프트 레지스터는 상기 제 3 주사선의 한 끝에 전기적으로 접속되는 제 3 펄스 출력 회로를 더 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 주사선의 다른 끝에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽에는 상기 제 1 전위가 공급되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 주사선의 한 끝에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에는 상기 제 1 전위가 공급되고,
 상기 제 2 시프트 레지스터는 상기 제 4 주사선의 다른 끝에 전기적으로 접속되는 제 4 펄스 출력 회로를 더 포함하고,
 제 1 클럭 신호, 제 2 클럭 신호, 및 제 3 클럭 신호가 상기 제 1 펄스 출력 회로에 입력되고,
 상기 제 2 클럭 신호, 상기 제 3 클럭 신호, 및 제 4 클럭 신호가 상기 제 3 펄스 출력 회로에 입력되고,
 제 5 클럭 신호, 제 6 클럭 신호, 및 제 7 클럭 신호가 상기 제 2 펄스 출력 회로에 입력되고,
 상기 제 6 클럭 신호, 상기 제 7 클럭 신호, 및 제 8 클럭 신호가 상기 제 4 펄스 출력 회로에 입력되고,
 상기 제 4 펄스 출력 회로의 출력은 상기 제 1 트랜지스터의 게이트에 입력되는, 표시 장치.

청구항 11

제 7 항에 있어서,
 상기 제 1 시프트 레지스터로부터 상기 제 1 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위인 기간 동안 상기 제 1 트랜지스터는 오프 상태이고,
 상기 제 2 시프트 레지스터로부터 상기 제 2 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위인 기간 동안 상기 제 2 트랜지스터는 오프 상태인, 표시 장치.

청구항 12

제 7 항에 있어서,
 상기 제 1 화소는 제 5 트랜지스터를 포함하고,
 상기 제 2 화소는 제 6 트랜지스터를 포함하고,
 상기 제 5 트랜지스터의 게이트는 상기 제 1 주사선에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 게이트는 상기 제 2 주사선에 전기적으로 접속되고,
 상기 제 1 시프트 레지스터로부터 상기 제 1 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위인 동안 상기 제 5 트랜지스터는 온 상태이고,
 상기 제 2 시프트 레지스터로부터 상기 제 2 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위인 동안 상기 제 6 트랜지스터는 온 상태인, 표시 장치.

청구항 13

제 12 항에 있어서,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터는 같은 극성을 갖는, 표시 장치.

청구항 14

제 12 항에 있어서,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터 각각은, 채널 형성 영역을 포함하는 산화물 반도체막을 포함하는, 표시 장치.

청구항 15

제 7 항에 있어서,
 상기 제 1 시프트 레지스터로부터 상기 제 1 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위인 기간은, 상기 제 2 시프트 레지스터로부터 상기 제 2 주사선에 출력되는 상기 신호의 전위가 상기 제 2 전위인 기간과 겹치지 않는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 프로세스, 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 특히, 본 발명의 일 형태는 액티브 매트릭스형 표시 장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스형 표시 장치에서는 매트릭스상으로 복수의 화소가 배치된다. 그리고, 각 화소가 화상 신호에 따른 특정한 색을 표시함으로써 표시 장치 전체로서 원하는 화상을 표시한다.

[0003] 각 화소에는, 상기 화상 신호의 재기록을 수행하기 위하여 트랜지스터가 제공된다. 그리고, 상기 트랜지스터의 게이트는 주사선에 접속되고, 상기 주사선의 전위를 제어함으로써 상기 트랜지스터의 스위칭이 제어된다. 또한, 상기 주사선은, 매트릭스상으로 배치된 복수의 화소 중 특정한 일행에 배치된 복수의 화소 각각에 포함되는 트랜지스터의 게이트에 접속된다. 즉, 액티브 매트릭스형 표시 장치에서는, 특정한 일행마다 화상 신호의 재기록이 수행된다.

[0004] 액티브 매트릭스형 표시 장치에서는, 매트릭스상으로 배치된 복수의 화소의 행의 개수와 같은 개수의 주사선이 제공된다. 그리고, 이를 주사선의 전위를 제어하는 주사선 구동 회로가 제공된다. 상기 주사선 구동 회로는 매트릭스상으로 배치된 복수의 화소의 한 번 측에 통합하여 제공할 수도 있지만, 양측에 분할하여 제공할(제 1 주사선 구동 회로와 제 2 주사선 구동 회로를 제공함) 수도 있다(특히 문헌 1 및 특허 문헌 2 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) (특허 문헌 1)

(특허문헌 0002) 미국 특허 번호 제 8462098호 명세서

(특허문헌 0003) (특허 문헌 2)

(특허문헌 0004) 미국 특허 공개 공보 2012/0062528

발명의 내용

해결하려는 과제

[0006] 주사선에서는 배선 저항 및 기생 용량의 영향이 현재화(顯在化)되기 쉽다. 구체적으로는, 주사선은 특정한 일행에 배치된 복수의 화소를 따라 연장되기 때문에, 필연적으로 주사선의 전체 길이는 길어져 배선 저항이 커지기 쉽다. 또한, 주사선은 복수의 신호선(각 화소에 화상 신호를 입력하는 경로가 되는 배선)과 교차되고, 또한 복수의 트랜지스터의 게이트에 접속된다. 따라서, 주사선에는, 신호선과 교차되는 개소에 생기는 기생 용량이나, 주사선에 접속된 트랜지스터의 게이트 용량이 부가되어 기생 용량이 커지기 쉽다. 또한, 표시 장치의 대형화 및 화소수의 증가를 도모한 경우에는 이들 영향이 더 커진다. 왜냐하면, 표시 장치의 대형화에 따라 주사선의 전체 길이가 더 길어지고, 또한 표시 장치의 화소수의 증가에 따라 주사선과 교차되는 신호선의 개수 및 접속되는 트랜지스터의 개수가 증가되기 때문이다.

[0007] 여기서, 배선 저항 및 기생 용량이 커지면 표시 장치에 문제가 생기는 경우가 있다. 구체적으로는, 주사선에 신호가 입력된 경우에, 먼저 신호의 입력 개소의 전위가 변화되고, 그 후에 입력 개소로부터 떨어진 개소의 전위가 변화된다. 즉, 주사선에서 장소에 따라 전위가 변화되는 타이밍에 차이가 있다. 그리고, 상기 타이밍 차이는 배선 저항 및 기생 용량에 비례하여 커진다. 그러므로, 주사선의 배선 저항 및 기생 용량이 커지면, 상기 주사선에 게이트가 접속되는 복수의 트랜지스터의 스위칭의 타이밍 차이는 커진다. 그 결과, 표시 장치에 문제가 생길 수 있다.

[0008] 또한, 트랜지스터의 스위칭의 타이밍에 차이가 생긴다는 표현에는 2개의 경우가 포함된다. 구체적으로는 상기 트랜지스터가 오프 상태로부터 온 상태로 되는 타이밍에 차이가 생기는 경우와, 온 상태로부터 오프 상태로 되는 타이밍에 차이가 생기는 경우의 2개이다. 그리고, 액티브 매트릭스형 표시 장치에서는 특히 후자의 경우에 문제가 생기기 쉽다. 왜냐하면, 트랜지스터가 온 상태로부터 오프 상태로 되는 타이밍에 차이가 생기면, 원하는 화상 신호와는 다른 화상 신호가 화소에 입력될 가능성이 높아지기 때문이다.

[0009] 상술한 점을 감안하여, 본 발명의 일 형태는 주사선의 각 개소에서의 전위 변화의 타이밍 차이를 억제하는 것을 목적 중 하나로 한다. 또한, 본 발명의 일 형태는 주사선에 게이트가 접속되는 복수의 트랜지스터의 스위칭의 타이밍 차이를 억제하는 것을 목적 중 하나로 한다. 또한, 본 발명의 일 형태는 표시 장치에서 생기는 문제를 억제하는 것을 목적 중 하나로 한다. 또한, 본 발명의 일 형태는 신규 표시 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 본 발명의 일 형태는 이들 과제 중 적어도 하나를 해결하는 것을 목적으로 한다. 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 알 수 있는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 주사선에 입력되는 신호가 선택 신호로부터 비선택 신호로 전환될 때에, 상기 주사선의 한 끝뿐만 아니라, 양쪽 끝으로부터 비선택 신호를 입력하는 것을 요지로 한다. 또한, 본 명세서에서 선택 신호란 주사선에 게이트가 접속되는 트랜지스터를 온 상태로 하기 위한 신호를 말하고, 비선택 신호란 오프 상태로 하기 위한 신호를 말한다.

[0011] 예를 들어, 본 발명의 일 형태는 한 끝으로부터 선택 신호 또는 비선택 신호가 입력되는 주사선과, 게이트에 클럭 신호가 입력되며 소스에 비선택 신호가 입력되는 트랜지스터를 갖고, 주사선의 다른 끝과 트랜지스터의 드레인이 전기적으로 접속되고, 한 끝으로부터 주사선에 입력되는 신호가 선택 신호로부터 비선택 신호로 전환되는 타이밍이, 트랜지스터가 오프 상태로부터 온 상태로 되는 타이밍과 동일 또는 대략 동일한 표시 장치이다.

발명의 효과

[0012] 본 발명의 일 형태의 표시 장치에서는, 주사선의 한 끝뿐만 아니라, 양쪽 끝으로부터 비선택 신호가 입력된다. 따라서, 상기 주사선의 각 개소에서의 전위 변화의 타이밍 차이를 억제할 수 있다. 그리고, 상기 주사선에 게이트가 접속되는 복수의 트랜지스터의 스위칭의 타이밍에 차이가 생기는 것을 억제할 수 있다. 그 결과, 표시 장치에서 생기는 문제를 억제할 수 있다.

도면의 간단한 설명

[0013] 도 1의 (A), (B) 및 (D)는 표시 장치의 구성예를 도시한 도면이고, 도 1의 (C) 및 (E)는 신호의 과형을 도시한 도면.

도 2의 (A)는 표시 장치의 구성예를 도시한 도면이고, 도 2의 (B)는 신호의 과형을 도시한 도면.

도 3은 표시 장치의 구성예를 도시한 도면.

도 4의 (A)는 표시 장치의 구체적인 예를 도시한 도면이고, 도 4의 (B)는 화소의 구성예를 도시한 도면.

도 5는 주사선 구동 회로의 구성예를 도시한 도면.

도 6의 (A)는 클럭 신호의 과형을 도시한 도면이고, 도 6의 (B)는 펄스 출력 회로를 도시한 도면.

도 7의 (A)는 펄스 출력 회로의 구성예를 도시한 도면이고, 도 7의 (B) 및 (C)는 신호의 과형 및 노드의 전위 변화를 도시한 도면.

도 8의 (A)는 주사선 구동 회로의 구성예를 도시한 도면이고, 도 8의 (B)는 신호의 과형을 도시한 도면.

도 9는 주사선 구동 회로의 구성예를 도시한 도면.

도 10은 표시 모듈의 일례를 도시한 도면.

도 11의 (A)는 휴대 전화기의 일례를 도시한 도면이고, 도 11의 (B)는 뱅글형 표시 장치의 일례를 도시한 도면.

도 12의 (A) 및 (B)는 휴대용 제품의 일례를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하에서는 본 발명의 일 형태에 대하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태를 다양하게 변경할 수 있다. 따라서, 본 발명은 이하에 나타내는 기재 내용에 한정되어 해석되는 것이 아니다.
- [0015] 또한, 본 명세서 등에 있어서, "X와 Y가 접속된다"라고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시(開示)되는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면이나 문장에 나타낸 접속 관계에 한정되지 않고, 도면이나 문장에 나타낸 접속 관계 이외의 것도 도면이나 문장에 기재되는 것으로 한다.
- [0016] 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0017] X와 Y가 직접 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 접속되지 않는 경우를 들 수 있고, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 통하지 않고 X와 Y가 접속되는 경우를 가리킨다.
- [0018] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한, 스위치는 온 상태/오프 상태로 제어된다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘리는지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우는 X와 Y가 직접 접속되는 경우를 포함하는 것으로 한다.
- [0019] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 개재(介在)되더라도 X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되는 것으로 한다. 또한, X와 Y가 기능적으로 접속되는 경우는, X와 Y가 직접 접속되는 경우와 X와 Y가 전기적으로 접속되는 경우를 포함하는 것으로 한다.
- [0020] 또한, "X와 Y가 전기적으로 접속된다"라고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되는 경우(즉, X와 Y가, 사이에 다른 소자 또는 다른 회로를 개재하여 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉, X와 Y가, 사이에 다른 회로를 개재하여 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉, X와 Y가, 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)가 본 명세서 등에 개시되는 것으로 한다. 즉, "전기적으로 접속된다"라고 명시적으로 기재하는 경우에는, 단순히 "접속된다"고만 명시적으로 기재되는 경우와 같은 내용이 본 명세서 등에 개시되는 것으로 한다.
- [0021] 또한, 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y에 전기적으로 접속되는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부에 직접 접속되고, Z1의 다른 일부가 X에 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부에 직접 접속되고, Z2의 다른 일부가 Y에 직접 접속되는 경우에는 이하와 같이 표현할 수 있다.
- [0022] 예를 들어, "X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 차례로 전기적으로 접속된다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 차례로 전기적으로 접속된다"라고 표현할 수 있다. 또는, "X는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 통하여 Y에 전

기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 차례로 접속되어 제공된다"라고 표현할 수 있다. 상술한 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속의 차례에 대하여 규정함으로써 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 구별하여 기술적인 범위를 결정할 수 있다.

[0023] 또는 다른 표현 방법으로서, 예를 들어 "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통하여 X에 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, 상기 제 1 접속 경로는 Z1을 통한 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y에 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않고, 상기 제 3 접속 경로는 Z2를 통한 경로이다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 경유하고 Z1을 통하여 X에 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 갖고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 경유하고 Z2를 통하여 Y에 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않는다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 전기적 경로를 경유하고 Z1을 통하여 X에 전기적으로 접속되고, 상기 제 1 전기적 경로는 제 2 전기적 경로를 갖지 않고, 상기 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 전기적 경로를 경유하고 Z2를 통하여 Y에 전기적으로 접속되고, 상기 제 3 전기적 경로는 제 4 전기적 경로를 갖지 않고, 상기 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 경로이다"라고 표현할 수 있다. 상술한 예와 같은 표현 방법을 이용하여 회로 구성에서의 접속 경로에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다.

[0024] 또한, 상술한 표현 방법은 일례이며, 이들에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0025] 또한, 회로도상으로는 독립되어 있는 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우라도, 하나의 구성 요소가, 복수의 구성 요소의 기능을 겸하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는 하나의 도전막이 배선 기능 및 전극 기능의 양쪽 구성 요소의 기능을 겸한다. 따라서, 본 명세서에서, 전기적으로 접속이란, 이러한 하나의 도전막이 복수의 구성 요소의 기능을 겸하는 경우도 그 범주에 포함한다.

<1. 표시 장치의 구성예>

[0027] 본 발명의 일 형태의 표시 장치에 대하여 도 1의 (A)를 참조하여 설명한다. 도 1의 (A)에는 상기 표시 장치의 일부를 도시하였다. 도 1의 (A)에는, 한 끝에 선택 신호(Sel) 또는 비선택 신호(n-Sel)가 입력되는 주사선(10)과, 게이트에 클럭 신호(CK)가 입력되며 소스에 비선택 신호(n-Sel)가 입력되는 트랜지스터(11)를 도시하였다. 또한, 주사선(10)의 다른 끝은 트랜지스터(11)의 드레인에 접속된다. 그리고, 도 1의 (A)에 도시된 주사선(10)에서는, 한 끝으로부터 입력되는 신호가 선택 신호(Sel)로부터 비선택 신호(n-Sel)로 전환되는 타이밍이, 트랜지스터(11)가 오프 상태로부터 온 상태로 되는 타이밍과 동일 또는 대략 동일하게 되도록 신호가 입력된다. 또한, 도 1의 (A)에는, 트랜지스터(11)로서 N채널형 트랜지스터를 도시하였지만, 트랜지스터(11)를 P채널형 트랜지스터로 치환하여도 좋다.

[0028] 실제의 표시 장치에서는, 주사선(10)은 특정한 일행에 배치된 복수의 화소 각각에 포함되는 트랜지스터의 게이트에 접속된다. 도 1의 (A)에 도시된 구성에 화소(12_1, 12_2), 및 화소(12_1, 12_2)가 갖는 트랜지스터(13_1, 13_2)(이하, 화소 트랜지스터라고도 함)를 추가한 구성을 도 1의 (B)에 도시하였다. 그리고, 도 1의 (B)에 도시된 바와 같이 트랜지스터(13_1, 13_2)가 N채널형 트랜지스터인 경우, 고전원 전위(VDD)는 선택 신호가 되고, 저전원 전위(VSS)는 비선택 신호가 된다. 도 1의 (B)에 도시된 신호의 파형의 일례를 도 1의 (C)에 도시하였다. 도 1의 (C)에 도시된 바와 같이, 도 1의 (B)에 도시된 주사선(10)에서는, 한 끝으로부터 입력되는 신호가 고전원 전위(VDD)로부터 저전원 전위(VSS)로 전환되는 타이밍(TA)이, 클럭 신호(CK)가 저전원 전위(VS S)로부터 고전원 전위(VDD)로 전환되는 타이밍과 일치되도록 신호가 입력된다. 또한, 도 1의 (C)에서는, 고전원 전위(VDD)와 저전원 전위(VSS)가 반복되는 뉴티비가 1/2의 신호를 클럭 신호(CK)로서 도시하였지만, 고전원 전위(VDD) 및 저전원 전위(VSS) 중 적어도 하나를 다른 전위로 치환하여도 좋고, 1/2 이외의 뉴티비가 되는 신

호를 적용하여도 좋다.

[0029] 또한, 도 1의 (C)에 도시된 바와 같이 주사선(10)에 고전원 전위(VDD)가 공급되는 기간에는 트랜지스터(11)를 오프 상태로 유지하는 것이 바람직하다. 즉, 상기 기간에 클럭 신호(CK)가 저전원 전위(VSS)를 유지하는 것이 바람직하다. 이로써, 주사선(10)의 한 끝으로부터 다른 끝에 불필요한 전류가 흐르는 것을 억제하여, 표시 장치의 동작 불량 및 소비 전력의 증가를 억제할 수 있기 때문이다.

[0030] 도 1의 (D)는 도 1의 (B)에 도시된 트랜지스터(11, 13_1, 13_2)를 P채널형 트랜지스터(14, 15_1, 15_2)로 치환한 구성을 도시한 도면이다. 이 경우, 고전원 전위(VDD)는 비선택 신호가 되고, 저전원 전위(VSS)는 선택 신호가 된다. 도 1의 (E)에는, 도 1의 (D)에 도시된 신호의 파형의 일례를 도시하였다. 도 1의 (E)에 도시된 바와 같이, 도 1의 (D)에 도시된 주사선(10)에서는, 한 끝으로부터 입력되는 신호가 저전원 전위(VSS)로부터 고전원 전위(VDD)로 전환되는 타이밍(TB)이, 클럭 신호(CK)가 고전원 전위(VDD)로부터 저전원 전위(VSS)로 전환되는 타이밍과 일치되도록 신호가 입력된다.

[0031] 또한, 도 1의 (B)에 도시된 바와 같이, 드레인이 주사선(10)의 다른 끝에 접속된 트랜지스터(11)와, 게이트가 주사선(10)에 접속된 트랜지스터(13_1, 13_2)는 같은 극성의 트랜지스터인 것이 바람직하다. 또한, 도 1의 (D)에 도시된 바와 같이 드레인이 주사선(10)의 다른 끝에 접속된 트랜지스터(14)와, 게이트가 주사선(10)에 접속된 트랜지스터(15_1, 15_2)는 같은 극성의 트랜지스터인 것이 바람직하다. 구체적으로는, 서로 다른 극성의 트랜지스터인 경우와 비교하여 제조 공정수를 절감할 수 있다는 점에서 바람직하다. 또한, 서로 다른 극성의 트랜지스터이고 또한 클럭 신호(CK)가 선택 신호에 대응하는 전위 및 비선택 신호에 대응하는 전위에 의하여 구성되는 경우, 비선택 신호가 입력되는 단자가 트랜지스터(11, 14)의 소스가 아닌 드레인이 된다. 이 경우, 게이트가 주사선(10)에 접속된 트랜지스터의 게이트에는 비선택 신호에 대응하는 전위가 아닌, 비선택 신호에 대응하는 전위로부터 트랜지스터(11, 14)의 문턱 전압만큼 변동된 전위가 입력된다.

[0032] 도 2의 (A)에는 본 발명의 일 형태에 따른 표시 장치의 일부를 도시하였다. 도 2의 (A)에는, 도면 왼쪽으로부터 신호(A1)가 입력되는 주사선(101)과, 도면 오른쪽으로부터 신호(A2)가 입력되는 주사선(102)과, 게이트에 클럭 신호(CK2)가 입력되며 소스에 저전원 전위(VSS)가 입력되는 트랜지스터(111)와, 게이트에 클럭 신호(CK1)가 입력되며 소스에 저전원 전위(VSS)가 입력되는 트랜지스터(112)를 도시하였다. 또한, 도면 오른쪽의 주사선(101)의 한 끝은 트랜지스터(111)의 드레인에 접속되고, 도면 왼쪽의 주사선(102)의 한 끝은 트랜지스터(112)의 드레인에 접속된다. 또한, 도 2의 (A)에는, 화소(121_1, 121_2, 122_1, 122_2) 및 트랜지스터(131_1, 131_2, 132_1, 132_2)도 도시하였다. 또한, 트랜지스터(111, 112, 131_1, 131_2, 132_1, 132_2)는 N채널형 트랜지스터이다.

[0033] 도 2의 (B)는 도 2의 (A)에 도시된 신호의 파형을 도시한 도면이다. 도 2의 (B)에 도시된 바와 같이, 도 2의 (A)에 도시된 주사선(101, 102)에서는, 입력되는 신호가 고전원 전위(VDD)로부터 저전원 전위(VSS)로 전환되는 타이밍(TA1, TA2)이, 클럭 신호(CK1, CK2)가 저전원 전위(VSS)로부터 고전원 전위(VDD)로 전환되는 타이밍과 일치되도록 신호가 입력된다. 또한, 클럭 신호(CK1, CK2)의 블루비 등을 적절히 변경할 수 있다.

[0034] 도 2의 (A)에 도시된 바와 같은 구성의 경우에는, 클럭 신호(CK1, CK2)의 입력 경로가 되는 배선을 표시 영역의 한 측에 통합하여 제공하지 않고, 대향하는 양측에 분할하여 제공할 수 있다. 따라서, 표시 영역이 중앙부에 존재하는 표시 장치의 베젤 폭을 좁게(슬림 베젤화) 할 수 있다.

[0035] 또한, 도 2의 (A) 및 (B)에는 표시 장치에 포함되는 트랜지스터가 N채널형 트랜지스터인 경우에 대하여 도시하였지만, 상기 트랜지스터로서 P채널형 트랜지스터를 적용하여도 좋다.

[0036] 도 2의 (A)에 도시된 구성에, 도면 왼쪽에 제공되는 시프트 레지스터(141)와, 도면 오른쪽에 제공되는 시프트 레지스터(142)를 추가하여 도 3에 도시하였다. 또한, 시프트 레지스터(141)는 클럭 신호(CK1)가 입력되며 주사선(101)에 대하여 신호를 출력하는 회로이다. 또한, 시프트 레지스터(142)는 클럭 신호(CK2)가 입력되며 주사선(102)에 신호를 출력하는 회로이다.

[0037] 도 3에 도시된 구성은 도 2의 (A)에 도시된 구성과 마찬가지로 슬림 베젤화를 도모할 수 있다. 또한, 도 3에 도시된 구성에서는, 클럭 신호(CK1, CK2)가 트랜지스터(111, 112)의 스위칭 제어뿐만 아니라, 시프트 레지스터(141, 142)의 동작을 위해서도 이용된다. 따라서, 도 3에 도시된 구성에서는 효율 좋게 슬림 베젤화를 도모할 수 있다.

[0038] 또한, 시프트 레지스터(141, 142)의 구성은 특정한 구성에 한정되지 않는다. 예를 들어, P채널형 트랜지스터 및 N채널형 트랜지스터의 양쪽을 사용한 상보형 금속 산화물 반도체(CMOS) 회로를 사용하여 시프트 레지스터

(141, 142)를 구성하여도 좋고, 어느 한쪽만을 사용하여 시프트 레지스터(141, 142)를 구성하여도 좋다. 시프트 레지스터(141, 142)가 CMOS 회로를 사용하여 구성되는 경우, 시프트 레지스터(141, 142)의 소비 전력을 저감할 수 있는 점에서 바람직하다. 한편, 시프트 레지스터(141, 142)가 트랜지스터(111, 112, 131_1, 131_2, 132_1, 132_2)와 같은 극성의 트랜지스터만으로 구성되는 경우, 제조 공정수를 저감할 수 있는 점에서 바람직하다.

[0039] <2. 표시 장치의 구체적인 예>

[0040] 표시 장치의 구체적인 예를 도 4의 (A)에 도시하였다. 도 4의 (A)에 도시된 표시 장치는 m 행 n 열(m, n 은 짹수임)로 배치된 $m \times n$ 개의 화소(20)와, 상기 화소들 사이에서 도면의 좌우 방향으로 연장되는 m 개의 주사선(21)과, 상기 화소들 사이에서 도면의 상하 방향으로 연장되는 n 개의 신호선(22)과, 각각이 상기 m 개의 주사선(21)에 접속되는 주사선 구동 회로(23, 24)와, 상기 n 개의 신호선(22)에 접속되는 신호선 구동 회로(25)를 갖는다.

[0041] <(1) 화소(20)의 구성예>

[0042] 도 4의 (A)에 도시된 표시 장치가 갖는 화소(20)의 회로도의 일례를 도 4의 (B)에 도시하였다. 도 4의 (B)에 도시된 화소(20)는 게이트가 주사선(21)에 접속되며 소스 및 드레인 중 한쪽이 신호선(22)에 접속되는 트랜지스터(201)와, 한쪽 전극이 트랜지스터(201)의 소스 및 드레인 중 다른 쪽에 접속되며 다른 쪽 전극이 용량 전위를 공급하는 배선(용량선이라고도 함)에 접속되는 용량 소자(202)와, 한쪽 전극이 트랜지스터(201)의 소스 및 드레인 중 다른 쪽 및 용량 소자(202)의 한쪽 전극에 접속되며 다른 쪽 전극이 공통 전위를 공급하는 배선(공통 전위선이라고도 함)에 전기적으로 접속되는 액정 소자(203)를 갖는다. 또한, 용량 전위와 공통 전위를 동일한 전위로 할 수 있다. 또한, 도 4의 (B)에는, 화소(20)에 액정 소자(203)가 제공되는 구성을 도시하였지만, 본 명세서에 개시되는 표시 장치의 화소는 상기 구성을 한정되지 않는다. 예를 들어, 본 명세서에 개시되는 표시 장치에서는 화소에 발광 소자를 제공할 수도 있다.

[0043] <(2) 주사선 구동 회로(23, 24)의 구성예>

[0044] 도 4의 (A)에 도시된 표시 장치가 갖는 주사선 구동 회로(23, 24)의 구성예를 도 5에 도시하였다. 도 5에 도시된 주사선 구동 회로(23)는 각각이 클럭 신호(CKL1 내지 CKL4) 중 어느 하나를 공급하는 4개의 배선과, 각각이 홀수 행에 배치된 복수의 주사선(21_1, 21_3 ··· 21_ m -1) 중 어느 하나에 접속되는 복수의 펄스 출력 회로(23_1, 23_3 ··· 23_ m -1)와, 각각 게이트가 상기 4개의 배선 중 어느 하나에 접속되며 소스가 저전원 전위(VSS)를 공급하는 배선(이하, 저전원 전위선이라고 함)에 접속되고 또한 드레인이 짹수 행에 배치된 복수의 주사선(21_2, 21_4 ··· 21_ m) 중 어느 하나에 접속되는 복수의 트랜지스터(23_2, 23_4 ··· 23_ m)를 갖는다. 또한, 도 5에 도시된 주사선 구동 회로(24)는 각각이 클럭 신호(CKL1 내지 CKL4) 중 어느 하나를 공급하는 4개의 배선과, 각각이 짹수 행에 배치된 복수의 주사선(21_2, 21_4 ··· 21_ m) 중 어느 하나에 접속되는 복수의 펄스 출력 회로(24_2, 24_4 ··· 24_ m)와, 각각 게이트가 상기 4개의 배선 중 어느 하나에 접속되며 소스가 저전원 전위선에 접속되고 또한 드레인이 홀수 행에 배치된 복수의 주사선(21_1, 21_3 ··· 21_ m -1) 중 어느 하나에 접속되는 복수의 트랜지스터(24_1, 24_3 ··· 24_ m -1)를 갖는다. 또한, 도 5에 도시된 주사선 구동 회로(23)에서는 펄스 출력 회로(23_1, 23_3 ··· 23_ m -1)에 의하여 시프트 레지스터가 구성되고, 도 5에 도시된 주사선 구동 회로(24)에서는 펄스 출력 회로(24_2, 24_4 ··· 24_ m)에 의하여 시프트 레지스터가 구성된다.

[0045] 도 6의 (A)는, 클럭 신호(CKL1 내지 CKL4, CKR1 내지 CKR4)의 구체적인 파형의 일례를 도시한 도면이다. 도 6의 (A)에 도시된 클럭 신호(CKL1)는 하이 레벨의 전위(고전원 전위(VDD))와 로우 레벨의 전위(저전원 전위(VSS))를 주기적으로 반복하는, 듀티비가 3/8인 신호이다. 또한, 클럭 신호(CKL2)는 클럭 신호(CKL1)로부터 1/4주기분 위상에 차이가 있는 신호이고, 클럭 신호(CKL3)는 클럭 신호(CKL1)로부터 1/2주기분 위상에 차이가 있는 신호이고, 클럭 신호(CKL4)는 클럭 신호(CKL1)로부터 3/4주기분 위상에 차이가 있는 신호이다. 또한, 클럭 신호(CKR1)는 클럭 신호(CKL1)로부터 1/8주기분 위상에 차이가 있는 신호이고, 클럭 신호(CKR2)는 클럭 신호(CKL1)로부터 3/8주기분 위상에 차이가 있는 신호이고, 클럭 신호(CKR3)는 클럭 신호(CKL1)로부터 5/8주기분 위상에 차이가 있는 신호이고, 클럭 신호(CKR4)는 클럭 신호(CKL1)로부터 7/8주기분 위상에 차이가 있는 신호이다.

[0046] 상술한 표시 장치에서는 각 펄스 출력 회로(23_1, 23_3 ··· 23_ m -1, 24_2, 24_4 ··· 24_ m)로서, 동일한 구성을 갖는 회로를 적용할 수 있다. 다만, 펄스 출력 회로가 갖는 복수의 단자의 전기적인 접속 관계는 펄스 출력 회로마다 다르다. 구체적인 접속 관계에 대하여 도 5, 도 6의 (B)를 참조하여 설명한다.

[0047] 펄스 출력 회로(23_ m -1, 24_ m) 이외의 각 펄스 출력 회로는 단자(31 내지 36)를 갖는다. 또한, 단자(31 내지

34)는 입력 단자이고, 단자(35, 36)는 출력 단자이다. 또한, 펄스 출력 회로(23_m-1, 24_m)는 단자(31 내지 35)를 갖는다.

[0048] 우선, 단자(31)에 대하여 설명한다. 펄스 출력 회로(23_1)의 단자(31)는 스타트 펄스(SP1)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_2a-1)(a는 2 이상 m/2 이하의 자연수임)의 단자(31)는 펄스 출력 회로(23_2a-3)의 단자(36)에 접속된다. 또한, 펄스 출력 회로(24_2)의 단자(31)는 스타트 펄스(SP2)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_2a)의 단자(31)는 펄스 출력 회로(24_2a-2)의 단자(36)에 접속된다.

[0049] 다음에, 단자(32)에 대하여 설명한다. 펄스 출력 회로(23_8b-7)(b는 m/8 이하의 자연수임)의 단자(32)는 클럭 신호(CKL1)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-5)의 단자(32)는 클럭 신호(CKL2)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-3)의 단자(32)는 클럭 신호(CKL3)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-1)의 단자(32)는 클럭 신호(CKL4)를 공급하는 배선에 접속된다. 또한, 펄스 출력 회로(24_8b-6)의 단자(32)는 클럭 신호(CKR1)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b-4)의 단자(32)는 클럭 신호(CKR2)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b-2)의 단자(32)는 클럭 신호(CKR3)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b)의 단자(32)는 클럭 신호(CKR4)를 공급하는 배선에 접속된다.

[0050] 다음에, 단자(33)에 대하여 설명한다. 펄스 출력 회로(23_8b-7)의 단자(33)는 클럭 신호(CKL2)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-5)의 단자(33)는 클럭 신호(CKL3)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-3)의 단자(33)는 클럭 신호(CKL4)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-1)의 단자(33)는 클럭 신호(CKL1)를 공급하는 배선에 접속된다. 또한, 펄스 출력 회로(24_8b-6)의 단자(33)는 클럭 신호(CKR2)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b-4)의 단자(33)는 클럭 신호(CKR3)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b-2)의 단자(33)는 클럭 신호(CKR4)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b)의 단자(33)는 클럭 신호(CKR1)를 공급하는 배선에 접속된다.

[0051] 다음에, 단자(34)에 대하여 설명한다. 펄스 출력 회로(23_8b-7)의 단자(34)는 클럭 신호(CKL3)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-5)의 단자(34)는 클럭 신호(CKL4)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-3)의 단자(34)는 클럭 신호(CKL1)를 공급하는 배선에 접속되고, 펄스 출력 회로(23_8b-1)의 단자(34)는 클럭 신호(CKL2)를 공급하는 배선에 접속된다. 또한, 펄스 출력 회로(24_8b-6)의 단자(34)는 클럭 신호(CKR3)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b-4)의 단자(34)는 클럭 신호(CKR4)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b-2)의 단자(34)는 클럭 신호(CKR1)를 공급하는 배선에 접속되고, 펄스 출력 회로(24_8b)의 단자(34)는 클럭 신호(CKR2)를 공급하는 배선에 접속된다.

[0052] 다음에, 단자(35)에 대하여 설명한다. 펄스 출력 회로(23_2x-1, 24_2x)(x는 m 이하의 자연수임)의 단자(35)는 x행째에 배치된 주사선(21_x)에 접속된다.

[0053] 각 펄스 출력 회로(펄스 출력 회로(23_m-1, 24_m) 이외)의 단자(36)의 접속 관계는 상술한 바와 같다. 따라서, 여기서는 상술한 설명을 원용하기로 한다.

[0054] <(2-1) 펄스 출력 회로의 구성예>

[0055] 도 5, 도 6의 (B)에 도시된 펄스 출력 회로의 구성예를 도 7의 (A)에 도시하였다. 도 7의 (A)에 도시된 펄스 출력 회로는 트랜지스터(41 내지 49)를 갖는다. 또한, 펄스 출력 회로(23_m-1, 24_m)에는 트랜지스터(43, 44)를 제공하지 않아도 좋다.

[0056] 트랜지스터(41)는, 소스 및 드레인 중 한쪽이 고전원 전위(VDD)를 공급하는 배선(이하, 고전원 전위선이라고 함)에 접속되고, 게이트가 단자(31)에 접속된다.

[0057] 트랜지스터(42)는, 소스 및 드레인 중 한쪽이 저전원 전위선에 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(41)의 소스 및 드레인 중 다른 쪽에 접속된다.

[0058] 트랜지스터(43)는 소스 및 드레인 중 한쪽이 단자(32)에 접속되고, 소스 및 드레인 중 다른 쪽이 단자(36)에 접속되고, 게이트가 트랜지스터(41)의 소스 및 드레인 중 다른 쪽 및 트랜지스터(42)의 소스 및 드레인 중 다른 쪽에 접속된다.

[0059] 트랜지스터(44)는 소스 및 드레인 중 한쪽이 저전원 전위선에 접속되고, 소스 및 드레인 중 다른 쪽이 단자(36)에 접속되고, 게이트가 트랜지스터(42)의 게이트에 접속된다.

[0060] 트랜지스터(45)는 소스 및 드레인 중 한쪽이 저전원 전위선에 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스

터(42)의 게이트 및 트랜지스터(44)의 게이트에 접속되고, 게이트가 단자(31)에 전기적으로 접속된다.

[0061] 트랜지스터(46)는 소스 및 드레인 중 한쪽이 고전원 전위선에 접속되고, 게이트가 단자(33)에 접속된다. 또한, 트랜지스터(46)의 소스 및 드레인 중 한쪽이, 저전원 전위(VSS)보다 높은 전위며 고전원 전위(VDD)보다 낮은 전위인 전원 전위(VCC)를 공급하는 배선에 접속되는 구성으로 할 수도 있다.

[0062] 트랜지스터(47)는 소스 및 드레인 중 한쪽이 트랜지스터(46)의 소스 및 드레인 중 다른 쪽에 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(42)의 게이트, 트랜지스터(44)의 게이트, 및 트랜지스터(45)의 소스 및 드레인 중 다른 쪽에 접속되고, 게이트가 단자(34)에 접속된다.

[0063] 트랜지스터(48)는 소스 및 드레인 중 한쪽이 단자(32)에 접속되고, 소스 및 드레인 중 다른 쪽이 단자(35)에 접속되고, 게이트가 트랜지스터(41)의 소스 및 드레인 중 다른 쪽, 트랜지스터(42)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(43)의 게이트에 접속된다.

[0064] 트랜지스터(49)는 소스 및 드레인 중 한쪽이 저전원 전위선에 접속되고, 소스 및 드레인 중 다른 쪽이 단자(35)에 접속되고, 게이트가 트랜지스터(42)의 게이트, 트랜지스터(44)의 게이트, 트랜지스터(45)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(47)의 소스 및 드레인 중 다른 쪽에 접속된다.

[0065] 또한, 이하에서는, 트랜지스터(41)의 소스 및 드레인 중 다른 쪽, 트랜지스터(42)의 소스 및 드레인 중 다른 쪽, 트랜지스터(43)의 게이트, 및 트랜지스터(48)의 게이트가 접속된 노드를 노드(A)로 하고, 트랜지스터(42)의 게이트, 트랜지스터(44)의 게이트, 트랜지스터(45)의 소스 및 드레인 중 다른 쪽, 트랜지스터(47)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(49)의 게이트가 접속된 노드를 노드(B)로 하여 설명한다.

[0066] <(2-2) 펄스 출력 회로의 동작예>

[0067] 상술한 펄스 출력 회로의 동작예에 대하여 도 7의 (B) 및 (C)를 참조하여 설명한다. 또한, 도 7의 (B)는 펄스 출력 회로(23_1)에/로부터 입출력되는 신호의 파형, 및 펄스 출력 회로(23_1) 중의 노드(A, B)의 전위를 도시한 도면이고, 도 7의 (C)는 펄스 출력 회로(24_2)에/로부터 입출력되는 신호의 파형, 및 펄스 출력 회로(24_2) 중의 노드(A, B)의 전위를 도시한 도면이다. 도 7의 (B) 및 (C)에서, Gout는 펄스 출력 회로의 주사선에 대한 출력 신호를 나타내고, SRout는 상기 펄스 출력 회로의 후단에 제공된 펄스 출력 회로에 대한 출력 신호를 나타낸다.

[0068] 우선, 펄스 출력 회로(23_1)의 동작에 대하여 도 7의 (B)를 참조하여 설명한다.

[0069] 타이밍(t1)에서 단자(31)에 하이 레벨의 전위(고전원 전위(VDD))가 입력된다. 이로써, 트랜지스터(41, 45)는 온 상태가 된다. 따라서, 노드(A)의 전위가 하이 레벨의 전위(고전원 전위(VDD))로부터 트랜지스터(41)의 문턱 전압만큼 저하된 전위)까지 상승되고, 그 시점에서 트랜지스터(41)는 오프 상태가 된다. 또한, 노드(B)의 전위가 저전원 전위(VSS)까지 저하된다. 이에 따라, 트랜지스터(43, 48)는 온 상태가 되고, 트랜지스터(42, 44, 49)는 오프 상태가 된다. 이로써, 단자(35, 36)로부터 출력되는 신호는 단자(32)에 입력되는 신호가 된다. 여기서, 단자(32)에 입력되는 신호는 로우 레벨의 전위(저전원 전위(VSS))이다. 따라서, 펄스 출력 회로(23_1)는 펄스 출력 회로(23_3)의 단자(31) 및 주사선(21_1)에 로우 레벨의 전위(저전원 전위(VSS))를 출력한다.

[0070] 타이밍(t2)에서 단자(34)에 로우 레벨의 전위(저전원 전위(VSS))가 입력된다. 다만, 단자(35) 및 단자(36)로부터 출력되는 신호는 변화되지 않고, 펄스 출력 회로(23_1)는 펄스 출력 회로(23_3)의 단자(31) 및 주사선(21_1)에 로우 레벨의 전위(저전원 전위(VSS))를 출력한다.

[0071] 타이밍(t3)에서 단자(32)에 하이 레벨의 전위(고전원 전위(VDD))가 입력된다. 또한, 타이밍(t3)에서는 노드(A)의 전위(트랜지스터(41)의 소스 및 드레인 중 다른 쪽의 전위)는 이미 하이 레벨의 전위(고전원 전위(VDD))로부터 트랜지스터(41)의 문턱 전압만큼 저하된 전위)까지 상승되어 있다. 따라서, 트랜지스터(41)는 오프 상태가 되어 있다. 이 때, 단자(32)에 하이 레벨의 전위(고전원 전위(VDD))가 입력됨으로써, 트랜지스터(43, 48)의 소스와 게이트의 용량 결합에 의하여, 노드(A)의 전위(트랜지스터(43, 48)의 게이트의 전위)가 더 상승된다(부트스트랩 동작). 또한, 상기 부트스트랩 동작을 수행하면, 단자(35, 36)로부터 출력되는 신호가 단자(32)에 입력되는 하이 레벨의 전위(고전원 전위(VDD))로부터 저하되는 일이 없다. 따라서, 펄스 출력 회로(23_1)는 펄스 출력 회로(23_3)의 단자(31) 및 주사선(21_1)에 하이 레벨의 전위(고전원 전위(VDD))를 출력한다.

[0072] 타이밍(t4)에서 단자(31)에 로우 레벨의 전위(저전원 전위(VSS))가 입력되고, 타이밍(t5)에서 단자(33)에 하이 레벨의 전위(고전원 전위(VDD))가 입력된다. 다만, 단자(35) 및 단자(36)로부터 출력되는 신호는 변화되지 않고, 펄스 출력 회로(23_1)는 펄스 출력 회로(23_3)의 단자(31) 및 주사선(21_1)에 하이 레벨의 전위(고전원 전

위(VDD))를 출력한다.

[0073] 타이밍(t6)에서 단자(32)에 로우 레벨의 전위(저전원 전위(VSS))가 입력된다. 이 때, 트랜지스터(43, 48)의 소스와 게이트의 용량 결합에 의하여 노드(A)의 전위(트랜지스터(43, 48))가 저하된다(부트스트랩 동작). 다만, 노드(A)의 전위는 여전히 하이 레벨의 전위이기 때문에, 트랜지스터(43, 48)는 온 상태를 유지한다. 따라서, 단자(32)에 입력되는 신호가 단자(35, 36)로부터 출력되는 신호가 된다. 즉, 펄스 출력 회로(23_1)는 펄스 출력 회로(23_3)의 단자(31) 및 주사선(21_1)에 로우 레벨의 전위(저전원 전위(VSS))를 출력한다.

[0074] 타이밍(t7)에서 단자(34)에 하이 레벨의 전위(고전원 전위(VDD))가 입력된다. 또한, 타이밍(t7)에서는 단자(33)에도 하이 레벨의 전위(고전원 전위(VDD))가 입력된다. 따라서, 트랜지스터(46, 47)는 양쪽 온 상태가 된다. 이로써, 노드(B)의 전위가 하이 레벨의 전위(고전원 전위(VDD))로부터 트랜지스터(46) 및 트랜지스터(47) 중 문턱 전압이 높은 쪽의 문턱 전압만큼 저하된 전위)까지 상승된다. 따라서, 트랜지스터(42, 44, 49)는 온 상태가 된다. 또한, 이에 따라 노드(A)의 전위가 로우 레벨의 전위(저전원 전위(VSS))까지 저하된다. 그러므로, 트랜지스터(43, 48)는 오프 상태가 된다. 이로써, 타이밍(t7)에서, 단자(35) 및 단자(36)로부터 출력되는 신호는 트랜지스터(44, 49)의 소스 및 드레인 중 한쪽에 입력되는 신호가 된다. 상기 신호는 저전원 전위(VSS)이다. 따라서, 펄스 출력 회로(23_1)가 펄스 출력 회로(23_3)의 단자(31) 및 주사선(21_1)에 출력하는 신호는 로우 레벨의 전위(저전원 전위(VSS))로 유지된다.

[0075] 다음에, 펄스 출력 회로(24_2)의 동작에 대하여 설명한다. 도 7의 (C)에 도시된 바와 같이, 펄스 출력 회로(24_2)는 펄스 출력 회로(23_1)와 마찬가지로 동작한다. 다만, 펄스 출력 회로(24_2)는 펄스 출력 회로(23_1)와 비교하여 클럭 신호(CKL1 내지 CKL4, CKR1 내지 CKR4)의 1/8주기분 늦게 동작한다.

[0076] <(2-3) 트랜지스터(23_2 ··· 23_m, 24_1 ··· 24_m-1)의 동작예>

[0077] 트랜지스터(23_2 ··· 23_m, 24_1 ··· 24_m-1)의 동작예에 대하여 도 8을 참조하여 설명한다. 도 8의 (A)는 도 5의 일부를 발췌한 도면이고, 도 8의 (B)는 도 7의 (B) 및 (C)에 도시된 펄스 출력 회로(23_1, 24_2)가 주사선(21_1, 21_2)에 출력하는 신호의 과정 및 트랜지스터(23_2, 24_1)의 게이트에 입력되는 클럭 신호(CKR2, CKL3)를 도시한 도면이다.

[0078] 상술한 표시 장치에 있어서는, 도 8의 (B)에 도시된 바와 같이 펄스 출력 회로(23_1)가 주사선(21_1)에 출력하는 신호가 하이 레벨의 전위(고전원 전위(VDD))로부터 로우 레벨의 전위(저전원 전위(VSS))로 전환되는 타이밍(ta)이, 클럭 신호(CKR2)가 로우 레벨의 전위(저전원 전위(VSS))로부터 하이 레벨의 전위(고전원 전위(VDD))로 전환되는 타이밍과 일치한다. 즉, 상기 타이밍(ta)이, 트랜지스터(24_1)가 오프 상태로부터 온 상태로 되는 타이밍과 일치한다. 마찬가지로, 펄스 출력 회로(24_3)가 주사선(21_2)에 출력하는 신호가 하이 레벨의 전위(고전원 전위(VDD))로부터 로우 레벨의 전위(저전원 전위(VSS))로 전환되는 타이밍(tb)이, 트랜지스터(24_1)가 오프 상태로부터 온 상태로 되는 타이밍과 일치한다. 이로써, 상술한 표시 장치에서는, 주사선의 한 끝뿐만 아니라, 양쪽 끝으로부터 비선택 신호가 동시에 입력된다. 따라서, 상기 주사선의 각 개소에서의 전위 변화의 타이밍 차이를 억제할 수 있다. 즉, 상기 주사선에 게이트가 접속되는 복수의 트랜지스터의 스위칭의 타이밍 차이를 억제할 수 있다. 그 결과, 표시 장치에서 생기는 문제를 억제할 수 있다.

[0079] 또한, 상술한 표시 장치에 있어서는, 트랜지스터(23_2, 23_4 ··· 23_m, 24_1, 24_3 ··· 24_m-1)의 스위칭을 제어하기 위하여, 시프트 레지스터를 구동할 때에 사용되는 클럭 신호(CKL1 내지 CKL4, CKR1 내지 CKR4)가 이용된다. 즉, 트랜지스터(23_2, 23_4 ··· 23_m, 24_1, 24_3 ··· 24_m-1)의 스위칭을 제어하기 위하여 새로운 신호를 공급하는 배선(CKL1 내지 CKL4, CKR1 내지 CKR4) 중 어느 하나에 접속시키는 구성이 아니고, 펄스 출력 회로(23_1 ··· 23_m-1, 24_2 ··· 24_m-1) 중 어느 하나의 단자(35)에 접속시키는 구성으로 할 수도 있다.

[0080] <(3) 주사선 구동 회로(23, 24)의 변형예>

[0081] 본 명세서에 기재되는 표시 장치에 제공되는 주사선 구동 회로(23, 24)는 상술한 회로에 한정되지 않는다. 예를 들어, 트랜지스터(23_2 ··· 23_m, 24_1 ··· 24_m-1)의 게이트를, 도 5에 도시된 바와 같이 클럭 신호를 공급하는 배선(CKL1 내지 CKL4, CKR1 내지 CKR4) 중 어느 하나에 접속시키는 구성이 아니고, 펄스 출력 회로(23_1 ··· 23_m-1, 24_2 ··· 24_m-1) 중 어느 하나의 단자(35)에 접속시키는 구성으로 할 수도 있다.

[0082] 구체적으로는, 도 7의 (A)에 도시된 펄스 출력 신호의 경우이면 도 9에 도시된 구성으로 할 수도 있다. 도 9에 도시된 주사선 구동 회로(23)에서는, 트랜지스터(23_2c)(c는 m-4 이하의 짹수임)의 게이트가 펄스 출력 회로(23_c+3)의 단자(35)에 접속되고, 트랜지스터(24_d)(d는 m-3 이하의 홀수임)의 게이트가 펄스 출력 회로(24_d+3)의 단자(35)에 접속된다. 또한, 도 9에는 도시되지 않았지만, 도 9에서는 트랜지스터(23_m-2)의 게이

트가 펠스 출력 회로(23_m-7)의 단자(35)에 접속되고, 트랜지스터(23_m)의 게이트가 펠스 출력 회로(23_m-5)의 단자(35)에 접속되고, 트랜지스터(24_m-1)의 게이트가 펠스 출력 회로(24_m-6)의 단자(35)에 접속된다.

[0083] 도 9에 도시된 주사선 구동 회로(23, 24)를 사용한 경우에도, 도 5에 도시된 주사선 구동 회로(23, 24)를 사용한 경우와 같은 작용 효과를 나타낸다.

[0084] <3. 트랜지스터의 구체적인 예>

[0085] 상술한 표시 장치에 포함되는 트랜지스터로서는 각종 트랜지스터를 적용할 수 있다. 예를 들어, 실리콘막에 채널이 형성되는 트랜지스터(실리콘막에 채널 형성 영역을 갖는 트랜지스터) 또는 산화물 반도체막에 채널이 형성되는 트랜지스터(산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터)를 상술한 표시 장치에 포함되는 트랜지스터로서 적용할 수 있다.

[0086] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0087] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0088] 우선, CAAC-OS막에 대하여 설명한다.

[0089] CAAC-OS막은, c축 배향한 복수의 결정부를 갖는 산화물 반도체막 중 하나이다.

[0090] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0091] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각종은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.

[0092] 또한, 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0093] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0094] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0095] 또한, CAAC-OS막에 포함되는 결정부의 대부분은 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. 다만, CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면 TEM상에서 2500nm^2 이상, $5\mu\text{m}^2$ 이상, 또는 $1000\mu\text{m}^2$ 이상이 되는 결정 영역이 관찰되는 경우가 있다.

[0096] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.

[0097] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(Φ축)으로 하여 시료를 회전시키면서 분석(Φ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 Φ 스캔을 수행하여도 명료한 피크가 나

타나지 않는다.

[0098] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.

[0099] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않는 경우도 있다.

[0100] 또한, CAAC-OS막 내에서 c축 배향한 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 c축 배향한 결정부의 비율이 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향한 결정부의 비율이 상이한 영역이 형성될 수도 있다.

[0101] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방일 때 나타나는 피크에 더하여, 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0102] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0103] 또한, CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포함함으로써 캐리어 발생원이 되는 경우가 있다.

[0104] 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)이 되기 어렵다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포함된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로, 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0105] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.

[0106] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0107] 미결정 산화물 반도체막은 TEM에 의한 관찰상에서는 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의한 관찰상에서는 결정 입체를 명확히 확인할 수 없는 경우가 있다.

[0108] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 nc-OS막에 대하여 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자

선 회절이라고도 함)에 의하여 nc-OS막의 구조를 해석하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 결정부의 크기와 프로브 직경이 가깝거나 결정부보다 프로브 직경이 작은(예를 들어 1nm 이상 30nm 이하) 전자선을 사용하는 전자선 회절(나노 빔 전자선 회절이라고도 함)을 행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 행하면, 휘도가 높은 원 형(환 형)의 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 행하면, 환 형 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0109] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0110] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이어도 좋다.

[0111] <4. 표시 모듈의 구체적인 예>

[0112] 이하에서는, 상술한 표시 장치를 구성 요소 중 하나로 하는 표시 모듈에 대하여 도 10을 참조하여 설명한다.

[0113] 도 10에 도시된 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 갖는다. 또한, 표시 모듈의 구성으로서, 이들 구성 요소 중 적어도 하나가 제공되지 않는(예를 들어, 백 라이트 유닛(8007), 배터리(8011), 또는 터치 패널(8004)이 제공되지 않는) 구성을 적용할 수도 있다.

[0114] 상술한 표시 장치는 표시 패널(8006)에 해당한다.

[0115] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.

[0116] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널이며 표시 패널(8006)과 중첩된다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)에, 터치 패널 기능을 갖게 하도록 할 수도 있다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 제공하여 광학식 터치 패널로 할 수도 있다. 또한, 표시 패널(8006)의 각 화소 내에 터치 센서용 전극을 제공하여 용량 형식 터치 패널로 할 수도 있다.

[0117] 백 라이트 유닛(8007)은 매트릭스상으로 배치된 복수의 광원(8008)을 갖는다. 또한, 백 라이트 유닛(8007)으로서 선상 광원과 광 확산판이 제공되는 구성으로 하여도 좋다. 이 경우, 백 라이트 유닛(8007)은 상기 선상 광원이 발하는 선상 광을 광 확산판으로 확산시켜 면상 광으로서 사출한다.

[0118] 프레임(8009)은 표시 패널(8006)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자기 실드로서의 기능을 갖는다. 또한 프레임(8009)은 방열판으로서의 기능을 가져도 좋다.

[0119] 프린트 기판(8010)은 전원 회로, 비디오 신호, 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어도 좋고, 별도 제공한 배터리(8011)에 의한 전원이어도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략할 수 있다.

[0120] 또한, 표시 모듈(8000)에는 편광판, 위상차판, 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.

[0121] <5. 최종 제품의 구체적인 예>

[0122] 상술한 표시 장치를 사용하여 제조되는 최종 제품의 일례에 대하여 도 11 및 도 12를 참조하여 이하에서 설명한다.

[0123] 상기 최종 제품으로서, 예를 들어 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 과정코기 등의 대형 게임기 등을 들 수 있다. 또한, 이들 최종 제품은, 표시면이 곡면 형상을 갖거나, 또는 표시면을 임의적으로 접을 수 있는 제품으로 할 수도 있다.

[0124] 도 11의 (A)는 휴대 전화기의 일례를 도시한 것이다. 휴대 전화기(7400)는 하우징(7401)에 제공된 표시부(7402) 외에, 조작 버튼(7403), 외부 접속 포트(7404), 스피커(7405), 마이크로폰(7406) 등을 구비한다. 또한, 휴대 전화기(7400)에서는, 상술한 표시 장치가 표시부(7402) 내에 제공된다.

- [0125] 도 11의 (A)에 도시된 휴대 전화기(7400)에서는 표시부(7402)의 표면을 손가락 등으로 터치함으로써, 표시되는 화상을 변화시키는 등의 조작을 수행할 수 있다. 또한, 전화를 걸거나, 또는 문자를 입력하는 등의 조작도 표시부(7402)의 표면을 손가락 등으로 터치함으로써 수행할 수 있다.
- [0126] 또한, 조작 버튼(7403)의 조작에 의하여, 휴대 전화기(7400)의 기동과 정지, 및 상술한 조작을 수행할 수 있다.
- [0127] 도 11의 (B)는 표시부를 구비한, 뱅글형 표시 장치의 일례를 도시한 것이다. 뱅글형 표시 장치(7100)는 하우징(7101), 표시부(7102), 조작 버튼(7103), 및 송수신 장치(7104)를 구비한다. 또한, 뱅글형 표시 장치(7100)에서는, 상술한 표시 장치가 표시부(7102) 내에 제공된다.
- [0128] 뱅글형 표시 장치(7100)는 송수신 장치(7104)에 의하여 영상 신호를 수신할 수 있고 수신한 영상을 표시부(7102)에 표시할 수 있다. 또한, 음성 신호를 다른 송수신 장치와 송수신할 수도 있다.
- [0129] 또한, 조작 버튼(7103)에 의하여, 뱅글형 표시 장치(7100)의 기동과 정지, 표시되는 화상을 변화시키는 등의 조작, 및 음성 조정 등을 수행할 수 있다.
- [0130] 도 12의 (A)는 휴대용 제품의 일례를 도시한 것이다. 휴대용 제품(7300)은 하우징(7301), 표시부(7302), 조작 버튼(7303), 인출 부재(7304), 제어부(7305)를 구비한다. 또한, 휴대용 제품(7300)에서는, 상술한 표시 장치가 표시부(7302) 내에 제공된다.
- [0131] 휴대용 제품(7300)은 통 형상의 하우징(7301) 내에 롤 형상으로 감긴 가요성 표시부(7302)를 구비한다. 표시부(7302)는, 차광층 등이 형성된 제 1 기판 및 트랜지스터 등이 형성된 제 2 기판을 갖는다. 표시부(7302)는, 하우징(7301) 내에서 제 2 기판이 항상 외측이 되도록 감긴다.
- [0132] 또한, 휴대용 제품(7300)은 제어부(7305)에 의하여 영상 신호를 수신할 수 있고, 수신한 영상을 표시부(7302)에 표시할 수 있다. 또한, 제어부(7305)는 배터리를 구비한다. 또한, 제어부(7305)에 커넥터를 구비하고 영상 신호나 전력을 직접 공급하는 구성으로 하여도 좋다.
- [0133] 또한, 조작 버튼(7303)에 의하여 기동과 정지, 표시되는 화상을 변화시키는 등의 조작을 수행할 수 있다.
- [0134] 도 12의 (B)에 표시부(7302)를 인출 부재(7304)에 의하여 인출한 상태를 도시하였다. 이 상태에서 표시부(7302)에 영상을 표시할 수 있다. 또한, 하우징(7301)의 표면에 배치된 조작 버튼(7303)에 의하여 한쪽 손으로 용이하게 조작할 수 있다.
- [0135] 또한, 표시부(7302)를 인출하였을 때에 표시부(7302)가 만곡되지 않도록 표시부(7302)의 단부에 보강하기 위한 프레임을 제공하여도 좋다.
- [0136] 또한, 이 구성 이외에 하우징에 스파커를 제공하고 영상 신호와 함께 수신한 음성 신호에 의하여 음성을 출력하는 구성으로 하여도 좋다.

부호의 설명

- [0137] 10: 주사선
 101: 주사선
 102: 주사선
 11: 트랜지스터
 111: 트랜지스터
 112: 트랜지스터
 12_1: 화소
 12_2: 화소
 121_1: 화소
 121_2: 화소
 122_1: 화소

122_2: 화소

13_1: 트랜지스터

13_2: 트랜지스터

131_1: 트랜지스터

131_2: 트랜지스터

132_1: 트랜지스터

132_2: 트랜지스터

14: 트랜지스터

15_1: 트랜지스터

15_2: 트랜지스터

141: 시프트 레지스터

142: 시프트 레지스터

20: 화소

201: 트랜지스터

202: 용량 소자

203: 액정 소자

21: 주사선

21_1 내지 21_m: 주사선

22: 신호선

23: 주사선 구동 회로

24: 주사선 구동 회로

23_1: 펄스 출력 회로

23_3: 펄스 출력 회로

23_5: 펄스 출력 회로

23_m-1: 펄스 출력 회로

24_2: 펄스 출력 회로

24_4: 펄스 출력 회로

24_m: 펄스 출력 회로

23_2: 트랜지스터

23_4: 트랜지스터

23_m: 트랜지스터

24_1: 트랜지스터

24_3: 트랜지스터

24_5: 트랜지스터

24_m-1: 트랜지스터

25: 신호선 구동 회로

31 내지 36: 단자

41 내지 49: 트랜지스터

7100: 뱡글형 표시 장치

7101: 하우징

7102: 표시부

7103: 조작 버튼

7104: 송수신 장치

7300: 휴대용 제품

7301: 하우징

7302: 표시부

7303: 조작 버튼

7304: 인출 부재

7305: 제어부

7400: 휴대 전화기

7401: 하우징

7402: 표시부

7403: 조작 버튼

7404: 외부 접속 포트

7405: 스피커

7406: 마이크로폰

8000: 표시 모듈

8001: 상부 커버

8002: 하부 커버

8003: FPC

8004: 터치 패널

8005: FPC

8006: 표시 패널

8007: 백 라이트 유닛

8008: 광원

8009: 프레임

8010: 프린트 기판

8011: 배터리

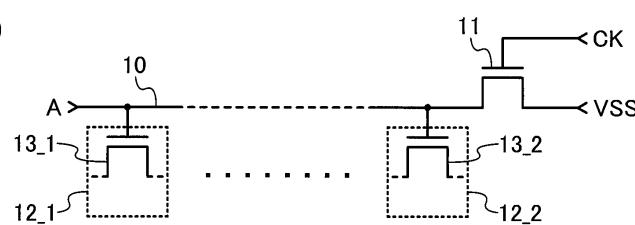
도면

도면1

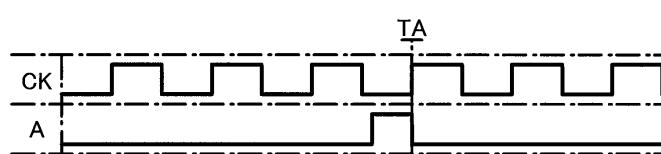
(A)



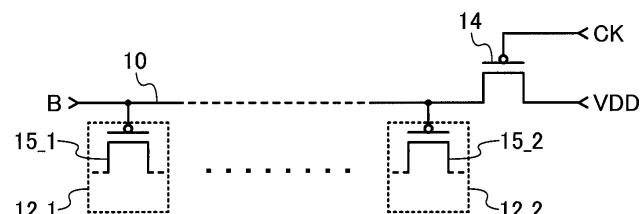
(B)



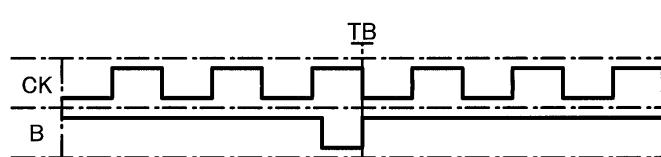
(C)



(D)

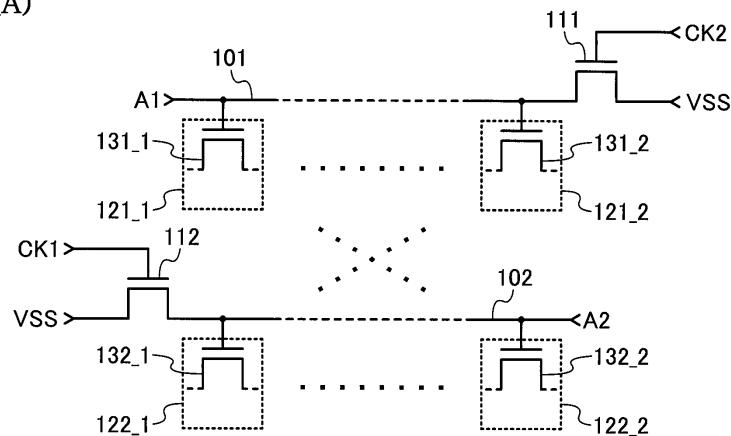


(E)

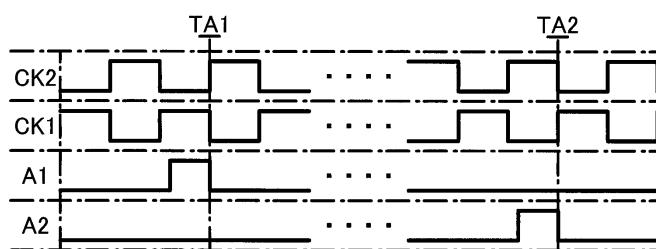


도면2

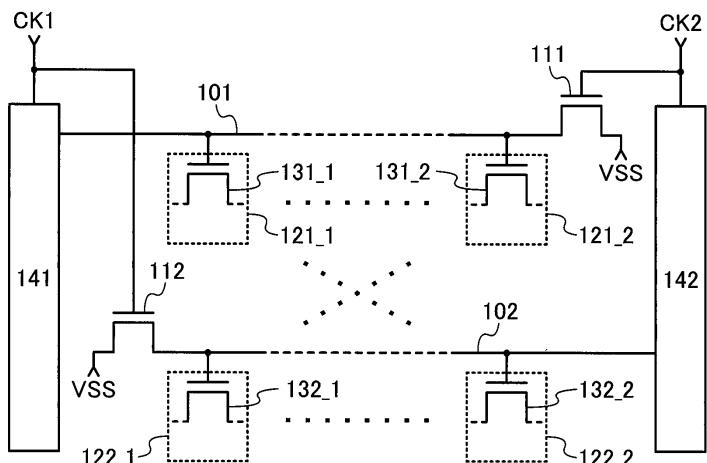
(A)



(B)

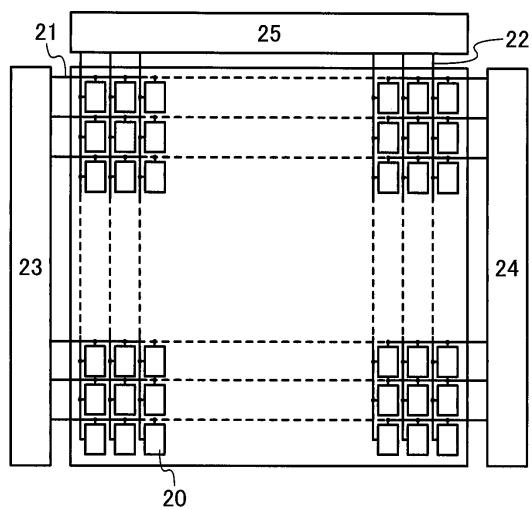


도면3

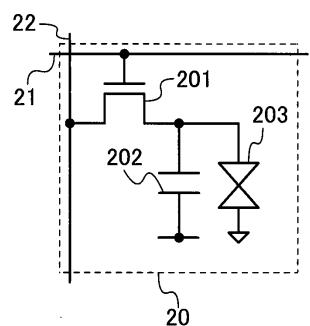


도면4

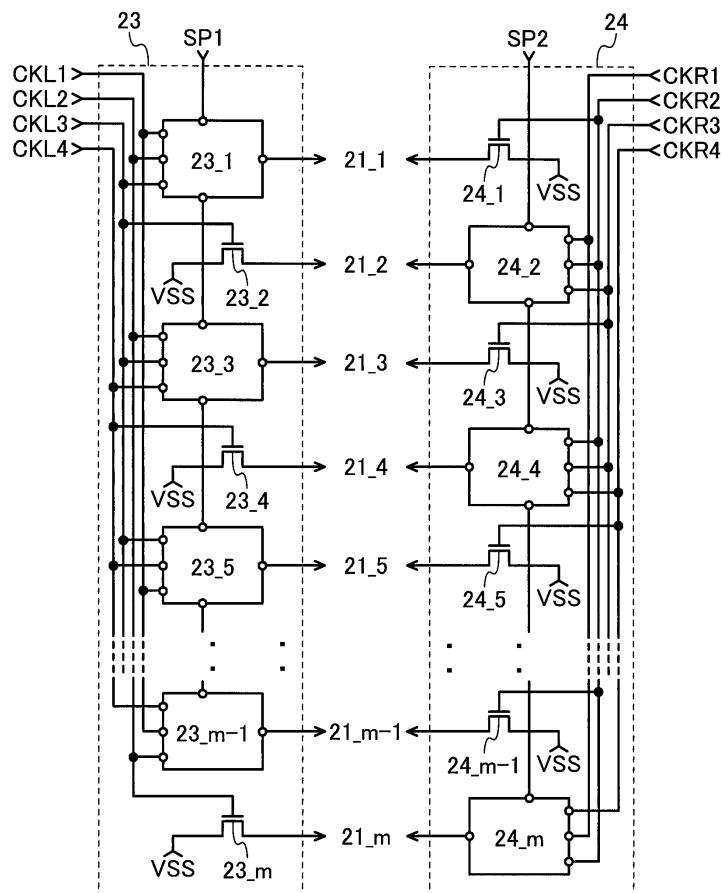
(A)



(B)

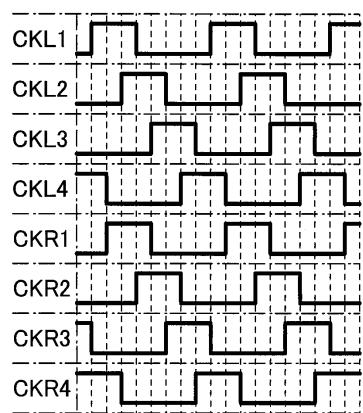


도면5

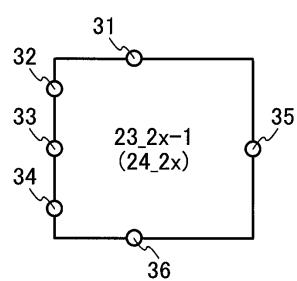


도면6

(A)

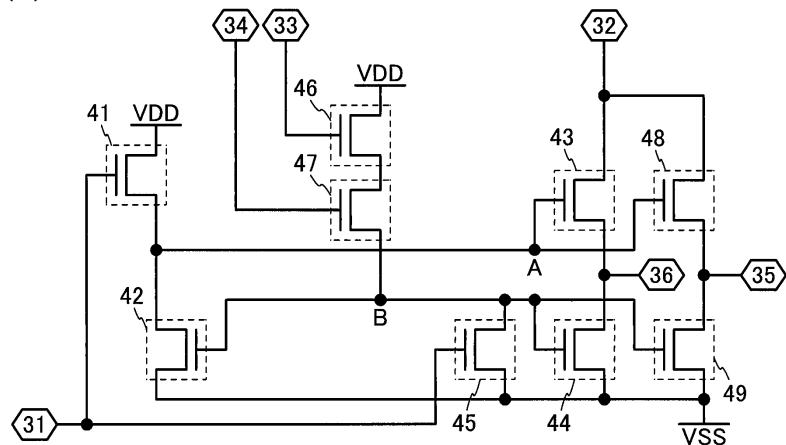


(B)

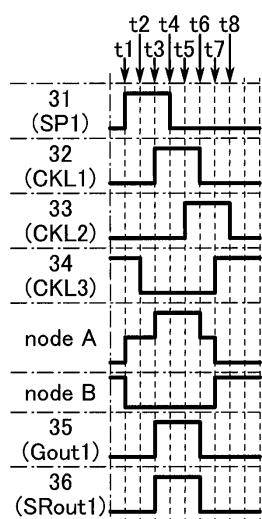


도면7

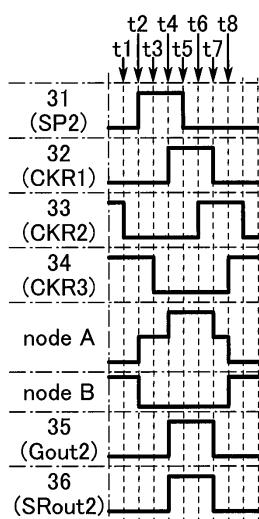
(A)



(B)

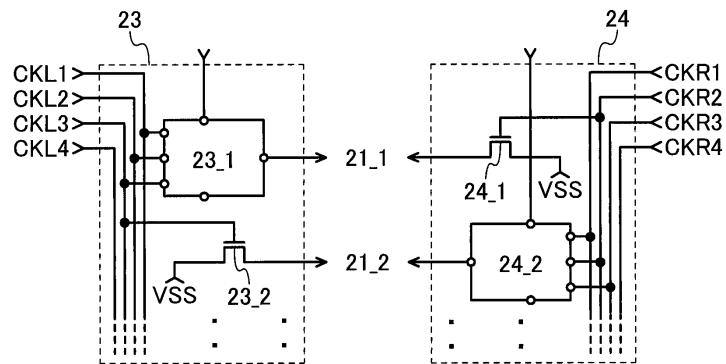


(C)

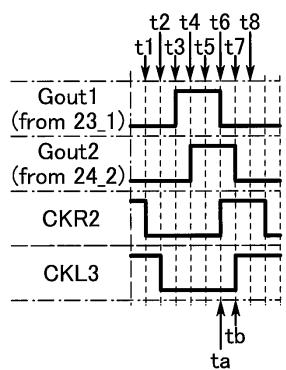


도면8

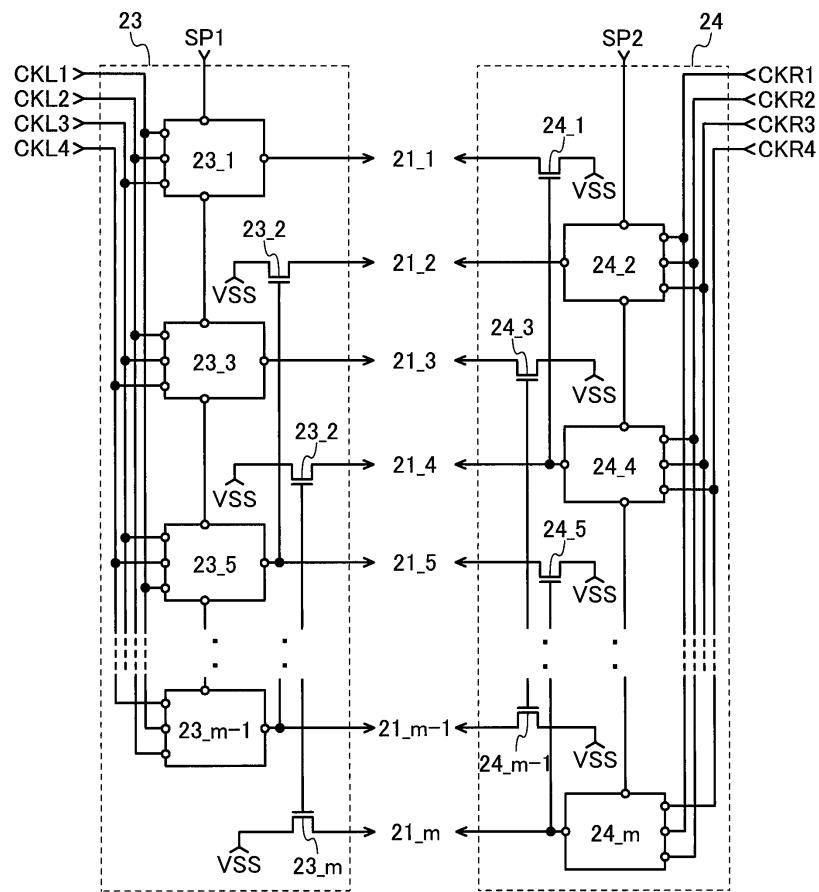
(A)



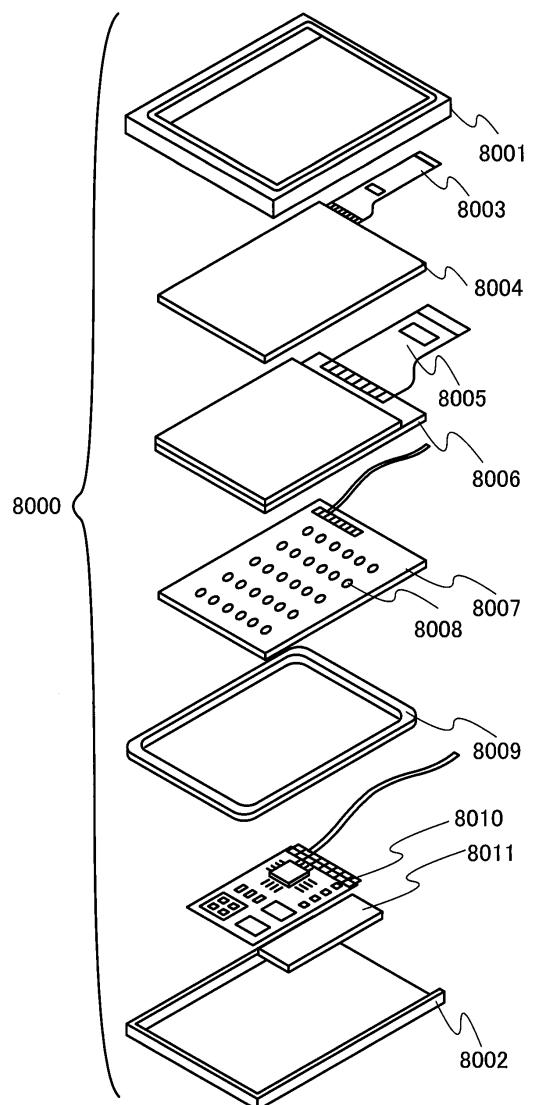
(B)



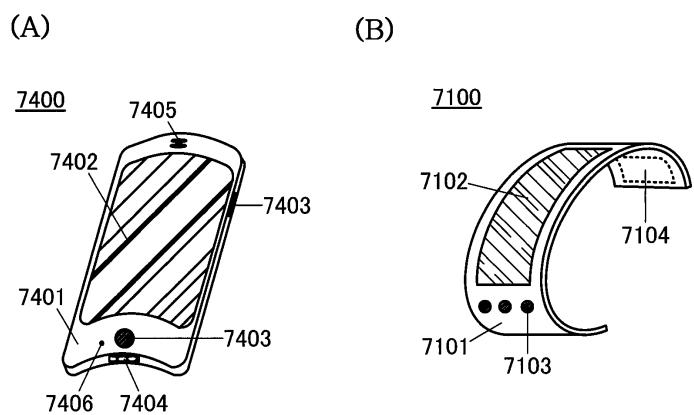
도면9



도면10

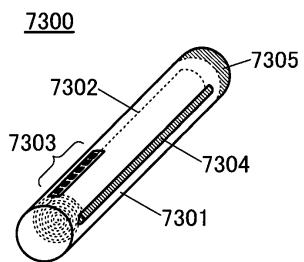


도면11



도면12

(A)



(B)

