

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4680960号  
(P4680960)

(45) 発行日 平成23年5月11日(2011.5.11)

(24) 登録日 平成23年2月10日(2011.2.10)

(51) Int.Cl.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G09G	3/20	(2006.01)	G09G	3/20
G02F	1/133	(2006.01)	G09G	3/20
H03K	17/687	(2006.01)	G09G	3/20

G09G 3/20

G09G 3/20

G09G 3/20

G09G 3/20

請求項の数 4 (全 10 頁) 最終頁に続く

(21) 出願番号

特願2007-165221 (P2007-165221)

(22) 出願日

平成19年6月22日 (2007.6.22)

(65) 公開番号

特開2009-3260 (P2009-3260A)

(43) 公開日

平成21年1月8日 (2009.1.8)

審査請求日

平成22年1月12日 (2010.1.12)

早期審査対象出願

(73) 特許権者 000005821

パナソニック株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100110939

弁理士 竹内 宏

(74) 代理人 100110940

弁理士 嶋田 高久

(74) 代理人 100113262

弁理士 竹内 祐二

(74) 代理人 100115059

弁理士 今江 克実

(74) 代理人 100115691

弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】表示装置の駆動回路および表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

画像信号に応じた、表示装置における所定の基準電圧に対して正または負の駆動電圧を選択的に出力する表示装置の駆動回路であって、

入力段回路と、

上記入力段回路から出力される1対の出力段制御信号に応じて、

所定の高電圧と上記所定の基準電圧との間の駆動電圧、または

上記所定の基準電圧と所定の低電圧との間の駆動電圧を出力する出力段回路と、を備え、

上記出力段回路は、

互いに直列に接続された高電圧側トランジスタおよび低電圧側トランジスタと、

上記高電圧側トランジスタに、上記高電圧または上記所定の基準電圧を選択的に供給する高電圧側電圧供給回路と、

上記低電圧側トランジスタに、上記所定の基準電圧または低電圧を選択的に供給する低電圧側電圧供給回路と、

を備え、

上記入力段回路は、

互いに並列に接続され、両端がそれぞれ上記高電圧側トランジスタまたは低電圧側トランジスタの制御端子に接続されたPチャネルトランジスタおよびNチャネルトランジスタと、

10

20

上記 P チャネルトランジスタおよび N チャネルトランジスタの制御端子に、上記出力段回路における高電圧側トランジスタおよび低電圧側トランジスタに供給される電圧の選択に対応した所定のバイアス電圧を印加するバイアス供給回路と、  
を備えたことを特徴とする表示装置の駆動回路。

【請求項 2】

画像信号に応じた、表示装置における所定の基準電圧に対して正または負の駆動電圧を選択的に出力する表示装置の駆動回路であって、

入力段回路と、

上記入力段回路から出力される 1 対の出力段制御信号に応じて、

所定の高電圧と上記所定の基準電圧との間の駆動電圧、または

10

上記所定の基準電圧と所定の低電圧との間の駆動電圧を出力する出力段回路と、  
 を備え、

上記出力段回路は、

上記所定の高電圧と上記所定の基準電圧との間で互いに直列に接続された第 1 および第 2 のトランジスタと、

上記所定の基準電圧と上記所定の低電圧との間で互いに直列に接続された第 3 および第 4 のトランジスタと、

上記第 1 と第 2 のトランジスタの接続点、または上記第 3 と第 4 のトランジスタの接続点の電圧を選択的に駆動電圧として出力する出力選択スイッチ回路と、

を備えたことを特徴とする表示装置の駆動回路。

20

【請求項 3】

請求項 2 の表示装置の駆動回路であって、

上記入力段回路は、

互いに並列に接続され、両端がそれぞれ上記第 1 および第 3 のトランジスタまたは第 2 および第 4 のトランジスタの制御端子に接続された P チャネルトランジスタおよび N チャネルトランジスタと、

上記 P チャネルトランジスタおよび N チャネルトランジスタの制御端子に、上記出力段回路における上記接続点の電圧の選択に対応した所定のバイアス電圧を印加するバイアス供給回路と、

を備えたことを特徴とする表示装置の駆動回路。

30

【請求項 4】

請求項 1 および 2 のいずれか一つの駆動回路と、

上記駆動回路から出力される駆動電圧と上記所定の基準電圧とに応じて画像を表示する表示部と、

を備えたことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置などの表示装置、および表示装置を駆動する駆動回路に関するものである。

40

【背景技術】

【0002】

液晶表示装置などの表示装置においては、通常、表示パネルの対向電極の電位に対して正負の駆動電圧を容量性負荷に印加する交流駆動が行われる。このような駆動電圧を発生する駆動回路としては、例えば特許文献 1 の図 1 に示す回路が知られている。

【0003】

この駆動回路には、同図に示すように、高位側電源 8 ( V D D ) と中位側電源 10 ( V D D / 2 ) 間で直列に接続された出力トランジスタ 11 , 12 が設けられている。また、中位側電源 10 ( V D D / 2 ) と低位側電源 9 ( V S S ) 間で直列に接続された出力トランジスタ 13 , 14 が設けられている。

50

**【0004】**

上記出力トランジスタ11, 12、および出力トランジスタ13, 14は、スイッチ手段6, 7によって切り替えられる差動型入力段回路2, 3により制御されて、交互に正負の駆動電圧を容量性負荷に供給するようになっている。

**【0005】**

これにより、容量性負荷は、駆動電圧が正負の何れに切り替わるときでも、中位側電源10によって充放電され、消費電力が低減されるようになっている。

**【特許文献1】特開2002-175052号公報****【発明の開示】****【発明が解決しようとする課題】**

10

**【0006】**

しかしながら、上記のように差動型入力段回路2, 3がスイッチ手段6, 7によって切り替えられる場合、駆動電圧の精度の低下を招きがちであるうえ、必要とされるスイッチ回路の数も多くなりがちである。

**【0007】**

本発明は、かかる点に鑑みてなされたものであり、表示装置を交流駆動するための消費電力を低減し、しかも、差動型入力段回路の出力を切り替えることによる駆動電圧の精度の低下を招かないようにすることを目的としている。

**【課題を解決するための手段】****【0008】**

20

上記の課題を解決するため、

本発明は、

画像信号に応じた、表示装置における所定の基準電圧に対して正または負の駆動電圧を選択的に出力する表示装置の駆動回路であって、

入力段回路と、

上記入力段回路から出力される1対の出力段制御信号に応じて、

所定の高電圧と上記所定の基準電圧との間の駆動電圧、または

上記所定の基準電圧と所定の低電圧との間の駆動電圧を出力する出力段回路と、

を備え、

上記出力段回路は、

30

互いに直列に接続された高電圧側トランジスタおよび低電圧側トランジスタと、

上記高電圧側トランジスタに、上記高電圧または上記所定の基準電圧を選択的に供給する高電圧側電圧供給回路と、

上記低電圧側トランジスタに、上記所定の基準電圧または低電圧を選択的に供給する低電圧側電圧供給回路と、

を備え、

上記入力段回路は、

互いに並列に接続され、両端がそれぞれ上記高電圧側トランジスタまたは低電圧側トランジスタの制御端子に接続されたPチャネルトランジスタおよびNチャネルトランジスタと、

上記PチャネルトランジスタおよびNチャネルトランジスタの制御端子に、上記出力段回路における高電圧側トランジスタおよび低電圧側トランジスタに供給される電圧の選択に対応した所定のバイアス電圧を印加するバイアス供給回路と、

を備えたことを特徴とする。

**【0010】**

また、本発明は、

画像信号に応じた、表示装置における所定の基準電圧に対して正または負の駆動電圧を選択的に出力する表示装置の駆動回路であって、

入力段回路と、

上記入力段回路から出力される1対の出力段制御信号に応じて、

40

50

所定の高電圧と上記所定の基準電圧との間の駆動電圧、または  
上記所定の基準電圧と所定の低電圧との間の駆動電圧を出力する出力段回路と、  
を備え、

上記出力段回路は、

上記所定の高電圧と上記所定の基準電圧との間で互いに直列に接続された第1および第2のトランジスタと、

上記所定の基準電圧と上記所定の低電圧との間で互いに直列に接続された第3および第4のトランジスタと、

上記第1と第2のトランジスタの接続点、または上記第3と第4のトランジスタの接続点の電圧を選択的に駆動電圧として出力する出力選択スイッチ回路と、

を備えたことを特徴とする。

また、上記入力段回路は、

互いに並列に接続され、両端がそれぞれ上記第1および第3のトランジスタまたは第2および第4のトランジスタの制御端子に接続されたPチャネルトランジスタおよびNチャネルトランジスタと、

上記PチャネルトランジスタおよびNチャネルトランジスタの制御端子に、上記出力段回路における上記接続点の電圧の選択に対応した所定のバイアス電圧を印加するバイアス供給回路と、

を備えたことを特徴とする。

#### 【0011】

これらにより、高電圧側トランジスタおよび低電圧側トランジスタに供給される電源電圧、または第1および第2のトランジスタや、第3および第4のトランジスタに供給される電圧を低く抑えることができ、消費電力を小さく抑えることが容易にできる。また、駆動電圧の精度を高く保つことも容易にできる。

#### 【0013】

これらにより、駆動信号の過渡応答特性を改善することなどが容易にできる。

#### 【発明の効果】

#### 【0014】

本発明によれば、表示装置を交流駆動するための消費電力を低減するとともに、駆動電圧の精度を高く保つことも容易にできる。

#### 【発明を実施するための最良の形態】

#### 【0015】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、以下の各実施形態において、他の実施形態と同様の機能を有する構成要素については同一の符号を付して説明を省略する。

#### 【0016】

##### 《発明の実施形態1》

図1は、液晶ディスプレイパネルなどの表示装置を駆動する実施形態1の表示装置駆動回路100の要部の構成を示す回路図である。同図に示すように、表示装置駆動回路100には、入力段回路101と、出力段回路104とが設けられている。

#### 【0017】

上記入力段回路101は、差動段回路102と、カスコード段回路103とを備えている。

#### 【0018】

差動段回路102は、画像信号(IN+)と、表示装置駆動回路100から出力される駆動信号(OUT、IN-)との差に応じた信号を出力するようになっている。

#### 【0019】

カスコード段回路103はトランジスタ13～24を有し、バイアス電圧BN1～BN3、BP1～BP3が供給されて、差動段回路102からの出力信号に応じて出力段回路104を制御する1対の出力段制御信号を出力するようになっている。

10

20

30

40

50

**【 0 0 2 0 】**

また、出力段回路 104 は、互いに直列に接続されたトランジスタ 11, 12 を有し、これらの接続点の電圧が駆動信号 (OUT) として出力される。そこで、例えば、液晶ディスプレイパネルにおけるソースラインを介して、画素電極と共に電極 30 との間に形成される液晶容量 CL に対して、充放電電流 (I) により電荷の蓄積放電をするようになっている。上記充放電電流 (I) は、例えばカスコード段回路 103 によって定電流に制御される。

**【 0 0 2 1 】**

上記出力段回路 104 には、さらに、スイッチ信号 SW3 ~ SW6 によって制御されるスイッチ 3 ~ 6 が設けられ、トランジスタ 11 には、所定の高電圧 (Vdd) または第 1 の中間電圧 (Vm h) が選択的に供給される一方、トランジスタ 12 には、所定の低電圧 (Vss) または第 2 の中間電圧 (Vm l) が選択的に供給されるようになっている。ここで、上記第 1、第 2 の中間電圧 (Vm h, Vm l) は、その絶対値が、駆動信号 (OUT) における黒レベルの電圧よりも低い電圧に設定されるが、その範囲内で、できるだけ高く設定する方が消費電力を小さくできる。

10

**【 0 0 2 2 】**

上記のように構成された表示装置駆動回路 100 の動作について説明する。ここで、以下では説明の簡単化のために、高電圧 (Vdd) および低電圧 (Vss) は、正または負の白レベルに等しい所定の電圧であるとし、共通電極電圧 (Vcom)、および第 1、第 2 の中間電圧 (Vm h, Vm l) は、互いに等しく、かつ、黒レベルである所定の電圧であり、また、これらは高電圧 (Vdd) と低電圧 (Vss) との平均の電圧に等しいとして説明する。なお、上記電圧の正負は絶対的な電位を意味するのではなく、例えば共通電極電圧 (Vcom) など、所定の基準の電圧に対する相対関係を意味している。

20

**【 0 0 2 3 】**

まず、正極性の駆動信号 (OUT) が出力される場合には、スイッチ 3、6 が ON になり、トランジスタ 11, 12 が高電圧 (Vdd) と共に電極電圧 (Vcom) との間で動作する。このとき、例えば、画像信号に応じてトランジスタ 11 が低抵抗状態、トランジスタ 12 が高抵抗状態であるとすると、駆動信号 (OUT) は、図 2 に示すように正の白レベルである高電圧 (Vdd) になる。

**【 0 0 2 4 】**

30

次に、画像信号に応じてトランジスタ 11 が高抵抗状態、トランジスタ 12 が低抵抗状態になったとすると、液晶容量 CL に蓄積されている電荷が、トランジスタ 12 を介して流れる充放電電流 (I) によって放電され、駆動信号 (OUT) は、黒レベルである共通電極電圧 (Vcom) まで直線的に低下する。このときに消費される電力は、駆動信号 (OUT) と共に電極電圧 (Vcom) との差と、充放電電流 (I) との積になる。すなわち、トランジスタ 12 のソースが低電圧 (Vss) に接続されている場合に比べて、消費電力が低減される。このような消費電力の低減は、液晶容量 (CL) が放電される場合であれば、駆動信号 (OUT) のレベルが中間調で変化する場合でも同様である。

**【 0 0 2 5 】**

一方、負極性の駆動信号 (OUT) が出力される場合には、スイッチ 4、5 が ON になり、トランジスタ 11, 12 が共通電極電圧 (Vcom) と低電圧 (Vss) との間で動作する。この場合には、例えば図 3 に示すように、負の白レベルである低電圧 (Vss) から黒レベルである共通電極電圧 (Vcom) になる場合には、共通電極電圧 (Vcom) と駆動信号 (OUT) との差と、充放電電流 (I) との積になり、トランジスタ 11 のソースが高電圧 (Vdd) に接続されている場合に比べて、やはり消費電力が低減される。

40

**【 0 0 2 6 】**

上記のように、トランジスタ 11, 12 に供給される電源電圧を駆動信号の極性に応じて切り替え、トランジスタ 11, 12 の両端の電圧を低く抑えることによって、消費電力を小さく抑えることが容易にできる。また、上記のような高電圧 (Vdd) や、低電圧 (Vss)

50

$V_{SS}$ )、中間電圧( $V_{mH}$ 、 $V_{mL}$ )を切り替えるスイッチ3～6を構成するトランジスタは、インピーダンスを比較的低くすることが容易なので、これらのトランジスタの面積を小さく抑えることが容易にできる。さらに、極性の切り替えに際して差動段回路102の出力を切り替えたりする必要はないので、そのような切り替えによる精度の低下を抑制することが容易にできる。

#### 【0027】

##### 《発明の実施形態2》

図4は、実施形態2の表示装置駆動回路200の要部の構成を示す回路図である。この表示装置駆動回路200は、前記実施形態1の表示装置駆動回路100に加えて、バイアス供給回路205が設けられて構成されている。このバイアス供給回路205は、スイッチ信号SW7～SW10によって制御されるスイッチ7～10を備え、カスコード段回路103に印加されるバイアス電圧BN3、BP3を、駆動信号(OUT)の極性に応じて切り替えるようになっている。10

#### 【0028】

具体的には、前記のように出力段回路104のスイッチ3、6がONになって正極性の駆動信号(OUT)が出力される場合には、バイアス供給回路205のスイッチ7、9がONになって、カスコード段回路103におけるトランジスタ14, 20(PチャネルトランジスタおよびNチャネルトランジスタ)のゲート(制御端子)に、それぞれバイアス電圧BPH、またはBNHが供給される。一方、負極性の駆動信号(OUT)が出力される場合には、スイッチ8、10がONになって、トランジスタ14, 20のゲートに、それぞれバイアス電圧BPL、またはBNLが供給される。20

#### 【0029】

上記のようにトランジスタ14, 20のバイアス電圧が駆動電圧(OUT)の極性に応じて切り替えられることにより、例えばこれらのバイアス電圧をBNH > BN L、BPH > BPLに設定して、トランジスタ14, 20の抵抗特性を均一にして駆動信号(OUT)の過渡応答特性を改善することなどが容易にできる。

#### 【0030】

##### 《発明の実施形態3》

図5は、実施形態3の表示装置駆動回路300の要部の構成を示す回路図である。この表示装置駆動回路300は、前記実施形態1の表示装置駆動回路100と比べて、出力段回路104に代えて出力段回路304を備えている点が異なっている。30

#### 【0031】

上記出力段回路304は、出力回路304a, 304bと、SW1～SW2によって制御されるスイッチ1, 2とを備えている。

#### 【0032】

出力回路304aは、互いに直列に接続されたトランジスタ31, 32を有し、高電圧( $V_{dd}$ )と第1の中間電圧( $V_{m1}$ )とで駆動されるようになっている。一方、出力回路304bは、トランジスタ41, 42を有し、第2の中間電圧( $V_{mh}$ )と低電圧( $V_{ss}$ )とで駆動されるようになっている。すなわち、出力回路304aは、実施形態1の出力段回路104においてスイッチ3、6がONになった場合と実質的に同じ状態になる一方、出力回路304bは、スイッチ4、5がONになった場合と実質的に同じ状態になるようになっている。40

#### 【0033】

スイッチ1は、正極性の駆動信号(OUT)が出力される場合にONになる一方、スイッチ2は、負極性の駆動信号(OUT)が出力される場合ONになるようになっている。これらのスイッチ1, 2としては、例えばP、Nチャネルトランジスタが並列に接続されたバスゲートなどが用いられ、これらのON時抵抗はできるだけ低いことがほしい。

#### 【0034】

上記のように構成された場合にも、正極性の駆動信号(OUT)が出力される場合の消費電力は、駆動信号(OUT)と共通電極電圧( $V_{com}$ )との差と、充放電電流(I)50

との積になる一方、負極性の駆動信号(OUT)が出力される場合の消費電力は、共通電極電圧(Vcom)と駆動信号(OUT)との差と、充放電電流(I)との積になる。したがって、やはり、差動段回路102の出力の切り替えによる精度の低下を招いたりすることなく、消費電力を小さく抑えることが容易にできる。

#### 【0035】

なお、本実施形態3のような構成においても、実施形態2で説明したようにバイアス供給回路205を設けて、駆動電圧(OUT)の極性に応じて、適切なバイアスがカスコード段回路103内のトランジスタに与えられるようにしてもよい。

#### 【0036】

##### 《発明の実施形態4》

10

上記実施形態1～3で説明したような表示装置駆動回路は、例えば、図6に示すような液晶ディスプレイパネル400に用いることができる。この液晶ディスプレイパネル400には、液晶表示部401、ソースドライバ411、ゲートドライバ412、およびそれぞれ画素数に応じた複数本のソースライン421とゲートライン422とが設けられている。ソースドライバ411は、複数の上記表示装置駆動回路100等が設けられて構成され、各駆動信号(OUT)が、対応するソースライン421を介して、ゲートライン422によって選択された画素の図示しない画素電極に与えられる。

#### 【産業上の利用可能性】

#### 【0037】

本発明にかかる表示装置の駆動回路は、表示装置を交流駆動するための消費電力を低減するとともに、駆動電圧の精度を高く保つことも容易にできる効果を有し、液晶表示装置などの表示装置、および表示装置を駆動する駆動回路等として有用である。

20

#### 【図面の簡単な説明】

#### 【0038】

【図1】実施形態1の表示装置駆動回路100の要部の構成を示す回路図である。

【図2】同、駆動信号(OUT)が正の場合の消費電力等を示すグラフである。

【図3】同、駆動信号(OUT)が負の場合の消費電力等を示すグラフである。

【図4】実施形態2の表示装置駆動回路200の要部の構成を示す回路図である。

【図5】実施形態3の表示装置駆動回路300の要部の構成を示す回路図である。

【図6】実施形態4の液晶ディスプレイパネル400の概略構成を示す平面図である。

30

#### 【符号の説明】

#### 【0039】

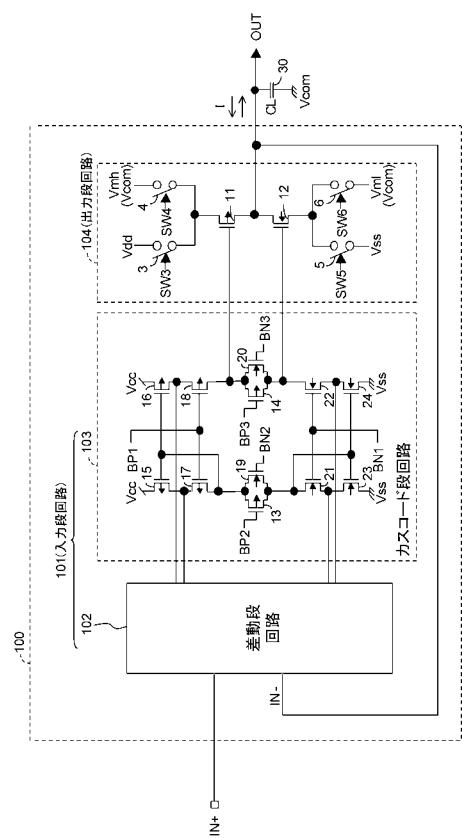
1～10	スイッチ
11～24	トランジスタ
30	共通電極
31，32	トランジスタ
41，42	トランジスタ
100	表示装置駆動回路
101	入力段回路
102	差動段回路
103	カスコード段回路
104	出力段回路
200	表示装置駆動回路
205	バイアス供給回路
300	表示装置駆動回路
304	出力段回路
304a，304b	出力回路
400	液晶ディスプレイパネル
401	液晶表示部
411	ソースドライバ

40

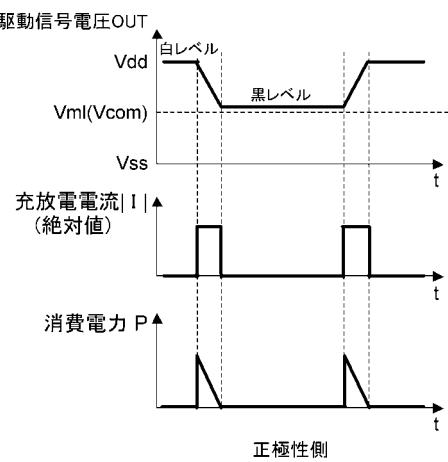
50

4 1 2 ゲートドライバ  
 4 2 1 ソースライン  
 4 2 2 ゲートライン  
 B N 1 ~ B N 3 , B P 1 ~ B P 3 バイアス電圧  
 S W 1 S W 1 0 スイッチ信号

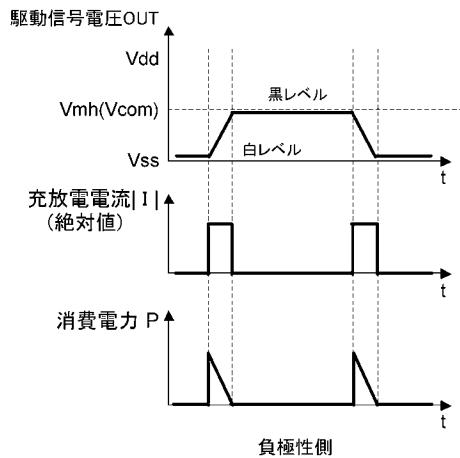
【図 1】



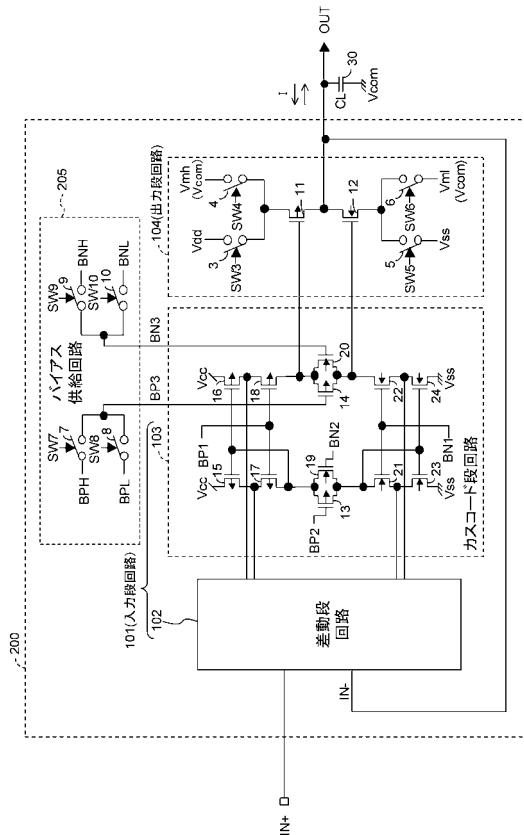
【図 2】



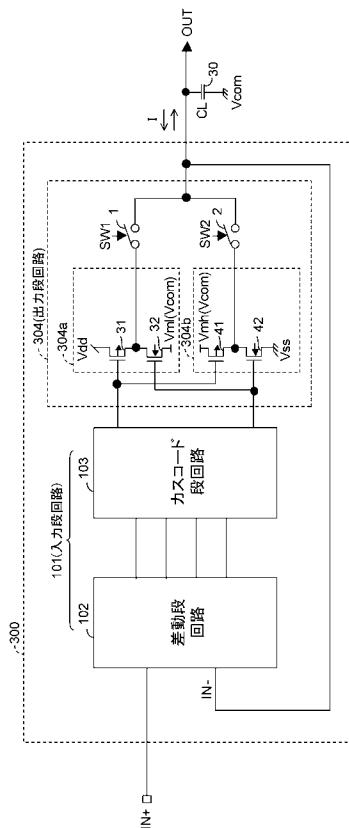
【 四 3 】



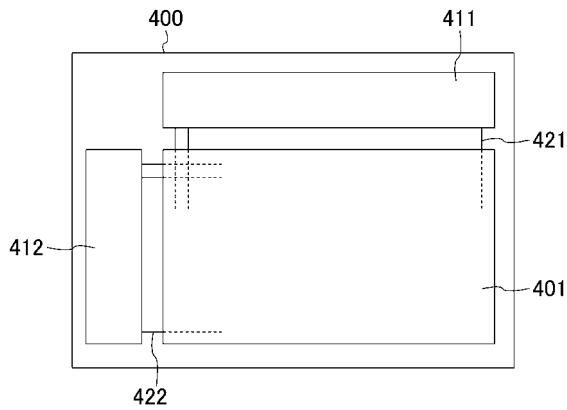
【 図 4 】



【 四 5 】



【図6】



---

フロントページの続き

(51)Int.Cl.

F I
G 0 9 G      3/20      6 1 1 A
G 0 9 G      3/20      6 2 1 F
G 0 9 G      3/20      6 4 1 C
G 0 2 F      1/133      5 0 5
G 0 2 F      1/133      5 5 0
G 0 2 F      1/133      5 7 5
H 0 3 K      17/687      F

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 伊東 万仁

大阪府門真市大字門真1006番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 瀧口 淳二

大阪府門真市大字門真1006番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 須山 透

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 中村 直行

(56)参考文献 特開2004-032603(JP, A)

特開平11-305735(JP, A)

特開平11-041086(JP, A)

特開平11-161237(JP, A)

特開平09-219636(JP, A)

国際公開第00/058777(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G      3 / 0 0      -      3 / 3 8

G 0 2 F      1 / 1 3 3

H 0 3 K      1 7 / 6 8 7