

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月28日(2005.7.28)

【公開番号】特開2002-359231(P2002-359231A)

【公開日】平成14年12月13日(2002.12.13)

【出願番号】特願2001-163775(P2001-163775)

【国際特許分類第7版】

H 01 L 21/3065

H 01 L 21/28

H 01 L 21/8238

H 01 L 21/8247

H 01 L 27/092

H 01 L 27/10

H 01 L 27/115

H 01 L 29/788

H 01 L 29/792

【F I】

H 01 L 21/302 F

H 01 L 21/28 F

H 01 L 27/10 4 8 1

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

H 01 L 27/08 3 2 1 N

H 01 L 27/08 3 2 1 D

【手続補正書】

【提出日】平成16年12月10日(2004.12.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

(a) 半導体基板の主面上にシリコン膜を形成する工程、

(b) 前記シリコン膜上にタングステンシリサイド膜を形成する工程、

(c) 前記タングステンシリサイド膜上にマスキング層を形成する工程、

(d) 前記マスキング層をマスクとして、前記タングステンシリサイド膜および前記シリコン膜をドライエッチングし、前記シリコン膜および前記タングステンシリサイド膜をパターニングする工程、

を含み、前記(d)工程においては、塩素ガス、酸素ガスおよびフッ素系ガスを含むエッチングガスを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項2】

(a) 半導体基板の主面上にゲート絶縁膜を形成する工程、

(b) 前記ゲート絶縁膜上に第1シリコン膜を形成する工程、

(c) 前記第1シリコン膜上に第1絶縁膜を形成する工程、

(d) 前記第1絶縁膜上に第2シリコン膜を形成する工程、

(e) 前記第2シリコン膜上にタングステンシリサイド膜を形成する工程、

(f) 前記タングステンシリサイド膜上に第2絶縁膜を形成する工程、

(g) 前記第2絶縁膜上にマスキング層を形成する工程、
 (h) 前記マスキング層をマスクとして前記第2絶縁膜をエッチングする工程、
 (i) 前記マスキング層をマスクとして前記タングステンシリサイド膜および前記第2シリコン膜をドライエッチングし、残った前記第2シリコン膜および前記タングステンシリサイド膜からなる制御ゲート電極を形成する工程、
 (j) 前記マスキング層を除去した後、前記第2絶縁膜をマスクとして前記第1絶縁膜および前記第1シリコン膜をエッチングし、残った前記第1シリコン膜からなる浮遊ゲート電極を形成する工程、
 を含み、前記(i)工程においては、塩素ガス、酸素ガスおよびフッ素系ガスを含むエッチングガスを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項3】

(a) 半導体基板の主面上にゲート絶縁膜を形成する工程、
 (b) 前記ゲート絶縁膜上に第1導電性膜を形成する工程、
 (c) 前記第1導電性膜をパターニングし、第1ゲート電極を形成する工程、
 (d) 前記(c)工程後、前記半導体基板の主面上に第1絶縁膜を形成する工程、
 (e) 前記第1絶縁膜をパターニングする工程、
 (f) 前記(e)工程後、前記半導体基板の主面上にシリコン膜を形成する工程、
 (g) 前記シリコン膜上にタングステンシリサイド膜を形成する工程、
 (h) 前記タングステンシリサイド膜上にマスキング層を形成する工程、
 (i) 前記マスキング層をマスクとして、前記タングステンシリサイド膜および前記シリコン膜をドライエッチングし、前記第1ゲート電極と離間した第1領域に前記シリコン膜および前記タングステンシリサイド膜からなる第2ゲート電極を形成する工程、
 を含み、前記(i)工程においては、塩素ガス、酸素ガスおよびフッ素系ガスを含むエッチングガスを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項4】

半導体基板に配置された複数の不揮発性メモリセルを有し、各不揮発性メモリセルは浮遊ゲート電極および制御ゲート電極を有する半導体集積回路装置の製造方法であって、
 (a) 半導体基板の主面上にゲート絶縁膜を形成する工程、
 (b) 前記ゲート絶縁膜上に第1導電性膜を形成する工程、
 (c) 前記第1導電性膜をパターニングし、第1ゲート電極を形成する工程、
 (d) 前記(c)工程後、前記半導体基板の主面上に第1絶縁膜を形成する工程、
 (e) 前記第1絶縁膜をパターニングする工程、
 (f) 前記(e)工程後、前記半導体基板の主面上にシリコン膜を形成する工程、
 (g) 前記シリコン膜上にタングステンシリサイド膜を形成する工程、
 (h) 前記タングステンシリサイド膜上にマスキング層を形成する工程、
 (i) 前記マスキング層をマスクとして、前記タングステンシリサイド膜および前記シリコン膜をドライエッチングし、前記第1ゲート電極と離間した第1領域に前記シリコン膜および前記タングステンシリサイド膜からなる第2ゲート電極を形成する工程、
 を含み、前記(i)工程においては、塩素ガス、酸素ガスおよびフッ素系ガスを含むエッチングガスを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項5】

(a) 半導体基板の主面上にゲート絶縁膜を形成する工程、
 (b) 前記ゲート絶縁膜上に第1シリコン膜を形成する工程、
 (c) 前記第1シリコン膜をパターニングする工程、
 (d) 前記(c)工程後、前記半導体基板の主面上に第1絶縁膜を形成する工程、
 (e) 前記第1絶縁膜をパターニングする工程、
 (f) 前記(e)工程後、前記半導体基板の主面上に第2シリコン膜を形成する工程、
 (g) 前記第2シリコン膜上にタングステンシリサイド膜を形成する工程、
 (h) 前記タングステンシリサイド膜上に第2絶縁膜を形成する工程、
 (i) 前記第2絶縁膜上にマスキング層を形成する工程、

(j) 前記マスキング層をマスクとして前記第2絶縁膜をエッティングする工程、
(k) 前記マスキング層をマスクとして前記タングステンシリサイド膜および前記第2シリコン膜をドライエッティングし、前記第1絶縁膜上の所定の領域に制御ゲート電極を形成し、前記第1絶縁膜および前記第1シリコン膜から離間した所定の領域に第2ゲート電極を形成する工程、

(1) 前記マスキング層を除去した後、前記第2絶縁膜をマスクとして前記第1絶縁膜および前記第1シリコン膜をエッティングし、残った前記第1シリコン膜からなる浮遊ゲート電極を形成する工程、

を含み、前記(k)工程においては、塩素ガス、酸素ガスおよびフッ素系ガスを含むエッティングガスを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項6】

請求項1から5のいずれか1項に記載の半導体集積回路装置の製造方法において、前記フッ素系ガスは六フッ化硫黄ガスであることを特徴とする半導体集積回路装置の製造方法。

【請求項7】

請求項1から5のいずれか1項に記載の半導体集積回路装置の製造方法において、前記フッ素系ガスは C_F_4 、 C_2F_6 、 C_4F_8 、または CHF_3 のいずれかから選択されたものであることを特徴とする半導体集積回路装置の製造方法。

【請求項8】

請求項1から5のいずれか1項に記載の半導体集積回路装置の製造方法において、前記エッティングガスにアルゴンを含むことを特徴とする半導体集積回路装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

この時、エッティングガスとして、 Cl_2 ガス(塩素ガス)および O_2 ガス(酸素ガス)の混合ガスに、たとえば等方エッティング性を有する SF_6 (六フッ化硫黄)ガス(フッ素系ガス)および不活性ガスであるAr(アルゴン)ガスを添加したものを用いる。Arガスは、 Cl_2 ガスに比べて解離に必要なエネルギーが大きいが、エッティングガスにArガスなどの不活性ガスを添加することにより、 SF_6 ガスに解離エネルギーを効率良く伝達することが可能となる。さらに、Arガスの添加により、エッティングガスの希釈および拡散を行うことができるので、 SF_6 ガスの解離効率を向上させることができる。すなわち、エッティングガスにArガスを添加することにより、 SF_6 ガスの添加に起因するドライエッティング装置の放電安定性の低下を防ぐことが可能になる。また、各ガスの流量は、 Cl_2 ガスを72ml/s程度、 O_2 ガスを8ml/s程度、 SF_6 ガスを6ml/s程度およびArガスを100ml/s程度とし、ドライエッティング時間は18.5秒程度とすることを例示できる。