

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年8月27日(2020.8.27)

【公開番号】特開2019-135757(P2019-135757A)

【公開日】令和1年8月15日(2019.8.15)

【年通号数】公開・登録公報2019-033

【出願番号】特願2018-18564(P2018-18564)

【国際特許分類】

H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/11568	(2017.01)
H 01 L	27/11573	(2017.01)
H 01 L	27/11536	(2017.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	27/11546	(2017.01)

【F I】

H 01 L	29/78	3 7 1
H 01 L	27/11568	
H 01 L	27/11573	
H 01 L	27/11536	
H 01 L	27/088	C
H 01 L	27/088	H
H 01 L	27/11546	

【手続補正書】

【提出日】令和2年7月13日(2020.7.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリセルの一部を構成する第1MISFETが形成される第1領域、および、第2MISFETが形成される第2領域を有する半導体装置の製造方法であって、

(a) 半導体基板に、第1導電型の第1ウェルを形成する工程、

(b) 前記第1領域の前記半導体基板上に開口部を有し、且つ、前記第2領域の前記半導体基板を覆う第1レジストパターンを形成する工程、

(c) 前記第1レジストパターンをマスクとして、前記第1導電型と反対の第2導電型の不純物をイオン注入することで、前記第1領域の前記第1ウェルの表面上に前記第1MISFETの第1チャネル領域を形成する工程、

(d) 前記第1レジストパターンをマスクとして、窒素をイオン注入することで、前記第1チャネル領域内に窒素導入箇所を形成する工程、

(e) 前記(d)工程後、前記第1レジストパターンを除去する工程、

(f) 前記(e)工程後、前記第1領域の前記第1チャネル領域上に、電荷の保持が可能なトラップ性絶縁膜を有する前記第1MISFETの第1ゲート絶縁膜を形成する工程、

(g) 前記(f)工程後、前記第1ゲート絶縁膜上に、前記第1MISFETの第1ゲー

ト電極を形成する工程、

を有し、

前記 (d) 工程における前記窒素のドーズ量は、前記 (c) 工程における前記不純物のドーズ量よりも高い、半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記窒素導入箇所の窒素濃度は、 $1 \times 10^{-2} \sim 2 \times 10^{-2}$ / cm³ である、半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体装置の製造方法において、

前記 (d) 工程において、前記窒素導入箇所を形成するためのイオン注入は、前記窒素のドーズ量を $5 \times 10^{-4} \sim 1 \times 10^{-5}$ / cm² の範囲とした条件で行われる、半導体装置の製造方法。

【請求項 4】

請求項 3 に記載の半導体装置の製造方法において、

前記第 1 M I S F E T の前記第 1 チャネル領域は、砒素をイオン注入することで形成され、

前記 (c) 工程において、前記第 1 チャネル領域を形成するためのイオン注入は、前記砒素のドーズ量を 2×10^{-2} / cm² 以下の範囲とした条件で行われる、半導体装置の製造方法。

【請求項 5】

請求項 1 に記載の半導体装置の製造方法において、更に、

(h) 前記 (b) 工程前に、前記第 1 領域および前記第 2 領域の前記半導体基板上に、第 1 絶縁膜を形成する工程、

(i) 前記 (d) 工程と前記 (e) 工程との間に、前記第 1 レジストパターンをマスクとしてエッチング処理を行うことで、前記第 1 領域の前記第 1 絶縁膜を除去する工程、を有し、

前記 (b) 工程では、前記第 1 レジストパターンを、前記第 2 領域の前記第 1 絶縁膜上に形成する、半導体装置の製造方法。

【請求項 6】

請求項 1 に記載の半導体装置の製造方法において、

前記第 1 ゲート絶縁膜は、前記半導体基板上に形成された第 1 酸化シリコン膜と、前記第 1 酸化シリコン膜上に形成され、且つ、窒化シリコン膜である前記トラップ性絶縁膜と、前記トラップ性絶縁膜上に形成された第 2 酸化シリコン膜と、を有し、

前記第 1 酸化シリコン膜には、前記窒素導入箇所から窒素が導入されている、半導体装置の製造方法。

【請求項 7】

請求項 6 に記載の半導体装置の製造方法において、

前記不揮発性メモリセルの書き込み動作または消去動作は、FN トンネル現象を用いて行われる、半導体装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、

前記半導体装置は、第 3 M I S F E T が形成される第 3 領域を有し、

前記第 1 M I S F E T は、前記不揮発性メモリセルのメモリトランジスタを構成し、

前記第 3 M I S F E T は、前記不揮発性メモリセルの選択トランジスタを構成し、

前記 (b) 工程において、第 1 レジストパターンは、前記第 3 領域を覆う、半導体装置の製造方法。

【請求項 9】

請求項 1 に記載の半導体装置の製造方法において、更に、

(j) 前記 (a) 工程前に、前記半導体基板と、前記半導体基板上に形成された絶縁層と

、前記絶縁層上に形成された半導体層と、を準備する工程、
(k)前記(j)工程と前記(a)工程との間に、前記第1領域および前記第2領域の前記半導体層を除去する工程、

(1)前記(b)工程と前記(c)工程との間に、前記第1レジストパターンをマスクとしてエッチング処理を行うことで、前記第1領域の前記絶縁層を除去する工程、
を有し、

前記(b)工程では、前記第1レジストパターンを、前記第2領域の前記絶縁層上に形成する、半導体装置の製造方法。

【請求項10】

請求項1に記載の半導体装置の製造方法において、

前記(g)工程において、第1導電性膜をパターニングすることで、前記第1領域に、前記第1ゲート電極が形成され、前記第2領域に、前記第2MISFETの第2ゲート電極が形成される、半導体装置の製造方法。

【請求項11】

請求項1に記載の半導体装置の製造方法において、

前記第1MISFETは、n型のトランジスタであり、

前記第2MISFETは、p型のトランジスタである、半導体装置の製造方法。

【請求項12】

請求項1に記載の半導体装置の製造方法において、

前記第1MISFETおよび前記第2MISFETは、それぞれn型のトランジスタである、半導体装置の製造方法。

【請求項13】

請求項1に記載の半導体装置の製造方法において、

前記(e)工程の後、かつ、前記(f)工程の前に、前記半導体基板に熱処理を施すことで、前記第1チャネル領域に含まれる不純物を活性化させる、半導体装置の製造方法。

【請求項14】

請求項13に記載の半導体装置の製造方法において、

前記熱処理は、950で、1分程度とした条件で行われる、半導体装置の製造方法。