

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/161

H01L 21/205 H01L 21/26

H01L 21/324



[12] 发明专利说明书

[21] ZL 专利号 01800687.6

[45] 授权公告日 2004 年 12 月 15 日

[11] 授权公告号 CN 1180483C

[22] 申请日 2001.3.27 [21] 申请号 01800687.6

[30] 优先权

[32] 2000. 3. 27 [33] JP [31] 086154/2000

[86] 国际申请 PCT/JP2001/002524 2001. 3. 27

[87] 国际公布 WO2001/073852 日 2001. 10. 4

[85] 进入国家阶段日期 2001. 11. 27

[71] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 斋藤彻 神泽好彦 能泽克弥

久保实

审查员 朱芳芳

[74] 专利代理机构 中科专利商标代理有限责任公司

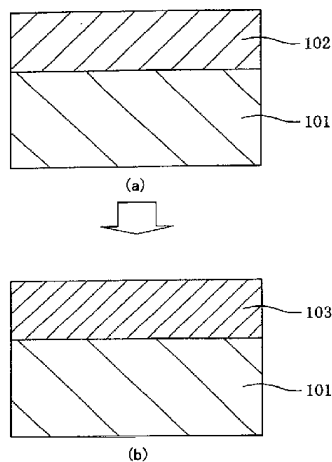
代理人 汪惠民

权利要求书 1 页 说明书 9 页 附图 3 页

[54] 发明名称 SiGeC 半导体晶体及其制造方法

[57] 摘要

在 Si 衬底 101 上, 利用 UHV - CVD 法, 使 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102 ($0 < x < 1$, $0.01 \leq y < 1$) 外延成长。此时, 作为杂质 (掺杂物) 的硼 (B) 的原料气体采用 B_2H_6 来进行现场掺杂。然后, 对 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102 实施热处理, 作为 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103。希望把热处理温度设定在 $700^\circ\text{C} \sim 1020^\circ\text{C}$ 的范围内, 而且, 最好把热处理温度设定在 $900^\circ\text{C} \sim 1000^\circ\text{C}$ 的范围内。



ISSN 1008-4274

- 1.一种 SiGeC 半导体晶体的制造方法，其特征是：包括：
5 在衬底上，使由掺杂有用作载流子的杂质的且由 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0.01 \leq y < 1$) 所表示的组成的 SiGeC 半导体晶体外延成长的步骤(a)；
实施用于使所述 SiGeC 半导体晶体中的用作载流子的杂质活性的热处理步骤(b)。
- 10 2. 根据权利要求 1 所述的 SiGeC 半导体晶体的制造方法，其特征是：
所述热处理的温度是在 700°C 以上、 1020°C 以下的范围内。
3. 根据权利要求 1 或 2 所述的 SiGeC 半导体晶体的制造方法，其特征是：
15 所述外延成长是以 Si、Ge、C 和 B 中的至少任意一种材料的氢化物作为原料的化学气相成长法。
4. 一种 SiGeC 半导体晶体，其特征是：
由把 2 组以上的且包含用作载流子的杂质的 $\text{Si}_{1-z}\text{Ge}_z$ ($0 < z < 1$) 层和用作载流子的杂质的浓度低于该 $\text{Si}_{1-z}\text{Ge}_z$ 层的 $\text{Si}_{1-w}\text{C}_w$ ($0.01 \leq w < 1$) 层交
20 替叠层组成；
并且具有以 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0.0045 \leq y < 1$) 所表示的组成的 SiGeC 半导体晶体的作用。
5. 根据权利要求 4 所述的 SiGeC 半导体晶体，其特征是：
所述 $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层的厚度比产生离散的量子化能级的
25 厚度更薄。
6. 根据权利要求 4 或 5 所述的 SiGeC 半导体晶体，其特征是：
所述 $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层分别具有 1.0nm 以下的厚度。

SiGeC 半导体晶体及其制造方法

5

技术领域

本发明涉及一种可以作为双极型晶体管和场效应晶体管利用的 SiGeC 半导体晶体及其制造方法。

10

背景技术

本发明涉及 IV 族元素混晶半导体的 SiGeC 半导体晶体及其制造方法。

以往，是通过将 Si 层和包含以 Si 为主成分的半导体层叠层后形成异质结合，来尝试制作以比现有的 Si 器件更高的速度工作的半导体器件的。作为与 Si 层形成异质结合的材料，有望采用与 Si 同属于 IV 族元素的混晶半导体的 $\text{Si}_{1-x}\text{Ge}_x$ 和 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 。特别是由 3 种元素构成的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 混晶半导体，由于通过改变其组成比可以独立地控制带隙和晶格常数，因而半导体器件在设计上的自由度较大，非常受人关注。例如，如果适当调整 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 的组成比，就能使之与 Si 结晶的晶格整合成为可能。而且，如果适当调整 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 的组成比，在 Si 层和 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的异质界面上，可以在传导带和价电子带双方产生异质壁垒 (bandoffset)。例如，在特开平 10-116919 号公报中公开了利用在 Si/SiGeC 层的界面上产生的传导带一侧的异质壁垒，以 2 维电子气体作为载流子的可以高速工作的场效应晶体管。

然而，现在在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 混晶的制作中，采用将作为各元素 Si、Ge 以及 C 的始源的各种气体分解，在 Si 层或者 SiGe 层上进行外延成长的化学气相成长法 (CVD 法)，和将作为各元素的始源的各种固体加热蒸发，进行结晶成长的分子线外延成长法 (MBE 法)。然

后, 为了把 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层作为半导体器件的一部分来使用, 在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层内添加作为掺杂物的用作载流子的杂质, 有必要控制 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的导电型和电阻率。在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层中, 作为 p 型掺杂物通常采用硼(B), 作为 n 型掺杂物通常采用磷 (P), 众所周知, 通过
5 在结晶成长中添加掺杂物, 就可以控制成长层的导电型和电阻率。

图 4 是表示本发明人为了对有关向 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层进行掺杂的问题进行探讨而进行了实验, 从该实验结果中获得的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率与 C 含有率之间关系的图。采取了数据的试料的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层, 作为元素 Si 的原料气体采用 Si_2H_6 , 作为元素 Ge 的原料气体采用 GeH_4 , 作为元素 C 的原料气体采用 SiH_3CH_3 , 作为 p 型杂质 (掺杂物) 的硼 (B) 的原料气体采用 B_2H_6 (即现场掺杂), 是利用 CVD 法进行外延成长的 as-grown 的层。在该实验中, 使 Si_2H_6 以及 GeH_4 的流量和 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层成长时的温度保持一定, 只使 SiH_3CH_3 的流量发生变化。如该图所示, 对于 C 的含有率在 0.45% 以下的试料, 即使 C 的含有率变化, 电阻率也基本上保持一定, 并且, 电阻率值
10 比较小。与此相对, C 含有率在 1.6% 的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率却明显地增大。即, 表明了以下所述问题: 以该方法进行外延成长的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层, 直到成为不希望作为半导体器件的活性区域 (例如 FET 的通道层、双极型晶体管中的基极层等) 使用的程度为止, 呈现高电阻化状态。
15 20

图 5 是表示对与采用图 4 所示数据的试料基本相同的方法所制作的试料, 进行 2 次离子质量分析后所获得的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 B 浓度与 C 含有率之间关系的图。这是为了以下所述的目的而进行的实验。即, 当通过在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层中现场掺入硼来进行导入时, 由于 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 C 含有率而使硼的掺杂效率多少有些变化, 为此, 需要确认图 4 所示的电阻率是否受到了硼的浓度的影响。但是, 采取了图 5 的数据的试料与采取了图 4 的数据的试料并不相同, 如图 5 所示, $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层中的 B 浓度, 对 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 C 含有率并没有太大的依赖关系。而且, 如图 5 所示, $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 C 含有率越大, $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 B 浓度越有增大的倾向, 据此, 可以确认
25 30

图 4 所示的 B 浓度为 1.6% 的试料中的电阻率增大并不是由于 B 浓度的不足所引起的。

为此，本发明人推定，在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 C 含有率大的区域中，电阻率增大的原因可能是在由现场掺杂的外延成长时 B 并没有被充分活化所引起。以往，当用 CVD 法的半导体层（Si 层和 $\text{Si}_{1-x}\text{Ge}_x$ 层）的外延成长时，在现场掺入掺杂物时，为了在半导体层的外延成长的同时使掺杂物活化，与通过离子注入法进行杂质掺杂的情况不同，认为此时不需要进行用来使掺杂物活化的热处理。如图 4 所示，即使在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层中，在 C 含有率为 0.45% 以下时，由于在 as-grown 状态下电阻率小，所以可以直接作为半导体器件的活性区域来采用 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层。然而，如果 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 C 含有率变大，就可能会产生象这样的、用现有的思考方法不能解决的问题。特别是，当 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层中的 C 含有率超过 1% 时，经验表明各种特性会有很大的变化，因此，虽然只用图 4 所示的数据还不能确认，但可以认为 C 含有率在 1% 附近就是使电阻率增大的临界值。

发明内容

鉴于以上所述问题的存在，本发明的目的在于：提供一种通过采用使 B 活化的方法，能把特别是 C 含有率超过 1% 的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层作为半导体器件的活性区域来使用的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半导体晶体及其制造方法。

本发明的 SiGeC 半导体晶体的制造方法，包括：在衬底上，使由掺杂具有用作载流子的杂质的且由 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0.01 \leq y < 1$) 所表示的组成的 SiGeC 半导体晶体外延成长的步骤(a)和实施用于使所述 SiGeC 半导体晶体中的用作载流子的杂质活化的热处理步骤(b)。

根据该方法，从经验上可以确认可以降低 SiGeC 层的电阻率。以往，虽然现场掺杂的杂质被认为可以和外延成长一起被活化，但这并不能适用于 SiGeC 层，可以推定即使是现场掺杂的杂质，也是由热处理使其充分活化。

所述热处理温度是在 700℃ 以上、1000℃ 以下的范围内，据此就可以特别地将杂质有效活性化。

当所述外延成长是以 Si、Ge、C 和 B 中的至少任意一种材料的氢化物来作为原料的化学气相成长法时，本发明的意义更大。

5 本发明的 SiGeC 半导体晶体是把包含用作载流子的杂质的 $\text{Si}_{1-z}\text{Ge}_z$ ($0 < z < 1$) 层,和用作载流子的杂质的浓度低于该 $\text{Si}_{1-z}\text{Ge}_z$ 层的 $\text{Si}_{1-w}\text{C}_w$ ($0.01 \leq w < 1$) 层 2 组以上交互叠层组成,并具有以 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0.01 \leq y < 1$) 所表示的组成的 SiGeC 半导体晶体的作用。

10 据此,把 $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层一体化,作为 1 个 SiGeC 半导体晶体来发挥作用,同时在 $\text{Si}_{1-z}\text{Ge}_z$ 层内,利用即使不进行特别处理也能在 as-grown 状态下使用作载流子的杂质活性化这一点,可以获得适合作为半导体器件的活性区域来利用的具有比较小的电阻率的 SiGeC 半导体晶体。

15 通过使所述 $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层的厚度比产生离散的量子化能级的厚度更薄,使 $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层更可靠地一体化,作为 1 个 SiGeC 半导体晶体来发挥作用。

具体地说,最好是使所述 $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层分别具有 1.0nm 以下的厚度。

20 附图说明

图 1(a)、(b)是表示本发明实施例 1 中的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半导体晶体的制造工序的概略剖面图。

图 2 是表示在本发明的制造方法中,相对于 RTA 温度变化的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半导体晶体的电阻率变化数据的图。

25 图 3 是表示本发明实施例 2 中的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半导体晶体构成的概略剖面图。

图 4 是表示 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率与 C 含有率之间关系的图。

30 图 5 是表示由 2 次离子质量分析结果所获得的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的 B 浓度与 C 含有率之间关系的图。

具体实施方式

下面，参照附图说明根据本发明的 SiGeC 半导体晶体及其制造方法的实施例。

5

实施例 1

图 1(a)、(b)是表示本发明实施例 1 中的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半导体晶体的制造工序的概略剖面图。图 2 是表示在本发明的制造方法中，相对于 RTA 温度变化的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 半导体晶体的电阻率变化数据的图。

首先，在图 1(a)所示的工序中，在主面为 {001} 面的 Si 衬底 101 上，采用超高真空化学气相成长法 (Ultra High Vacuum Chemical Vapor Deposition, UHV-CVD)，使厚度约为 300nm 的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102 外延成长。此时，作为构成 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的元素中的元素 Si 的原料气体采用 Si_2H_6 ，作为元素 Ge 的原料气体采用 GeH_4 ，作为元素 C 的原料气体采用 SiH_3CH_3 ，作为 p 型杂质 (掺杂物) 的硼 (B) 的原料气体采用 B_2H_6 (即现场掺杂)。此时， Si_2H_6 以及 GeH_4 的流量和 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层成长时的温度 (约 490°C) 保持一定，而只使 SiH_3CH_3 的流量变化。成长压力约为 0.133Pa ($=1 \times 10^{-3}\text{Torr}$)，成长温度为 490°C 。用 x 线衍射法对 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102 中的组成进行评价，结果，Si 的含有率为 82.5%，Ge 的含有率为 13.2%，C 的含有率为 1.6%。而且，利用 2 次离子质量分析法对 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102 进行评价，结果，B 浓度为 $2.6 \times 10^{13}\text{atoms} \cdot \text{cm}^{-3}$ 。

然后，如图 1(b)所示，对 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102，施行快速热退火 (Rapid Thermal Annealing: RTA) 的热处理后，作为 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103。此时，在 1 个气压的氮气 (N_2) 中，使热处理的最高温度例如为 950°C ，使在最高温度下的保持时间约为 15 秒。

图 2 为表示使 RTA 温度 (最高温度) 变化时的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103 的电阻率相对于热处理温度 (RTA 的最高温度) 的依赖关系。在图 2 所示的数据，是在 RTA 中的最高温度在 700°C 到 1050°C

之间变化，热处理时间为一定的 15 秒的情况下获得。标记为●的数据表示 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103 的电阻率。标记为■的数据表示为了和本发明进行比较所形成的 B 掺杂 $\text{Si}_{1-x}\text{Ge}_x$ 层（Ge 的含有率为 13%）的电阻率对热处理温度的依赖关系。如该图所示，B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103 的电阻率（标记为●），在热处理温度 700℃到 900℃的范围内，随着热处理温度的上升而单调减少。然后，B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103 的电阻率，在热处理温度 900℃到 1000℃的范围内基本上保持一定值，而当热处理温度超过 1000℃时，再次增大。但是，任一情况下的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103，通过在外延成长后进行热处理，比 as-grown 状态电阻率要降低一些。另一方面，B 掺杂 $\text{Si}_{1-x}\text{Ge}_x$ 层的电阻率（标记为■）无论是否进行 RTA 都小，并且保持为一定值。即，对于 B 掺杂 $\text{Si}_{1-x}\text{Ge}_x$ 层，为在外延成长后的活性化进行热处理是完全没有意义的。

从以上所述可知，通过伴随现场掺杂的外延成长形成 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层后，通过对 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层进行热处理，可以降低 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率。即，以往，虽然存在着在通过现场掺杂的外延成长的包含 1%以上的掺杂物的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层中电阻率高的问题，但该问题通过在 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的外延成长后进行热处理可以抑制电阻率的增大。

如图 2 所示，特别是，通过在温度为 700℃~1020℃的范围内进行热处理（RTA），可以获得 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率确切地降低的效果。

进一步，通过在温度为 900℃~1000℃的范围内进行热处理， $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率确切地降低的效果更加明显。

在本实施例中，虽然作为载流子生成用杂质是采用硼（B）的情况下进行了说明，但本发明并不局限于有关实施例，也可以适用于作为载流子生成用杂质采用磷（P）的情况。

在作为本申请的优先权主张基础的申请（特愿平 2000-086154 号）之后，在文献（Epitaxial growth of $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ film on Si(100) in a $\text{SiH}_4\text{-GeH}_4\text{-CH}_3\text{SiH}_3$ reaction, (A. Ichikawa et. al. Thin Solid Film 369(2000) 167-170)）中，报告了通过伴随现场掺杂的外延成长法形

成的 P 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻率在 as-grown 状态下较大, 从没有记载如何抑制该电阻率增大的方法的这一点可知, 以比较高的含有率掺入包含 C 的杂质的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的低电阻率化问题还没有解决。对此, 根据本发明, 在通过简单处理就可以降低掺杂杂质的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的电阻这一点上具有很大的意义。

此外, 采用 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶制作场效应晶体管和双极型晶体管等器件时, 所述热处理工序可以兼作为例如源极、漏极区域的活性化工序和多晶硅电极的活性化工序等热处理工序, 也可以获得同样的效果。

而且, 在本实施例中, 虽然采用 UHV-CVD 法进行 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层的外延成长, 但本发明并不局限于有关实施例, 对于用减压气相成长法 (LP-CVD) 等其他成长方法制作的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层, 也可以获得相同的效果。

而且, 在本实施例中, 虽然进行的是根据 RTA 的热处理, 在炉内退火法等任何种类的热处理方法中也可以获得相同的效果。

实施例 2

下面, 说明根据实施例 2 的 B 掺杂 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层 103 的构造以及制造方法。

图 3 为表示根据本发明的实施例的半导体超晶格构造的示意剖面图。通过 UHV-CVD 法, 在 Si 衬底 111 上, 对具有包含用作载流子的杂质的硼 (B) 的以 $\text{Si}_{1-z}\text{Ge}_z(0 < z < 1)$ 表示的组成的 B 掺杂 SiGe 层 113 (厚度为 1nm)、具有比 B 掺杂 SiGe 层 113 的用作载流子的杂质的浓度要低的以 $\text{Si}_{1-w}\text{C}_w(0.01 \leq w < 1)$ 表示的组成的无掺杂 SiC 层 112 (厚度为 1nm) 进行 150 周期叠层后, 外延成长超晶格结构 104。此时, 作为元素 Si 的原料气体采用 Si_2H_6 , 作为元素 Ge 的原料气体采用 GeH_4 , 作为元素 C 的原料气体采用 SiH_3CH_3 , 作为 p 型杂质 (掺杂物) 的硼 (B) 的原料气体采用 B_2H_6 (即现场掺杂)。此时, 成长压力约为 $0.133\text{Pa} (=1 \times 10^{-3}\text{Torr})$, 成长温度为 490°C 。用 x 线衍射法, 对 B 掺杂 SiGe 层 113 的组成进行评价后的结果表明, Ge 的含

有率为 26.4%。用 x 线衍射法，对无掺杂 SiC 层 113 中的组成进行评价后的结果表明，C 的含有率为 3.2%。而且，对 B 掺杂 SiGe 层 112 用 2 次离子质量分析法进行评价后的结果表明，B 浓度为 $5.2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ 。此外，在无掺杂 SiC 层 113 中并不是有意识地进行掺杂，而是利用掺杂用气体的残留和扩散来包含低浓度的 B。

根据本实施例制作的 $\text{Si}_{1-z}\text{Ge}_z/\text{Si}_{1-w}\text{C}_w$ 叠层后构成的超晶格结构 104，由于是 SiC 层以及 SiGe 层不出现量子效果的程度的薄的超晶格结构，不会形成离散的量子准位。然后，SiC 层 112 以及 SiGe 层 113 的性质被平均化（所谓的一体化），超晶格结构 104 整体作为一个 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 ($0 < x < 1$, $0.01 \leq y < 1$) 发挥作用在该 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层（ $\text{Si}_{1-z}\text{Ge}_z/\text{Si}_{1-w}\text{C}_w$ 短周期超晶格）中，平均的 Si、Ge、C 以及 B 的浓度分别约为 85.2%、13.2%、1.6%、 $2.6 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ ，可以认为是和图 1 所示 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层 102 具有相同的构成。

因此，根据本实施例，可以发挥和实施例 1 相同的效果。并且，具有的优点是，在本实施例的 SiGeC 半导体晶体的制造工序中，没有必要施行象实施例 1 的热处理，就可以在 as-grown 状态下实现低电阻化。

而且，在超晶格结构 104 中，B 只掺杂在 SiGe 层 113 中，在 SiC 层 112 中基本上不包含 B。如图 2 以及图 4 所示，在 SiGe 层 113 的 B 在 as-grown 状态下作为掺杂物活性化。而且，在制造工序中，在 SiGe 层 113 中虽然有可能混入极微量的 C，如图 4 所示，只要是在 0.45% 以下程度的 C 的存在就不会引起在 SiGe 层中的电阻率的增大。

此外，在本实施例中，虽然是设定 SiC 层 112 以及 SiGe 层 113 的厚度为 1nm，采用对该 2 个层进行 150 周期叠层的超晶格结构，但本发明并不局限于有关实施例。通过将包含高浓度的用作载流子的杂质的 $\text{Si}_{1-z}\text{Ge}_z$ 层和几乎不包含用作载流子的杂质的 $\text{Si}_{1-w}\text{C}_w$ 层进行叠层，就可以切实地获得使用作载流子的杂质活性的作用，获得作为 1 个 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层来发挥功能的叠层结构。但是，如果 $\text{Si}_{1-z}\text{Ge}_z$ 层或者 $\text{Si}_{1-w}\text{C}_w$ 层产生量子化能级，则由于担心出现其他特性，希望

$\text{Si}_{1-z}\text{Ge}_z$ 层以及 $\text{Si}_{1-w}\text{C}_w$ 层的厚度均在不出现量子化能级的程度上。

特别是，如果 $\text{Si}_{1-z}\text{Ge}_z$ 层以及 $\text{Si}_{1-w}\text{C}_w$ 层的厚度分别在 1nm 以下，则由于在各层中可以确实地消除量子化能级，所以希望各层的厚度在 1nm 以下。不过， $\text{Si}_{1-z}\text{Ge}_z$ 层和 $\text{Si}_{1-w}\text{C}_w$ 层的厚度可以互不相等。

5 在本实施例中，虽然采用 UHV-CVD 法，通过交替使 $\text{Si}_{1-z}\text{Ge}_z$ 层以及 $\text{Si}_{1-w}\text{C}_w$ 层外延成长，来形成了 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 层，但本发明并不局限于有关实施例，对于用减压气相成长法（LP-CVD）等其他成长方法制作的 $\text{Si}_{1-z}\text{Ge}_z$ 层以及 $\text{Si}_{1-w}\text{C}_w$ 层所构成的 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 结晶层，也可以获得相同的效果。

10 本发明用于具有 Si/SiGeC 或 SiGe/SiGeC 异质结构的场效应型晶体管 and 双极型晶体管。

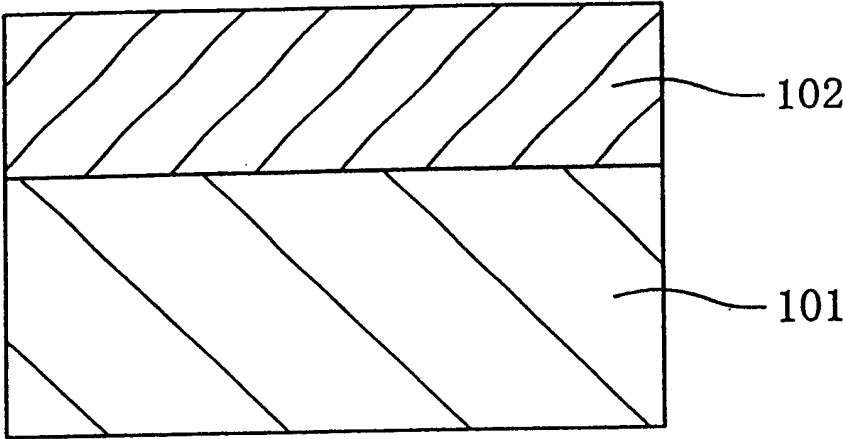


图 1(a)

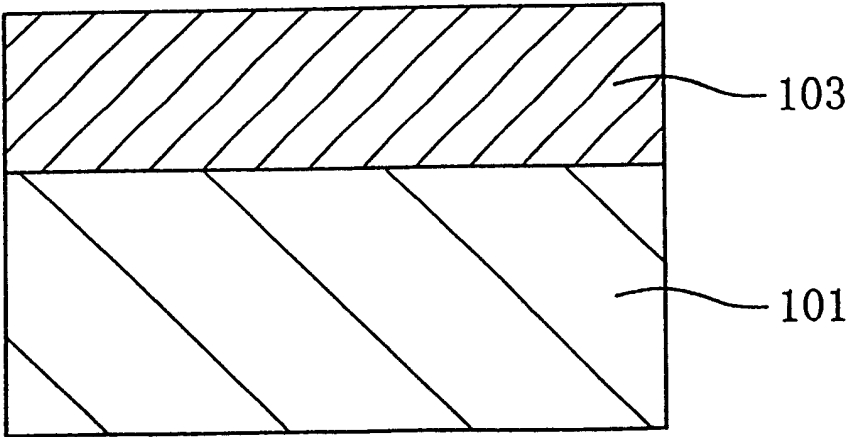


图 1(b)

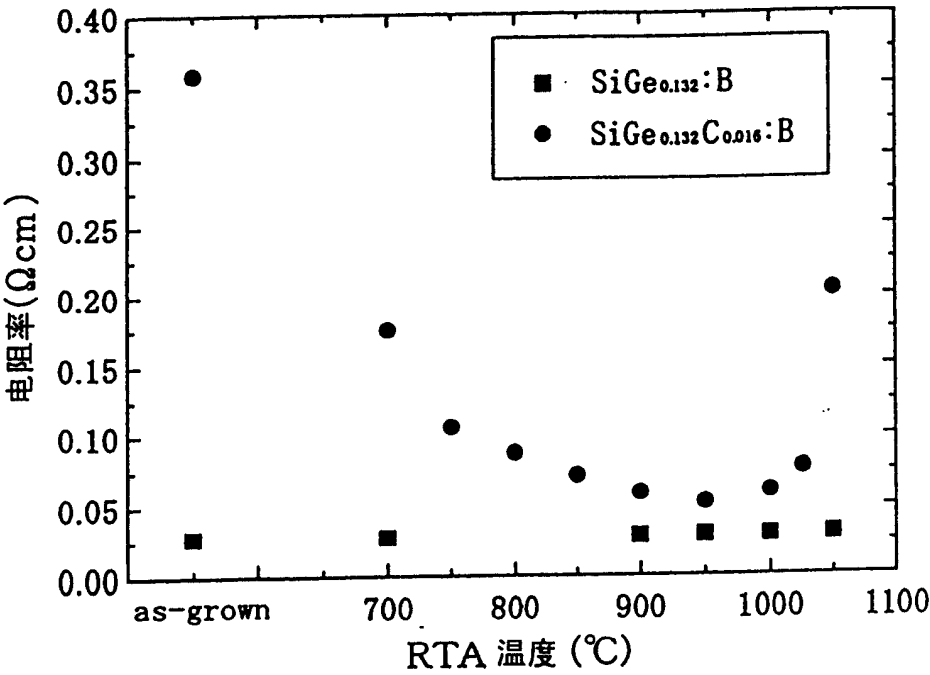


图 2

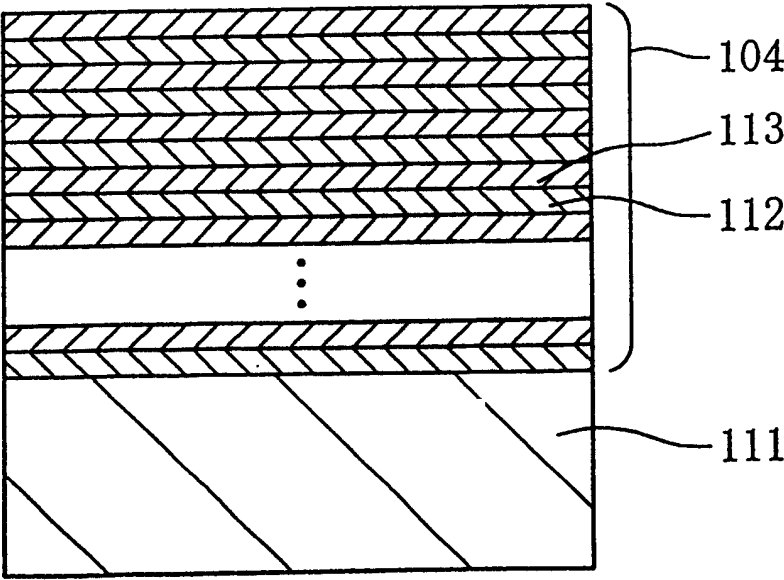


图 3

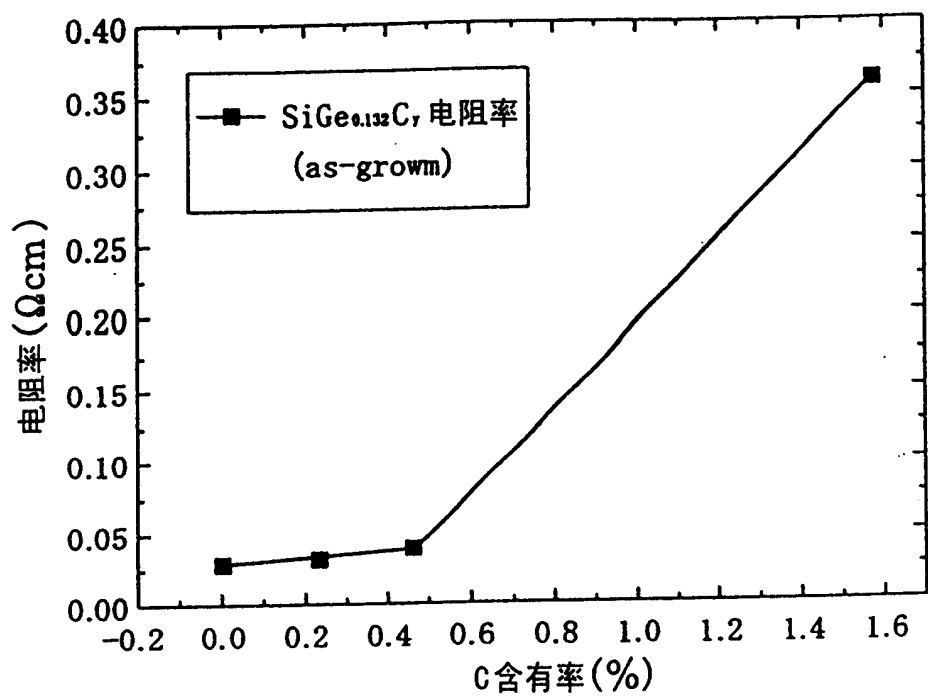


图 4

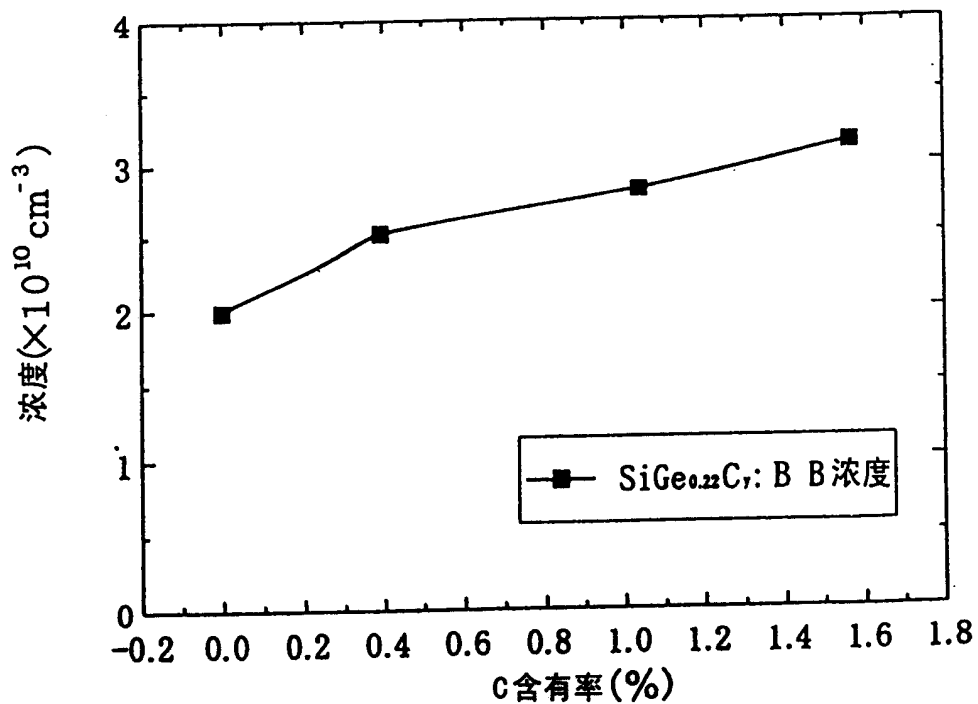


图 5