

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)



(10) 国際公開番号

WO 2016/203971 A1

- (51) 国際特許分類:
G06F 13/36 (2006.01) G06F 13/38 (2006.01)
G06F 13/362 (2006.01)
- (21) 国際出願番号: PCT/JP2016/066394
- (22) 国際出願日: 2016 年 6 月 2 日(02.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-120449 2015 年 6 月 15 日(15.06.2015) JP
- (71) 出願人: オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1928507 東京都八王子市石川町 2 9 5 1 番地 Tokyo (JP).
- (72) 発明者: 田中 義信(TANAKA Yoshinobu); 〒1928507 東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内 Tokyo (JP). 上野 晃(UENO Akira); 〒1928507 東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外(TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).

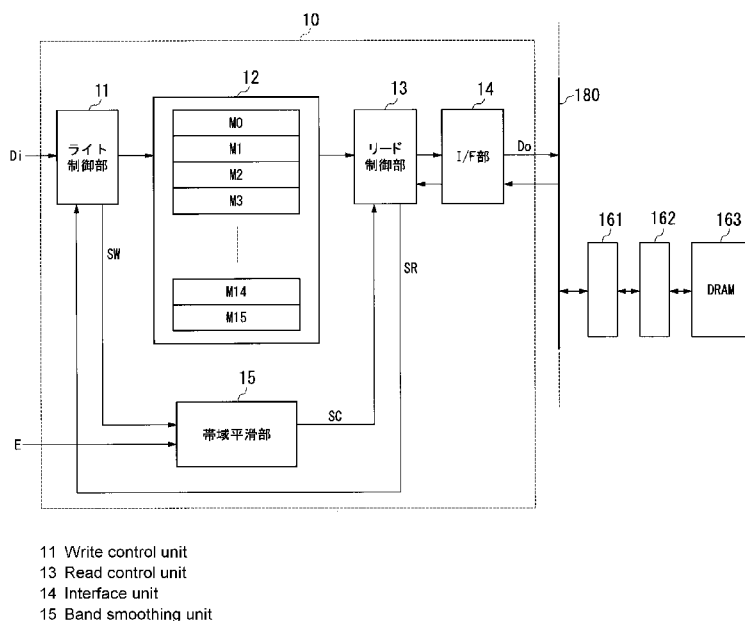
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: DATA TRANSFER DEVICE AND DATA TRANSFER METHOD

(54) 発明の名称: データ転送装置およびデータ転送方法



11 Write control unit
13 Read control unit
14 Interface unit
15 Band smoothing unit

(57) Abstract: A data transfer device equipped with: a buffer unit for temporarily storing transfer data transferred from a common bus; a write control unit for writing input data to the buffer unit as the transfer data and outputting a notification signal indicating that the input data has been written to the buffer unit; a read control unit for reading the transfer data from the buffer unit; an interface unit for transferring the transfer data that was read from the buffer unit by the read control unit to the common bus in accordance with a prescribed bus protocol; and a band smoothing unit for smoothing the band of the common bus by controlling the timing at which the read control unit reads the transfer data from the buffer unit on the basis of the notification signal.

(57) 要約: 共通バスに転送される転送データを一時的に格納するバッファ部と、入力データを前記転送データとして前記バッファ部にライトし、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力するライト制御部と、前記バッファ部から前記転送データをリードするリード制御部

と、前記リード制御部により前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送するインターフェイス部と、前記通知信号に基づいて、前記リード制御部が前記バッファ部から前記転送データをリードするタイミングを制御することにより、前記共通バスの帯域を平滑化する帯域平滑部と、を備えたデータ転送装置

WO 2016/203971 A1

明 細 書

発明の名称：データ転送装置およびデータ転送方法

技術分野

[0001] 本発明は、データ転送装置およびデータ転送方法に関する。

本願は、2015年6月15日に、日本に出願された特願2015-120449号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来、デジタルカメラ等の撮像システムは、各種の機能ブロックが割り当てられた複数のLSI (Large Scale Integration)を備えている。複数のLSIは、DMA (Direct Memory Access)用の共通バスに接続されている。複数のLSIにそれぞれ割り当てられた複数の機能ブロックが共通バスを介して1つのDRAM (Dynamic Random Access Memory)を共有している。この種の撮像システムは、バスアービタを備える。

[0003] バスアービタは、DRAMにアクセスする各機能ブロックのDMA転送要求を調整して受け付けることにより、各機能ブロックによるDRAMへのアクセスを制御する。具体的には、バスアービタは、例えばバンクの切り替えの際に発生する共通バスの帯域ロスや、リードとライトの切り替えの際に発生する共通バスの帯域ロスを低減させることにより、バスの利用効率を最大限に向上させつつ、優先度の高い処理を担う機能ブロックのDMA転送要求を優先的に受け付けるようなアービトレーションを行う。

[0004] 一般に、バスアービタによるアービトレーションによれば、優先度の高い機能ブロックがDMA転送要求を連続的に出力した場合、他の機能ブロックにバス権が渡らず、他の機能ブロックの処理が滞留する場合が起こり得る。この問題の解決を図った従来技術として、特許文献1に開示された技術がある。特許文献1の技術では、優先度の高い機能ブロックが一定の時間間隔を空けてDMA転送要求を出力することにより、たとえ優先度の高い機能ブロックのDMA転送要求が連続したとしても、バスアービタが優先度の低い他

の機能ブロックのDMA転送要求を受け付けることを可能にしている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2006-39672号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、例えば共通バスの輻輳等により、機能ブロックのDMA転送要求がバスアービタに受け付けられるのに長時間を要した場合、その後に出力すべき当該機能ブロック自身のDMA転送要求が滞留する。この場合、当該機能ブロックは、自身の処理の遅滞を抑制するために、滞留したDMA転送要求を速やかに出力する必要がある。

[0007] しかしながら、特許文献1の技術によれば、DMA転送要求がアービタに受け付けられてから一定時間経過後でなければ、当該DMA転送要求を出力した機能ブロックは次のDMA転送要求を出力することができない。このため、共通バスの輻輳等が解消し、共通バスの帯域に余裕が生まれても、滞留したDMA転送要求を速やかに出力することが困難になる。

[0008] 本発明は、上記事情に鑑みてなされたものであり、共通バスの帯域を有効に利用しつつ、滞留したデータ転送を速やかに行うことができるデータ転送装置およびデータ転送方法を提供することを課題とする。

課題を解決するための手段

[0009] 本発明の第1態様によれば、データ転送装置は、共通バス（180）に転送される転送データを一時的に格納するバッファ部（12）と、入力データを前記転送データとして前記バッファ部にライトし、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力するライト制御部（11）と、前記バッファ部から前記転送データをリードするリード制御部（13）と、前記リード制御部により前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送するインターフェ

イス部（１４）と、前記通知信号に基づいて、前記リード制御部が前記バッファ部から前記転送データをリードするタイミングを制御することにより、前記共通バスの帯域を平滑化する帯域平滑部（１５）と、を備える。

[0010] 本発明の第２態様によれば、第１態様のデータ転送装置において、前記帯域平滑部は、前記ライト制御部から出力された前記通知信号を遅延させることにより、前記リード制御部が前記バッファ部から前記転送データをリードするタイミングを制御するための制御信号を生成して前記リード制御部に出力してもよい。

[0011] 本発明の第３態様によれば、第２態様のデータ転送装置において、前記帯域平滑部は、前記入力データを構成する画素データが前記ライト制御部により前記バッファ部に順次的にライトされるに従って前記ライト制御部から順次的に出力される前記通知信号を遅延させることにより、所定の時間間隔を空けて、前記通知信号を前記制御信号として前記リード制御部へ順次的に出力してもよい。

[0012] 本発明の第４態様によれば、第３態様のデータ転送装置において、前記帯域平滑部は、前記ライト制御部から順次的に出力される前記通知信号を保持するためのＦＩＦＯメモリ（１５０１）と、前記ライト制御部から順次的に出力される前記通知信号に応答して、前記ＦＩＦＯメモリに保持された通知信号のうち、リードされていない通知信号の数をカウントする第１のカウンタ（１５０２）と、前記所定の時間間隔を与えるカウント値に到達するまで所定周期でカウントアップし、前記ＦＩＦＯメモリのリードのタイミングで初期化される第２のカウンタ（１５０３）と、前記第２のカウンタのカウント値が所定値に到達し、且つ、前記第１のカウンタのカウント値が、前記ＦＩＦＯメモリからリードされていない通知信号が前記ＦＩＦＯメモリに存在することを示す値である場合、リードされていない通知信号を前記ＦＩＦＯメモリからリードして前記制御信号として出力させるリード判定部（１５０４）と、を備えてもよい。

[0013] 本発明の第５態様によれば、データ転送方法は、共通バスに転送される転

送データとして入力データをバッファ部にライトし、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力する第1ステップと、前記通知信号に基づいて、前記共通バスの帯域を平滑化するように前記バッファ部から前記転送データをリードするための制御信号を生成する第2ステップと、前記制御信号に応答して前記バッファ部から前記転送データをリードする第3ステップと、前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送する第4ステップと、を含む。

発明の効果

[0014] 本発明の各態様によれば、共通バスの帯域を有効に利用しつつ、滞留したデータ転送を速やかに行うことができる。

図面の簡単な説明

[0015] [図1]本発明の第1実施形態に係るデータ転送装置が適用された撮像システムの構成例を示すブロック図である。

[図2]本発明の第1実施形態に係るデータ転送装置の構成例を示すブロック図である。

[図3]本発明の第1実施形態に係るデータ転送装置が備える帯域平滑部の構成例を示すブロック図である。

[図4]本発明の第1実施形態に係るデータ転送装置の動作フローの一例を示すフローチャートである。

[図5A]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、転送対象の画像データの例を説明するための図である。

[図5B]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、転送対象の画像データの例を説明するための図である。

[図5C]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、転送対象の画像データの例を説明するための図である。

[図5D]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、転送対象の画像データの例を説明するための図である。

[図6A]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、DMA転送要求が受け付けられるまでの時間が短い場合の動作を説明するためのタイミングチャートである。

[図6B]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、DMA転送要求が受け付けられるまでの時間が短い場合の入力データと出力データとの関係を説明するための図である。

[図7A]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、DMA転送要求が受け付けられるまでの時間が長い場合の動作を説明するためのタイミングチャートである。

[図7B]本発明の第1実施形態に係るデータ転送装置の動作を説明するための図であり、DMA転送要求が受け付けられるまでの時間が長い場合の入力データと出力データとの関係を説明するための図である。

[図8]本発明の第2実施形態に係るデータ転送装置が備える帯域平滑部の構成例を示すブロック図である。

[図9]本発明の第3実施形態に係るデータ転送装置の構成例を示すブロック図である。

[図10]本発明の第3実施形態に係るデータ転送装置が備える帯域平滑部の構成例を示すブロック図である。

[図11]本発明の第3実施形態に係るデータ転送装置が備える帯域平滑部の動作を説明するための図であり、バッファ部の残容量と転送データ間の時間間隔との関係を説明するための図である。

[図12A]本発明の実施形態に係るデータ転送装置の効果を補足するための従来技術に係るデータ転送装置の動作例を説明するための図であり、DMA転送要求が受け付けられるまでの時間が短い場合の動作を説明するためのタイミングチャートである。

[図12B]本発明の実施形態に係るデータ転送装置の効果を補足するための従来技術に係るデータ転送装置の動作例を説明するための図であり、DMA転送要求が受け付けられるまでの時間が長い場合の動作を説明するためのタイミ

ングチャートである。

発明を実施するための形態

[0016] 以下、図面を参照しながら、本発明の実施形態を説明する。

(第1実施形態)

先ず、本発明の第1実施形態を説明する。

図1は、本発明の第1実施形態に係るデータ転送装置が適用された撮像システム100の構成例を示すブロック図である。

撮像システム100は、例えばデジタルカメラである。撮像システム100は、イメージセンサ110、機能ブロック120～150、バスアービタ161、DRAMインターフェイス部162、DRAM163、中央演算処理装置(CPU; Central Processing Unit)170、共通バス180を備えている。なお、図1では、イメージセンサ110の撮像面に被写体の光像を結像させるための光学系等は省略されている。

[0017] イメージセンサ110は、被写体の光像を光電変換して画素データ(画素信号)を生成する。イメージセンサ110は、例えばCCD(Charge Coupled Device)イメージセンサまたはCMOS(Complementary Metal Oxide Semiconductor)イメージセンサである。イメージセンサ110は、例えばRGB表色系の画像データを出力する。

[0018] 機能ブロック120は、イメージセンサ110により得られた画像データを共通バス180に出力するためのバスインターフェイスとして機能する。機能ブロック120は、前処理部121、画像抽出部122, 123、評価値生成部124、データ転送部125～127を備えている。前処理部121は、イメージセンサ110により得られた画像データに対し、例えばキズ補正やシェーディング補正等の前処理を施す。

[0019] 画像抽出部122, 123は、イメージセンサ110により得られた画像データの一部を切り出すことにより、上記画像データから表示画像や記録画像等の画像データを抽出する。評価値生成部124は、露出、ホワイトバラ

ンス、フォーカス等の制御に用いられる評価値を生成する。データ転送部 125 は、画像抽出部 122 により抽出された画像データを共通バス 180 に転送する。データ転送部 126 は、画像抽出部 123 により抽出された画像データを共通バス 180 に転送する。データ転送部 127 は、評価値生成部 124 により生成された評価値を共通バス 180 に転送する。

[0020] 機能ブロック 130 は、画像を表示する。機能ブロック 130 は、データ転送部 131、表示処理部 132、表示デバイス 133 を備えている。データ転送部 131 は、表示デバイス 133 に表示される画像（以下、表示画像と称す。）の画像データを共通バス 180 から表示処理部 132 に転送する。表示処理部 132 は、DRAM 163 から表示画像の画像データを取得し、この画像データに OSD (On Screen Display) 重畳処理等の表示処理を施す。表示デバイス 133 は、表示処理部 132 により処理された画像データを可視化する。表示デバイス 133 は、例えば TFT (Thin Film Transistor) 液晶デバイスや有機 EL (ElectroLuminescence) 表示デバイスである。

[0021] 機能ブロック 140 は、画像データを記憶する。機能ブロック 140 は、データ転送部 141、142、カードインターフェイス部 143、記録媒体 144 を備えている。データ転送部 141 は、カードインターフェイス部 143 から供給される画像データを共通バス 180 に転送する。データ転送部 142 は、共通バス 180 から供給される画像データをカードインターフェイス部 143 に転送する。カードインターフェイス部 143 は、DRAM 163 から画像データをリードして記録媒体 144 にライトし、記録媒体 144 から画像データをリードして DRAM 163 にライトする。記録媒体 144 は、例えば SD (Secure Digital) カードや CF (Compact Flash) 等、カードインターフェイス部 143 に着脱可能なメモリカードである。

[0022] 機能ブロック 150 は、DRAM 163 に格納された画像データ（前処理された画像データ）に対し、ノイズ除去処理、YC 変換処理、リサイズ処理

、J P E G圧縮処理等の所定の画像処理を施して表示画像や記録画像を生成する。機能ブロック150は、データ転送部151、152、画像処理部153を備えている。データ転送部151は、画像処理部153から供給された画像データを共通バス180に転送する。データ転送部152は、共通バス180から供給された画像データを画像処理部153に転送する。画像処理部153は、上記所定の画像処理を実施する。画像処理部153により上記所定の画像処理が施された画像データは、D R A M 1 6 3に転送されて格納される。

[0023] バスアービタ161は、共通バス180に接続された機能ブロック120～150から出力されるD M A転送要求を調整して受け付ける。バスアービタ161は、D R A M 1 6 3に対するアクセスを許可するためのバス権が付与される機能ブロックを決定する。D R A Mインターフェイス部162は、D R A M 1 6 3への画像データのライトとD R A M 1 6 3からの画像データのリードとを実施する。D R A M 1 6 3は、機能ブロック120～150により共有された半導体メモリである。D R A M 1 6 3は、例えばシンクロナスD R A Mである。

[0024] 中央演算処理装置170は、撮像システム100の全体動作を制御する。なお、中央演算処理装置170も、上述の機能ブロック120～150と同様に、D R A M 1 6 3を共有する機能ブロックの一つである。

[0025] 第1実施形態に係るデータ転送装置は、上述した撮像システム100に備えられたデータ転送部125～127、131、141、142、151、152のうち、共通バス180に画像データを出力するデータ転送部125～127、141、151のそれぞれに相当する。以下では、機能ブロック120に備えられたデータ転送部125に着目して説明することとし、データ転送部125を「データ転送装置10」と称す。

なお、第1実施形態に係るデータ転送装置は、図1に示す撮像システム100に備えられた全てのデータ転送部に適用することもでき、一部のデータ転送部にのみ適用することもできる。

[0026] 図2は、本発明の第1実施形態に係るデータ転送装置10の構成例を示すブロック図である。

データ転送装置10は、ライト制御部11、バッファ部12、リード制御部13、インターフェイス部（I/F部）14、帯域平滑部15を備えている。

なお、帯域平滑部15とライト制御部11とを一体化してもよく、帯域平滑部15とリード制御部13とを一体化してもよい。また、リード制御部13とインターフェイス部14とを一体化してもよい。

[0027] ライト制御部11は、イメージセンサ110によって取得された画素データのデータ列からなる入力画像データD_iを転送データとしてバッファ部12に順次的にライトする。ライト制御部11は、入力画像データD_iを構成する所定数の画素分の画素データ（例えば32画素分の画素データ）のライトが完了する都度、入力画像データD_iをバッファ部12にライトした旨を示すライト完了通知信号SWを出力する。ライト完了通知信号SWには、入力画像データD_iがライトされた記憶領域M0～M15の何れかを示すアドレス情報が含まれている。第1実施形態では、ライト制御部11は、入力画像データD_iを構成する32画素分の画素データのライトが完了する都度、ライト完了通知信号SWを出力するが、この例に限定されない。

[0028] また、ライト制御部11は、後述するリード制御部13からリード完了通知信号SRを受信すると、そのリード完了通知信号SRに基づいて、記憶領域M0～M15のうち、転送データがリードされた記憶領域（即ち、空いた記憶領域）を特定する。ライト制御部11は、空いた記憶領域に入力画像データD_iをライトする。

[0029] バッファ部12は、共通バス180に転送される転送データを一時的に格納する。バッファ部12は、例えばSRAM（Static Random Access Memory）から構成される。第1実施形態では、バッファ部12は、記憶領域M0～M15の合計16個の記憶領域を含む。各記憶領域には、入力画像データD_iを構成する上記所定数の画素分の画素デー

タが転送データとして格納される。第1実施形態では、記憶領域M0～M15のそれぞれには、32画素分の画素データが格納される。1画素分の画素データを2バイトとすれば、記憶領域M0～M15のそれぞれには、64（ $=2 \times 32$ ）バイトの画素データが格納される。従って、記憶領域M0～M15のそれぞれは、少なくとも64バイトの記憶容量を有している。

[0030] バッファ部12は、記憶領域M0から記憶領域M15に向けて、入力画像データD_iを構成する画素データを64バイト単位で順次的に格納する。具体的には、バッファ部12は、入力画像データD_iを構成する最初の32画素分の64バイトの画素データを先頭の記憶領域M0に格納し、次の32画素分の64バイトの画素データを記憶領域M1に格納する。以下同様にして、バッファ部12は、入力画像データD_iを構成する後続の画素データを64バイト単位で記憶領域M2～M15に順次格納する。最後の記憶領域M15に入力画像データD_iが格納されると、バッファ部12は、再び先頭の記憶領域M0から記憶領域M15に向けて、入力画像データD_iを構成する新たな後続の各画素データを64バイト単位で各記憶領域に順次的に格納する。即ち、バッファ部12の記憶領域M0から記憶領域M15には、イメージセンサ110から順次出力される入力画像データD_iの各画素データがライト制御部11によって巡回的にライトされる。以下では、バッファ部12に画素データをライトすることは、記憶領域M0～M15に入力画像データD_iを32画素分の64バイト単位でライトすることを意味する。

[0031] なお、撮像システム100の構成上、バッファ部12に入力画像データD_iをライトするためのライトクロック信号と、バッファ部12から転送データをリードするためのリードクロック信号とが、相互に異なるクロック信号である場合、バッファ部12として、例えば、ライトクロック信号とリードクロック信号とを個別に輸入可能なタイプのSRAM（例えば、デュアルポートSRAM）を用いることができる。

[0032] リード制御部13は、帯域平滑部15から出力される後述のリード制御信号SCに応答して、バッファ部12から転送データをリードする。リード制

御信号 S C は、ライト完了通知信号 S W を遅延させた信号である。従って、リード制御信号 S C は、ライト完了通知信号 S W と同様に、バッファ部 1 2 に入力画像データ D i がライトされた旨を示す情報と共に、入力画像データ D i がライトされた記憶領域を示すアドレス情報を含んでいる。リード制御部 1 3 は、帯域平滑部 1 5 からリード制御信号 S C を受信すると、このリード制御信号 S C に含まれるアドレス情報によって示されるバッファ部 1 2 の記憶領域 M 0 ~ M 1 5 から 3 2 画素分の 6 4 バイト単位で画素データを転送データとしてリードする。以下では、バッファ部 1 2 から転送データをリードすることは、記憶領域 M 0 ~ M 1 5 から画素データを転送データとして 3 2 画素分の 6 4 バイト単位でリードすることを意味する。

[0033] リード制御部 1 3 は、バッファ部 1 2 から 3 2 画素分の 6 4 バイトの転送データのリードを完了する都度、その転送データをリードした旨を示すリード完了通知信号 S R をライト制御部 1 1 に出力する。リード完了通知信号 S R には、リードされた転送データが格納されていたバッファ部 1 2 の記憶領域を示すアドレス情報（即ち、空いた記憶領域を示す情報）が含まれている。

[0034] インターフェイス部 1 4 は、リード制御部 1 3 によりバッファ部 1 2 からリードされた転送データを、所定のバスプロトコルに従って共通バス 1 8 0 に転送する。具体的には、インターフェイス部 1 4 は、転送データを共通バス 1 8 0 に転送するために、DMA 転送要求 R E Q の送信、DMA 転送受付 A C K の受信、転送データの転送先を示す D R A M 上のアドレス A D D の送信、転送データ（画素データ）本体の送信等を行う。

[0035] 帯域平滑部 1 5 は、共通バス 1 8 0 の帯域を平滑化する。帯域平滑部 1 5 は、ライト制御部 1 1 から入力されるライト完了通知信号 S W に基づいて、リード制御部 1 3 がバッファ部 1 2 から転送データをリードするタイミングを制御することにより、共通バス 1 8 0 の帯域を平滑化する。帯域平滑部 1 5 は、ライト制御部 1 1 から入力されたライト完了通知信号 S W を遅延させることにより、バッファ部 1 2 から転送データをリードするタイミングを制

御するためのリード制御信号SCを生成してリード制御部13に出力する。

ライト完了通知信号SWを遅延させることは、ライト完了通知信号SWを平滑化することを意味する。従って、ライト完了通知信号SWを遅延させることにより生成されるリード制御信号SCは、平滑化後のライト完了通知信号SWである。

[0036] 具体的には、帯域平滑部15は、入力画像データDiを構成する画素データがライト制御部11によりバッファ部12に順次的にライトされるに従ってライト制御部11から順次的に出力されるライト完了通知信号SWを遅延させることにより、所定の時間間隔を空けて、前記ライト完了通知信号を前記制御信号としてリード制御部13へ順次的に出力する。帯域平滑部15には、上記所定の時間間隔を設定するための設定信号Eが中央演算処理装置170(図1)から入力される。ただし、設定信号Eは、外部から直接的に帯域平滑部15に入力されてもよい。帯域平滑部15の詳細については後述する。

[0037] 図3は、本発明の第1実施形態に係るデータ転送装置10が備える帯域平滑部15の構成例を示すブロック図である。

帯域平滑部15は、FIFO(First-In First-Out)メモリ1501、カウンタ(第1のカウンタ)1502、カウンタ(第2のカウンタ)1503、リード判定部1504を備えている。

[0038] FIFOメモリ1501は、ライト制御部11から順次的に出力されるライト完了通知信号SWを一時的に保持する。FIFOメモリ1501は、例えば、従属接続された複数のレジスタから構成される。FIFOメモリ1501は、ライト完了通知信号SWを一時的に保持することにより、ライト完了通知信号SWを遅延させ、後述するリード判定部1504から入力されるFIFOリード命令に従ってライト完了通知信号SWをリード制御信号SCとして出力する。

[0039] カウンタ(第1のカウンタ)1502は、ライト制御部11から順次的に出力されるライト完了通知信号SWに応答して、FIFOメモリ1501に

既に保持されたライト完了通知信号SWのうち、FIFOメモリ1501からリードされていないライト完了通知信号SWの数をカウントする。カウンタ1502は、ライト制御部11からFIFOメモリ1501にライト完了通知信号SWが入力される都度、カウントアップする。また、カウンタ1502は、FIFOメモリ1501からライト完了通知信号SWがリードされる都度、カウントダウンする。

[0040] カウンタ1502のカウント値は、FIFOメモリ1501に入力されたライト完了通知信号SWの数とFIFOメモリ1501から出力されたライト完了通知信号SWの数との差分（ゼロを含む自然数）を表す。従って、カウンタ1502のカウント値から、FIFOメモリ1501からリードされていないライト完了通知信号SWの有無を知ることができる。カウンタ1502のカウント値が1以上の値であれば、FIFOメモリ1501からリードされていないライト完了通知信号SWがFIFOメモリ1501に存在する。また、カウンタ1502のカウント値が0であれば、FIFOメモリ1501に入力されたライト完了通知信号SWは全てリードされ、FIFOメモリ1501からリードされていないライト完了通知信号SWはFIFOメモリ1501に存在しない。

[0041] カウンタ（第2のカウンタ）1503は、設定信号Eによってカウンタ1503に設定されるカウント値の最大値にカウント値が到達するまで所定期間でカウントアップする。カウンタ1503のカウント値が、設定信号Eによって設定される最大値に到達すると、カウンタ1503は、カウント値が最大値に到達した旨を示す信号をリード判定部1504に出力し、その後、カウンタ1503は、FIFOメモリ1501のリードのタイミングで初期化される。即ち、カウンタ1503のカウント値は、FIFOメモリ1501からライト完了通知信号SWがリードされる度に初期化される。具体的には、カウンタ1503は、リード判定部1504がFIFOリード命令を出力すると、そのFIFOリード命令に応答して初期化される。カウンタ1503は、初期化された後、カウント値が最大値に到達するか、または、再度

、初期化されるまで、繰り返しカウントアップする。

[0042] 設定信号Eによってカウンタ1503に設定されるカウント値の最大値に基づいて、帯域平滑部15から順次的に出力されるリード制御信号SCの時間間隔 T_s が決まる。カウンタ1503に設定される上記最大値を増加させる程、リード制御信号SCの時間間隔 T_s （図6）が大きくなる。この場合、共通バス180の帯域の平滑化が顕著になる一方、データの転送速度が低下する傾向を示す。逆に、上記最大値を減少させる程、リード制御信号SCの時間間隔が小さくなる。この場合、データの転送速度が上昇する一方、共通バス180の平滑化が抑制される傾向を示す。設定信号Eによってカウンタ1503に設定されるカウント値の最大値は、必要とされるデータ転送速度や共通バス180の帯域の平滑化の程度等に応じて任意に設定され得る。

[0043] リード判定部1504は、カウンタ1502、1503のカウント値に基づいてFIFOメモリ1501のリードを制御する。即ち、リード判定部1504は、カウンタ1503のカウント値が上記最大値に基づいて決まる所定値に到達し、且つ、カウンタ1502のカウント値がFIFOメモリ1501からリードされていないライト完了通知信号SWがFIFOメモリ1501に存在することを示す値である場合、ライト完了通知信号SWのリードを指示するためのFIFOリード命令をFIFOメモリ1501に出力する。

[0044] リード判定部1504は、上記FIFOリード命令をFIFOメモリ1501に出力することにより、FIFOメモリ1501からリードされていないライト完了通知信号SWをFIFOメモリ1501からリード制御信号SCとしてリードして出力させる。このとき、リード制御信号SCは、カウンタ1503に設定されるカウント値の最大値によって定まる所定の時間間隔 T_s （図6）を空けて、帯域平滑部15のFIFOメモリ1501からリード制御部13へ順次的に出力される。このように、リード制御信号SCが時間間隔 T_s を空けてリード制御部13に入力されることにより、後述するように、共通バス180の帯域が平滑化される。

[0045] 次に、図4に示すフローに沿って、図5Aから図7Bを参照しながら、第1実施形態に係るデータ転送装置10の動作（データ転送方法）を説明する。

図4は、本発明の第1実施形態に係るデータ転送装置10の動作フローの一例を示すフローチャートである。図5A～図5Dは、本発明の第1実施形態に係るデータ転送装置10の動作を説明するための図であり、転送対象の画像データの例を説明するための図である。図6Aおよび図6Bは、本発明の第1実施形態に係るデータ転送装置10の動作を説明するための図である。図6Aは、DMA転送要求が受け付けられるまでの時間が短い場合の動作を説明するためのタイミングチャートである。図6Bは、DMA転送要求が受け付けられるまでの時間が短い場合の入力画像データD_iと出力転送データD_oとの関係を説明するための図である。図7Aおよび図7Bは、本発明の第1実施形態に係るデータ転送装置10の動作を説明するための図である。図7Aは、DMA転送要求が受け付けられるまでの時間が長い場合の動作を説明するためのタイミングチャートである。図7Bは、DMA転送要求が受け付けられるまでの時間が長い場合の入力画像データD_iと出力転送データD_oとの関係を説明するための図である。

[0046] ここでは、第1実施形態による効果に関する理解を容易化するため、入力画像データD_iには、画素データが密に含まれる領域と、画素データが疎に含まれる領域が存在するものとする。一般に、画素データが密に含まれる入力画像データD_iを或る機能ブロックから共通バス180に転送する場合、当該機能ブロックはDMA転送要求を連続的に出力する。このため、DMA転送要求が出力される期間、他の機能ブロックのDMA転送要求がバスアービタに受け付けられなくなる状況が発生し得る。このような状況を回避するため、第1実施形態では、共通バス180の帯域を平滑化する。しかし、共通バス180の帯域を平滑化すると、DMA転送要求が制限され、データ転送速度が低下する場合が起こり得る。そこで、本実施形態では、共通バス180の帯域を平滑化しつつ、データ転送速度の低下を抑制することを可能と

する効果を得る。

[0047] 図5A～図5Dには、データ転送装置10によるデータ転送の対象となる画素データが密に含まれる領域と画素データが疎に含まれる領域とが存在する入力画像データD_iによる撮影画面Pの例が示されている。図5Aに示された撮影画面Pは、画像（転送対象となる画素データ）の取り込みが行われる画像領域A₁～A₃と、画像の取り込みが殆ど行われない画像領域（画像領域A₁～A₃以外の領域）とを含んでいる。イメージセンサ110から取得される入力画像データD_iには、画像領域A₁～A₃を表示するための画素データが密に含まれている。換言すれば、画像領域A₁～A₃には、画素データが密に含まれている（密の領域）。これに対し、入力画像データD_iには、画像領域A₁～A₃以外の領域を表示するための画素データは殆ど含まれていない。換言すれば、画像領域A₁～A₃以外の領域には、画素データが殆ど含まれていない（疎の領域）。このため、図5Aに例示する撮影画面Pの走査線に沿ってイメージセンサ110から順次的に出力される入力画像データD_iには、画素データが密に含まれる領域（密の領域）と画素データが殆ど含まれない領域（疎の領域）とが交互に存在する。

[0048] 図5Bに示された撮影画面Pは、図5Aに示す例と同様に、画像（転送対象となる画素データ）の取り込みが行われる画像領域A₁～A₃と、画像の取り込みが殆ど行われない画像領域（画像領域A₁～A₃以外の領域）とを含んでいる。ただし、図5Bの例では、実際に転送対象となる画素データは、点線で示される各画像領域A₁～A₃の上辺側の一部の画素データと、下辺側の一部の画素データのみである。この場合、点線で示される領域の画素データが入力画像データD_iに密に含まれている（密の領域）。その他の領域の画素データは入力画像データD_iに殆ど含まれていない（疎の領域）。この場合も、撮影画面Pの走査線に沿ってイメージセンサ110から順次的に出力される入力画像データD_iには、画素データが密に含まれる領域（密の領域）と画素データが殆ど含まれない領域（疎の領域）とが交互に存在する。

- [0049] 図5Cに示された撮影画面Pは、広角画像PWと望遠画像PTとを含む。マルチレコーディングでは、広角画像PWと望遠画像PTとを含む撮影画面Pの画素データが転送される。マルチレコーディングでは、望遠画像PTの領域が、画像（転送対象となる画素データ）の取り込みが行われる領域に相当する。すなわち、望遠画像PTの領域の画素データは入力画像データDiに密に含まれる（密の領域）。その他の領域（広角画像PWの領域）は、画像の取り込みが殆ど行われない領域に相当する。すなわち、その他の領域（広角画像PWの領域）の画素データは、入力画像データDiに殆ど含まれていない（疎の領域）。この場合も、撮影画面Pの走査線に沿ってイメージセンサ110から順次的に出力される入力画像データDiには、画素データが密に含まれる領域（密の領域）と画素データが殆ど含まれない領域（疎の領域）とが交互に存在する。所謂デジタルズーミングによりイメージセンサ110から取得される入力画像データも同様である。
- [0050] 図5Dに示された撮影画面Pは、露出やホワイトバランス等の評価値を取得するための複数の評価領域を含んでいる。図5Dでは、複数の評価領域は、点線によって示されている。上記評価値は、各評価領域の最後の走査線に対応した入力画像データDiに含まれている。このため、各評価領域の最後の走査線に対応した入力画像データDiには、上記評価値が密に含まれている。即ち、各評価領域の最後の走査線に対応した領域には、評価のための画素データが密に含まれる（密の領域）。その他の領域には、評価のための画素データが疎に含まれる（疎の領域）。従って、この場合も、撮影画面Pの走査線に沿ってイメージセンサ110から順次的に出力される入力画像データDiには、評価値に関し、画素データが密に含まれる領域（密の領域）と画素データが殆ど含まれない領域（疎の領域）とが存在する。
- [0051] 次に、上述した図5A～図5Dに例示する撮影画面Pを形成する入力画像データDiがイメージセンサ110からデータ転送装置10に入力されたときの動作について、（1）データ転送装置10から出力されるDMA転送要求REQがバスアービタ161に速やかに受け付けられる場合と、（2）D

MA転送要求REQが受け付けられるまでに長時間を要する場合とに分けて説明する。

[0052] なお、理解の容易化のため、入力画像データD_iの画素データが密に含まれる領域には、6個の画素データが連続して存在するものとする。また、入力画像データD_iには、連続した6個の画素データを1つのグループとして、複数のグループが含まれているものとする。ただし、この例に限定されず、入力画像データD_iに含まれる画素データの配列は任意である。

[0053] (1) DMA転送受付ACKが速やかに受信される場合

図6Aおよび図6Bを参照して、DMA転送受付ACKが速やかに受信される場合の動作を説明する。イメージセンサ110から出力された入力画像データD_iを構成する画素データが、32画素分の画素データに相当する64バイト単位で画像抽出部122からデータ転送部125であるデータ転送装置10のライト制御部11へ順次入力される。ライト制御部11は、入力画像データD_iを、共通バス180に転送される転送データとして32画素分の64バイト単位でバッファ部12にライトする(ステップS1)。また、ライト制御部11は、入力画像データD_iに含まれる32画素分の64バイトの画素データをバッファ部12にライトする都度、図6Aに示すように、入力画像データD_iをバッファ部12にライトした旨を示すライト完了通知信号SWを出力する(ステップS1)。

[0054] 図6Aでは、ライト完了通知信号SWを模式的に示す四角形の中の数字は、入力画像データD_iに密に含まれる6個の画素データに対応している。例えば「1」という表記は、入力画像データD_iに密に含まれる6個の画素データのうち、先頭の(1番目の)画素データがバッファ部12にライトされた場合にライト制御部11から出力される信号SW(1)を表している。このような信号の表記はリード制御信号SCについても同様である。すなわち、図6Aにおいて、ライト完了通知信号SWの「1」～「6」という表記は、ライト完了通知信号SW(1)～SW(6)を示す。リード制御信号SCの「1」～「6」という表記は、リード制御信号SC(1)～SC(6)を

示す。

[0055] 続いて、帯域平滑部 15 は、ライト完了通知信号 SW に基づいて、共通バス 180 の帯域を平滑化するようにバッファ部 12 から転送データをリードするためのリード制御信号 SC を生成する（ステップ S2）。前述したように、帯域平滑部 15 は、ライト制御部 11 から順次出力されるライト完了通知信号 SW を、図 3 に示す FIFO メモリ 1501 へ順次入力する。そして、帯域平滑部 15 は、FIFO メモリ 1501 に保持されたライト完了通知信号 SW をリード制御信号 SC として一定の時間間隔 T_s を空けて入力順に出力する。

[0056] 図 6A の例では、ライト制御部 11 から帯域平滑部 15 に出力されるライト完了通知信号 SW (1) ~ SW (6) と、帯域平滑部 15 から出力されるリード制御信号 SC (1) ~ SC (6) とが模式的に示されている。リード制御信号 SC (1) ~ SC (6) の時間間隔 T_s は、前述した図 3 に示すカウンタ 1503 に設定されるカウント値の最大値に基づいて決まる。

[0057] 入力画像データ D_i に画素データの疎密が存在する場合、共通バス 180 の帯域を平滑化するためには（即ち、共通バス 180 に出力される DMA 転送要求 REQ の送信間隔を均一化するためには）、画素データが密に存在する入力画像データ D_i を転送する際の DMA 転送要求 REQ の送信間隔を長くすればよい。この観点から、図 3 に示すカウンタ 1503 に設定されるカウント値の最大値は、リード制御信号 SC の時間間隔 T_s がライト完了通知信号 SW の時間間隔よりも大きくなるように設定される。ライト完了通知信号 SW の時間間隔は、入力画像データ D_i に含まれる画素データの時間間隔に対応する。

[0058] ここで、リード制御信号 SC の時間間隔 T_s が大きくなる程、DMA 転送要求 REQ の時間間隔 T_r も大きくなるので、データ転送速度が低下する傾向にある。また、リード制御信号 SC の時間間隔 T_s が大き過ぎると、その後のデータ転送を伴う処理を阻害する場合も起こり得る。このため、カウンタ 1503 に設定されるカウント値の最大値は、必要なデータ転送速度が得

られる範囲で設定される。

[0059] 続いて、リード制御部 13 は、帯域平滑部 15 から入力されるリード制御信号 SC に応答して、バッファ部 12 から転送データをリードする（ステップ S3）。ここで、リード制御部 13 は、前回のリード制御信号 SC に応答してバッファ部 12 から既にリードした前回の転送データが存在する場合、その前回の転送データの DMA 転送要求 REQ に対する DMA 転送受付 ACK がインターフェイス部 14 で受信されていることを条件に、バッファ部 12 から今回の転送データをリードする。

[0060] インターフェイス部 14 は、リード制御部 13 によりバッファ部 12 から転送データがリードされると、DMA 転送要求 REQ を共通バス 180 に出力し、バッファ部 12 からリードされた転送データを所定のバスプロトコルに従って共通バス 180 に転送する（ステップ S4）。具体的には、図 6A に示すように、インターフェイス部 14 は、一定の時間間隔 T_s で帯域平滑部 15 から入力されるリード制御信号 SC (1) ~ SC (6) に対応して、6 個の DMA 転送要求 REQ を順次出力する。

[0061] ここでは、インターフェイス部 14 から出力された DMA 転送要求 REQ がバスアービタ 161 で速やかに受け付けられる場合を想定しているので、図 6A に例示するように、インターフェイス部 14 は、次回の DMA 転送要求 REQ を出力する前に、今回の DMA 転送要求 REQ がバスアービタ 161 に受け付けられた旨を示す DMA 転送受付 ACK を受信する。そして、インターフェイス部 14 は、リード制御部 13 によりバッファ部 12 からリードされた転送データを共通バス 180 に転送する（ステップ S4）。

[0062] このように DMA 転送要求 REQ がバスアービタ 161 に速やかに受け付けられる状況下では、図 6B において第 1 グループとして示されている 6 個の画素データを密に含む入力画像データ Di は、カウンタ 1503 に設定されたカウント値の最大値に基づいて決まる時間間隔 T_s に応じた時間間隔で出力転送データ Do としてインターフェイス部 14 から共通バス 180 に出力される。図 6B に示す例では、第 1 グループの後ろに続く第 2 グループの

画素データを密に含む入力画像データ D_i が入力される前に、第 1 グループの画素データのデータ転送が完了している。

[0063] 従って、DMA 転送要求 REQ が速やかに受け付けられる状況下では、共通バス 180 の帯域を平滑化することにより、DMA 転送要求 REQ の時間間隔 T_r に余裕が生まれる。このため、画素データが密に存在する入力画像データ D_i を転送する際、バスアービタ 161 が各機能ブロックの DMA 転送要求 REQ を適切に調整して受け付けることができる。これにより、バスアービタ 161 の負担を軽減することが可能になる。

[0064] また、画素データが密に存在する入力画像データ D_i を転送する際の DMA 転送要求 REQ の時間間隔 T_r を長くしても、各グループの画素データのデータ転送は、相互に干渉することなく行われる。このため、共通バス 180 の帯域を平滑化しても、データ転送速度を低下させることなく、バスアービタ 161 によるアービトレーションに従って、イメージセンサ 110 の画素データを DRAM 163 に転送することが可能になる。

[0065] また、図 6 A および図 6 B の例では、共通バス 180 の帯域を平滑化することにより、イメージセンサ 110 から取得された画素データを DRAM 163 に転送する機能ブロックによって共通バス 180 が占有される頻度が低下し、他の機能ブロックの DMA 転送要求 REQ がバスアービタ 161 で受け付けられる頻度が高まる。このため、バスアービタ 161 によるアービトレーションにおいて、イメージセンサ 110 の画素データを DRAM 163 に転送するための機能ブロックの優先度を高く設定しても、他の機能ブロックの処理に与える影響を抑制することができ、他の機能ブロックの処理の滞留を防止することが可能になる。

[0066] (2) DMA 転送要求 REQ が受け付けられるまでに長時間を要する場合次に、図 7 A および図 7 B を参照して、DMA 転送要求に対する DMA 転送受付 ACK が受信されるまでに長時間を要する場合の動作を説明する。

なお、ライト完了通知信号 SW およびリード制御信号 SC の表記については、図 6 A および図 6 B の例に示す場合と同様である。

[0067] 上述したDMA転送受付ACKが速やかに受信される場合と同様に、ライト制御部11は、イメージセンサ110から取得された画素データを含む入力画像データDiをバッファ部12にライトする都度、ライト完了通知信号SWを順次出力する（ステップS1）。帯域平滑部15からは、ライト制御部11から出力されるライト完了通知信号SWに応答して、リード制御信号SCを一定の時間間隔Tsを空けて順次出力する（ステップS2）。リード制御部13は、帯域平滑部15から出力されるリード制御信号SCに応答して、バッファ部12から転送データをリードする（ステップS3）。インターフェイス部14は、リード制御信号SCに応答してリード制御部13によりリードされた転送データのDMA転送要求REQを出力し、その転送データを転送する（ステップS4）。

[0068] ここで、最初のリード制御信号SC（1）に응答してインターフェイス部14から出力された最初のDMA転送要求REQが、例えば共通バス180の輻輳等により、バスアービタ161に受け付けられるまでに長時間を要した場合を考える。図7Aの例では、時刻t0でインターフェイス部14から出力された最初のDMA転送要求REQがバスアービタ161に時刻t1で受け付けられるまでに長時間を要している。その結果、最初のDMA転送要求REQに対するDMA転送受付ACKは、3番目のリード制御信号SC（3）が出力された後の時刻t1でインターフェイス部14に受信されている。

[0069] 時刻t1でDMA転送受付ACKがインターフェイス部14に受信されると、上述のステップS3において、リード制御部13は、2番目のリード制御信号SC（2）に응答してバッファ部12から次の転送データをリードする。そして、上述のステップS4において、インターフェイス部14は、2番目のリード制御信号SC（2）に응答してリード制御部13によりリードされた転送データのDMA転送要求REQを出力すると共に、その転送データを共通バス180に転送する。

[0070] この場合、2番目以降のリード制御信号SC（2）～SC（6）に응答し

てリード制御部 13 によってバッファ部 12 からリードされる転送データが一時的に滞留する。図 7 B の例では、最初のリード制御信号 SC (1) に応答してバッファ部 12 からリードされた転送データの DMA 転送要求 REQ がバスアービタ 161 に受け付けられるまでに長時間を要したため、その間、2 番目以降のリード制御信号 SC (2) ~ SC (6) に応答して転送されるべき転送データ Do (2) ~ Do (3) の転送が滞留している。

[0071] しかしながら、第 1 実施形態によれば、次に説明するように、DMA 転送要求 REQ が速やかに受け付けられる状況が回復すれば、滞留した転送データの転送が短い時間間隔で速やかに行われ、転送データの転送の遅れを挽回することができる。

[0072] 具体的に説明する。図 7 A の例では、時刻 t1 で、最初のリード制御信号 SC (1) に加えて、2 番目のリード制御信号 SC (2) および 3 番目のリード制御信号 SC (3) が帯域平滑部 15 からリード制御部 13 に既に出力されている。このため、リード制御部 13 は、最初のリード制御信号 SC (1) に応答してバッファ部 12 からリードした最初の転送データの DMA 転送受付 ACK が受信されると、上述のステップ S3 において、即座に、バッファ部 12 から 2 番目のリード制御信号 SC (2) に応答して次の転送データをリードする。そして、上述のステップ S4 において、インターフェイス部 14 は、2 番目のリード制御信号 SC (2) に応答してリードされた転送データの DMA 転送要求 REQ を共通バス 180 に出力すると共に、その転送データを共通バス 180 に転送する。

[0073] ここで、時刻 t1 の後、DMA 転送要求 REQ が速やかに受け付けられる状況が維持される限り、DMA 転送要求 REQ は、カウンタ 1503 のカウント値の最大値に制限されることなく、最小限の時間間隔でインターフェイス部 14 から出力される。このため、滞留した 2 番目以降の転送データが速やかに転送され、転送データの転送の遅れを挽回することができる。

[0074] 図 7 B に示す例では、第 1 グループの次の第 2 グループの画素データを密に含む入力画像データ Di が入力される前に、第 1 グループの画素データの

データ転送の遅れが挽回されている。従って、第１グループの最初の転送データの転送が遅れたことによる処理の影響を防止することができる。

従って、第１実施形態によれば、共通バス１８０の帯域を有効に利用しつつ、滞留したデータ転送を速やかに行うことができる。

[0075] (第２実施形態)

次に、本発明の第２実施形態を説明する。

図８は、本発明の第２実施形態に係るデータ転送装置が備える帯域平滑部２５の構成例を示すブロック図である。

第２実施形態に係る帯域平滑部２５は、上述の図３に示す第１実施形態に係る帯域平滑部１５の構成において、セレクタ１５０５を更に備えている。その他は第１実施形態と同様である。

[0076] セレクタ１５０５には、例えば図１に示す中央演算処理装置１７０から２種類の設定信号Ｅ１、Ｅ２が入力される。また、画像抽出部１２２から設定信号Ｅ３が入力される。ここで、設定信号Ｅ１は、上述の第１実施形態の設定信号Ｅと同様の信号であり、カウンタ１５０３のカウント値の最大値を設定するための信号である。設定信号Ｅ２は、設定信号Ｅ１と同様にカウンタ１５０３のカウント値の最大値を設定するための信号である。

[0077] ただし、設定信号Ｅ２によって設定されるカウント値の最大値は、設定信号Ｅ１によって設定されるカウント値の最大値よりも小さい。従って、設定信号Ｅ２によってカウンタ１５０３のカウント値の最大値が設定された場合には、設定信号Ｅ１によってカウンタ１５０３のカウント値の最大値が設定された場合に比較して、DMA転送要求REQの時間間隔Tsが短くなる。

[0078] 設定信号Ｅ３は、リード制御部１３によってバッファ部１２からリードされる転送データが最終転送データであることを示す最終転送情報を含む信号である。セレクタ１５０５は、設定信号Ｅ３に含まれる最終転送情報が最終転送データを示す場合、設定信号Ｅ２を選択してカウンタ１５０３およびリード判定部１５０４に出力する。その他の場合、セレクタ１５０５は、設定信号Ｅ１を選択してカウンタ１５０３およびリード判定部１５０４に出力す

る。

[0079] 画像抽出部122は、入力画像データD_i（前処理部121によって前処理が施された入力画像データ）から画像データを抽出する際に、入力画像データD_iがフレーム内の最終転送データであるか否かを判定する。そして、画像抽出部122は、入力画像データD_iが最終転送データでない場合、入力画像データD_iが最終転送データでない旨を示す最終転送情報を含む設定信号E₃を帯域平滑部25のセレクタ1505に出力する。この場合、セレクタ1505により設定信号E₁が選択されてカウンタ1503およびリード判定部1504に出力される。

[0080] これに対し、画像抽出部122は、入力画像データD_i（前処理部121によって前処理が施された入力画像データ）がフレーム内の最終転送データである場合、入力画像データD_iが最終転送データである旨を示す最終転送情報を含む設定信号E₃をセレクタ1505に出力する。この場合、帯域平滑部25のセレクタ1505により設定信号E₂が選択されてカウンタ1503およびリード判定部1504に出力される。

[0081] 上述のセレクタ1505を備えたことにより、最終のデータ転送以外の通常のデータ転送では、上述の第1実施形態と同様に帯域平滑部25が動作し、共通バス180の帯域の平滑化が実施される。また、最終のデータ転送では、設定信号E₂によりカウンタ1503のカウント値の最大値として小さい値が設定されるので、リード制御信号S_Cの時間間隔T_sが短くなり、DMA転送要求R_EQの時間間隔T_rも短くなる。この場合、共通バス180の帯域の平滑化は抑制されるが、その後のデータ転送との干渉を防止することが可能になる。従って、第2実施形態によれば、フレーム間のデータ干渉を抑制しつつ、共通バスの帯域を平滑化することができる。

[0082] （第3実施形態）

次に、本発明の第3実施形態を説明する。

図9は、本発明の第3実施形態に係るデータ転送装置30の構成例を示すブロック図である。データ転送装置30は、上述した第1実施形態に係る図

2に示すデータ転送装置10の構成において、帯域平滑部15に代えて、帯域平滑部35を備えている。その他のデータ転送装置30の構成は、第1実施形態のデータ転送装置10の構成と同様である。

[0083] 図10は、本発明の第3実施形態に係るデータ転送装置30が備える帯域平滑部35の構成例を示すブロック図である。帯域平滑部35は、上述した第2実施形態に係る図8に示す帯域平滑部25の構成において、バッファ余裕度判定部1506を更に備えている。その他の帯域平滑部35の構成は、第2実施形態の帯域平滑部25の構成と同様である。

[0084] バッファ余裕度判定部1506は、バッファ部12の残容量（バッファ余裕度）を判定する。帯域平滑部35は、バッファ余裕度判定部1506の判定結果に応じて、共通バス180に転送される転送データ間の時間間隔（設定信号E1、E2により設定された時間間隔 T_{s1} 、 T_{s2} ）を調整する。具体的には、帯域平滑部35は、バッファ部12の残容量が少ない程、転送データ間の時間間隔 T_s を減少させる。第3実施形態では、帯域平滑部35は、第2実施形態と同様に設定信号E1、E2に応じてリード制御信号SCの時間間隔を設定すると共に、バッファ部12の残容量に応じてリード制御信号SCの時間間隔を調整する。

なお、設定信号E1、E2によるリード制御信号SCの時間間隔の調整を省略してもよく、この場合、共通バス180の帯域の平滑化は行われない。

[0085] 帯域平滑部35は、ライト完了通知信号SWの数（即ち、バッファ部12にライトされたデータの数）とリード制御信号SCの数（即ち、バッファ部12からリードされたデータの数）との差分から、バッファ部12の残容量を取得し、この残容量からバッファ部12の残容量を把握する。バッファ部12の残容量が少ないことは、バッファ部12にライトできなくなる可能性が高まり、バッファ部12の機能が損なわれる可能性が高まることを意味する。バッファ余裕度判定部1506は、バッファ部12の残容量（バッファ余裕度）を示す信号Mをカウンタ1503に出力する。第3実施形態では、信号Mは、バッファ部12の残容量に余裕があること、残容量が少ないこと

、残容量が殆どないことの何れかを示す。

[0086] 図 11 は、本発明の第 3 実施形態に係るデータ転送装置 30 が備える帯域平滑部 35 の動作を説明するための図であり、バッファ部 12 の残容量と転送データ間の時間間隔 T_{s11} ($=T_{s1}$)、 T_{s12} 、 T_{s13} の関係を説明するための図である。

カウンタ 1503 は、バッファ余裕度判定部 1506 から入力される信号 M に基づいて、設定信号 E1、E2 に応じて設定されたカウント値の最大値を調整する。図 11 の例では、帯域平滑部 35 は、バッファ部 12 の残容量に余裕があることを信号 M が示す場合、設定信号 E1 に基づいて決まる時間間隔 T_{s1} に所定の第 1 係数「1」を乗じて得られる時間間隔 T_{s11} をリード制御信号 SC の時間間隔 T_s として設定する。この場合、共通バス 180 に転送される転送データ D0 の時間間隔 T_s が時間間隔 T_{s1} と等しい値に設定される。

[0087] また、帯域平滑部 35 は、時刻 t_{31} でバッファ部 12 の残容量が少ないことを信号 M が示す場合、設定信号 E1 に基づいて決まる時間間隔 T_{s1} に所定の第 2 係数「0.5」を乗じた時間間隔 T_{s12} をリード制御信号 SC の時間間隔 T_s として設定する。この場合、共通バス 180 に転送される転送データ D0 の時間間隔 T_s が時間間隔 T_{s1} の 2 分の 1 の値 ($=T_{s1} \times 0.5$) に設定される。

[0088] 更に、帯域平滑部 35 は、時刻 t_{32} でバッファ部 12 の残容量が殆どないことを信号 M が示す場合、設定信号 E1 に基づいて決まる時間間隔 T_{s1} に所定の第 3 係数「0.2」を乗じた時間間隔 T_{s13} をリード制御信号 SC の時間間隔 T_s として設定する。これにより、共通バス 180 に転送される転送データ D0 の時間間隔が時間間隔 T_{s1} の 5 分の 1 の値 ($=T_{s1} \times 0.2$) に設定される。

なお、上述の例において、第 1 係数、第 2 係数、第 3 係数の各数値は一例に過ぎず、バッファ部 12 の残容量を調整することができることを限度に、各係数の数値を任意に設定することができる。

[0089] 上述のように、帯域平滑部35は、信号Mによって示されるバッファ部12の残容量が少ない程、設定信号E1によって設定されたリード制御信号SCの時間間隔 T_s1 を減少させ、転送データ間の時間間隔 T_s1 を減少させる。設定信号E2によって設定される転送データ間の時間間隔 T_s2 についても同様である。この結果、バッファ部12へのライト速度よりもバッファ部12からのリード速度が相対的に増加し、これにより、バッファ部12の残容量が増えるようになる。

[0090] 第3実施形態によれば、バッファ部12の残容量に応じて転送データ間の時間間隔 T_s を制御するので、バッファ部12に対するデータのライト動作を安定化させることができ、バッファ部12のバッファ機能を安定的に維持することができる。

[0091] 次に、上述した第1実施形態から第3実施形態に係る効果を、特許文献1に係る技術と比較して検証する。

図12Aおよび図12Bは、本発明の実施形態に係るデータ転送装置の効果を補足するための従来技術に係るデータ転送装置の動作例を説明するための図である。図12Aは、DMA転送要求が受け付けられるまでの時間が短い場合の動作を説明するためのタイミングチャートである。図12Bは、DMA転送要求が受け付けられるまでの時間が長い場合の動作を説明するためのタイミングチャートである。

[0092] 特許文献1の技術によれば、図12Aに例示するように、DMA転送要求REQの時間間隔 T_{INT} は一定に固定される。このため、図12Bに例示するように、時刻 t_{10} で最初のDMA転送要求REQが共通バスに出力されてから時刻 t_{11} でDMA転送受付ACKが受信されるまでに長時間を要した場合、最初のDMA転送要求REQから一定の時間間隔 T_{INT} を空けて、時刻 t_{12} で次のDMA転送要求REQが出力される。換言すれば、最初のDMA転送要求REQが受け付けられても、一定の時間間隔 T_{INT} に相当する時間が経過しなければ、次のDMA転送要求REQは出力されない。このため、最初のDMA転送要求REQが受け付けられるまでに滞留した

転送データを速やかに転送することができない。

[0093] これに対し、前述した本発明の第1実施形態から第3実施形態によれば、DMA転送要求REQが受け付けられるまで長時間を要する状況下では、DMA転送要求REQの時間間隔 T_r は、帯域平滑部15から出力されるリード制御信号SCの時間間隔 T_s に制限されず、最小の時間間隔でDMA転送要求REQが出力される。このため、バスアービタ161に受け付けられるまでに長時間を要したDMA転送要求REQの後のDMA転送要求REQを速やかに出力することができる。従って、DMA転送要求REQが受け付けられるまでに長時間を要したとしても、その間に滞留した転送データを速やかに転送することができ、データ転送速度の低下を抑制することができる。

[0094] また、前述した本発明の第1実施形態から第3実施形態によれば、DMA転送要求REQが速やかに受け付けられる状況下では、共通バス180の帯域を平滑化するために、DMA転送要求REQの時間間隔 T_r は、帯域平滑部15から出力されるリード制御信号SCの時間間隔 T_s に応じて設定される。このようにDMA転送要求REQの時間間隔 T_r が設定されたとしても、図7Aに例示したように、各グループの画素データは相互に干渉しないので、データ転送速度は損なわれない。

[0095] 従って、上述した実施形態によれば、共通バス180を平滑化することにより、優先度の低い機能ブロックのDMA転送要求REQの受け付けを可能とすると共に、優先度の高い機能ブロックのDMA転送要求REQが長時間にわたって受け付けられない状況が発生しても、データ転送の遅れを挽回することができる。従って、優先度の高い機能ブロックの処理を優先的に実施すると共に、優先度の低い機能ブロックの処理の滞留を有効に防止することができる。

[0096] 次に、本発明の実施形態の主要な効果をまとめる。

本発明の第1実施形態から第3実施形態によれば、共通バス180の帯域を有効に利用しつつ、滞留したデータ転送を速やかに行うことができる。また、本発明の第2実施形態によれば、フレーム間のデータ干渉を抑制しつつ

、共通バスの帯域を平滑化することができる。更に、本発明の第3実施形態によれば、バッファ部12の残容量に応じて転送データ間の時間間隔 T_s を調整するようにしたので、バッファ部12のバッファ機能を安定化させることができる。

[0097] また、バッファ部12に保持されている転送データ量に応じてDMA転送要求REQを出力することができ、これにより、転送データ量に応じて共通バス180の帯域を柔軟に平滑化することができる。

また、DMA転送要求REQが長時間にわたって受け付けられない場合であっても、転送データのバッファとしての処理の滞留を抑制することができる。

また、DMA転送要求REQを出力する前に帯域を制御することができ、共通バス180の帯域の制御が容易になる。

また、DMA転送要求REQの時間間隔 T_r を制御するための複雑な回路を備える必要がないので、回路の規模を抑制することができる。

[0098] また、DMA転送要求REQがバスアービタ161に速やかに受け付けられる状況下では、共通バス180の帯域を平滑化することができる。従って、バスアービタ161によるアービトレーションにおける優先度の高い機能ブロックの処理を実施しつつ、優先度の低い機能ブロックの処理を確保することができる。

[0099] また、DMA転送要求REQがバスアービタ161に受け付けられるまでに長時間を要する状況が発生しても、その後、DMA転送要求REQがバスアービタ161に速やかに受け付けられる状況が回復すれば、DMA転送要求REQが受け付けられるまでに長時間を要したことにより滞留したデータ転送の遅れを挽回することができる。

また、画素データの疎密を有する入力画像データDiが入力された場合、DMA転送要求REQを時間軸上で拡散させることにより、共通バス180の帯域を平滑化することができる。

[0100] また、DMA転送によるデータレートが高い状態に合わせて各機能ブロックの優先度をバスアービタに設定した場合、優先度の機能ブロックのDMA

転送要求が連続しても、優先度の低い他の機能ブロックのDMA転送要求をバスアービタで受け付けることが可能になる。このため、優先度の高い機能ブロックにバス権が占有されることがなくなり、優先度の低い機能ブロックがバス権を確保することが可能になる。従って、優先度の低い機能ブロックの処理の滞留を防止することができる。

[0101] また、簡易な構成により、DMA転送要求REQの時間間隔Trを柔軟に調整することができる。

また、バスアービタ161によるアービトレーションのルールが変更されても、設定信号Eによりカウンタ1503のカウント値の最大値を調整することにより、共通バス180の帯域を柔軟に平滑化することができる。

[0102] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0103] 本発明は、データ転送装置およびデータ転送方法に広く適用でき、共通バスの帯域を有効に利用しつつ、滞留したデータ転送を速やかに行うことを可能とする。

符号の説明

- [0104] 10、30 データ転送装置
- 11 ライト制御部
 - 12 バッファ部
 - 13 リード制御部
 - 14 インターフェイス部（I/F部）
 - 15、25、35 帯域平滑部
 - 100 撮像システム
 - 110 イメージセンサ

1 2 0、1 3 0、1 4 0、1 5 0 機能ブロック

1 2 1 前処理部

1 2 2、1 2 3 画像抽出部

1 2 4 評価値生成部

1 2 5～1 2 7 データ転送部

1 3 1 データ転送部

1 3 2 表示処理部

1 3 3 表示デバイス

1 4 1、1 4 2 データ転送部

1 4 3 カードインターフェイス部

1 4 4 記録媒体

1 5 1、1 5 2 データ転送部

1 5 3 画像処理部

1 6 1 バスアービタ

1 6 2 D R A Mインターフェイス部

1 6 3 D R A M

1 7 0 中央演算処理装置

1 8 0 共通バス

1 5 0 1 F I F Oメモリ

1 5 0 2 カウンタ（第1のカウンタ）

1 5 0 3 カウンタ（第2のカウンタ）

1 5 0 4 リード判定部

1 5 0 5 セレクタ

1 5 0 6 バッファ余裕度判定部

A 1、A 2、A 3 画像領域

A C K D M A転送受付

D i 入力画像データ

D o 出力転送データ

E、E 1、E 2、E 3 設定信号

M 信号

M 0 ～ M 1 5 記憶領域

P 撮影画面

P T 望遠画像

P W 広角画像

R E Q DMA転送要求

S C リード制御信号

S R リード完了通知信号

S W ライト完了通知信号

T I N T DMA転送要求 R E Q の時間間隔

T r DMA転送要求 R E Q の時間間隔

T s リード制御信号 S C の時間間隔

T s 1 1、T s 1 2、T s 1 3 転送データ間の時間間隔

請求の範囲

[請求項1] 共通バスに転送される転送データを一時的に格納するバッファ部と、

入力データを前記転送データとして前記バッファ部にライトし、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力するライト制御部と、

前記バッファ部から前記転送データをリードするリード制御部と、

前記リード制御部により前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送するインターフェイス部と、

前記通知信号に基づいて、前記リード制御部が前記バッファ部から前記転送データをリードするタイミングを制御することにより、前記共通バスの帯域を平滑化する帯域平滑部と、

を備えたデータ転送装置。

[請求項2] 前記帯域平滑部は、
前記ライト制御部から出力された前記通知信号を遅延させることにより、前記リード制御部が前記バッファ部から前記転送データをリードするタイミングを制御するための制御信号を生成して前記リード制御部に出力することを特徴とする請求項1に記載のデータ転送装置。

前記帯域平滑部は、

前記入力データを構成する画素データが前記ライト制御部により前記バッファ部に順次的にライトされるに従って前記ライト制御部から順次的に出力される前記通知信号を遅延させることにより、所定の時間間隔を空けて、前記通知信号を前記制御信号として前記リード制御部へ順次的に出力することを特徴とする請求項 2 に記載のデータ転送装置。

〔請求項4〕 前記帯域平滑部は、
前記ライト制御部から順次的に出力される前記通知信号を保持する

ためのFIFOメモリと、

前記ライト制御部から順次的に出力される前記通知信号に応答して、前記FIFOメモリに保持された通知信号のうち、リードされていない通知信号の数をカウントする第1のカウンタと、

前記所定の時間間隔を与えるカウント値に到達するまで所定周期でカウントアップし、前記FIFOメモリのリードのタイミングで初期化される第2のカウンタと、

前記第2のカウンタのカウント値が所定値に到達し、且つ、前記第1のカウンタのカウント値が、リードされていない通知信号が前記FIFOメモリに存在することを示す値である場合、リードされていない通知信号を前記FIFOメモリからリードして前記制御信号として出力させるリード判定部と、

を備えたことを特徴とする請求項3に記載のデータ転送装置。

[請求項5]

入力データを共通バスに転送される転送データとしてバッファ部にライトし、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力する第1ステップと、

前記通知信号に基づいて、前記共通バスの帯域を平滑化するように前記バッファ部から前記転送データをリードするための制御信号を生成する第2ステップと、

前記制御信号に応答して前記バッファ部から前記転送データをリードする第3ステップと、

前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送する第4ステップと、

を含むデータ転送方法。

補正された請求の範囲
2016年10月11日(11.10.2016)国際事務局受理]

[請求項 1] (補正後) 共通バスに転送される転送データを一時的に格納するバッファ部と

、

入力データを前記転送データとして前記バッファ部にライトすると共に、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力するライト制御部と、

前記バッファ部から前記転送データをリードするリード制御部と、

前記リード制御部により前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送するインターフェイス部と、

前記通知信号を遅延させ、前記バッファ部から前記転送データをリードするタイミングを制御するためのリード制御信号を生成して前記リード制御部に出力することにより、前記共通バスの帯域を平滑化する帯域平滑部と、

を備え、

前記リード制御部は、前回のリード制御信号に応答して前記バッファ部から既にリードした前回の転送データが存在する場合、その前回の転送データのDMA転送要求REQに対するDMA転送受付ACKが前記インターフェイス部で受信されていることを条件に、前記バッファ部から今回の転送データをリードする、データ転送装置。

[請求項 2] (削除)

[請求項 3] (補正後) 前記帯域平滑部は、

前記入力データをなす画素データが前記ライト制御部により前記バッファ部に順次的にライトされるに従って前記ライト制御部から順次的に出力される前記通知信号を遅延させることにより、所定の時間間隔を空けて、前記通知信号を前記制御信号として順次的に出力することを特徴とする請求項 1 に記載のデータ転送装置。

[請求項 4] (補正後) 前記帯域平滑部は、

前記ライト制御部から順次的に出力される前記通知信号を保持するためのFIFOメモリと、

前記ライト制御部から順次的に出力される前記通知信号に応答して、前記FIFOメモリに保持された通知信号のうち、リードされていない通知信号の数をカウントする第1のカウンタと、

前記所定の時間間隔を与えるカウント値に到達するまで所定周期でカウントアップし、前記FIFOメモリのリードのタイミングで初期化される第2のカウンタと、

前記第2のカウンタのカウント値が所定値に到達し、且つ、前記第1のカウンタのカウント値が、前記FIFOメモリからリードされていない通知信号が前記FIFOメモリに存在することを示す場合、前記FIFOメモリからリードされていない通知信号を前記FIFOメモリから前記制御信号としてリードして出力させるリード判定部と、

を備えたことを特徴とする請求項3に記載のデータ転送装置。

[請求項5] (補正後) 共通バスに転送される転送データとして入力データをバッファ部にライトし、前記入力データを前記バッファ部にライトした旨を示す通知信号を出力する第1ステップと、

前記通知信号を遅延させ、前記共通バスの帯域を平滑化するように前記バッファ部から前記転送データをリードするためのリード制御信号を生成する第2ステップと、

前記リード制御信号に応答して前記バッファ部から前記転送データをリードする第3ステップと、

前記バッファ部からリードされた前記転送データを、所定のバスプロトコルに従って前記共通バスに転送する第4ステップと、

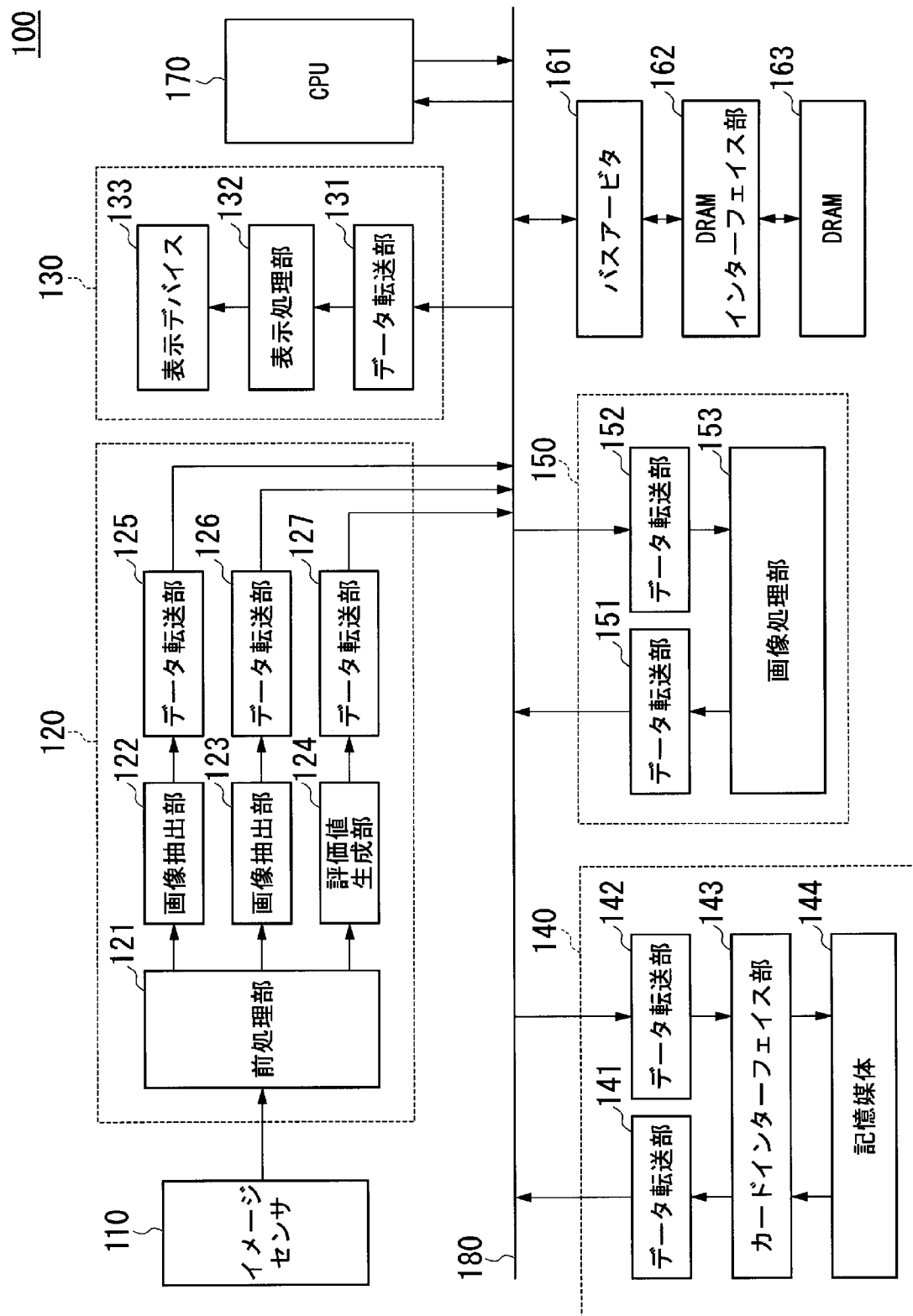
を含み、

前記第3ステップは、前回のリード制御信号に応答して前記バッファ部から既にリードした前回の転送データが存在する場合、その前回の転送データのDMA転送要求REQに対するDMA転送受付ACKが発行されていることを条件に、前記バッファ部から今回の転送データをリードする、データ転送方法。

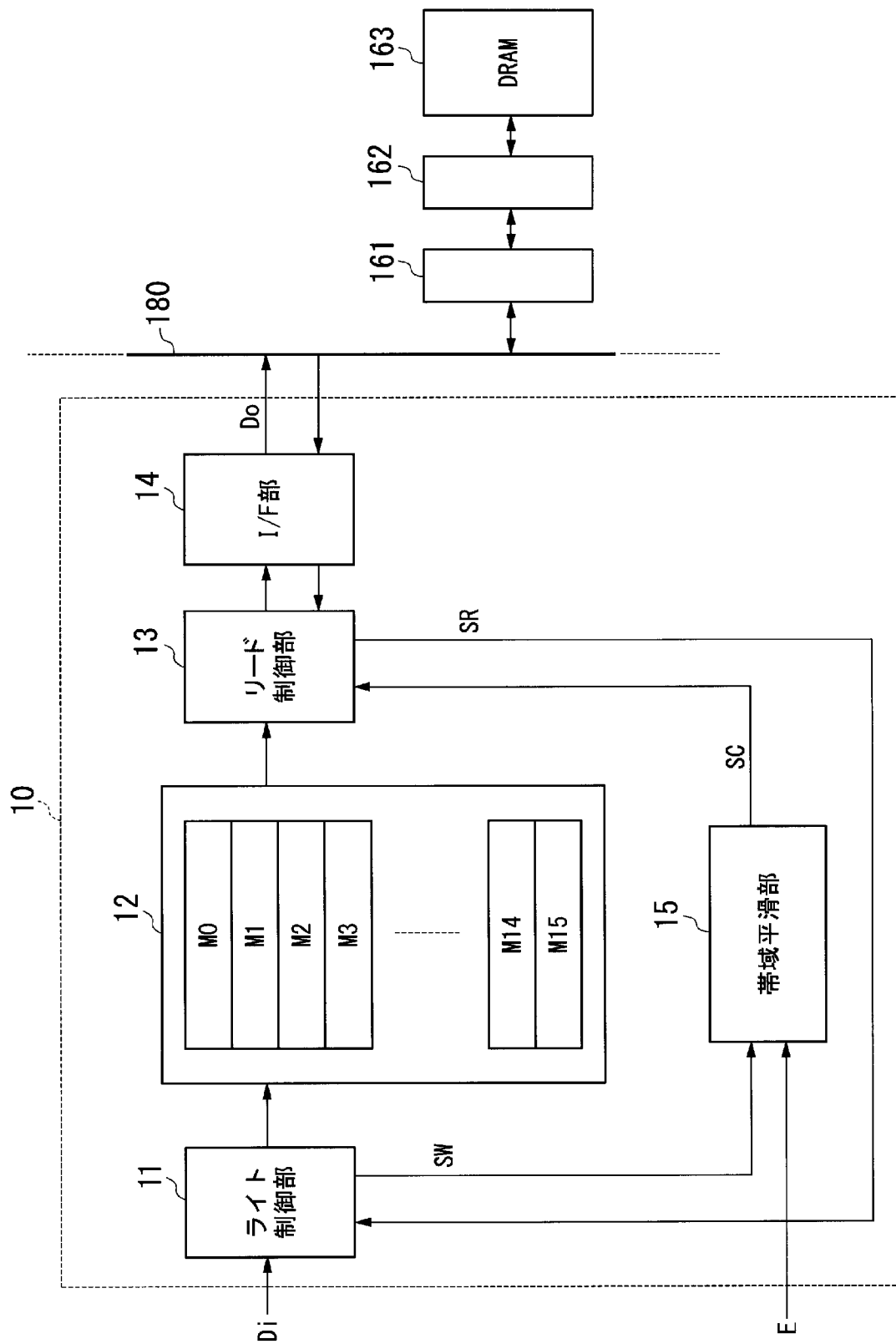
条約第19条(1)に基づく説明書

請求の範囲第1項および第5項に、「前記通知信号を遅延させ、前記バッファ部から前記転送データをリードするタイミングを制御するためのリード制御信号を生成して前記リード制御部に出力することにより、前記共通バスの帯域を平滑化する」構成及び「前回のリード制御信号に応答して前記バッファ部から既にリードした前回の転送データが存在する場合、その前回の転送データのDMA転送要求REQに対するDMA転送受付ACKが前記インターフェイス部で受信されていることを条件に、前記バッファ部から今回の転送データをリードする」構成を追加する補正を行った。請求の範囲第2項を削除した。請求の範囲第3項については、請求の範囲第2項の削除に伴い従属先を修正した。請求の範囲第4項において、「前記FIFOメモリからリードされていない通知信号」と明確にする補正を行った。

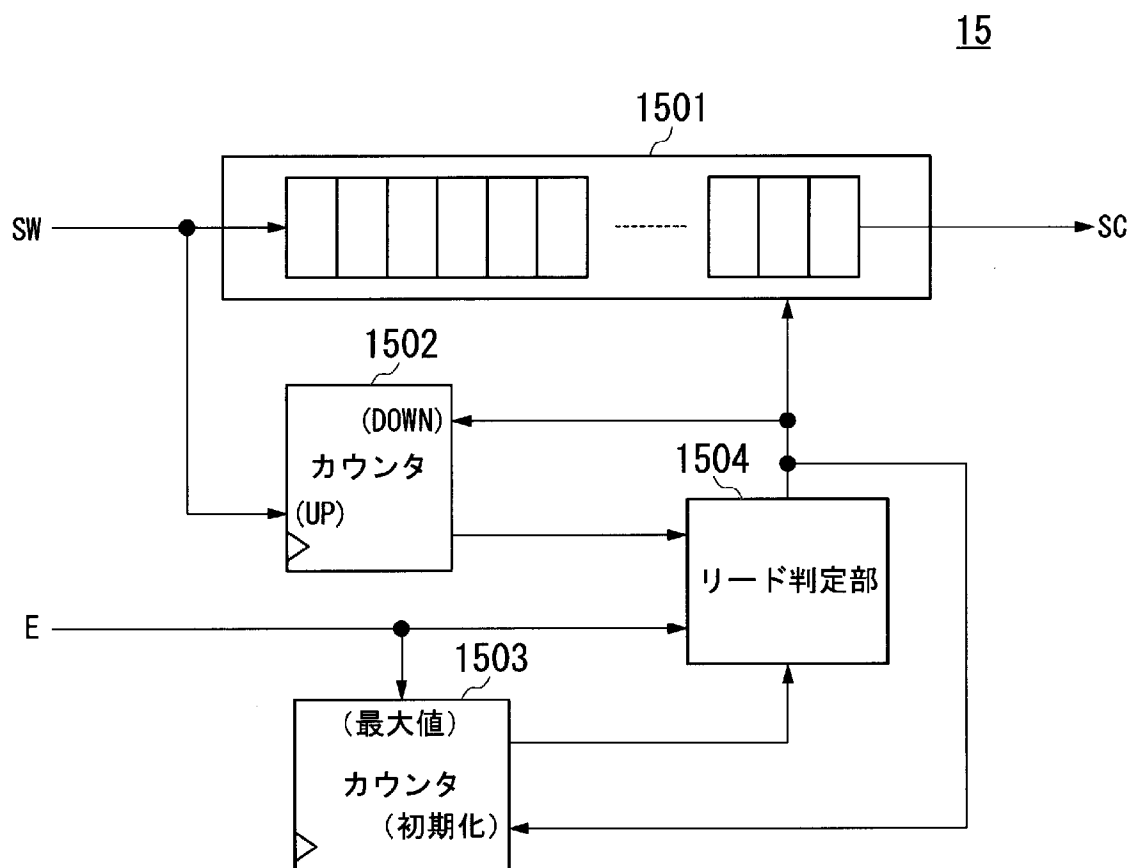
[図1]



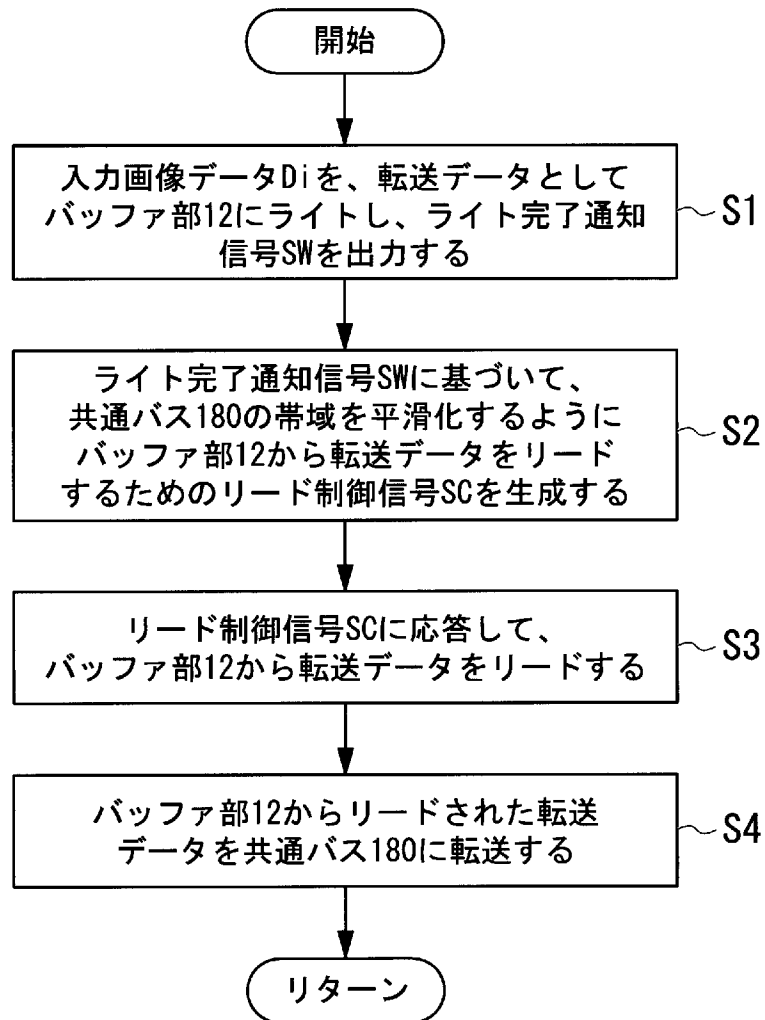
[図2]



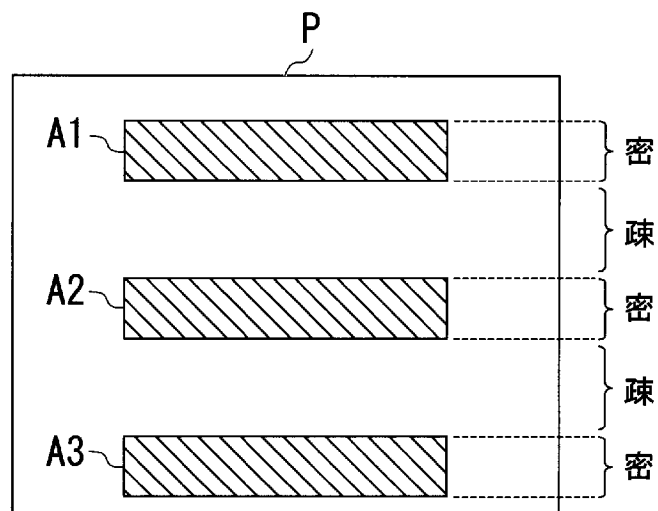
[図3]



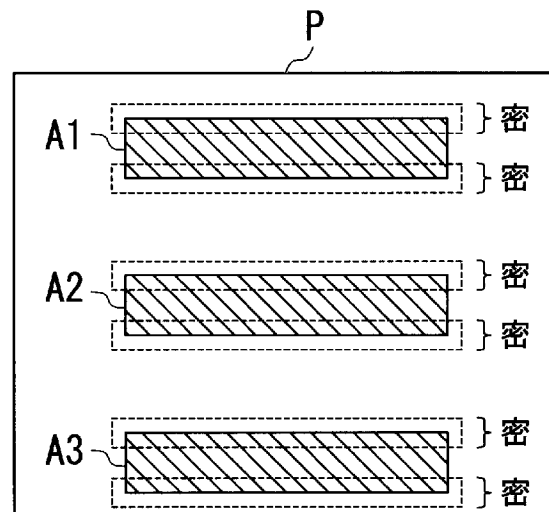
[図4]



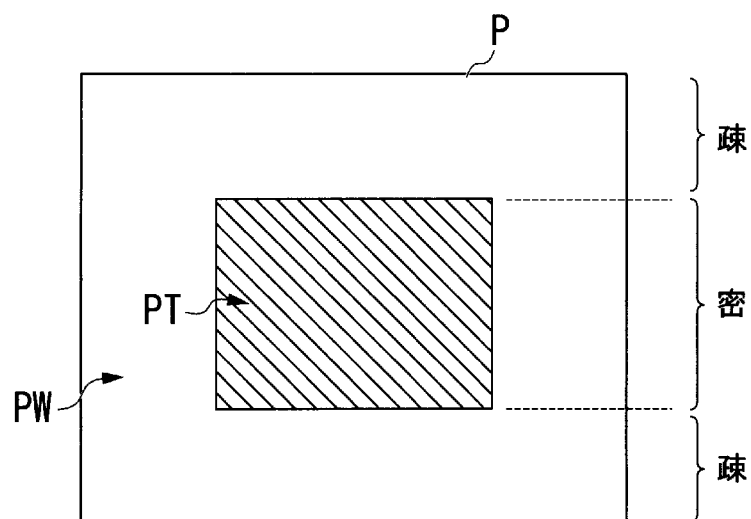
[図5A]



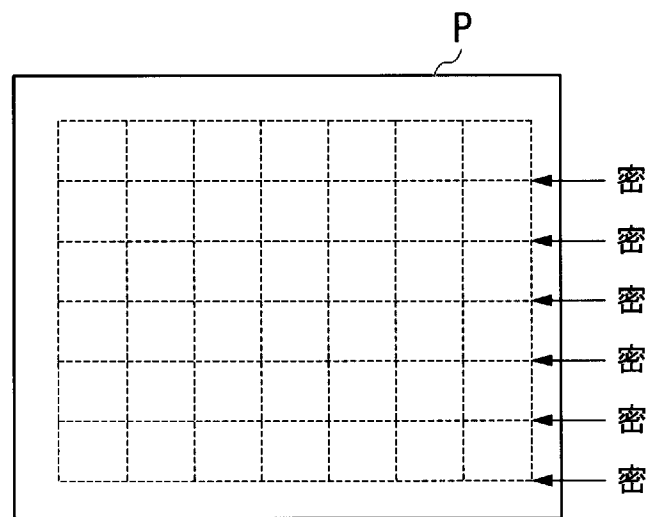
[図5B]



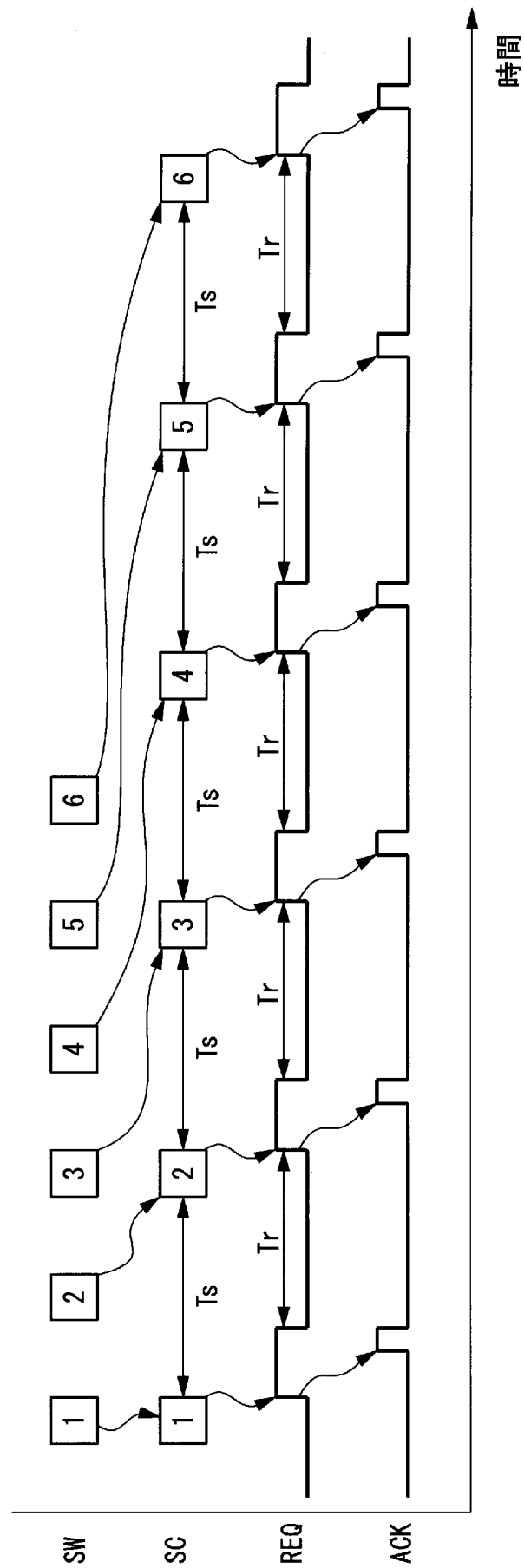
[図5C]



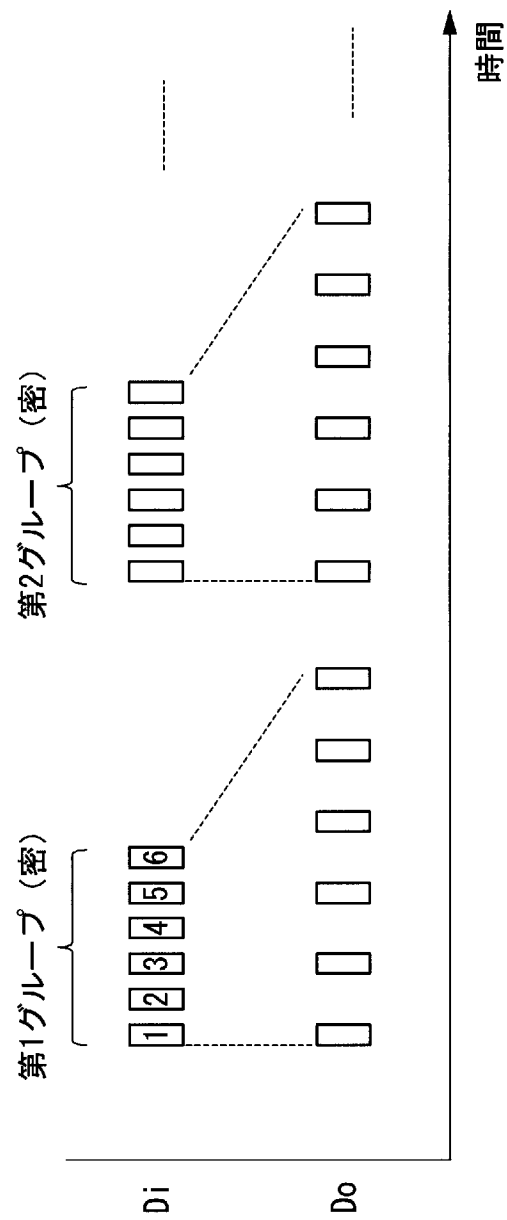
[図5D]



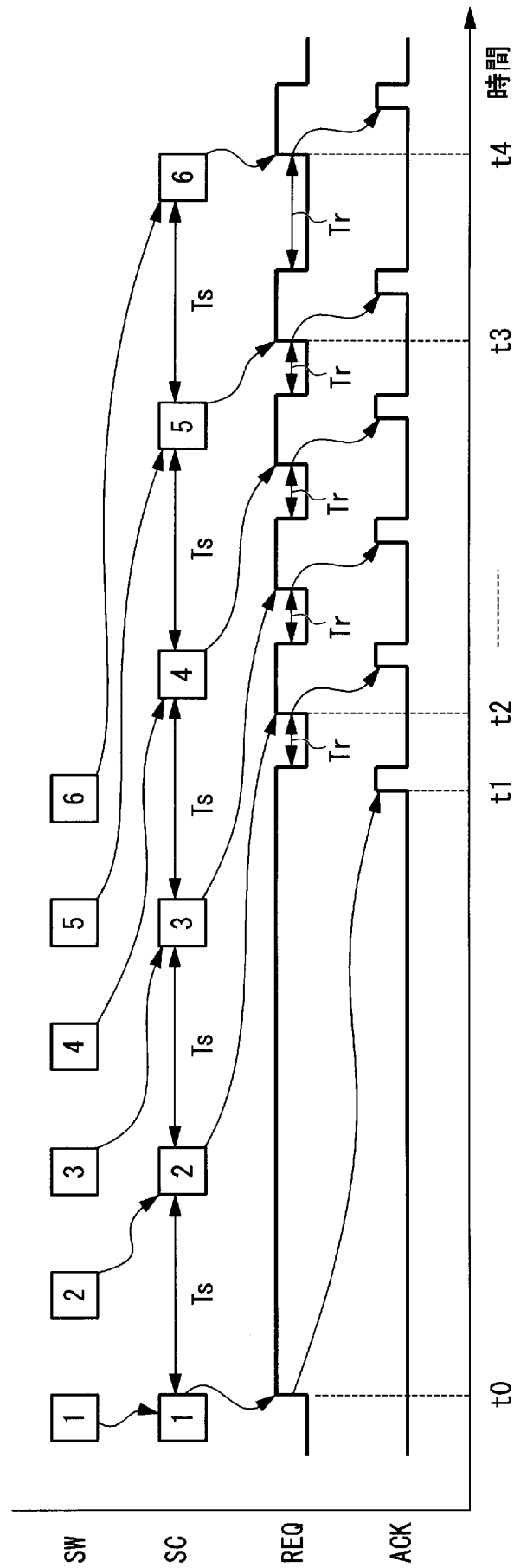
[図6A]



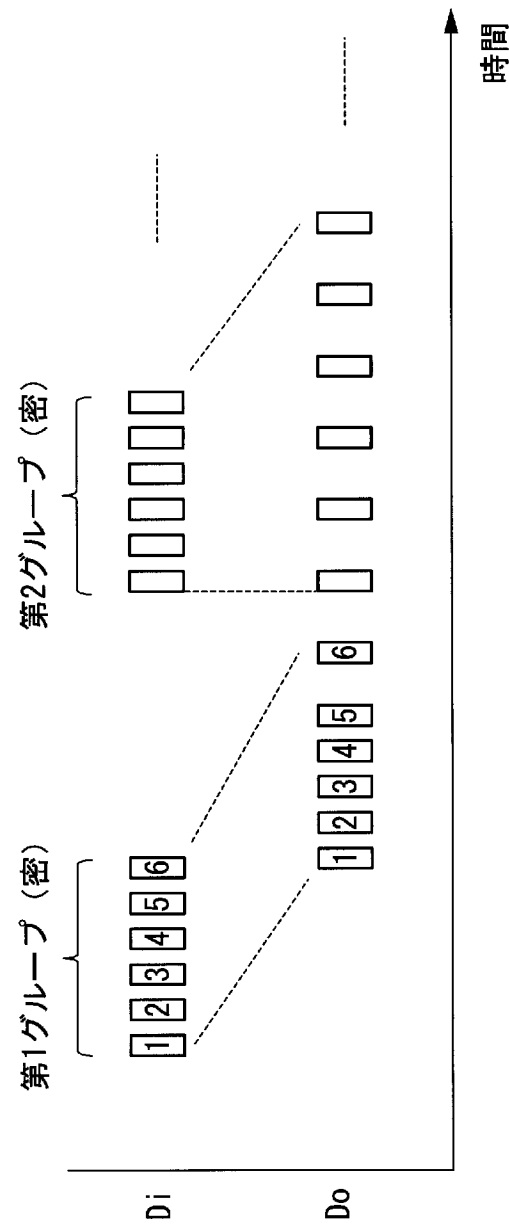
[図6B]



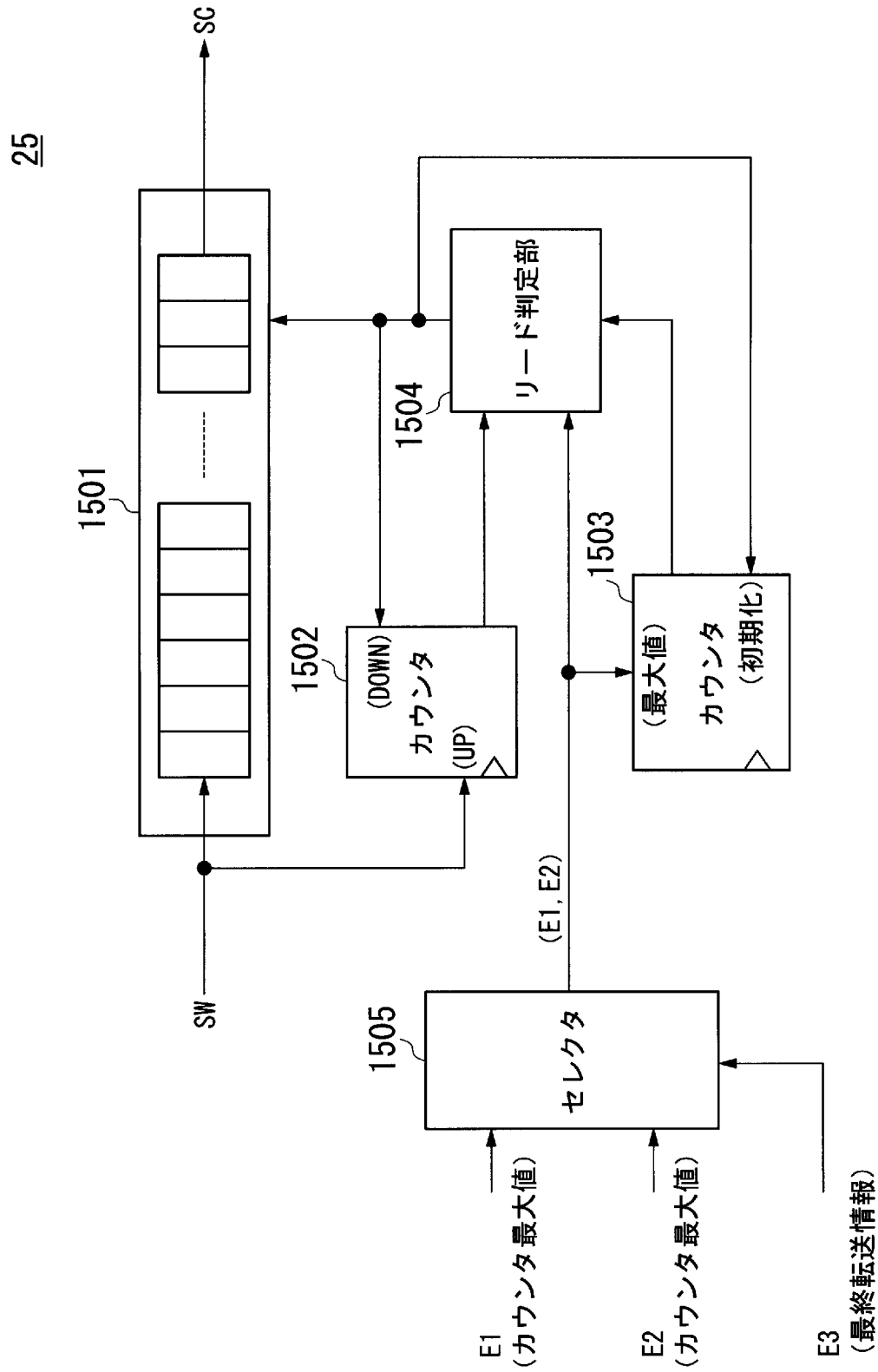
[図7A]



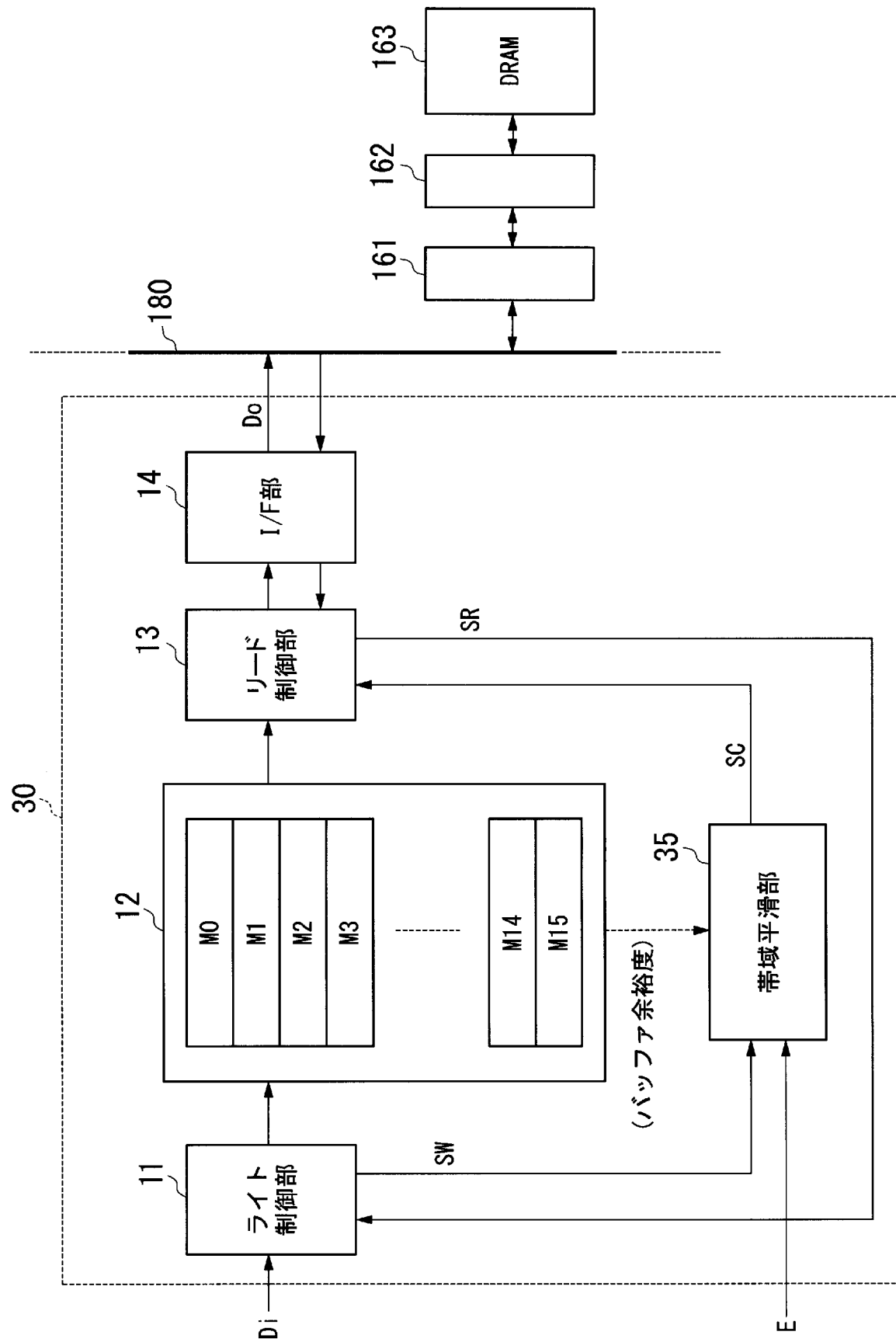
[図7B]



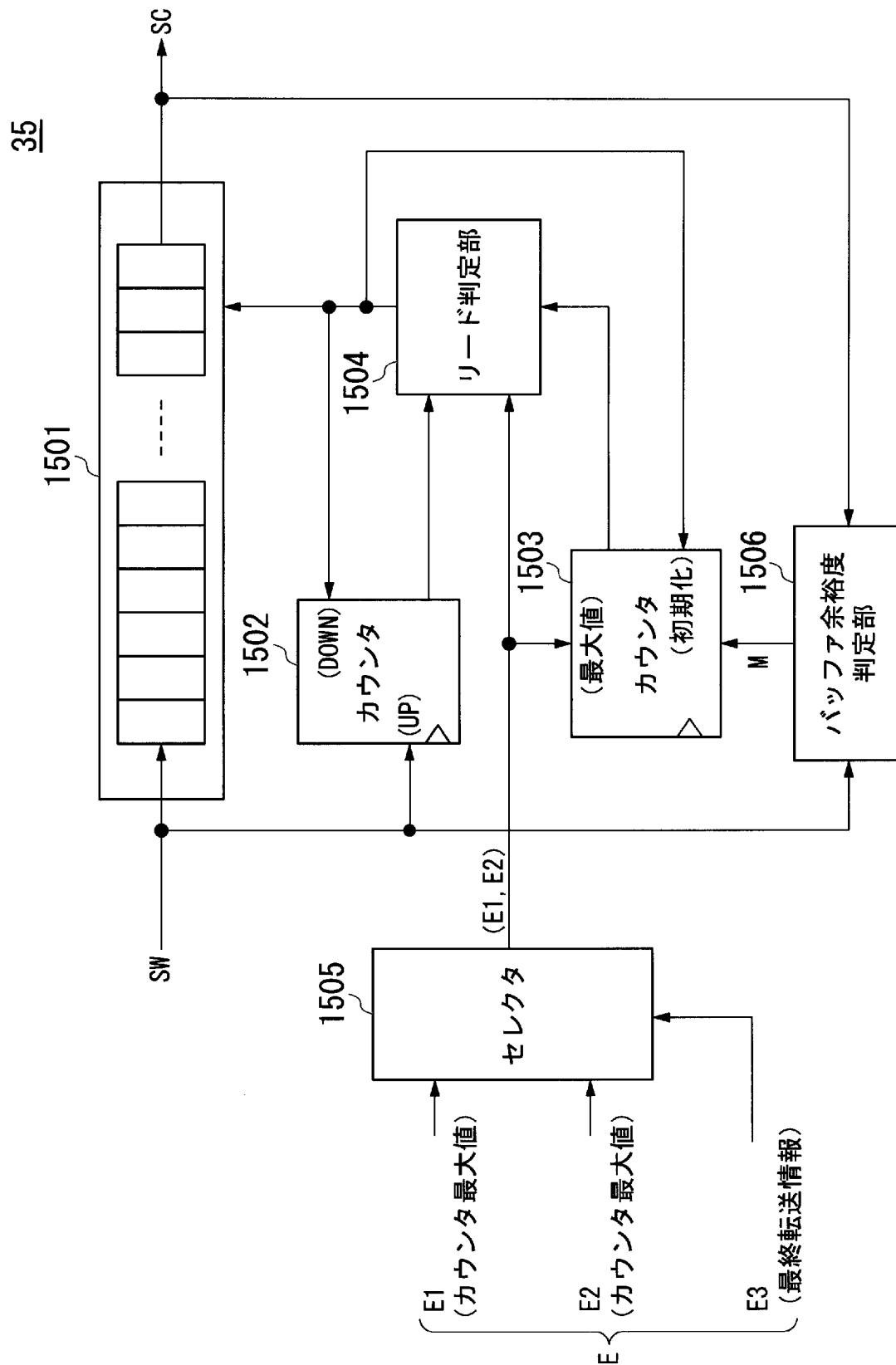
[図8]



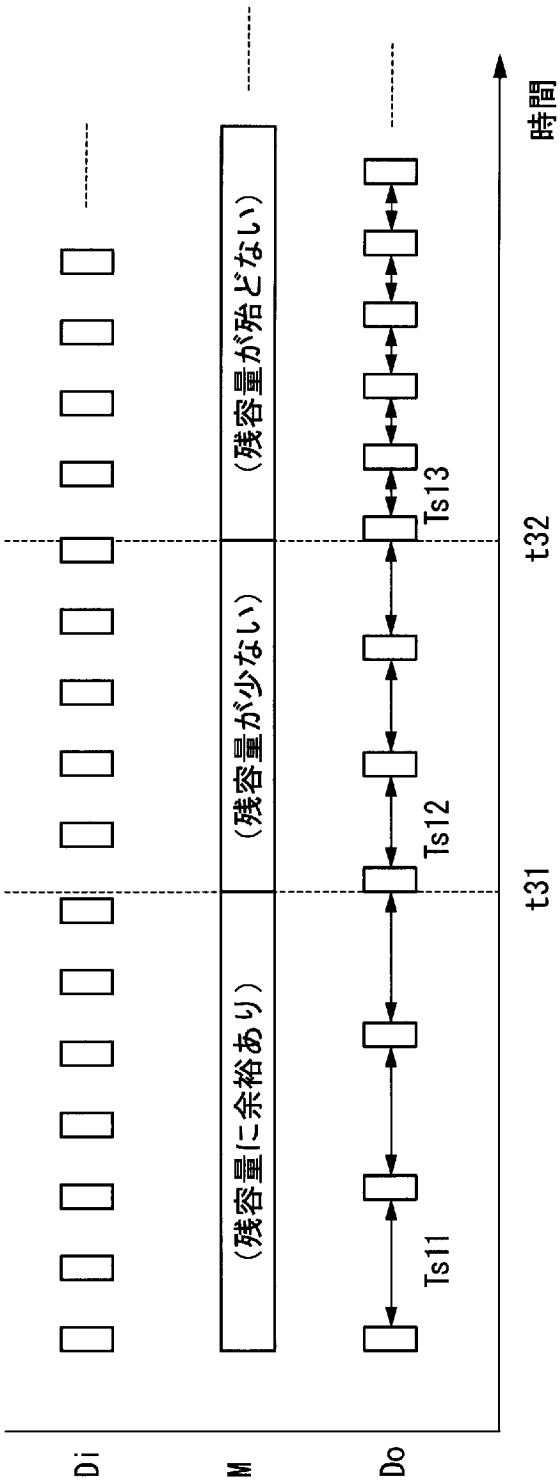
[図9]



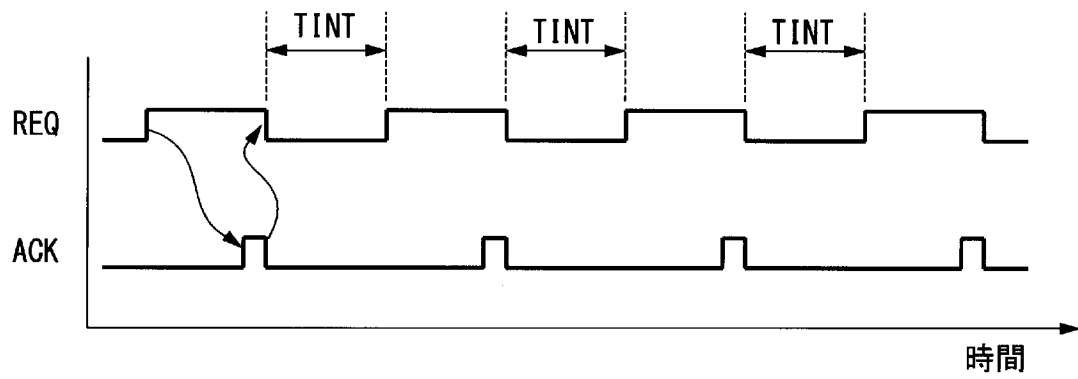
[図10]



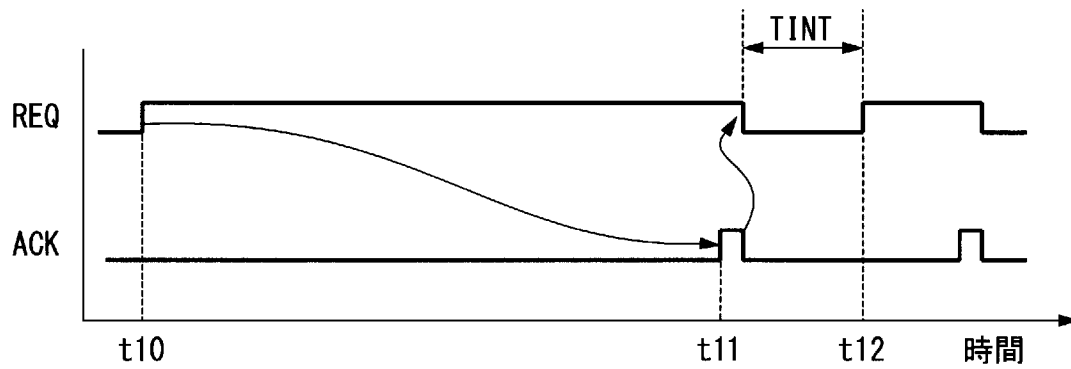
[図11]



[図12A]



[図12B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/066394

A. CLASSIFICATION OF SUBJECT MATTER

G06F13/36(2006.01)i, G06F13/362(2006.01)i, G06F13/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F13/36, G06F13/362, G06F13/38, H04N5/228

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-199880 A (Olympus Imaging Corp.), 09 September 2010 (09.09.2010), paragraphs [0013] to [0048]; fig. 1 to 6 & US 2010/0214441 A1 paragraphs [0025] to [0061]; fig. 1 to 6 & CN 101815170 A	1-3, 5 4
Y	JP 2002-135663 A (NEC Engineering, Ltd.), 10 May 2002 (10.05.2002), paragraphs [0019] to [0035]; fig. 1 to 4 (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 August 2016 (15.08.16)

Date of mailing of the international search report
23 August 2016 (23.08.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/066394

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-141687 A (Sony Corp.), 24 June 2010 (24.06.2010), paragraphs [0037] to [0049]; fig. 3 to 6 & US 2010/0149376 A1 paragraphs [0049] to [0061]; fig. 3 to 6 & CN 101753820 A	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F13/36(2006.01)i, G06F13/362(2006.01)i, G06F13/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F13/36, G06F13/362, G06F13/38, H04N5/228

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-199880 A（オリンパスイメージング株式会社）2010.09.09, 段落[0013]-[0048], 第1-6図	1-3, 5
Y	& US 2010/0214441 A1, 段落[0025]-[0061], 第1-6図 & CN 101815170 A	4
Y	JP 2002-135663 A（日本電気エンジニアリング株式会社） 2002.05.10, 段落 [0019] - [0035], 第1-4図（ファミリーなし）	4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 8 . 2 0 1 6

国際調査報告の発送日

2 3 . 0 8 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 啓介

5 B

3 4 5 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-141687 A (ソニー株式会社) 2010. 06. 24, 段落[0037]-[0049], 第 3-6 図 & US 2010/0149376 A1, 段落[0049]-[0061], 第 3-6 図 & CN 101753820 A	1-5