



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0096736
(43) 공개일자 2015년08월25일

- (51) 국제특허분류(Int. Cl.)
H03F 1/02 (2006.01) **H03F 3/30** (2006.01)
H03F 3/45 (2006.01)
- (52) CPC특허분류(Coo. Cl.)
H03F 1/0277 (2013.01)
H03F 3/3022 (2013.01)
- (21) 출원번호 10-2015-7019092
- (22) 출원일자(국제) 2013년12월19일
 심사청구일자 없음
- (85) 번역문제출일자 2015년07월15일
- (86) 국제출원번호 PCT/US2013/076748
- (87) 국제공개번호 WO 2014/100512
 국제공개일자 2014년06월26일
- (30) 우선권주장
 13/720,884 2012년12월19일 미국(US)
- (71) 출원인
퀄컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
다나세카란, 비자야쿠마르
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔드남

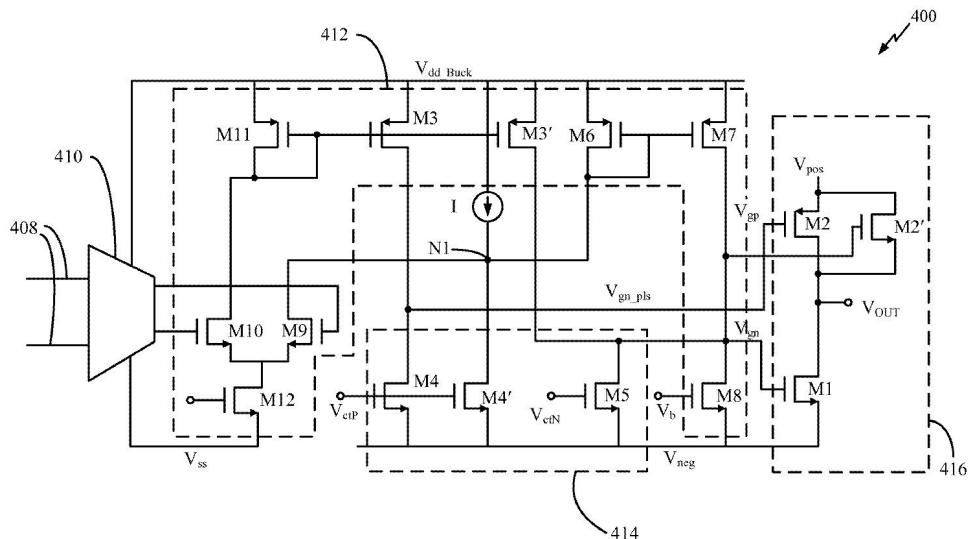
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 멀티-스테이지 증폭기

(57) 요 약

예시적인 실시예들은, 저-전압 공급 전압들로 멀티-스테이지 증폭기를 동작시키는 것에 관한 것이다. 멀티-스테이지 증폭기는, 제 1 공급 전압이 임계 전압보다 크면 출력 신호를 전달하도록 구성되는 증폭기 출력 스테이지의 제 1 경로를 포함할 수도 있다. 또한, 멀티-스테이지 증폭기는, 제 1 공급 전압이 임계 전압보다 작거나 그와 동일하면 출력 신호를 전달하도록 구성되는 증폭기 출력 스테이지의 제 2 경로를 포함할 수도 있다.

대 표 도



- (52) CPC특허분류(Coo. Cl.)
H03F 3/45183 (2013.01)
H03F 3/45475 (2013.01)
H03F 2200/408 (2013.01)
H03F 2200/513 (2013.01)
-

특허청구의 범위

청구항 1

장치로서,

제 1 공급 전압이 임계 전압보다 크면 출력 신호를 전달하도록 구성되는 증폭기 출력 스테이지의 제 1 경로; 및 상기 제 1 공급 전압이 상기 임계 전압과 동일하거나 그보다 작으면 상기 출력 신호를 전달하도록 구성되는 상기 증폭기 출력 스테이지의 제 2 경로를 포함하는, 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 경로는, 상기 제 1 공급 전압과 출력 사이에 커플링되는 제 1 트랜지스터, 및 제 2 공급 전압과 상기 출력 사이에 커플링되는 제 2 트랜지스터를 포함하고,

상기 제 2 경로는, 상기 제 2 트랜지스터, 및 상기 제 1 공급 전압과 상기 출력 사이에 커플링되는 제 3 트랜지스터를 포함하는, 장치.

청구항 3

제 2 항에 있어서,

상기 제 3 트랜지스터에 피드백 바이어스 전류 제어 경로를 제공하기 위한 적어도 하나의 트랜지스터; 및 상기 제 3 트랜지스터의 게이트에 구동 신호를 전달하기 위한 적어도 하나의 트랜지스터를 더 포함하는, 장치.

청구항 4

제 2 항에 있어서,

상기 제 3 트랜지스터는, 상기 제 1 트랜지스터의 제 1 단자에 커플링되는 제 1 단자, 및 상기 제 1 트랜지스터의 제 2 단자에 커플링되는 제 2 단자를 갖고, 상기 제 1 공급 전압이 상기 임계 전압보다 작거나 그와 동일하면 도통(conduct)하도록 구성되는, 장치.

청구항 5

제 2 항에 있어서,

상기 제 3 트랜지스터 및 상기 제 2 트랜지스터는, 상기 제 1 공급 전압이 실질적으로 0 volts이면 도통 상태에서 동작하도록 구성되는, 장치.

청구항 6

제 2 항에 있어서,

상기 제 1 트랜지스터는, 상기 제 1 공급 전압이 상기 임계 전압보다 작거나 그와 동일하면 비-도통 상태에 있도록 구성되는, 장치.

청구항 7

제 2 항에 있어서,

네거티브 공급 전압과 전류 소스 사이에 커플링되고, 상기 제 3 트랜지스터에 피드백 바이어스 전류 제어 경로를 제공하도록 구성되는 제 4 트랜지스터를 더 포함하는, 장치.

청구항 8

제 2 항에 있어서,

상기 제 3 트랜지스터의 게이트에 구동 신호를 전달하도록 구성되는 복수의 트랜지스터들을 더 포함하는, 장치.

청구항 9

제 2 항에 있어서,

상기 제 3 트랜지스터는, 상기 제 1 트랜지스터의 소스 및 상기 제 1 공급 전압에 커플링되는 드레인, 및 상기 제 1 트랜지스터의 드레인 및 상기 출력에 커플링되는 소스를 갖는, 장치.

청구항 10

제 2 항에 있어서,

상기 제 3 트랜지스터의 게이트는, 제 1 구동 트랜지스터의 드레인과 제 2 구동 트랜지스터의 드레인 사이에 커플링되는, 장치.

청구항 11

제 1 항에 있어서,

상기 증폭기는, 상기 제 1 경로 및 상기 제 2 경로 중 하나로부터 상기 출력 신호를 전달하는 것으로부터, 상기 출력 신호를 다른 경로에 전달하는 것으로의 트랜지션(transition)을 제어하기 위한 바이어싱 회로를 더 포함하는, 장치.

청구항 12

제 1 항에 있어서,

상기 증폭기는, 상기 출력 스테이지에서의 정지 전류(quiescent current)를 셋팅하기 위한 바이어싱 회로를 더 포함하는, 장치.

청구항 13

제 12 항에 있어서,

상기 바이어싱 회로는, 상기 제 1 트랜지스터를 통하는 전류를 복제(replicate)한 제 1 스케일링된(scaled) 전류, 상기 제 2 트랜지스터를 통하는 전류를 복제한 제 2 스케일링 전류, 및 상기 제 3 트랜지스터를 통하는 전류를 복제한 제 3 스케일링된 전류를 생성하도록 구성되는, 장치.

청구항 14

제 13 항에 있어서,

상기 바이어싱 회로는, 상기 제 1 스케일링된 전류에 기초하여 제 1 바이어스 전압을, 그리고 상기 제 2 스케일링된 전류 및 상기 제 3 스케일링된 전류에 기초하여 제 2 바이어스 전압을 생성하도록 구성되는, 장치.

청구항 15

방법으로서,

출력 스테이지의 포지티브 공급 전압이 임계 전압보다 크면 증폭기의 상기 출력 스테이지의 제 1 경로를 통하여 출력을 전달하는 단계; 및

상기 출력 스테이지의 상기 포지티브 공급 전압이 상기 임계 전압보다 작거나 그와 동일하면 상기 출력 스테이지의 제 2의 상이한 경로를 통하여 상기 출력을 전달하는 단계를 포함하는, 방법.

청구항 16

제 15 항에 있어서,

상기 제 2의 상이한 경로를 통하여 출력을 전달하는 단계는, 상기 포지티브 공급 전압이 실질적으로 0.4 volts 이거나 더 작으면 상기 제 2의 상이한 경로를 통하여 출력을 전달하는 단계를 포함하는, 방법.

청구항 17

제 15 항에 있어서,

상기 제 1 경로를 통하여 출력을 전달하는 단계는, 상기 출력 스테이지의 제 1 트랜지스터 및 제 2 트랜지스터를 이용하여 상기 출력을 생성하는 단계를 포함하며,

상기 제 2의 상이한 경로를 통하여 출력을 전달하는 단계는, 상기 출력 스테이지의 상기 제 2 트랜지스터 및 제 3 트랜지스터를 이용하여 상기 출력을 생성하는 단계를 포함하는, 방법.

청구항 18

장치로서,

출력 스테이지의 포지티브 공급 전압이 임계 전압보다 크면 증폭기의 상기 출력 스테이지의 제 1 경로를 통하여 출력을 전달하기 위한 수단; 및

상기 포지티브 공급 전압이 상기 임계 전압보다 작거나 그와 동일하면 상기 출력 스테이지의 제 2의 상이한 경로를 통하여 상기 출력을 전달하기 위한 수단을 포함하는, 장치.

청구항 19

제 18 항에 있어서,

상기 출력 스테이지에 피드백 바이어스 전류 제어 경로를 제공하기 위한 수단을 더 포함하는, 장치.

청구항 20

제 18 항에 있어서,

상기 출력 스테이지에 정지 전류를 셋팅하기 위한 수단을 더 포함하며, 상기 출력 스테이지에 정지 전류를 셋팅하기 위한 수단은 상기 제 2의 상이한 경로를 통하여 전류를 복제한 스케일링된 전류를 생성하기 위한 수단을 포함하는, 장치.

명세서**기술 분야**

[0001]

[0001] 본 발명은 일반적으로 전자 증폭기들에 관한 것이다. 더 상세하게는, 본 발명은 저 전압 멀티-스테이지 증폭기들에 관련된 실시예들을 포함한다.

배경 기술

[0002]

[0002] 무선 통신 시스템들은 보이스, 비디오, 데이터 등과 같은 다양한 타입들의 통신 컨텐츠를 제공하도록 광범위하게 배치된다. 이를 시스템들은, 하나 또는 그 초과의 기지국들을 이용하여 다수의 무선 디바이스들의 동시의 통신을 지원할 수 있는 다중-액세스 시스템들일 수도 있다.

[0003]

[0003] 무선 통신 디바이스들은 통상적으로 배터리들에 의해 전력공급된다. 무선 통신 디바이스들의 기능이 더 복잡해지는 것에 따른 결과로, 무선 통신 디바이스들이 배터리 수명을 최대화하게 하는 것에 대한 소망을 갖는다. 무선 통신 디바이스의 전력 소모를 감소시킴으로써, 배터리 수명은 증가될 수도 있다. 전력 소모를 감소시키기 위한 하나의 방법은, 무선통신 디바이스들 내에 더 효과적인 증폭기들을 사용하는 것이다. 예를 들어, 더 낮은 공급 전압들을 사용하는 증폭기들은, 더 높은 공급 전압들을 사용하는 증폭기들보다 더 효율적일 수도 있다. 더 낮은 공급 전압들을 사용하면서 필요한 이득들을 제공하는 증폭기에 의해 이득들이 실현될 수도 있다.

[0004]

[0004] 멀티-스테이지 증폭기의 전력 소모를 감소시키는 것에 대한 요구가 존재한다. 더 상세하게는, 멀티-스테이지 증폭기의 출력 스테이지의 공급 전압들을 감소시키기 위한 실시예들에 대한 요구가 존재한다.

도면의 간단한 설명

[0005]

[0005] 도 1은, 포지티브(positive) 공급 전압 및 네거티브(negative) 공급 전압을 수신하도록 구성되는 증폭기를 포함하는 디바이스이다.

[0006] 도 2는, 증폭기에 대한 포지티브 공급 전압 및 증폭기에 대한 네거티브 공급 전압의 파형들을 예시하는 플롯이다.

[0007] 도 3은 멀티-스테이지 증폭기를 예시하는 블록도이다.

[0008] 도 4는 멀티-스테이지 증폭기를 예시한다.

[0009] 도 5는 본 발명의 예시적인 실시예에 따른 저 전압 멀티-스테이지 증폭기를 예시한다.

[0010] 도 6은 본 발명의 예시적인 실시예에 따른 저 전압 멀티-스테이지 증폭기의 바이어싱 회로를 예시한다.

[0010] 도 7은, 낮은 공급 전압들에서 동작하도록 구성되는 출력 스테이지를 포함하는 멀티-스테이지 증폭기의 시뮬레이션 결과들을 예시하는 플롯이다.

[0012] 도 8은 본 발명의 예시적인 실시예에 따른 방법을 예시하는 흐름도이다.

[0013] 도 9는 본 발명의 예시적인 실시예에 따른 다른 방법을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0006]

[0014] 첨부된 도면들과 관련하여 아래에 기재되는 상세한 설명은, 본 발명의 예시적인 실시예들의 설명으로서 의도되며, 본 발명이 실시될 수 있는 실시예들만을 표현하도록 의도되지 않는다. 본 명세서 전반에 걸쳐 사용된 용어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하고, 다른 예시적인 실시예들에 비해 반드시 바람직하거나 유리한 것으로서 해석되지는 않아야 한다. 상세한 설명은 본 발명의 예시적인 실시예들의 철저한 이해를 제공하려는 목적을 위해 특정한 세부사항들을 포함한다. 본 발명의 예시적인 실시예들이 이를 특정한 세부사항들 없이 실시될 수도 있다는 것은 당업자들에게 명백할 것이다. 몇몇 예시들에서, 본 명세서에 제시된 예시적인 실시예들의 신규성을 불명료하게 하는 것을 회피하기 위해, 잘-알려진 구조들 및 디바이스들은 블록도 형태로 도시되어 있다.

[0007]

[0015] 본 명세서에 설명된 바와 같은 예시적인 실시예들은, 멀티-스테이지 증폭기의 공급 전압들을 최소화하고, 그에 따라 멀티-스테이지 증폭기의 전압 효율성을 향상시키기 위한 실시예들에 관한 것이다. 본 발명의 다양한 예시적인 실시예들에 따르면, 멀티-스테이지 증폭기는, 낮은 공급 전압들(예를 들어, $+/- 0.1 \text{ volt}$)에서의 동작을 위해 구성된 출력 스테이지를 포함할 수도 있다. 단지 예로서, 출력 스테이지는, 포지티브 공급 전압 및 출력에 커플링되는 제 1 트랜지스터, 및 네거티브 공급 전압 및 출력에 커플링되는 제 2 트랜지스터를 포함할 수도 있다. 또한, 출력 스테이지는, 제 1 트랜지스터의 제 1 단자에 커플링되는 제 1 단자, 및 제 1 트랜지스터의 제 2 단자에 커플링되는 제 2 단자를 가지며, 그리고 포지티브 공급 전압이 임계 전압 미만이면 활성화되도록 구성되는 제 3 트랜지스터를 포함할 수도 있다.

[0008]

[0016] 도 1은, 디지털-투-아날로그 변환기(digital-to-analog converter)(DAC)(104)로부터 아날로그 신호를 수신하도록 구성되는 전력 증폭기(PA)(102)를 포함하는 디바이스(100)의 블록도이다. 추가적으로, PA(102)는, 포지티브 공급 전압 V_{pos} 및 네거티브 공급 전압 V_{neg} 를 수신하고, 출력 전압 V_{out} 을 출력하도록 구성된다. 도 2는, 증폭기의 포지티브 공급 전압 V_{pos} , 네거티브 공급 전압 V_{neg} , 및 출력 전압 V_{out} 의 파형들을 예시한다. 당업자에 의해 이해될 바와 같이, 종래의 증폭기(예를 들어, 전력 증폭기)의 전력 출력 스테이지는, 대략적으로 0.9 volts 또는 그 초과의 포지티브 공급 전압(예를 들어, 포지티브 공급 전압 V_{pos}), 및 대략적으로 0.9 volts 또는 그 미만의 네거티브 공급 전압(예를 들어, 네거티브 공급 전압 V_{neg})을 요구할 수도 있다.

[0009]

[0017] 도 3은 멀티-스테이지 증폭기(106)를 예시하는 블록도이며, 멀티-스테이지 증폭기(106)는, 클래스-AB 증폭기, 클래스 G 증폭기, 클래스 H 증폭기, 레일 스위칭 증폭기, 무한 가변 공급 레일을 갖는 증폭기, 또는 이들의 임의의 결합을 포함할 수도 있다. 추가적으로, 멀티-스테이지 증폭기(106)는 op-amp, 전력 증폭기, 분배 증폭기, 또는 이들의 임의의 결합을 포함할 수도 있다. 도 1에 예시된 바와 같이, 전력 증폭기(102)는 멀티-스테이지 증폭기(106)를 포함할 수도 있다.

[0010]

[0018] 멀티-스테이지 증폭기(106)는 다수의 증폭 스테이지들을 포함한다. 더 상세하게는, 예를 들어, 멀티-스테이지 증폭기(106)는 제 1 스테이지 Gm1(110), 제 2 스테이지 Gm2(112), 댐핑(damping) 스테이지 GmD(114) 및

출력 스테이지 Gm3(116)을 포함한다. 다수의 증폭 스테이지들은, 멀티-스테이지 증폭기(106)가 최소의 왜곡 (distortion) 및 최소의 전력 소모로 입력 신호(108)을 증폭하고 증폭된 출력 신호(120)를 생성하게 할 수도 있다.

[0011] [0019] 클래스-B 증폭기들은, 입력 신호(108)의 파동 사이클의 절반만을 증폭시킬 수도 있다. 증가된 왜곡의 대가로, 클래스-B 증폭기들은 높은 효율성을 가져 (즉, 클래스-B 증폭기의 증폭 엘리먼트가 대부분의 시간(half the time) 동안 스위치 오프(switch off)되기 때문에) 감소된 전력 소모를 초래한다. 상보성 쌍들을 사용함으로써, 다수의 클래스-B 증폭기들은 입력 신호의 양쪽 절반들을 증폭시키는데 사용될 수도 있으며, 그에 의해 왜곡을 감소시킨다. 그러나, 클래스-B 증폭기들의 상보성 쌍들은, 클래스-B 증폭기들 중 하나가 턴 오프(turn off)되고 다른 클래스-B 증폭기가 턴 온(turn on)되는 경우 증가된 왜곡을 겪는 교차 왜곡(crossover distortion)으로부터 어려움을 겪을 수도 있다.

[0012] [0020] 교차 왜곡을 제거하기 위한 하나의 방법은, 클래스-AB 증폭기의 사용이다. 클래스-AB 증폭기들에서, 각각의 디바이스는, 신호의 절반을 증폭하고 다른 절반 동안 (즉, 차단하기 보다는) 상대적으로 적은 양을 도통 (conduct)시킬 수도 있다. 왜곡의 양은 어떠한 신호도 존재하지 않을 때 디바이스들 둘 모두를 통하는 대기 전류(standing current)(즉, 정지 전류(quiet current))에 의존한다. 정지 전류는 바이어스 전압에 직접적으로 의존한다. 클래스-AB 증폭기는 클래스-B 증폭기보다 낮은 효율성을 갖지만, 증가된 선형성을 갖는다.

[0013] [0021] 클래스-G 및 클래스-H 증폭기들은, 왜곡을 증가시키지 않으면서 증가된 효율성을 획득함으로써 클래스-AB 출력 스테이지들을 향상시킨다. 클래스-G 증폭기들에서, 효율성을 증가시키기 위해 레일 스위칭이 사용되며, 출력 신호(120)에서의 스윙(swing)들을 수용하기 위해 상이한 공급 전압들이 사용될 수도 있다. 통상적으로, 레일 스위칭은, 출력 스테이지 Gm3(116)가 가장 큰 전류 스윙을 겪으며, 그에 따라, 효율성에서의 가장 큰 증가들을 획득할 수 있기 때문에, 출력 스테이지 Gm3(116)에서 사용된다. 클래스-G 증폭기들에 대해, 다수의 이산 공급 전압들이 사용될 수도 있다. 클래스-H 증폭기들에 대해, 공급 전압을 출력 신호(120)에 매칭함으로써 무한 가변 공급 전압들이 사용될 수도 있다. 공급 전압을 출력 신호(120)에 매칭하는 것은, 종종 인벨롭 트랙킹(envelope tracking)으로 지칭될 수도 있다.

[0014] [0022] 멀티-스테이지 증폭기(106)는 바이어싱 회로(118)를 추가적으로 포함할 수도 있으며, 바이어싱 회로는, 출력 스테이지 Gm3(116)의 정지 전류를 셋팅할 수도 있으며, 그에 의해, 출력 스테이지 Gm3(116)의 적절한 동작에 요구되는 최소 헤드룸(headroom)을 공급한다. 더 완전히 후술될 바와 같이, 바이어싱 회로(118)는, 댐핑 스테이지 GmD(114)를 통하여 제어 전압들을 출력 스테이지 Gm3(116)에 제공할 수도 있다.

[0015] [0023] 도 4는 본 발명의 예시적인 실시예에 따른 멀티-스테이지 증폭기(200)를 예시하는 블록도이다. 단지 예를 들면, 멀티-스테이지 증폭기(200)는 도 3의 멀티-스테이지 증폭기(106)를 포함할 수도 있다. 멀티-스테이지 증폭기(200)는, 바이어싱 회로(218), 제 1 스테이지 Gm1(210), 제 2 스테이지 Gm2(212), 댐핑 스테이지 GmD(214) 및 출력 스테이지 Gm3(216)을 포함할 수도 있다. 제 1 스테이지 Gm1(210)은, 입력 신호 V_i 를 수신하고 전압 V_{01} 을 출력할 수도 있으며, 전압 V_{01} 은 제 2 스테이지 Gm2(212)의 입력에 제공될 수도 있다. 제 2 스테이지 Gm2(212)는 전압 V_{02} 를 출력할 수도 있으며, 전압 V_{02} 는 출력 스테이지 Gm3(216)의 입력에 제공될 수도 있다. 출력 스테이지 Gm3(216)은 출력 신호 V_o 를 출력할 수도 있다. 출력 스테이지 Gm3(216)의 출력은, 커패시터 C7을 통하여, 네거티브 공급 전압을 포함할 수도 있는 기준 전압에 커플링될 수도 있다.

[0016] [0024] 제 1 스테이지 Gm1(210)의 출력은 커패시터 C1에 또한 커플링될 수도 있으며, 커패시터 C1은 저항기 R1 및 커패시터 C2 둘 모두에 병렬로 커플링될 수도 있다. 추가적으로, 저항기 R1 및 커패시터 C2는 출력 스테이지 Gm3(216)의 출력에 커플링될 수도 있다. 제 2 스테이지 Gm2(212)의 출력은, (커패시터 C6을 통하여) 출력 스테이지 Gm3(216)의 출력, 및 댐핑 스테이지 GmD(214)의 출력 각각에 추가적으로 커플링될 수도 있다. 제 2 스테이지 Gm2(212)의 출력은, 커패시터 C5를 통하여 댐핑 스테이지 GmD(214)의 입력에 또한 커플링될 수도 있다.

[0017] [0025] 바이어싱 회로(218)의 출력은, 저항기 R2를 통하여 댐핑 스테이지 GmD(214)의 입력에 커플링될 수도 있고, 제어 전압들 V_B 를 출력할 수도 있다. 바이어싱 회로(218)에 대한 부가적인 피드백(도 4에 도시되지 않음)이, 저항기 R2 및 댐핑 스테이지 GmD(214)를 통하여 제어 전압들 V_B 의 생성을 용이하게 하기 위해 사용될 수도 있으며, 출력 스테이지 Gm3(216)의 동작에 요구되는 적절한 정지 전류를 생성할 수도 있다.

[0018] [0026] 댐핑 스테이지 GmD(214)의 출력으로부터 댐핑 스테이지 GmD(214)의 입력을 향한 임피던스는, 커패시터

C3에 의해 근사화될 수도 있으며, 커패시터 C3은, 네거티브 공급 전압에 추가적으로 커플링되는 저항기 R3에 커플링된다. 램프 스테이지 GmD(214)의 출력으로부터 멀티-스테이지 증폭기(200)의 출력을 향한 임피던스는, 커패시터 C4에 의해 근사화될 수도 있으며, 커패시터 C4는, 네거티브 공급 전압에 추가적으로 커플링되는 저항기 R4에 커플링된다. 램프 스테이지 GmD(214), 저항기 R2 및 커패시터 C5에 의해 형성되는 램프 회로는,

$$R3 \approx \frac{1}{GmD}$$

의 램프 저항 및 $C3 \approx GmD * R2 * C5$ 의 등가 차단 커패시턴스를 에뮬레이팅(emulate)한다.

[0019] [0027] 도 5는 본 발명의 예시적인 실시예에 따른 멀티-스테이지 증폭기(400)를 예시하는 회로도이다. 멀티-스테이지 증폭기(400)는 도 3에 예시된 멀티-스테이지 증폭기(106)를 포함할 수도 있다. 멀티-스테이지 증폭기(400)는, 제 1 스테이지(410), 제 2 스테이지(412), 램프 스테이지(414), 및 출력 스테이지(416)를 포함한다. 멀티-스테이지 증폭기(400)는 바이어싱 회로(500)(도 5에 도시되지 않음; 도 6 참조)를 또한 포함할 수도 있다. 제어 전압 V_{ctP} 및 제어 전압 V_{ctN} 은 바이어싱 회로(500)(도 6 참조)로부터 제공될 수도 있다.

[0020] [0028] 포지티브 공급 전압 V_{dd_Buck} 및 네거티브 공급 전압 V_{ss} 에 커플링되는 제 1 스테이지(410)는, 입력 신호(408)를 수신할 수도 있다. 일 예시적인 실시예에 따르면, 포지티브 공급 전압 V_{dd_Buck} 및 공급 전압 V_{ss} (예를 들어, 접지 전압 또는 네거티브 공급 전압)는 아날로그 공급(즉, 출력 신호 V_{out} 에 따라 변하지 않음)을 포함할 수도 있다. 제 1 스테이지(410)의 출력은, p-채널 트랜지스터 M11 및 n-채널 트랜지스터 M10을 포함하는 전류 미러(current mirror)에 커플링될 수도 있다. p-채널 트랜지스터 M11의 소스는 포지티브 공급 전압 V_{dd_Buck} 에 커플링될 수도 있고, p-채널 트랜지스터 M11의 게이트는 p-채널 트랜지스터 M11의 드레인에 커플링될 수도 있다. 또한, p-채널 트랜지스터 M11의 드레인은 n-채널 트랜지스터 M10의 드레인에 커플링될 수도 있다. 추가적으로, n-채널 트랜지스터 M10의 소스는 n-채널 트랜지스터 M12의 드레인에 커플링될 수도 있고, n-채널 트랜지스터 M10의 게이트는 제 1 스테이지(410)의 출력에 커플링될 수도 있다. n-채널 트랜지스터 M12의 게이트는 바이어스 전압을 수신하도록 구성되고, n-채널 트랜지스터 M12의 소스는 네거티브 공급 전압 V_{ss} 에 커플링된다. 또한, 증폭기(400)는, 제 1 스테이지(410)의 출력에 커플링되는 게이트, 노드 N1에 커플링되는 드레인, 및 n-채널 트랜지스터 M10의 소스와 n-채널 트랜지스터 M12의 드레인에 커플링되는 소스를 갖는 n-채널 트랜지스터 M9를 포함한다.

[0021] [0029] 제 2 스테이지(412)는 p-채널 트랜지스터 M3 및 p-채널 트랜지스터 M3'를 포함할 수도 있다. p-채널 트랜지스터 M3의 소스 및 p-채널 트랜지스터 M3'의 소스는 각각 포지티브 공급 전압 V_{dd_Buck} 에 커플링될 수도 있다. 또한, p-채널 트랜지스터 M3의 게이트 및 p-채널 트랜지스터 M3'의 게이트는 각각 p-채널 트랜지스터 M11의 게이트에 커플링될 수도 있다.

[0030] [0030] 램프 스테이지(414)는 출력 스테이지(416)에 대한 램프 스테이지 및 전류 소스일 수도 있다. 따라서, 램프 스테이지(414)는 공급 스테이지로 또한 지칭될 수도 있다. 멀티-스테이지 증폭기(400)에 대해 필요한 램프를 제공할 수도 있는 램프 스테이지(414)는, 제 2 스테이지(412)에 대한 전류 소스로서 또한 재사용될 수도 있다. 램프 스테이지(414)는, n-채널 트랜지스터 M4, n-채널 트랜지스터 M4', 및 n-채널 트랜지스터 M5를 포함할 수도 있다. 또한, 램프 스테이지(414)는, n-채널 트랜지스터 M4, n-채널 트랜지스터 M4', 및 n-채널 트랜지스터 M5 중 하나 또는 그 초과에 커플링되는 다양한 커패시터들 및/또는 저항기들을 포함할 수도 있음을 유의한다. n-채널 트랜지스터 M4의 게이트 및 n-채널 트랜지스터 M4'의 게이트는 제어 전압 V_{ctP} 에 커플링될 수도 있고, n-채널 트랜지스터 M5의 게이트는 제어 전압 V_{ctN} 에 커플링될 수도 있다. 바이어싱 회로(500)(도 6 참조)에 의해 제공될 수도 있는 제어 전압 V_{ctP} 및 제어 전압 V_{ctN} 은, 출력 스테이지(416)의 적절한 동작을 위해 요구되는 정지 전류를 셋팅할 수도 있다.

[0023] [0031] n-채널 트랜지스터 M4의 드레인은 p-채널 트랜지스터 M3의 드레인에 커플링될 수도 있고, n-채널 트랜지스터 M4의 소스는 가변 네거티브 공급 전압 V_{neg} 에 커플링될 수도 있다. n-채널 트랜지스터 M4'의 드레인은 전류 소스 I에 커플링될 수도 있고, 이는 포지티브 공급 전압 V_{dd_Buck} 에 추가적으로 커플링된다. n-채널 트랜지스터 M4'의 소스는 가변 네거티브 공급 전압 V_{neg} 에 커플링될 수도 있다. 추가적으로, n-채널 트랜지스터 M5의 드레인은 p-채널 트랜지스터 M3'의 드레인에 커플링될 수도 있고, n-채널 트랜지스터 M5의 소스는 가변 네거티브 공급 전압 V_{neg} 에 커플링될 수도 있다.

[0024] [0032] 출력 스테이지(416)는 p-채널 트랜지스터 M2 및 n-채널 트랜지스터 M1을 포함할 수도 있다. p-채널 트랜지스터 M2의 소스는 가변 포지티브 공급 전압 V_{pos} 에 커플링될 수도 있고, p-채널 트랜지스터 M2의 드레인은 n-채널 트랜지스터 M1의 드레인에 커플링될 수도 있다. p-채널 트랜지스터 M2의 드레인은 출력 신호 V_{out} 에 또한 커플링될 수도 있고, p-채널 트랜지스터 M2의 게이트는 텁抨 스테이지(414)의 n-채널 트랜지스터 M4의 드레인에 커플링될 수도 있다. p-채널 트랜지스터 M2의 게이트에서의 전압 V_{gp} 는, 바이어싱 회로(500)(도 6 참조)에 제공될 수도 있다. n-채널 트랜지스터 M1의 소스는 가변 네거티브 공급 전압 V_{neg} 에 커플링될 수도 있고, n-채널 트랜지스터 M1의 게이트는, 텁抨 스테이지(414)의 n-채널 트랜지스터 M5의 드레인 및 p-채널 트랜지스터 M3'의 드레인에 커플링될 수도 있다. n-채널 트랜지스터 M1의 게이트에서의 전압 V_{gn} 은 바이어싱 회로(500)(도 6 참조)에 제공될 수도 있다.

[0025] [0033] 추가적으로, 출력 스테이지(416)는, 가변 포지티브 공급 전압 V_{pos} 에 커플링되는 드레인, 및 출력 신호 V_{out} 및 n-채널 트랜지스터 M1의 드레인 각각에 커플링되는 소스를 갖는 n-채널 트랜지스터 M2'를 포함한다. 따라서, 출력 스테이지(416)는, p-채널 트랜지스터 M2 및 n-채널 트랜지스터 M1을 포함하는 출력 경로, 및 n-채널 트랜지스터 M2' 및 n-채널 트랜지스터 M1을 포함하는 다른 출력 경로를 포함하며, 여기서, n-채널 트랜지스터 M2'는 p-채널 트랜지스터 M2와 병렬이다.

[0026] [0034] n-채널 트랜지스터 M2'의 게이트는, p-채널 트랜지스터 M7의 드레인 및 n-채널 트랜지스터 M8의 드레인 각각에 커플링된다. 또한, n-채널 트랜지스터 M8의 소스는 가변 네거티브 공급 전압 V_{neg} 에 커플링되고, n-채널 트랜지스터 M8의 게이트는 제어 전압 V_b 를 수신하도록 구성된다. 부가적으로, p-채널 트랜지스터 M7의 소스는 포지티브 공급 전압 V_{dd_Buck} 에 커플링되고, p-채널 트랜지스터 M7의 게이트는 p-채널 트랜지스터 M6의 게이트에 커플링되며, p-채널 트랜지스터 M6은 포지티브 공급 전압 V_{dd_Buck} 에 커플링되는 소스를 갖는다. p-채널 트랜지스터 M6은, 노드 N1 및 p-채널 트랜지스터 M6의 게이트에 커플링되는 드레인을 더 포함한다. 트랜지스터들 M6, M7, M8, 및 M9는, n-채널 트랜지스터 M2' 및 n-채널 트랜지스터 M1을 포함하는 출력 경로를 구동하도록 구성됨을 유의한다. n-채널 트랜지스터 M4'는 n-채널 트랜지스터 M2'에 피드백 바이어스 전류 제어 경로를 제공하고, 출력 스테이지(416)에 대한 정지 전류를 셋팅하도록 구성됨을 추가적으로 유의한다.

[0027] [0035] 당업자에 의해 인식될 바와 같이, 전압 효율성을 달성하기 위해, 출력 스테이지(416)는 최소 공급 전압들을 이용하여 동작되어야 한다. 추가적으로, 높은 피크 대 평균 비(peak to average ration)로 인해, 낮은 범위 및 중간 범위 전압들에서의 효율성이 매우 중요하며, 따라서, 매우 낮은 전압 동작이 요구된다. 당업자에 의해 인식될 바와 같이, 멀티-스테이지 증폭기(400)의 p-채널 트랜지스터 M2 및 n-채널 트랜지스터 M1의 적절한 동작을 위해 요구되는 최소 헤드룸은, $V_{pos} - V_{neg} > V_{gsM2} + V_{dsatM4}$ 이며, 여기서, V_{gsM2} 는 p-채널 트랜지스터 M2의 게이트로부터 소스로의 전압이고, V_{dsatM4} 는, 포화 동작을 총족시키고, 그에 따라 n-채널 트랜지스터 M4가 트라이오드(triode) 영역에서 동작하는 것을 방지하기 위해 요구되는 n-채널 트랜지스터 M4의 드레인으로부터 소스로의 최소 전압이다.

[0028] [0036] 본 발명의 예시적인 실시예에 따르면, 증폭기(500)의 공급 전압이 임계 전압을 초과하여 감소되면(즉, p-채널 트랜지스터 M2가 토통하는 값들을 초과하여 감소됨), n-채널 트랜지스터 M2'가 증폭기(500)의 계속되는 동작 동안 활성화될 수도 있다. 예를 들어, $V_{pos} - V_{neg} < V_{gsM2} + V_{dsatM4}$ 이면, p-채널 트랜지스터 M2는 턴 오프될 수도 있고, n-채널 트랜지스터 M2'는 턴 온될 수도 있으며, 그에 따라, 출력 스테이지 Gm3(416)은 최소 공급 전압들을 이용하여 계속 동작할 수도 있다. 일 예로서, n-채널 트랜지스터 M2' 및 n-채널 트랜지스터 M1은, 가변 포지티브 공급 전압 V_{pos} 및 가변 네거티브 공급 전압 V_{neg} 각각의 절대 값이 0.40 volts 미만인 경우, 각각 도통할 수도 있다. 다른 더 상세한 예로서, n-채널 트랜지스터 M2' 및 n-채널 트랜지스터 M1은, 가변 포지티브 공급 전압 V_{pos} 가 실질적으로 0.1 volt와 동일하거나 그 초과이고, 가변 네거티브 공급 전압 V_{neg} 가 실질적으로 -0.1 volt와 동일하거나 그보다 적은 경우, 각각 도통할 수도 있다. n-채널 트랜지스터 M2' 및 n-채널 트랜지스터 M1 각각은, 가변 포지티브 공급 전압 V_{pos} 및 가변 네거티브 공급 전압 V_{neg} 가 실질적으로 0과 동일하다 하더라도 도통할 수도 있음을 유의한다. 따라서, 가변 포지티브 공급 전압 V_{pos} 및 가변

네거티브 공급 전압 V_{neg} 에 대한 어떠한 최소 값들도 바이어싱을 위해 요구되지 않는다. 당업자에 의해 인식될 바와 같이, 증폭기(500)에서의 전력 공급 레일들을 감소시킴으로써, 증폭기(500)의 전력 소모가 감소될 수도 있다.

[0029] [0037] 도 2 및 5를 참조하면, 증폭기(400)의 전력 출력 스테이지는, 포지티브 공급 전압(예를 들어, 포지티브 공급 전압 V_{pos})이 대략적으로 0.1 volt 또는 그 초과가 되고, 네거티브 공급 전압(예를 들어, 네거티브 공급 전압 V_{neg})이 대략적으로 0.1 volt 또는 그 미만이 될 것을 요구할 수도 있다. 그러나, 상술된 바와 같이, n-채널 트랜지스터 M2' 및 n-채널 트랜지스터 M1을 포함하는 출력 스테이지 내의 경로는, 가변 포지티브 공급 전압 V_{pos} 및 가변 네거티브 공급 전압 V_{neg} 가 실질적으로 0과 동일하다 하더라도 도통할 수도 있다.

[0030] [0038] 당업자에 의해 인식될 바와 같이, 증폭기(400)는 출력 스테이지(416)에서 최소 공급 전압을 요구하지 않으며, 따라서, $+/-.45$ volt 공급 전압들을 요구할 수도 있는 종래의 증폭기들과 비교하여, 증폭기(400)는 출력 스테이지(416)에서의 실질적인 전력 감소(예를 들어, 4.5X)를 허용할 수도 있다.

[0031] [0039] 당업자에 의해 인식될 바와 같이, 멀티-스테이지 증폭기를 바이어싱하도록 구성된 회로는, 멀티-스테이지 증폭기의 출력 스테이지에 정지 전류를 유지하도록 구성될 수도 있다. 도 6은 본 발명의 예시적인 실시예에 따른 바이어싱 회로(500)를 예시한다. 바이어싱 회로(500)는, n-채널 트랜지스터 M5(도 5 참조)의 게이트에 전달되는 제어 전압 V_{ctN} , 및 n-채널 트랜지스터들 M4의 게이트 및 n-채널 트랜지스터 M4'의 게이트에 전달되는 제어 전압 V_{ctP} 를 생성하도록 구성된다. 바이어싱 회로(500)는, 출력 스테이지(416)의 정지 전류를 셋팅하고, 출력 스테이지(416)에서의 p-채널 트랜지스터 M2와 n-채널 트랜지스터 M2' 사이의 트랜지션을 셋팅하기 위해 이용될 수도 있음을 유의한다. 바이어싱 회로(518)는 복제(replica) 전류 스테이지(520), 최소치 선택기(522), 및 에러 증폭기(524)를 포함한다.

[0032] [0040] 복제 전류 스테이지(520)는, p-채널 트랜지스터 M15, p-채널 트랜지스터 M16, p-채널 트랜지스터 M2/N, n-채널 트랜지스터 M17, 및 n-채널 트랜지스터 M1/K를 포함할 수도 있다. p-채널 트랜지스터 M2/N의 사이즈는, 정수 N으로 나누어진 p-채널 트랜지스터 M2(도 5 참조)의 사이즈와 실질적으로 동일할 수도 있다. n-채널 트랜지스터 M1/K의 사이즈는, 정수 K로 나누어진 n-채널 트랜지스터 M1(도 5 참조)의 사이즈와 실질적으로 동일할 수도 있다.

[0041] [0041] p-채널 트랜지스터 M15의 소스 및 p-채널 트랜지스터 M16의 소스는, 포지티브 레일 전압 V_{dd_rx} 에 각각 커플링될 수도 있다. 또한, p-채널 트랜지스터 M15의 게이트는, 제 2 p-채널 트랜지스터 M16의 게이트, p-채널 트랜지스터 M15의 드레인, 및 n-채널 트랜지스터 M17의 드레인 각각에 커플링될 수도 있다. n-채널 트랜지스터 M17의 게이트는, n-채널 트랜지스터 M1/K의 드레인 전압을 셋팅하는데 사용되는 임의 전압일 수도 전압 V_b 에 커플링될 수도 있다. 전압 V_b 는, n-채널 트랜지스터 M1/K의 드레인 전압이 영 신호(zero signal) 조건에서의 출력 전압(예를 들어, 0.0 V)에 실질적으로 근접하도록 셋팅될 수도 있음을 유의한다. n-채널 트랜지스터 M17의 소스는 n-채널 트랜지스터 M1/K의 드레인에 커플링될 수도 있고, n-채널 트랜지스터 M1/K의 게이트는 전압 V_{gn} 에 커플링될 수도 있으며, 이는 도 5의 전압 V_{gn} 을 포함할 수도 있다. n-채널 트랜지스터 M1/K의 소스는 가변 네거티브 공급 레일 V_{neg} 에 커플링될 수도 있다.

[0042] [0042] p-채널 트랜지스터 M16의 드레인은, 저항기 R5를 통하여 가변 네거티브 공급 전압 V_{neg} 에 커플링될 수도 있다. p-채널 트랜지스터 M16의 드레인에서의 전압은, 노드 N2에서의 바이어스 전압 V_{B1} 을 포함할 수도 있다. 당업자에 의해 인식될 바와 같이, 트랜지스터 M1(도 5 참조)을 통해 전달되는 전류의 스케일링된 버전의 전류는, 저항기 R5를 통해 전달되어 노드 N2에서의 바이어스 전압 V_{B1} 을 생성한다.

[0043] [0043] p-채널 트랜지스터 M2/N의 소스는 가변 포지티브 공급 레일 V_{pos} 에 커플링될 수도 있고, p-채널 트랜지스터 M2/N의 게이트는 전압 V_{gp} 에 커플링될 수도 있으며, 전압 V_{gp} 는 도 5의 전압 V_{gp} 를 포함할 수도 있다. p-채널 트랜지스터 M2/N의 드레인은 저항기 R6을 통하여 가변 네거티브 공급 레일 V_{neg} 에 커플링될 수도 있다. p-채널 트랜지스터 M2/N의 드레인에서의 전압은, 노드 N3에서의 바이어스 전압 V_{B2} 를 포함할 수도 있다. 당업자에 의해 인식될 바와 같이, 트랜지스터 M2(도 5 참조)를 통해 전달되는 전류의 스케일링된 버전의 전류는, 저항기 R6을

통해 전달되어 노드 N3에서의 바이어스 전압 V_{B2} 를 생성한다.

[0036] [0044] 부가적으로, 본 발명의 예시적인 실시예에 따르면, 바이어싱 회로(500)는 n-채널 트랜지스터 M2'/N, p-채널 트랜지스터 M18 및 p-채널 트랜지스터 M19를 포함한다. p-채널 트랜지스터 M18의 드레인은 노드 N4에 커플링되고, p-채널 트랜지스터 M18의 소스는 포지티브 레일 전압 V_{dd_rx} 에 커플링된다. 추가적으로, p-채널 트랜지스터 M19의 소스는 포지티브 레일 전압 V_{dd_rx} 에 커플링되고, p-채널 트랜지스터 M19의 드레인은, p-채널 트랜지스터 M19의 게이트 및 n-채널 트랜지스터 M2'/N의 드레인 각각에 커플링된다. 부가적으로, n-채널 트랜지스터 M2'/N의 게이트는 전압 V_{gn_pls} 에 커플링되고, n-채널 트랜지스터 M2'/N의 드레인은 출력 전압 V_{OUT} 에 커플링된다. p-채널 트랜지스터 M2'/N의 사이즈는, 정수 N으로 나누어진 p-채널 트랜지스터 M2'(도 5 참조)의 사이즈와 실질적으로 동일할 수도 있다.

[0037] [0045] p-채널 트랜지스터 M18의 드레인에서의 전압은 노드 N4에서의 바이어스 전압 V_{B3} 을 포함할 수도 있다. 당업자에 의해 인식될 바와 같이, 트랜지스터 M2'(도 5 참조)를 통해 전달되는 전류의 스케일링된 버전인 복제 전류는, 저항 R6을 통해 전달되어 노드 N4에서의 바이어스 전압 V_{B3} 을 생성할 수도 있다. 도 4의 트랜지스터들 M2 및 M2' 둘 모두가 도통 중이면, p-채널 트랜지스터 M2'/N을 통하여 생성된 복제 전류는 p-채널 트랜지스터 M2/N을 통하여 생성된 복제 전류에 부가되어 노드들 N3 및 N4에서 존재하는 바이어스 전압을 생성할 수도 있음을 유의한다.

[0038] [0046] n-채널 트랜지스터 M2'/N을 통한 병렬 전류 경로는, 포지티브 측 정지 전류(즉, n-채널 트랜지스터 M2' 및 p-채널 트랜지스터 M2 중 하나 또는 그 초과를 통하는 전류)가 유지됨을 보장할 수도 있다. 추가적으로, 비교적 큰 네거티브 전압 스윙들(예를 들어, V_{neg} 의 절대 값이 0.5 V보다 큼)에서, 포지티브 측 정지 전류는 p-채널 트랜지스터 M2에 의해 설정된다. 중간 사이즈의 네거티브 전압 스윙들(즉, V_{neg} 의 절대 값이 0.4 - 0.5 V 사이임)에서, 포지티브 측 정지 전류는 p-채널 트랜지스터 M2 및 n-채널 트랜지스터 M2' 둘 모두에 의해 설정된다. 비교적 낮은 네거티브 전압 스윙들(예를 들어, V_{neg} 의 절대 값이 0.4 V 미만임)에서, 포지티브 측 정지 전류는 n-채널 트랜지스터 M2'에 의해 설정된다.

[0039] [0047] 생성된 바이어스 전압들 둘 모두(즉, 바이어스 전압 V_{B1} 및 바이어스 전압 V_{B2} , 바이어스 전압 V_{B1} 및 바이어스 전압 V_{B3} , 또는 바이어스 전압들 V_{B2} 와 V_{B3} 의 결합 및 바이어스 전압 V_{B1})는, 최소치 선택기(522)에 제공될 수도 있다. 최소치 선택기(522)는, 2개의 바이어스 전압들이 비교적 근접하면(즉, 최소치 선택기(522)에서 사용된 트랜지스터들의 포화 전압(최소치 선택기 트랜지스터 포화 전압으로 지정됨) 미만임), 2개의 수신된 바이어스 전압들의 평균일 수도 있는 결정된 전압 V_{det} 를 출력할 수도 있다. 하나의 바이어스 전압이 다른 바이어스 전압보다 훨씬 크면(예를 들어, 클래스-AB 증폭기가 대전류로 구동하는 경우), 최소치 선택기(522)는 더 작은 바이어스 전압을 결정된 전압 V_{det} 로서 출력할 수도 있다.

[0040] [0048] 결정된 전압 V_{det} 는 에러 증폭기(460)에 제공될 수도 있으며, 에러 증폭기는, 네거티브 피드백에 기초하여 제어 전압 V_{ctP} 및 제어 전압 V_{ctN} 을 설정하기 위해, 선택된 바이어스 전압(즉, 결정된 전압 V_{det})과 기준 전압 V_{ref} 를 비교할 수도 있다. 따라서, 에러 증폭기(460)는 제어 전압 V_{ctP} 및 제어 전압 V_{ctN} 을 출력할 수도 있다.

[0041] [0049] 도 7은, 0.1 volt의 헤드룸을 이용하는 증폭기(400)의 시뮬레이션 결과들을 예시하는 플롯(600)이다. 과형(602)은 가변 포지티브 공급 레일(예를 들어, 도 5의 가변 포지티브 공급 레일 V_{pos})을 표시하고, 과형(604)은 가변 네거티브 공급 레일(예를 들어, 도 5의 가변 네거티브 공급 레일 V_{neg})을 표시하며, 과형(606)은 출력 전압(예를 들어, 도 5의 출력 전압 V_{OUT})을 표시한다. 플롯(600)에 예시된 바와 같이, 과형(602)은 포지티브 전압들에 대해 과형(606)을 충분히 트랙킹하고, 과형(604)은 네거티브 전압들에 대해 과형(606)을 충분히 트랙킹한다.

[0042] [0050] 도 8은 하나 또는 그 초과의 예시적인 실시예들에 따른 방법(700)을 예시하는 흐름도이다. 방법(700)은, 출력 스테이지의 포지티브 공급 전압이 임계 전압과 동일하거나 그보다 크면, 출력 스테이지의 제 1 및 제 2 트랜지스터를 이용하여 출력을 생성하는 단계(도면부호 702에 의해 표시됨)를 포함할 수도 있다. 또한, 방법(900)은, 포지티브 공급 전압이 임계 전압보다 작으면, 출력 스테이지의 제 2 및 제 3 트랜지스터를 이

용하여 출력을 생성하는 단계(도면부호 704에 의해 표시됨)를 포함할 수도 있다.

[0043] [0051] 도 9는 하나 또는 그 초과의 예시적인 실시예들에 따른 다른 방법(750)을 예시하는 흐름도이다. 방법(750)은, 출력 스테이지의 포지티브 공급 전압이 임계 전압보다 크면, 증폭기의 출력 스테이지의 제 1 경로를 통하여 출력을 전달하는 단계(도면부호 752에 의해 표시됨)를 포함할 수도 있다. 또한, 방법(750)은, 출력 스테이지의 포지티브 공급 전압이 임계 전압보다 작거나 그와 동일하면, 출력 스테이지의 상이한 경로인 제 2 경로를 통하여 출력을 전달하는 단계(도면부호 754에 의해 표시됨)를 포함할 수도 있다.

[0044] [0052] 대략적으로 0.45 volts와 동일한 포지티브 공급 전압 V_{pos} 및 대략적으로 -0.45 volts와 동일한 네거티브 공급 전압 V_{neg} 를 수신하도록 구성되는 종래의 전력 증폭기의 출력 스테이지와 비교하여, 본 발명은, 대략적으로 0.1 volt 또는 그 초과와 동일한 포지티브 공급 전압 및 대략적으로 -0.1 volt 또는 그 미만과 동일한 네거티브 공급 전압을 수신하면서 동작할 수도 있으며, 그에 따라, 상당량의 전력을 절약하는 전력 증폭기를 포함한다.

[0045] [0053] 당업자들은, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 기술 및 기법을 사용하여 표현될 수도 있음을 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 결합에 의해 표현될 수도 있다.

[0046] [0054] 당업자들은 본 명세서에 기재된 예시적인 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환 가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대해 다양한 방식들로 구현할 수도 있지만, 그러한 구현 결정들이 발명의 예시적인 실시예들의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

[0047] [0055] 본 명세서에 기재된 예시적인 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 필드 프로그래밍 가능 게이트 어레이(FPGA) 또는 다른 프로그래밍 가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.

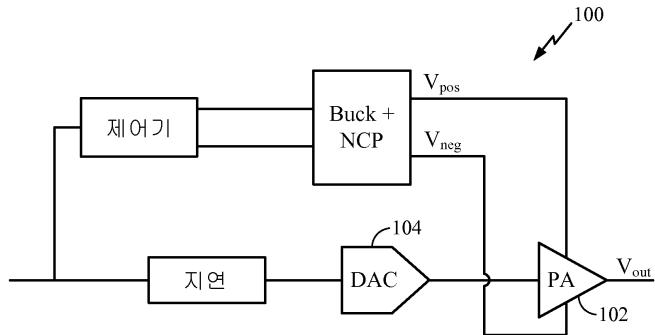
[0048] [0056] 하나 또는 그 초과의 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상에 하나 또는 그 초과의 명령들 또는 코드로서 저장되거나 이들을 통해 송신될 수도 있다. 컴퓨터-판독가능 매체들은, 일장소에서 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함한 통신 매체들 및 컴퓨터 저장 매체들 양자를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체들일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 반송 또는 저장하는데 사용될 수 있고, 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속수단(connection)이 컴퓨터-판독가능 매체로 적절히 지정된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선(twisted pair), 디지털 가입자 라인(DSL), 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들이 매체의 정의에 포함된다. 본 명세서에 사용되는 바와 같이, 디스크(disk) 및 디스크(disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다목적 디스크(digital versatile disc)(DVD), 플로피 디스크(disk) 및 blu-Ray 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 또한, 상기의 결합들은 컴퓨터-판독가능 매체들의 범위 내에 포함되어야 한다.

[0049]

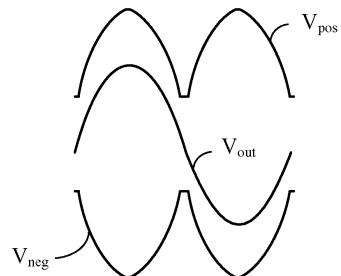
[0057] 기재된 예시적인 실시예들의 이전 설명은 임의의 당업자가 본 발명을 사용 또는 실시할 수 있도록 제공된다. 이들 예시적인 실시예들에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 발명의 사상 또는 범위를 벗어나지 않으면서 다른 예시적인 실시예들에 적용될 수도 있다. 따라서, 본 발명은 본 명세서에 설명된 예시적인 실시예들로 제한되도록 의도되는 것이 아니라, 본 명세서에 기재된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

도면1



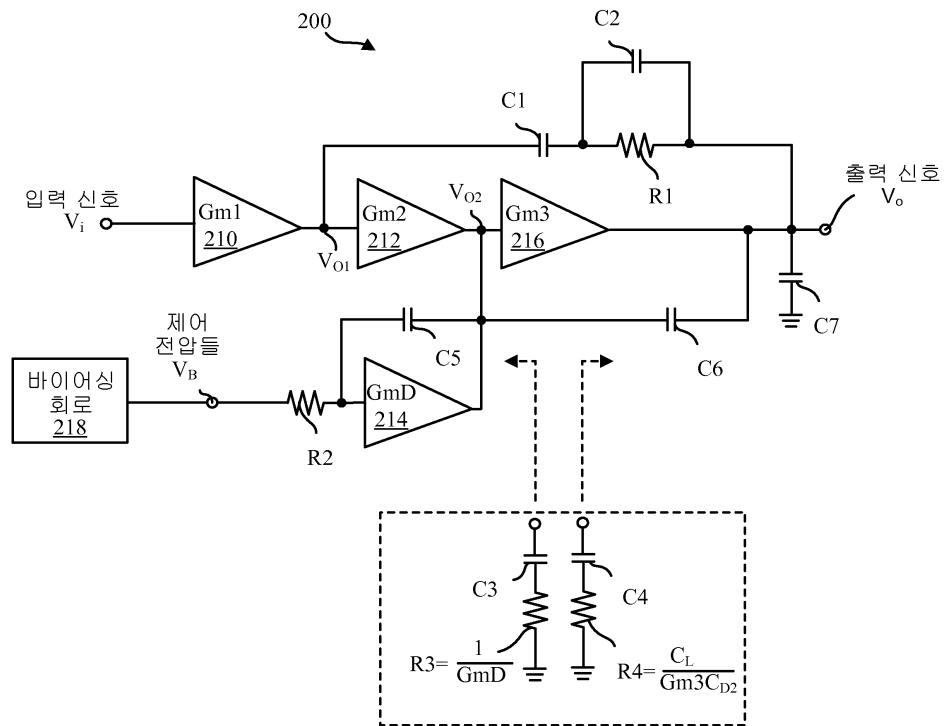
도면2



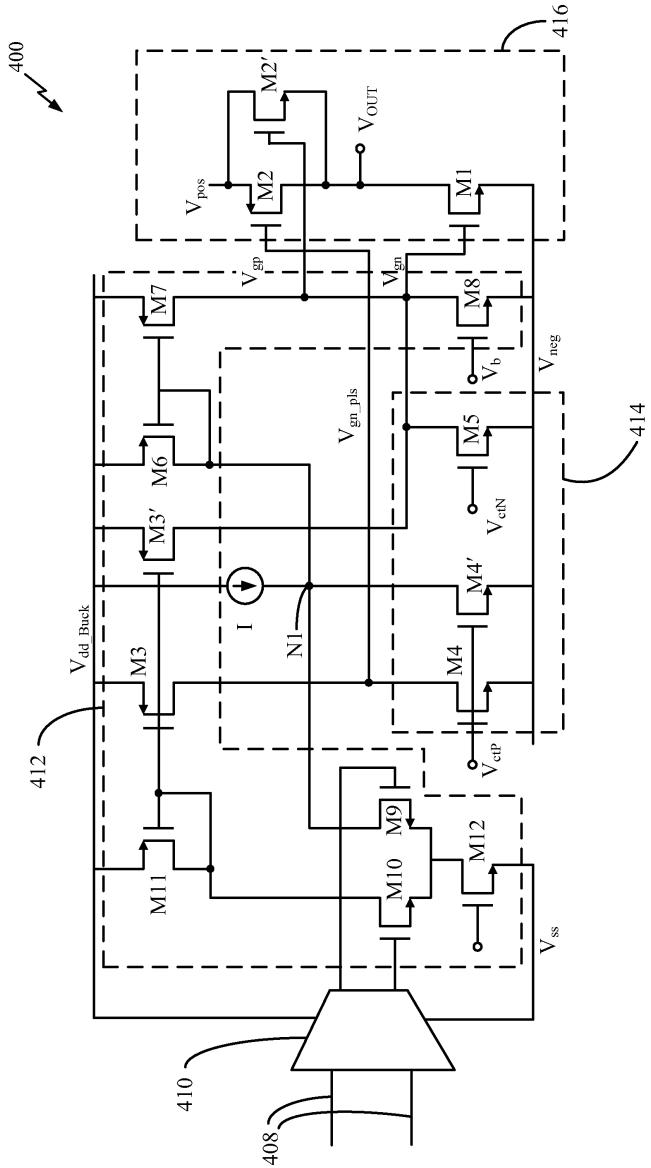
도면3



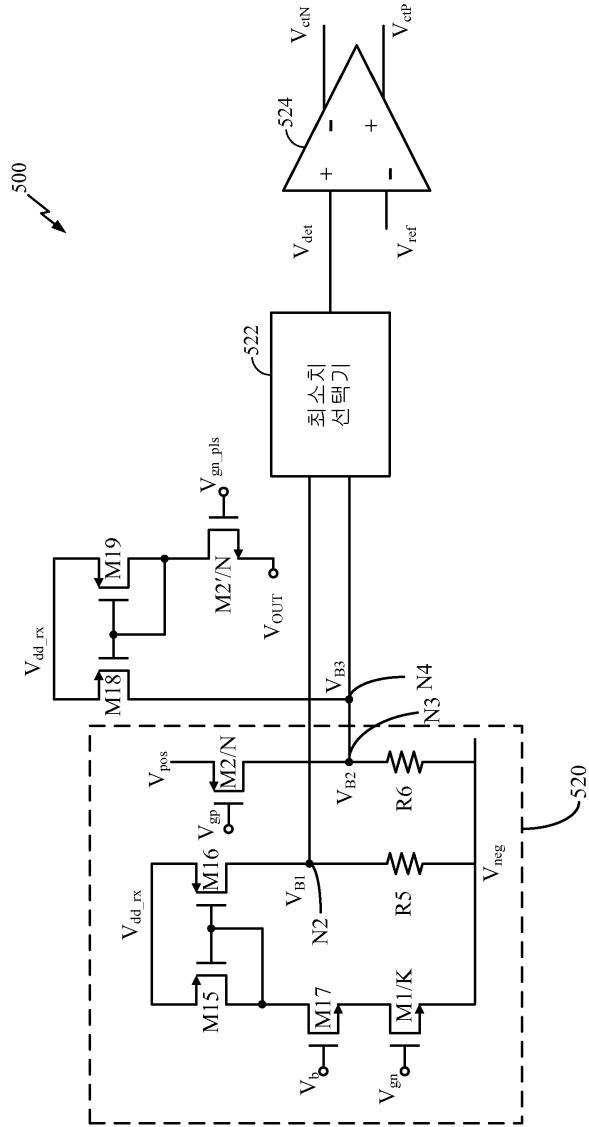
도면4



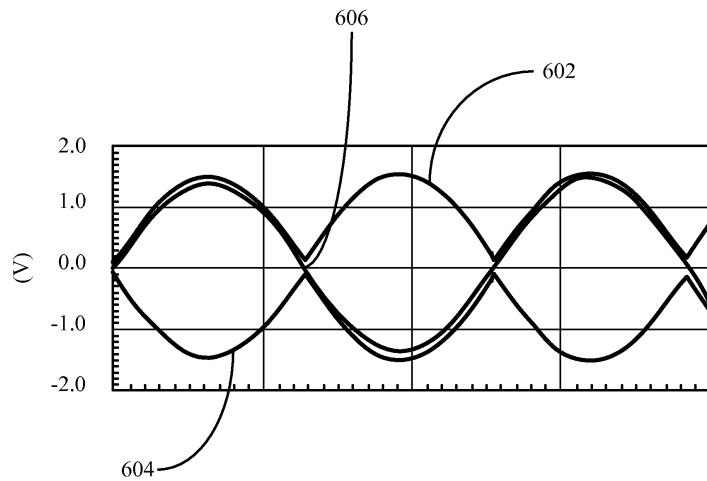
도면5



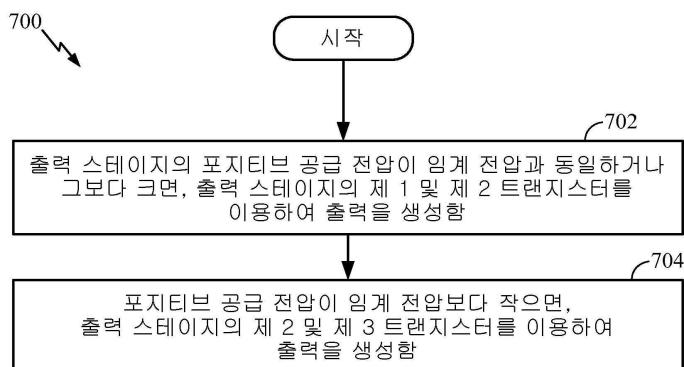
도면6



도면7



도면8



도면9

