

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 潔芮米亞 T C 帕米爾

PALMER, JEREMIAH, T. C.

2. 沛瑞 皮萊三世

PELLEY, PERRY, III

住居所或營業所地址：(中文/英文)

1. 美國德州帕芙露吉爾市狄倫道312號

312 DEREN LANE, PFLUGERVILLE, TEXAS 78660, U.S.A.

2. 美國德州奧斯丁市因迪哥布拉許道9606號

9606 INDIGO BRUSH DRIVE, AUSTIN, TEXAS 78726, U.S.A.

國 籍：(中文/英文)

1.-2.均美國 U. S. A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年04月11日；10/412,490

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

先前申請案之參考

本申請案已於2003年4月11日在美國申請為第10/412,490號美國專利申請案。

【發明所屬之技術領域】

本發明大致係關於積體電路，尤其係關於記憶裝置。

【先前技術】

諸如隨機存取記憶體(RAM)之記憶裝置包括感測放大器，其用於提供一指示一儲存於耦接至該感測放大器之一陣列之記憶體單元中的數值的訊號。

圖1展示一先前技術記憶裝置。記憶裝置101包括一具有複數個記憶體單元之位元單元陣列103，且每個記憶體單元儲存一資料位元。位元單元陣列103的每個記憶體單元均耦接至一對差異位元線BL105和*BL107。陣列103之每個單元均耦接至一字元線，而該等字元線耦接至一系列解碼器109。記憶裝置101亦包括一行邏輯裝置111、感測放大器電路113、鎖定器115及輸出緩衝器117。行邏輯111包括預充電及均衡電路、寫入電路、行解碼電路與隔離電晶體。鎖定器115接收一容量時脈計時訊號以啟動鎖定器115自感測放大器電路113之輸出端取樣資料。該第二放大器電路113由一感測啓用訊號啟動。

對於具有多個感測放大器電路和鎖定器的記憶裝置而言，為每個鎖定器提供一時脈訊號對時脈產生電路產生較大負載，進而消耗能量並降低時脈訊號之效能。此外，利

用時脈訊號啟動鎖定器115需要特定設置(setup)並且需要在時脈訊號與感測啓用訊號之間維持一段持續時間(hold time)。記憶裝置之效能變化可導致不能鎖定感測放大器電路113之輸出端。另外，一鎖定器還需要額外電路來處理時脈訊號。另外，使得鎖定器電路帶有一時脈輸入端也可能在記憶裝置運作過程中引起不必要的延遲。

因此需要一種改良記憶裝置。

【發明內容】

本發明揭示一種記憶裝置，其包括複數個記憶體單元、位元線、字元線、一感測放大器及一自我計時鎖定器。該感測放大器回應一感測啓用訊號，從而對應於該等複數個記憶體單元中之一個選定單元之儲存的邏輯狀態來感測及放大該等位元線上之電壓。一隔離電路耦接於位元線與感測放大器之間。該隔離電路用於大約在確定感測啓用訊號的同時自感測放大器去耦複數個記憶體單元中之該選定單元。一自我計時鎖定器耦接至該感測放大器。該自我計時鎖定器不接收時脈訊號且僅對已放大的電壓做出回應。

【實施方式】

除非特別指出，否則不同圖式中之相同參考符號的使用表示同樣的項。

下文提供用於執行本發明之模式之詳細描述。本描述係用於說明本發明但非限制性的。

圖2是根據本發明之一記憶裝置之方塊圖。記憶裝置201包括具有複數個記憶體單元之位元單元陣列203，每個記憶

體單元均用於儲存一資料位元。在一實施例中，記憶裝置201是一SRAM記憶體且該位元單元陣列203之記憶體單元是6電晶體SRAM單元。然而在其它實施例中，可在記憶裝置中利用其它類型的記憶體單元，諸如其它類型之SRAM、DRAM、MRAM、快取記憶體、ROM、EPROM、EEPROM、鐵磁性或其它類型之記憶體單元。在一些實施例中，位元單元陣列203中之每個單元均儲存多個位元。位元單元陣列203的每個記憶體單元均耦接至一對差異位元線BL 205和*BL 207。陣列203中之每個單元均耦接至一字元線(例如210)，該等字元線由列解碼器209控制。列解碼器209在其輸入端接收一系列位址，其解碼該列位址以確定由列位址指定的字元線。記憶裝置201也包括行邏輯裝置211。在一實施例中，行邏輯裝置包括預充電及均衡電路、寫入電路、行解碼電路及隔離電晶體(例如圖3中的306和308)。該行邏輯裝置具有耦接至行位址線之輸入端及耦接至資料輸入線以用於將資料寫入記憶體單元之輸入端。在一些實施例中，行邏輯裝置211亦可耦接至多對位元線，其中行邏輯裝置211在將一選定行耦接至感測放大器電路213中執行行解碼功能。

感測放大器電路213在一讀取週期內放大區域資料線(例如圖3中的LDL 305和*LDL 307)中的差異，以確定儲存在位元單元陣列203之記憶體單元之記憶體元件內的位元的數值。儲存於記憶體元件中之該位元數值對應於記憶體元件之邏輯狀態。藉由感測啓用訊號啓動感測放大器電路213借

相器 318 由電晶體 317 和 319 形成，反相器 320 由電晶體 315 和 321 形成。電晶體 319 和 321 均包括一連接至電晶體 323 之一電流電極的電流電極。電晶體 323 在其控制電極處接收感測啓用 (SENSE ENABLE) 訊號。感測放大器 314 放大區域資料線 LDL 305 和 *LDL 307 之間的電壓差異，以回應該感測啓用訊號之確定。在一實施例中，當確定感測啓用訊號時，由於來自陣列 203 選定位元單元且經由位元線和電晶體 306 及 308 的差異資料訊號，因此感測放大器 314 感測到區域資料線 (LDL 305 或 *LDL 307) 中具有較低電壓之資料線。接著感測放大器 314 使該區域資料線達到電源端 VSS 之電壓且使其它區域資料線達到電源端 VDD 之電壓，以提供一放大的差異資料訊號。

在所展示之另一實施例中，感測放大器電路 213 也包括用於使感測放大器 314 與自我計時鎖定器 215 隔離的緩衝器 (例如反相器 327 和 325)。在其它實施例中，感測放大器電路 213 不包括緩衝器。在仍然其他實施例中，可利用非反相緩衝器來替代反相器 327 和 325。

自我計時鎖定器 215 包括電晶體 337 和 335，此等兩個電晶體之控制電極分別連接至資料線 DL 311 和 *DL 313。電晶體 337 和 335 均包括一耦接至交叉耦接反相器 331 和 333 之電流端。自我計時鎖定器 215 在其輸出端輸出資料，該輸出端連接至反相器 331 之輸出端及反相器 333 之輸入端。自我計時鎖定器 215 在其輸出端 (資料輸出) 提供一數值，該數值對應於微分資料線 DL311 和 *DL 313 上接收到的放大的差異資料

訊號之數值以回應接收該放大的差異資料訊號。

圖4展示兩個讀取週期中之圖3之電路之一實施例的時間圖。標記為讀取"1"週期(READ "1" CYCLE)之時間圖部分指示在位元陣列203之一選定記憶體單元之讀取週期內不同節點、訊號及資料線的電壓值，該記憶體單元具有一數值指示為"1"之儲存的邏輯狀態。標記為讀取"0"週期(READ "0" CYCLE)之時間圖部分指示在位元陣列203之一選定記憶體單元之讀取週期內不同節點、訊號及資料線的電壓值，該記憶體單元具有一數值指示為"0"之儲存的邏輯狀態。在某些實施例中，對儲存的邏輯狀態指定的數值是任意的，指定值為"1"之記憶體單元之邏輯狀態在其它的實施例中可指定為"0"。CLOCK訊號由記憶裝置外部的時脈電路圖(例如圖5的511)提供。

在一讀取週期中，驅使CD訊號(如在405上)降低以便將區域資料線LDL 305和*LDL 307分別耦接至位元線BL 205和*BL 207。在此期間，藉由激活與位元單元相關聯的字元線(例如203)來選出位元單元陣列203之一記憶體單元以用於讀取。同樣當驅使CD訊號降低時，驅使預充電(PRECHARGE)訊號升高以藉由預充電及均衡電路312來使區域資料線LDL 305和*LDL 307之預充電失效。使區域資料線LDL 305和*LDL 307分別耦接至位元線BL 205和*BL 207且使預充電和均衡電路312失效，此允許區域資料線LDL 305和*LDL 307耦接至選定的位元單元以產生LDL 305和*LDL 307上之差異電壓，且該電壓差異視儲存在該選定之

記憶體單元中之邏輯狀態而定。對於所展示之實施例而言，因為指定為"1"之邏輯狀態儲存在該選定記憶體單元中，所以當確定CD訊號時，與LDL 305電壓位準之電壓相比，*LDL 307之電壓降至較低電壓位準(參見斜線406)。

自CD訊號在405上降低時起之預定時期後，在407上確定感測啓用訊號(該感測啓用訊號是高活動訊號)。該感測啓用訊號及CD訊號和預充電訊號均是是由時脈訊號邏輯衍生出來的。確定感測啓用訊號會觸發感測放大器314使*LDL 307達到電源電壓端VSS之一電壓位準。大約在確定感測啓用訊號時，驅使CD訊號升高以使區域資料線LDL 305和*LDL 307分別與位元線BL 205和*BL 207隔離。與區域資料線耦接至位元線之情況相比，區域資料線(例如LDL 305和*LDL 307)與位元線(例如BL 205和*BL 207)隔離可允許感測放大器314更快地放大區域資料線上之差異資料訊號，因為當區域資料線不耦接至位元線時該等資料線上的電容減少了。

因為*LDL 307連接至反相器325之輸入端且資料線*DL 313連接至反相器325至輸出端，所以將*LDL 307升高至VSS會驅使*DL 313升高。因為DL 311藉由反相器327耦接至LDL 305，所以DL 311仍保持在低電壓位準。為了回應*DL 313升至一高位準以指示"1"儲存在選定之記憶體單元中，DATA OUT訊號過渡至一低電壓位準狀態。*DL 313升至一高位準使得電晶體335導電，從而使得反相器331功率過高並且降低反相器333輸入端之電壓。為了回應反相器

333之輸入端之電壓被降低，反相器331(節點341)之輸入端電壓升高，進而降低了資料輸出訊號。

當否定感測啓用訊號且由於預充電訊號降低而使預充電和均衡電路312啟動時，區域資料線*LDL 307降低至至VDD，進而使得*DL 313降低，此使得電晶體335關閉。然而，由於自我計時鎖定器215之鎖定功能，所以資料輸出訊號仍保持鎖定在低電壓位準。相應地，當區域資料線和感測放大器314預充電之後，自我計時鎖定器215提供一指示選定之記憶體單元內容的數值。

資料輸出訊號之數值保持在指示一數值之相同位準，直至一相對數值在隨後的記憶體讀取週期內受到感測放大器感測為止。舉例而言，資料輸出訊號之電壓保持在低位準，直至"0"數值在隨後的記憶體讀取週期內受到感測放大器314感測為止。

在讀取"0"週期內，CD訊號(如在408上)降低以便將區域資料線LDL 305和*LDL 307分別耦接至BL 205和*BL 207。在此期間，藉由激活與位元單元相關的字元線(例如210)來選擇位元單元陣列203中之一記憶體單元以用於讀取。同樣，當CD訊號降低時，預充電訊號升高以藉由預充電及均衡電路312來使區域資料線LDL 305和*LDL 307之預充電失效。因為"0"數值儲存在選定的記憶體單元內，所以與*LDL 307電壓位準之電壓相比，LDL 305之電壓被降至一較低的電壓位準(參見圖4中的斜線412)。

自CD訊號在408上降低時起之預定時期後，在409上確定

感測啓用訊號。確定感測啓用訊號會觸發感測放大器314以使LDL 305達到電源電壓端VSS之電壓位準。大約在確定感測啓用訊號時，CD訊號升高以便使區域資料線LDL 305和*LDL 307分別與位元線BL 205和*BL 207隔離。

因為LDL 305連接至反相器327之輸入端且資料線DL 311連接至反相器327之輸出端，所以將LDL 305升高至VSS會使DL 311升高。因為*DL 313藉由反相器325耦接至*LDL 307，所以*DL 313保持在低電壓位準。為了回應DL 311達到一高位準以指示"0"數值儲存在選定的記憶體單元中，資料輸出訊號將過渡至高電壓位準。DL 311上升至高電壓位準使得電晶體337導電，從而使得反相器333之功率過高並且使得反相器331之輸入端(節點341)電壓降低。為了回應反相器331之輸入端之電壓被降低，反相器333之輸入端及資料輸出訊號升高至一高電壓位準。

當確定感測啓用訊號且由於預充電訊號降低而啓動預充電及均衡電路312時，區域資料線LDL 305降低至VDD，從而降低DL 311，此使得電晶體337關閉。然而，由於自我計時鎖定器215的鎖定功能，所以資料輸出訊號之電壓位準保持鎖定在高電壓位準。

提供一僅對感測放大器電路輸出端回應的自我計時鎖定器，可允許該鎖定器在感測放大器提供放大的資料訊號後立刻相對於一定時鎖定器(clocked latch)鎖定一數值，該定時鎖定器具有特殊設定且需要維持一段持續時間以俘獲並保留放大資料訊號之資料。而且，提供一不具有時脈輸入

端之自我計時鎖定器可允許減少積體電路之時脈生成電路上的負載。其亦可允許縮減該電路以便在記憶裝置中建構一鎖定器和感測放大器電路。

在其它實施例中，感測放大器電路和鎖定器可能具有其它組態。例如，反相器325和327(執行反相緩衝器功能)可由非反相緩衝器取代。在此實施例中，電晶體337和335將由P通道電晶體取代，且其電流端將連接至電源端VDD而非VSS。同樣在其它實施例中，可移除隔離電晶體306和308。在其它實施例中，可利用其它類型之感測放大器電路，其包括(例如)提供一放大之差異輸出端的其它感測放大器。

圖5是根據本發明之積體電路之一實施例的方塊圖。積體電路501包括一核心處理器503、時脈電路511、匯流排控制器及直接記憶體存取電路505與一L2快取記憶體509。在一實施例中，匯流排控制器及直接記憶體存取電路505包括一個或多個匯流排控制器，且每個匯流排控制器耦接至一不同的系統匯流排(例如PCI匯流排)。L2快取記憶體509包括複數個行，而每一行包括一感測放大器電路、自我計時鎖定器及與圖3中之感測放大器電路213、自我計時鎖定器215及電路部分309類似的電路部分。時脈電路511提供一時脈訊號。核心處理器503經由匯流排515為L2快取記憶體509提供列和行位址，並且經由匯流排515自L2快取記憶體509接收資料。積體電路501也可以包括其它裝置，諸如其它的匯流排控制器和記憶體(例如隨機存取記憶體(RAM)或快閃記憶體(Flash))。在一實施例中，積體電路501是一用來可

操作地耦接不同協定之匯流排的通訊處理電路。

在其它實施例中，此處所述的感測放大器電路、自我計時鎖定器及行邏輯裝置可用於其它類型之記憶裝置中。例如，此等電路可用於嵌入式記憶體電路(例如嵌入式RAM或ROM)或單機記憶裝置中。

在本發明之一態樣中，記憶裝置包括複數個記憶體單元。該複數個記憶體單元中之每一個均耦接至一位元線。該記憶裝置也包括一感測放大器，其用於放大來自該等複數個記憶體單元中之一個選定單元且經由位元線之資料訊號以提供一放大的資料訊號來對確定一感測啓用訊號回應。該記憶裝置進一步包括一耦接在位元線與感測放大器之間的隔離電路。大約在確定感測啓用訊號的同時，隔離電路用於自感測放大器去耦該等複數個記憶體單元中之一個選定單元。記憶裝置也包括一耦接至感測放大器之自我計時儲存裝置，其用以對應於放大的資料訊號來儲存資料以僅回應該放大的資料訊號。

在本發明之另一態樣中，記憶裝置包括複數個記憶體單元。該複數個記憶體單元中之每一個均耦接至第一位元線和第二位元線。該記憶裝置包括在讀取週期之至少一部分內耦接至第一位元線之第一資料線及在讀取週期之至少一部分內耦接至第二位元線之第二資料線。該記憶裝置進一步包括一具有一對交叉耦接之反相器的感測放大器。該對交叉耦接之反相器耦接至第一資料線和第二資料線耦接，以放大來自複數個記憶體單元中之一個選定單元之資料訊

號以對確定一感測啓用訊號回應。該記憶裝置也包括：第一緩衝電路，其具有一耦接至第一資料線之輸入端及一輸出端；第二緩衝電路，其具有一耦接至第二資料線之輸出端之輸入端及一輸出端；及自我計時儲存裝置，其具有一耦接至該第一緩衝電路之輸出端的第一輸入端與一耦接至該第二緩衝電路之輸出端的第二輸入端。該自我計時儲存裝置僅回應第一緩衝電路之輸出端與該第二緩衝電路之輸出端之間的差異電壓。

在另一態樣中，本發明包括一種讀取記憶裝置的記憶體單元之方法。該記憶裝置包括複數個記憶體單元。該等複數個記憶體單元中之每一個耦接至一位元線和一字元線。該方法包括：選擇該等複數個記憶體單元中之至少一個單元；及利用一感測放大器感測並放大該位元線上之電壓以對確定感測啓用訊號回應，從而產生一放大的資料訊號。該放大的資料訊號代表一儲存於藉由上文之選擇而選擇之複數個記憶體單元中之至少一個單元中的邏輯狀態。該方法亦包括：大約在確定感測啓用訊號的同時，自感測放大器去耦位元線；及對應於該放大的資料訊號來在一自我計時鎖定器內鎖定資料。該自我計時鎖定器鎖定資料僅回應該放大的資料訊號。

雖然上文已展示及描述本發明之特殊實施例，但是熟習此項技術者應瞭解：基於本文的教示，可在不偏離本發明及其更廣態樣之情況下進行進一步改變和修改，因此，附加申請專利範圍將使屬於本發明之真實精神及範疇之所有

該等改變及修改包含於其範疇內。

【圖式簡單說明】

習於此技者可參考附圖而對本發明及其數個目的、特徵及優點有更深入之瞭解。

圖1是一先前技術記憶裝置之方塊圖。

圖2是根據本發明之一記憶裝置的實施例之方塊圖。

圖3是圖2中之記憶裝置之一部分的實施例之電路圖，其包括根據本發明之感測放大器電路及自我計時鎖定器。

圖4是根據本發明之一記憶裝置的實施例之時間圖。

圖5是根據本發明之一積體電路之實施例之方塊圖。

【主要元件符號說明】

201	記憶裝置
203	陣列
205, 207	BL
209	列解碼器
211	行邏輯裝置
213	感測放大器電路
215	鎖定器
305	區域資料線LDL
306	隔離電路
307	LDL
308	隔離電路
309	電路部分
311	資料線DL

312	均衡 電 路
313	DL
314	感 測 放 大 器
315 , 317 , 319 , 321 ,	電 晶 體
323 , 335 , 337	
318 , 320 , 325 ,	反 相 器
327 , 331 , 333	
341	節 點
406 , 412	線
501	電 路

五、中文發明摘要：

本發明揭示一種記憶裝置(201)，其包括複數個記憶體單元(203)、位元線、字元線、一感測放大器(314)及一自我計時鎖定器(215)。該感測放大器(314)回應一感測啓用訊號，從而對應於該等複數個記憶體單元中之一個選定單元之儲存的邏輯狀態來感測及放大該等位元線上之電壓。一隔離電路(306, 308)耦接於位元線(205和207)與感測放大器(314)之間。該隔離電路(306, 308)用於大約在確定感測啓用訊號的同時自感測放大器(314)去耦複數個記憶體單元中之該選定單元。一自我計時鎖定器(215)耦接至該感測放大器(314)。該自我計時鎖定器(215)不接收時脈訊號且僅對已放大的電壓做出回應。

六、英文發明摘要：

A memory device (201) includes a plurality of memory cells (203), bit lines, word lines, a sense amplifier (314), and a self-timed latch (215). The sense amplifier (314), responsive to a sense enable signal, is for sensing and amplifying a voltage on the bit lines corresponding to a stored logic state of a selected one of the plurality of memory cells. An isolation circuit (306, 308) is coupled between the bit lines (205 and 207) and the sense amplifier (314). The isolation circuit (306, 308) is for decoupling the selected one of the plurality of memory cells from the sense amplifier (314) at about the same time that the sense enable signal is asserted. A self-timed latch (215) is coupled to the sense amplifier (314). The self-timed latch (215) does not receive a clock signal and is responsive to only the amplified voltage.

圖式：十一、

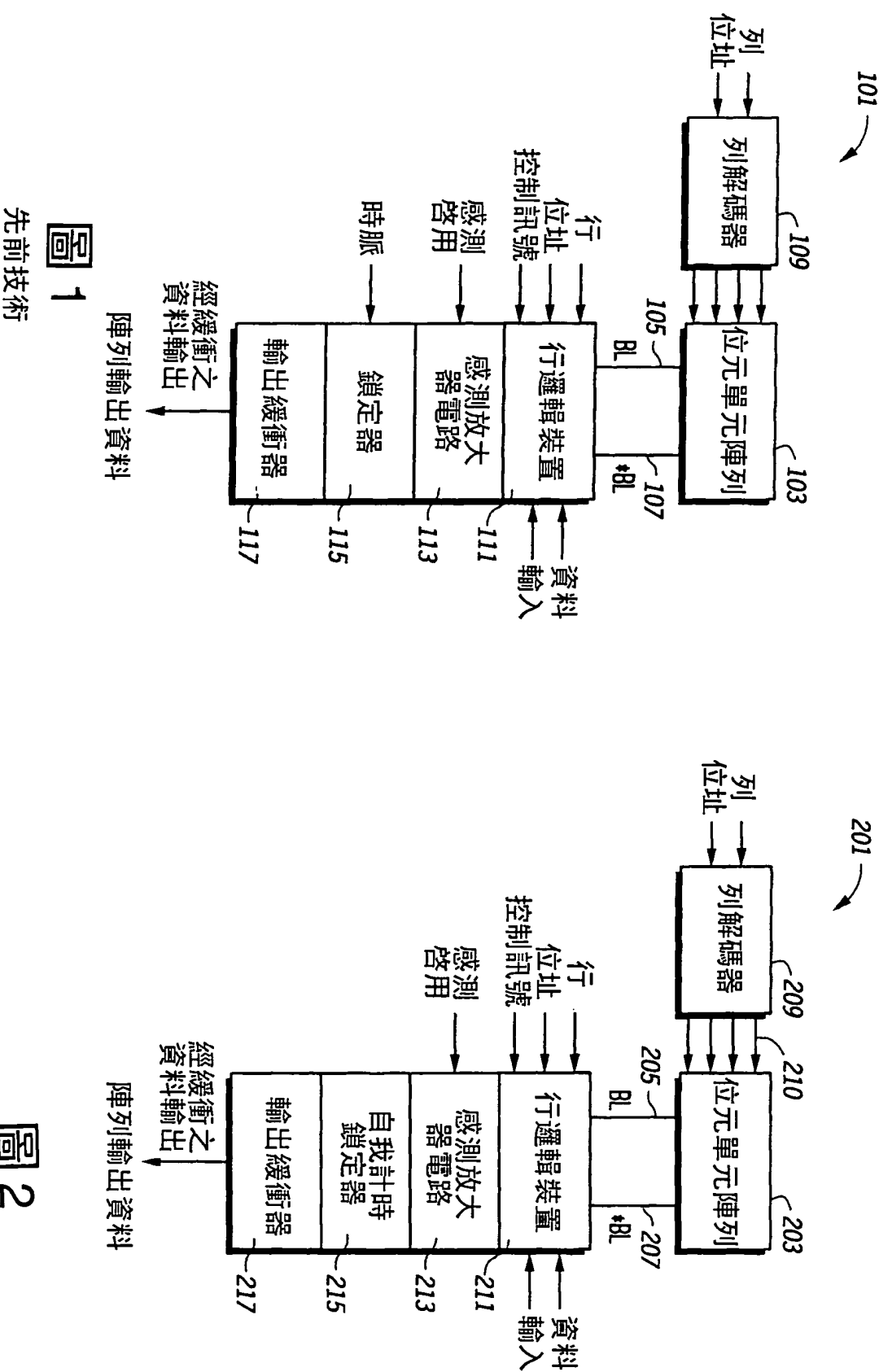


圖 1
先前技術

圖 2

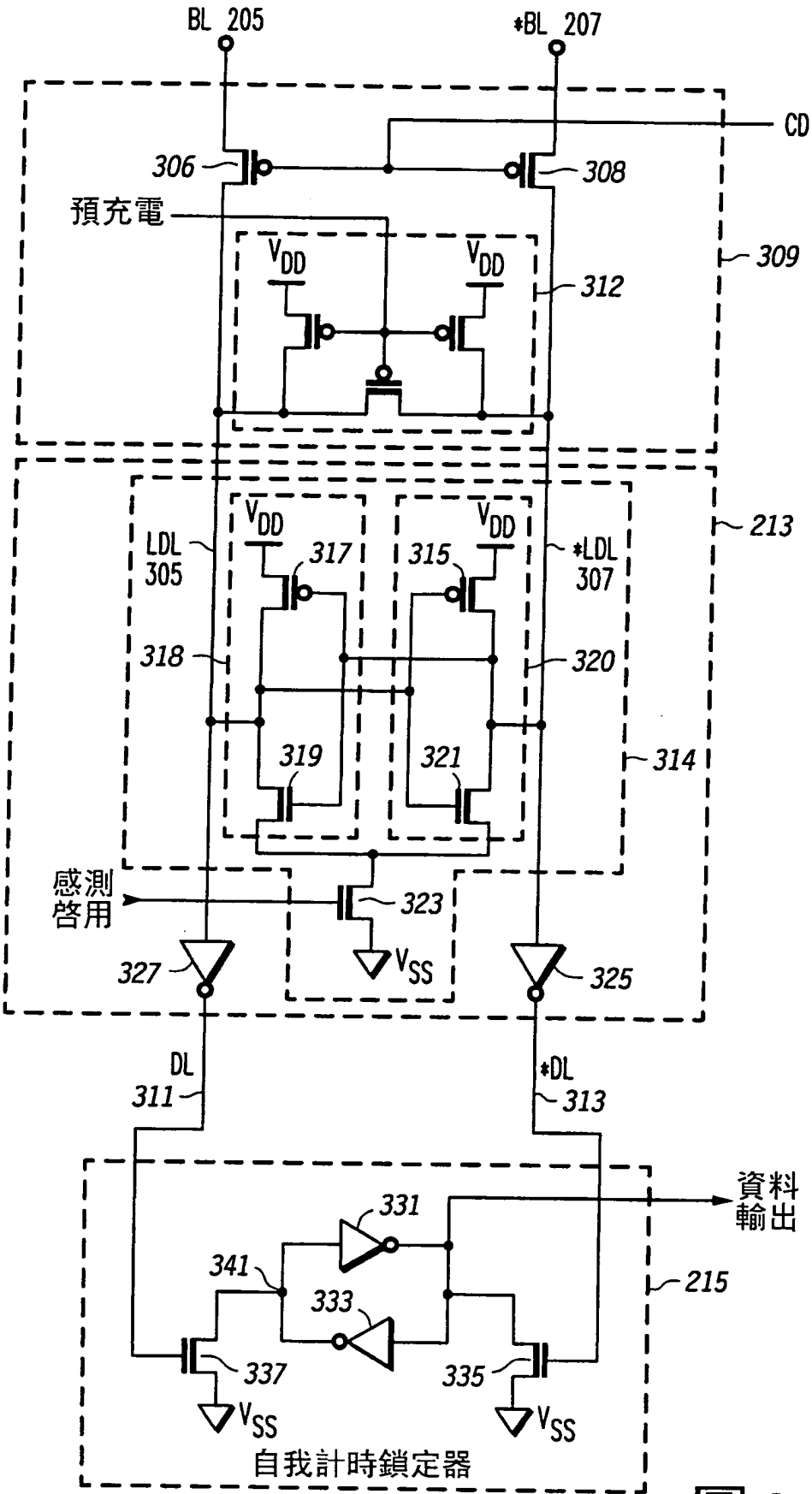


圖 3

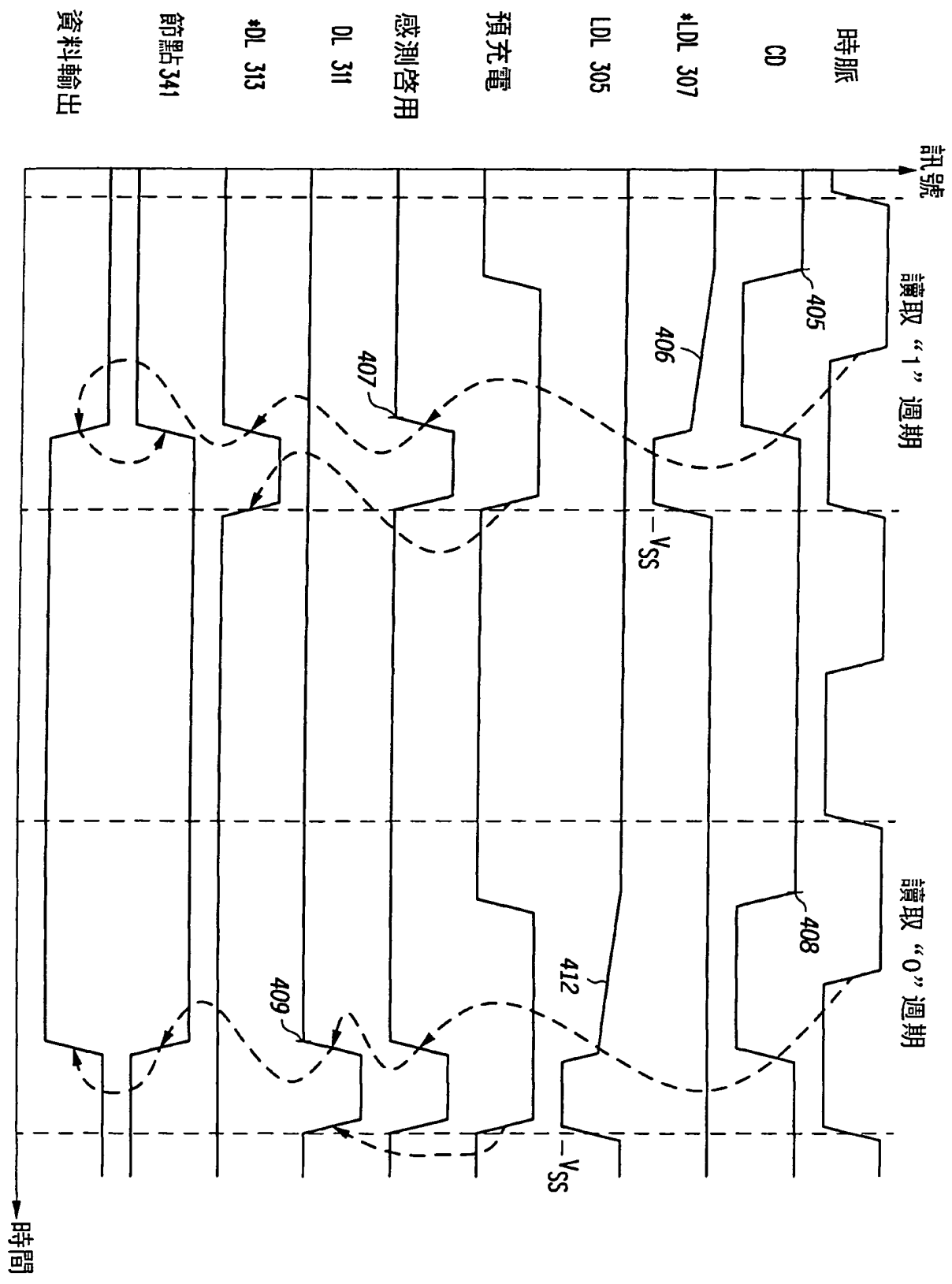


圖 4

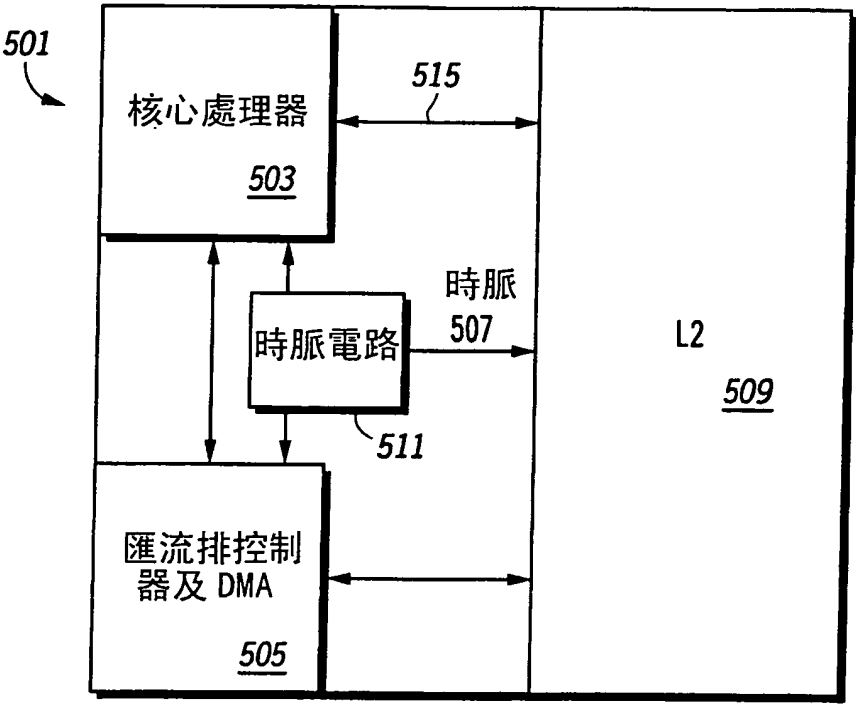


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

205 , 207	位元線 (BL)
213	感測放大器電路
215	自我計時鎖定器
305	區域資料線 LDL
306	隔離電路
307	LDL
308	隔離電路
309	電路部分
311	資料線 DL
312	均衡電路
313	DL
314	感測放大器
315 , 317 , 319 , 321 , 323 ,	電晶體
335 , 337	
318 , 320 , 325 , 327 , 331 , 333	反相器
341	節點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(99年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：093110015

※ 申請日期：93. 4. 9.

※IPC 分類：G11C 11/21(2006.01)

一、發明名稱：(中文/英文)

具感測放大器與自我計時鎖定器之記憶裝置及用於讀取其之記憶體單元之方法

MEMORY DEVICE WITH SENSE AMPLIFIER AND SELF-TIMED LATCH AND METHOD FOR READING A MEMORY CELL THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U. S. A.

國 籍：(中文/英文)

美國 U. S. A.

由以放大區域資料線中的差異。

記憶裝置 201 包括一自我計時鎖定器 215。自我計時鎖定器 215 係一個儲存感測放大器電路 213 所提供之資料的資料儲存裝置。在一實施例中，自我計時鎖定器 215 儲存僅回應自感測放大器電路 213 所接收到的放大差異資料訊號 (differential data signal) 的資料。自我計時鎖定器 215 不具有時脈訊號輸入端。將自我計時鎖定器 215 之輸出端提供至一輸出緩衝器，該輸出緩衝器提供一指示儲存在選定記憶體單元中的位元之值的緩衝資料輸出訊號。

圖 3 是一示意圖，其展示感測放大器電路 213、自我計時鎖定器 215 及行邏輯 211 裝置之一部分 309 (下文稱為 "電路部分 309") 之一實施例。電路部分 309 包括兩個隔離電晶體 306 和 308，其用於將位元線 BL 205 和 *BL 207 與感測放大器電路 213 隔離。訊號線前之 "*" 表示該訊號線是具有相同名字但沒有 "*" 之訊號線的邏輯補充。隔離電晶體 306 和 308 由一隔離控制訊號 (CD) 控制。在一實施例中，該隔絕控制訊號 (CD) 由行邏輯裝置 211 之一行解碼器 (未圖示) 提供，且其係一來自提供至行邏輯裝置 211 之行位址的解碼訊號。電路部分 309 亦包括一用來預充電區域資料線 LDL 305 和 *LDL 307 的預充電及均衡電路 312。使得隔離電晶體 306 和 308 之相對側上的預充電及均衡電路 312 與位元線隔離開來，此將允許在一寫入週期中寫入位元單元陣列 203 的單元的同時，預充電感測放大器電路 213 的感測放大器 314。

感測放大器 314 包括一對交叉耦接之反相器 318 和 320。反

十、申請專利範圍：

1. 一種記憶裝置，其包括：

複數個記憶體單元，該等複數個記憶體單元中的每一個耦接至一位元線；

一感測放大器，其用於放大一來自該等複數個記憶體單元中之一個選定單元且經由該位元線之資料訊號，以提供一放大的資料訊號來對致能一感測啓用訊號回應；

一隔離電路，其耦接在該位元線與該感測放大器之間，該隔離電路用來大約在致能該感測啓用訊號同時自該感測放大器去耦該等複數個記憶體單元中之一個選定單元；及

一自我計時儲存裝置，其耦接至該感測放大器，以用於對應於該放大的資料訊號儲存資料以僅回應該放大的資料訊號。

2. 如申請專利範圍第1項之記憶裝置，其中：

該資料訊號是一差異資料訊號(differential data signal)；

該放大資料訊號是一放大的差異資料訊號；

該感測放大器包括一對交叉耦接之反相器，該對交叉耦接反相器相互耦接以放大該差異資料訊號，從而提供放大的差異資料訊號以回應該感測啓用訊號。

3. 如申請專利範圍第1項之記憶裝置，其中該自我計時儲存裝置包括：

一第一電晶體，其具有一第一電流電極、一耦接至一

電源電壓端之第二電流電極及一耦接至一第一資料線之控制電極；

一第二電晶體，其具有一第一電流電極、一耦接至該電源電壓端之第二電流電極及一耦接至一第二資料線之控制電極；

一第一反相器，其具有一耦接至該第一電晶體之第一電流電極之輸入端和一耦接至該第二電晶體之第一電流電極之輸出端；以及

一第二反相器，其具有一耦接至該第二電晶體之第一電流電極之輸入端和一耦接至該第一電晶體之第一電流電極之輸出端。

4. 如申請專利範圍第1項之記憶裝置，其中該資料訊號是提供於一第一位元線和一第二位元線上的一差異資料訊號，且該隔離電路進一步包括：

一第一隔離電晶體，其用來選擇性地將該第一位元線耦接至一第一資料線；及

一第二隔離電晶體，其用來選擇性地將該第二位元線耦接至一第二資料線。

5. 如申請專利範圍第4項之記憶裝置，進一步包括：

一第一反相器，其具有一耦接至該第一資料線之輸入端和一耦接至該自我計時儲存裝置之一第一輸入端的輸出端；

一第二反相器，其具有一耦接至該第二資料線之輸入端及一耦接至該自我計時儲存裝置之一第二輸入端的輸

出端。

6. 一種記憶裝置，包括：

複數個記憶體單元，該等複數個記憶體單元中之每一個耦接至一第一位元線及一第二位元線；

一第一資料線，其在一讀取週期之至少一部份期間耦接至該第一位元線；

一第二資料線，其在該讀取週期之至少一部份期間耦接至該第二位元線；

一感測放大器，其具有一對交叉耦接之反相器，該對交叉耦接之反相器耦接至該第一資料線及該第二資料線，以放大一來自該等複數個記憶體單元中之一個選定單元之資料訊號，從而對致能一感測啓用訊號回應；

一第一緩衝電路，其具有一耦接至該第一資料線之輸入端及一輸出端；

一第二緩衝電路，其具有一耦接至該第二資料線之輸入端及一輸出端；

一自我計時儲存裝置，其具有一耦接至該第一緩衝電路之輸出端之第一輸入端和一耦接至該第二緩衝電路之輸出端之第二輸入端，該自我計時儲存裝置僅回應該第一緩衝電路之輸出端與該第二緩衝電路之輸出端之間的一差異電壓。

7. 如申請專利範圍第6項之記憶裝置，進一步包括：

一第一隔離電晶體，其用來選擇地性將該第一位元線耦接至該第一資料線；及

一第二隔離電晶體，其用來選擇性地將該第二位元線耦接至該第二資料線。

8. 如申請專利範圍第7項之該記憶裝置，其中大約在致能該感測啓用訊號同時，該第一和該第二隔離電晶體自該第一和該第二位元線去耦該第一和該第二資料線。

9. 一種用於讀取一記憶裝置之一記憶體單元的方法，該記憶裝置包括複數個記憶體單元，該等複數個記憶體單元中之每一個耦接至一位元線及一字元線，該方法包括：

選擇該等複數個記憶體單元中之至少一個單元；

利用一感測放大器來感測並放大該位元線上之一電壓，以對致能一感測啓用訊號回應以產生一放大的資料訊號，該放大的資料訊號代表一儲存於藉由該選擇步驟而選擇之該等複數個記憶體單元中之至少一個單元中的邏輯狀態；

大約在致能該感測啓用訊號同時，自該感測放大器去耦該位元線；及

在一自我計時鎖定器中，鎖定對應於該放大的資料訊號的資料，且該自我計時鎖定器鎖定僅回應該放大的資料訊號的資料。

10. 如申請專利範圍第9項之方法，進一步包括在致能該感測啓用訊號之前預充電該第一和該第二資料線。

11. 一種讀取一記憶裝置之記憶單元之方法，該記憶裝置包括複數個記憶單元，該方法包括：

選擇該複數個記憶單元中之至少一個；

使用一感測放大器來感測並放大一電壓，以對致能一感測啟用訊號回應以在一線中產生一放大的資料訊號，該放大的資料訊號代表一儲存於藉由該選擇步驟而選擇之該等複數個記憶體單元中之至少一個的邏輯狀態；

在一自我計時鎖定器中，鎖定對應於該放大的資料訊號的資料，且該自我計時鎖定器鎖定僅回應該放大的資料訊號的資料；及

在該感測並放大之後預充電該線，

其中該資料至少在該預充電起始部分維持鎖定。

12. 如申請專利範圍第11項之方法，其中該資料維持鎖定直到於一接續該感測並放大之後的記憶讀取週期期間，在該線中產生一其他放大的資料訊號代表與該邏輯狀態之一相反的邏輯狀態。