

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 1 月 4 日 (04.01.2018)



(10) 国际公布号
WO 2018/000982 A1

- (51) 国际专利分类号:
G09G 3/3291 (2016.01)
- (21) 国际申请号: PCT/CN2017/085026
- (22) 国际申请日: 2017 年 5 月 19 日 (19.05.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610509888.0 2016年6月30日 (30.06.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川
- 省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。
- (72) 发明人: 童振霄(TONG, Zhenxiao); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。韦东梅(WEI, Dongmei); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所(LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,

(54) Title: PIXEL CIRCUIT AND DRIVE METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 像素电路及驱动方法和显示设备

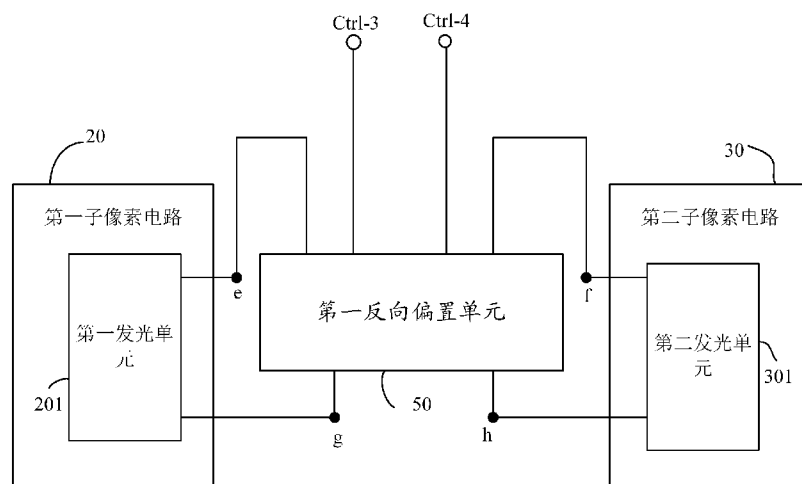


图 2

- 20 First sub-pixel circuit
30 Second sub-pixel circuit
50 First reverse bias unit
201 First light-emitting unit
301 Second light-emitting unit

(57) Abstract: A pixel circuit and a drive method therefor, and a display device. The pixel circuit comprises: a first reverse bias unit (50), and a first sub-pixel circuit (20) and a second sub-pixel circuit (30) adjacent thereto. The first sub-pixel circuit (20) comprises a first light-emitting unit (201); and the second sub-pixel circuit (30) comprises a second light-emitting unit (301). The first light-emitting unit (201) is connected to a first drive node (e) and a second bias output node (g), and the second light-emitting unit (301) is connected to a second drive node (f) and a first bias output node (h). The first reverse bias unit (50) is connected to the first drive node (e), the second drive node (f), the second bias output node (g), the first bias output node (h), a first bias control end (Ctrl-3) and a second bias

LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

control end (Ctrl-4).

(57) 摘要: 一种像素电路及驱动方法和显示设备。所述像素电路包括: 第一反向偏置单元 (50), 以及相邻的第一子像素电路 (20) 和第二子像素电路 (30)。第一子像素电路 (20) 包括第一发光单元 (201); 第二子像素电路 (30) 包括第二发光单元 (301)。所述第一发光单元 (201) 连接第一驱动节点 (e) 和第二偏置输出节点 (g), 所述第二发光单元 (301) 连接第二驱动节点 (f) 和第一偏置输出节点 (h); 所述第一反向偏置单元 (50) 连接所述第一驱动节点 (e)、所述第二驱动节点 (f)、所述第二偏置输出节点 (g)、所述第一偏置输出节点 (h)、第一偏置控制端 (Ctrl-3) 和第二偏置控制端 (Ctrl-4)。

像素电路及驱动方法和显示设备

技术领域

5 本公开涉及涉及一种像素电路及驱动方法和显示设备。

背景技术

有机发光二极管(英文全称: Organic Light-Emitting Diode , 简称: OLED) 显示具有轻薄、宽视角、低功耗、响应速度快等特性, 因此受到广泛的关注。

10 有机发光二极管显示作为新一代的显示方式, 已开始逐渐取代传统的液晶显示器(英文全称: Liquid Crystal Display, 简称: LCD), 被广泛应用于手机屏幕、电脑显示器、全彩电视等。根据驱动方式的不同, OLED 可分为无源矩阵有机发光二极管(Passive matrix OLED, 简称: PMOLED) 和有源矩阵有机发光二极管(Active-matrix OLED, 简称 AMOLED)。

15 例如, 在 AMOLED 中, 最简单的像素电路由两个具有开关功能的薄膜晶体管(英文全称: Thin Film Transistor, 简称: TFT) 和一个储存电荷的电容器(英文全称: Capacitor, 简称: C) 组成。根据 TFT 与 C 的数量, 把该像素电路简称为 2T1C 像素驱动电路, 即 AMOLED 中的一个子像素单元。以最简单的 AMOLED 的像素电路图为例, 图 1 所示像素驱动电路即为 2T1C
20 像素驱动电路, 包括数据输入开关晶体管 1、驱动晶体管 2、存储电容 3 和 OLED 4。图 1 采用的 TFT 都为 P 型管, Vscan 为扫描电压, Vdata 为数据电压, VDD 为像素电路最高参考电压, VSS 为像素电路最低参考电压。在现有的显示技术中, 通过外接一个反向偏置电压装置对 OLED 加载不同的直流驱动电压, 使得 OLED 在不同的灰阶值下显示所需要的亮度和色彩。当 Vscan
25 为低电平时, 数据输入开关晶体管 1 打开, 数据电压 Vdata 接入到驱动晶体管 2, 存储在存储电容 3 上; 存储电容 3 上的电压使得驱动晶体管 2 一直处于开启的状态, 驱动管 2 始终对 OLED 4 进行直流偏置。由于 OLED 4 长时间处于直流偏置的状态, 内部的离子极化, 形成内建电场, 导致 OLED 4 的阈值电压不断增大, OLED 4 的发光亮度不断降低, 缩短了 OLED 4 的寿
30 命。由于不同灰阶下 OLED 4 的直流偏置电压不同, 每个子像素 OLED 4 的

衰老程度不同,使得屏幕显示画面不均,影响显示效果。

发明内容

5 第一方面,本公开实施例提供一种像素电路,包括:第一反向偏置单元,以及相邻的第一子像素电路和第二子像素电路,第一子像素电路包括第一发光单元;第二子像素电路包括第二发光单元;其中,

第一发光单元连接第一驱动节点,第二发光单元连接第一偏置输出节点;

第一反向偏置单元连接第一驱动节点、第一偏置输出节点、以及第一偏置控制端;

10 第一发光单元被配置为在第一驱动信号的控制下发光,并将第一驱动信号输出至第一驱动节点;第一反向偏置单元被配置为在第一偏置控制端的控制下将第一驱动节点的第一驱动信号输出至第一偏置输出节点;第一偏置输出节点向第二发光单元提供反向偏置电压。

例如,所述第二发光单元连接第二驱动节点和第二偏置输出节点;

15 所述第一反向偏置单元还连接所述第二驱动节点、所述第二偏置输出节点和第二偏置控制端;

第二发光单元被配置为在第二驱动信号的控制下发光,并将第二驱动信号输出至第二偏置输出节点;第一反向偏置单元还被配置为在第二偏置控制端的控制下将第二驱动节点的第二驱动信号输出至第二偏置输出节点;第二偏置输出节点向第一发光单元提供反向偏置电压。

20 例如,第一子像素电路还包括:第一数据输入单元和第一存储电容;

第一数据输入单元连接第一数据端、扫描端和第一子像素节点;第一数据输入单元被配置为在扫描端的信号控制下将第一数据端的第一数据信号输出至第一子像素节点;

25 第一存储电容连接第一子像素节点和第一电压端,第一存储电容用于存储第一子像素节点和第一电压端之间的电平;

第一发光单元还连接第一子像素节点、第一发光控制节点,第一发光单元被配置为在第一子像素节点、第一发光控制节点和第二偏置输出节点的信号控制下,向第一驱动节点输出第一驱动信号。

30 例如,像素电路还包括:发光控制单元;发光控制单元连接第一电压端、

第一发光控制端、第一发光控制节点；发光控制单元被配置为在第一发光控制端的控制下将第一电压端的电平输出至第一发光控制节点。

例如，第二子像素电路还包括：第二数据输入单元和第二存储电容；

5 第二数据输入单元连接第二数据端、扫描端和第二子像素节点；第二数据输入单元被配置为在扫描端的信号控制下将第二数据端的第二数据信号输出至第二子像素节点；

第二存储电容连接第二子像素节点和第一电压端，第二存储电容用于存储第二子像素节点和第一电压端之间的电平；

10 第二发光单元还被配置为在第二子像素节点、第二发光控制节点和第一偏置输出节点的信号控制下，向第二驱动节点输出第二驱动信号。

例如，像素电路还包括：发光控制单元；发光控制单元连接第一电压端、第二发光控制端、第二发光控制节点；发光控制单元被配置为在第二发光控制端的控制下将第一电压端的电平输出至第二发光控制节点。

15 例如，第二偏置输出节点和第一偏置输出节点连接第二电压端；或者，像素电路还包括：第二反向偏置单元；

20 第二反向偏置单元连接第二偏置输出节点、第一偏置输出节点、第一发光控制端、第二发光控制端和第二电压端；第二反向偏置单元被配置为在第一发光控制端的控制下将第二电压端的电平输出至第二偏置输出节点；第二反向偏置单元还被配置为在第二发光控制端的控制下将第二电压端的电平输出至第一偏置输出节点。

例如，第一数据输入单元包含第一数据输入晶体管，第一数据输入晶体管的栅极连接扫描端，第一数据输入晶体管的第一端连接第一数据端，第一数据输入晶体管的第二端连接第一子像素节点。

25 例如，发光控制单元，包括：第一发光控制晶体管，第一发光控制晶体管的栅极连接第一发光控制端，第一发光控制晶体管的第一端连接第一电压端，第一发光控制晶体管的第二端连接第一发光控制节点。

例如，第二数据输入单元包含第二数据输入晶体管，第二数据输入晶体管的栅极连接扫描端，第二数据输入晶体管的第一端连接第二数据端，第二数据输入晶体管的第二端连接第二子像素节点。

30 例如，发光控制单元，包括：第二发光控制晶体管，第二发光控制晶体

管的栅极连接第二发光控制端，第二发光控制晶体管的第一端连接第一电压端，第二发光控制晶体管的第二端连接第二发光控制节点。

例如，第一反向偏置单元包含第一反向偏置晶体管和第二反向偏置晶体管，第一反向偏置晶体管的栅极连接第一偏置控制端，第一反向偏置晶体管的第一端连接第一驱动节点，第一反向偏置晶体管的第二端连接第一偏置输出节点；

第二反向偏置晶体管的栅极连接第二偏置控制端，第二反向偏置晶体管的第一端连接第二驱动节点，第二反向偏置晶体管的第二端连接第二偏置输出节点；

10 第一偏置控制端与第二偏置控制端连接相同的信号控制线。

例如，第二反向偏置单元包含第三反向偏置晶体管和第四反向偏置晶体管，第三反向偏置晶体管的栅极连接第一发光控制端，第三反向偏置晶体管的第一端连接第二偏置输出节点，第三反向偏置晶体管的第二端连接第二电压端；

15 第四反向偏置晶体管的栅极连接第二发光控制端，第四反向偏置晶体管的第一端连接第一偏置输出节点，第四反向偏置晶体管的第二端连接第二电压端。

例如，第三反向偏置晶体管和第四反向偏置晶体管为同类型的晶体管，第一发光控制端和第二发光控制端连接不同的信号控制线；或者，

20 第三反向偏置晶体管和第四反向偏置晶体管为不同类型的晶体管，第一发光控制端和第二发光控制端连接同一信号控制线。

例如，第一发光单元包含第一驱动晶体管和第一有机发光二极管，第一驱动晶体管的栅极连接第一子像素节点，第一驱动晶体管的第一端连接第一发光控制节点，第一驱动晶体管的第二端连接第一驱动节点和第一有机发光二极管的阳极，第一有机发光二极管的阴极连接第二偏置输出节点。

25 例如，第二发光单元包含第二驱动晶体管和第二有机发光二极管，第二驱动晶体管的栅极连接第二子像素节点，第二驱动晶体管的第一端连接第二发光控制节点，第二驱动晶体管的第二端连接第二驱动节点和第二有机发光二极管的阳极，第二有机发光二极管的阴极连接第一偏置输出节点。

30 第二方面，本公开实施例提供一种像素电路的驱动方法，包括：

在第 N 帧的第一时间段执行如下操作:

通过第一驱动信号控制第一子像素电路的第一发光单元发光;

通过第一偏置控制端控制第一反向偏置单元, 将第一驱动节点与第一偏置输出节点之间导通, 并将第一驱动节点的第一驱动信号传输至第一偏置输出节点;

通过第二偏置控制端控制第一反向偏置单元, 将第二驱动节点与第二偏置输出节点之间导通;

在第 N 帧的第二时间段执行如下操作:

通过第一驱动信号控制第一子像素电路的第一发光单元发光;

通过第二驱动信号控制第二子像素电路的第二发光单元发光;

通过第一偏置控制端控制第一反向偏置单元, 将第一驱动节点与第一偏置输出节点之间断开; 第二偏置控制端控制第一反向偏置单元, 将第二驱动节点与第二偏置输出节点之间断开;

在第 N+1 帧的第一时间段执行如下操作:

通过第二驱动信号控制第二子像素电路的第二发光单元发光;

通过第二偏置控制端控制第一反向偏置单元, 将第二驱动节点与第二偏置输出节点之间导通, 并将第二驱动节点的第二驱动信号传输至第二偏置输出节点;

通过第一偏置控制端控制第一反向偏置单元, 将第一驱动节点与第一偏置输出节点之间导通;

在第 N+1 帧的第二时间段执行如下操作:

通过第一驱动信号控制第一子像素电路的第一发光单元发光;

通过第二驱动信号控制第二子像素电路的第二发光单元发光;

通过第一偏置控制端控制第一反向偏置单元, 将第一驱动节点与第一偏置输出节点之间断开;

通过第二偏置控制端控制第一反向偏置单元, 将第二驱动节点与第二偏置输出节点之间断开。

例如, 第一子像素电路还包括: 第一数据输入单元和第一存储电容;

所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

通过扫描端的信号控制第一数据输入单元，将第一数据端与第一子像素节点之间导通，并将第一数据端的第一数据信号传输至第一子像素节点；

通过第一存储电容存储第一子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操

5 作：

通过扫描端的信号控制第一数据输入单元，将第一数据端与第一子像素节点之间导通，并将第一数据端的第一数据信号传输至第一子像素节点；

通过第一存储电容存储第一子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 N+1 帧的第一时间段还执行如下

10 操作：

通过扫描端的信号控制第一数据输入单元，将第一数据端与第一子像素节点之间导通，并将第一数据端的第一数据信号传输至第一子像素节点；

通过第一存储电容存储第一子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 N+1 帧的第二时间段还执行如下

15 操作：

通过扫描端的信号控制第一数据输入单元，将第一数据端与第一子像素节点之间导通，并将第一数据端的第一数据信号传输至第一子像素节点；

通过第一存储电容存储第一子像素节点与第一电压端的电平。

例如，像素电路还包括：发光控制单元；并且发光控制单元连接第一电

20 压端、第一发光控制端、第一发光控制节点；

所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作：

通过第一发光控制端的信号控制发光控制单元，将第一电压端与第一发光控制节点之间导通，并将第一电压端的电平输出至第一发光控制节点；

25 所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操作：

通过第一发光控制端的信号控制发光控制单元，将第一电压端与第一发光控制节点之间导通，并将第一电压端的电平输出至第一发光控制节点；

所述像素电路的驱动方法还包括在第 N+1 帧的第一时间段还执行如下

30 操作：

通过第一发光控制端的信号控制发光控制单元，将第一电压端与第一发光控制节点之间断开；

所述像素电路的驱动方法还包括在第 $N+1$ 帧的第二时间段还执行如下操作：

- 5 通过第一发光控制端的信号控制发光控制单元，将第一电压端与第一发光控制节点之间导通，并将第一电压端的电平输出至第一发光控制节点。

例如，第二子像素电路还包括：第二数据输入单元和第二存储电容；

所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作：

- 10 通过扫描端的信号控制第二数据输入单元，将第二数据端与第二子像素节点之间导通，并将第二数据端的第二数据信号传输至第二子像素节点；

通过第二存储电容存储第二子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操作：

- 15 通过扫描端的信号控制第二数据输入单元，将第二数据端与第二子像素节点之间导通，并将第二数据端的第二数据信号传输至第二子像素节点；

通过第二存储电容存储第二子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 $N+1$ 帧的第一时间段还执行如下操作：

- 20 通过扫描端的信号控制第二数据输入单元，将第二数据端与第二子像素节点之间导通，并将第二数据端的第二数据信号传输至第二子像素节点；

通过第二存储电容存储第二子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 $N+1$ 帧的第二时间段还执行如下操作：

- 25 通过扫描端的信号控制第二数据输入单元，将第二数据端与第二子像素节点之间导通，并将第二数据端的第二数据信号传输至第二子像素节点；

通过第二存储电容存储第二子像素节点与第一电压端的电平。

例如，像素电路还包括：发光控制单元；并且发光控制单元连接第一电压端、第二发光控制端、第二发光控制节点；

- 30 所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操

作:

通过第二发光控制端的信号控制发光控制单元, 将第一电压端与第二发光控制节点之间断开;

所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操

5 作:

通过第二发光控制端的信号控制发光控制单元, 将第一电压端与第二发光控制节点之间导通, 并将第一电压端的电平输出至第二发光控制节点;

所述像素电路的驱动方法还包括在第 N+1 帧的第一时间段还执行如下操作:

10 通过第二发光控制端的信号控制发光控制单元, 将第一电压端与第二发光控制节点之间导通, 并将第一电压端的电平输出至第二发光控制节点;

所述像素电路的驱动方法还包括在第 N+1 帧的第二时间段还执行如下操作:

15 通过第二发光控制端的信号控制发光控制单元, 将第一电压端与第二发光控制节点之间导通, 并将第一电压端的电平输出至第二发光控制节点。

例如, 像素电路还包括: 第二反向偏置单元; 并且第二反向偏置单元连接第二偏置输出节点、第一偏置输出节点、第一发光控制端、第二发光控制端和第二电压端;

20 所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

通过第一发光控制端的信号控制第二反向偏置单元, 将第二电压端与第二偏置输出节点之间导通, 并将第二电压端的电平输出至第二偏置输出节点;

通过第二发光控制端的信号控制第二反向偏置单元, 将第二电压端与第一偏置输出节点之间断开;

25 所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

通过第一发光控制端的信号控制第二反向偏置单元, 将第二电压端与第二偏置输出节点之间导通, 并将第二电压端的电平输出至第二偏置输出节点;

30 通过第二发光控制端的信号控制第二反向偏置单元, 将第二电压端与第一偏置输出节点之间导通, 并将第二电压端的电平输出至第一偏置输出节点;

所述像素电路的驱动方法还包括在第 N+1 帧的第一时间段还执行如下操作:

通过第一发光控制端的信号控制第二反向偏置单元, 将第二电压端与第二偏置输出节点之间断开;

- 5 通过第二发光控制端的信号控制第二反向偏置单元, 将第二电压端与第一偏置输出节点之间导通, 并将第二电压端的电平输出至第一偏置输出节点;

所述像素电路的驱动方法还包括在第 N+1 帧的第二时间段还执行如下操作:

- 10 通过第一发光控制端的信号控制第二反向偏置单元, 将第二电压端与第二偏置输出节点之间导通, 并将第二电压端的电平输出至第二偏置输出节点;

通过第二发光控制端的信号控制第二反向偏置单元, 将第二电压端与第一偏置输出节点之间导通, 并将第二电压端的电平输出至第一偏置输出节点。

第三方面, 本公开实施例提供另一种像素电路的驱动方法, 包括:

在第 N 帧的第一时间段执行如下操作:

- 15 通过第一驱动信号控制第一子像素电路的第一发光单元发光;

通过第一偏置控制端控制第一反向偏置单元, 将第一驱动节点与第一偏置输出节点之间导通, 并将第一驱动节点的第一驱动信号传输至第一偏置输出节点;

- 20 通过第二偏置控制端控制第一反向偏置单元, 将第二驱动节点与第二偏置输出节点之间导通;

在第 N 帧的第二时间段执行如下操作:

通过第二驱动信号控制第二子像素电路的第二发光单元发光;

- 25 通过第二偏置控制端控制第一反向偏置单元, 将第二驱动节点与第二偏置输出节点之间导通, 并将第二驱动节点的第二驱动信号传输至第二偏置输出节点;

通过第一偏置控制端控制第一反向偏置单元, 将第一驱动节点与第一偏置输出节点之间导通。

例如, 第一子像素电路还包括: 第一数据输入单元、第一存储电容;

- 30 所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

通过扫描端的信号控制第一数据输入单元，将第一数据端与第一子像素节点之间导通，并将第一数据端的第一数据信号传输至第一子像素节点；

通过第一存储电容存储第一子像素节点与第一电压端的电平；

所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操

5 作：

通过扫描端的信号控制第一数据输入单元，将第一数据端与第一子像素节点之间导通，并将第一数据端的第一数据信号传输至第一子像素节点；

通过第一存储电容存储第一子像素节点与第一电压端的电平。

例如，像素电路还包括：发光控制单元；并且发光控制单元连接第一电
10 压端、第一发光控制端、第一发光控制节点；

所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作：

通过第一发光控制端的信号发光控制单元，将第一电压端与第一发光控制节点之间导通，并将第一电压端的电平输出至第一发光控制节点；

15 所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操作：

通过第一发光控制端的信号控制发光控制单元，将第一电压端与第一发光控制节点之间断开。

例如，第二子像素电路还包括：第二数据输入单元、第二存储电容；

20 所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作：

通过扫描端的信号控制第二数据输入单元，将第二数据端与第二子像素节点之间导通，并将第二数据端的第二数据信号传输至第二子像素节点；

通过第二存储电容存储第二子像素节点与第一电压端的电平；

25 所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操作：

通过扫描端的信号控制第二数据输入单元，将第二数据端与第二子像素节点之间导通，并将第二数据端的第二数据信号传输至第二子像素节点；

通过第二存储电容存储第二子像素节点与第一电压端的电平。

30 例如，像素电路还包括：发光控制单元；并且发光控制单元连接第一电

压端、第二发光控制端、第二发光控制节点；

所述像素电路的驱动方法还包括在第 N 帧的第一时间段还执行如下操作：

5 通过第二发光控制端的信号控制发光控制单元，将第一电压端与第二发光控制节点之间断开；

所述像素电路的驱动方法还包括在第 N 帧的第二时间段还执行如下操作：

通过第二发光控制端的信号控制发光控制单元，将第一电压端与第二发光控制节点之间导通，并将第一电压端的电平输出至第二发光控制节点。

10 第四方面，本公开实施例提供一种显示设备，包括上述任一像素电路。

本公开实施例提供的一种像素电路包括第一反向偏置单元以及相邻的第一子像素电路与第二子像素电路，其中，第一子像素电路包括第一发光单元、第二子像素电路包括第二发光单元。在一帧画面中，通过第一驱动信号的控制将第一子像素电路中的第一发光单元驱动发光，并通过第一反向偏置单元
15 将第一驱动信号作为第二子像素电路中的第二发光单元的反向偏置电压；或者，通过第二驱动信号的控制将第二子像素电路中的第二发光单元驱动发光，并通过第一反向偏置单元将第二驱动信号作为第一子像素电路中的第一发光单元的反向偏置电压。从而实现了第一子像素电路的第一驱动信号对第二子像素电路中的第二发光单元进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路中的第一发光单元进行反向偏置，使得第一发光单元或者第二发光单元不用长期的处于直流偏置的条件下，减缓了第一发光单元和
20 第二发光单元的衰老，增加了第一发光单元和第二发光单元的使用时间。本公开实施例提供的像素电路并未外接其它的反向偏置电压，而是利用第一子像素电路与第二子像素电路的第一驱动信号或者第二驱动信号，作为第二子
25 像素电路中的第二发光单元或第一子像素电路中的第一发光单元的反向偏置电压，在不影响 AMOLED 显示效果的情况下起到了减缓第一发光单元和第二发光单元电路衰老的效果，同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

30 附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- 5 图 1 为现有技术中 AMOLED 的 2T1C 像素驱动电路结构示意图；
图 2 为本公开实施例提供的一种像素电路的结构示意图；
图 3 为本公开实施例提供的一种像素电路的具体结构示意图；
图 4 为本公开实施例提供的另一种像素电路的具体结构示意图；
图 5 为本公开实施例提供的一种像素电路的示例性实现的结构示意图；
10 图 6 为本公开实施例提供的像素电路的另一示例性实现的结构示意图；
图 7 为本公开实施例提供的一种像素电路的电路时序示意图；
图 8 为本公开实施例提供的一种像素电路的等效结构示意图；
图 9 为本公开实施例提供的另一种像素电路的等效结构示意图；
图 10 为本公开实施例提供的又一种像素电路的等效结构示意图；
15 图 11 为本公开实施例提供的再一种像素电路的等效结构示意图；
图 12 为本公开实施例提供的一种像素电路的又一示例性实现的结构示意图；
图 13 为本公开实施例提供的一种像素电路的又一示例性实现的结构示意图；
20 图 14 为本公开实施例提供的一种像素电路的电路时序示意图；
图 15 为本公开实施例提供的一种像素电路的等效结构示意图；
图 16 为本公开实施例提供的又一种像素电路的等效结构示意图。

附图标记：

像素电路-10；

- 25 第一子像素电路-20；第一发光单元-201；第一数据输入单元-202；第一存储电容-CS1；第一有机发光二极管-OLED1；扫描端-Vscan；第一数据端-Vdata1；

第二子像素电路-30；第二发光单元-301；第二数据输入单元-302；第二存储电容-CS2；第二有机发光二极管-OLED2；第二数据端-Vdata2；

- 30 发光控制单元-40；

第一反向偏置单元-50;

第二反向偏置单元-60;

第一子像素节点-a; 第二子像素节点-b; 第一发光控制节点-c; 第二发光控制节点-d; 第一驱动节点-e; 第二驱动节点-f; 第二偏置输出节点-g; 第一偏置输出节点-h;

第一发光控制端-Ctrl-1; 第二发光控制端-Ctrl-2; 第一偏置控制端-Ctrl-3; 第二偏置控制端-Ctrl-4;

第一电压端-VDD; 第二电压端-VSS;

第一发光控制晶体管-T1; 第二发光控制晶体管-T2; 第一数据输入晶体管-T3; 第二数据输入晶体管-T4; 第一驱动晶体管-T5; 第二驱动晶体管-T6; 第一反向偏置晶体管-T7; 第二反向偏置晶体管-T8; 第三反向偏置晶体管-T9; 第四反向偏置晶体管-T10。

具体实施方式

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件, 根据在电路中的作用本公开的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的, 所以其源极、漏极是可以互换的。在本公开实施例中, 为区分晶体管除栅极之外的两极, 将其中源极称为第一端, 漏极称为第二端。当然, 第一端可以为漏极, 而第二端为源极。按附图中的形态规定晶体管的中间端为栅极、输入信号端为源极、输出信号端为漏极。此外本公开实施例所采用的开关晶体管包括P型开关晶体管和N型开关晶体管两种, 其中, P型开关晶体管在栅极为低电平时导通, 在栅极为高电平时断开, N型开关晶体管为在栅极为高电平时导通, 在栅极为低电平时断开; 驱动晶体管包括P型和N型, 其中P型驱动晶体管在栅极电压为低电平(栅极电压小于源极电压), 且栅极源极的压差的绝对值大于阈值电压时处于放大状态或饱和状态; 其中N型驱动晶体管的栅极电压为高电平(栅极电压大于源极电压), 且栅极源极的压差的绝对值大于阈值电压时处于放大状态或饱和状态。

需要说明的是, 本申请中的“第一”、“第二”等字样仅仅是为了对功能和作用基本相同的相同项或相似项进行区分, “第一”、“第二”等字样并不是在

对数量和执行次序进行限定，例如同一个实施例中可能出现“第一晶体管”、“第二晶体管”、“第四晶体管”而没有出现“第三晶体管”，则“第一”、“第二”、“第四”仅可以理解为对不同晶体管的区分，而不能理解为该实施例中还包括“第三晶体管”；。反向偏置是指对电路中某点施以一定电压，使该点电位从零电

5 位偏移至预定相反的正电位或负电位。

本公开实施例提供一种像素电路，其包括第一反向偏置单元以及相邻的第一子像素电路与第二子像素电路，其中，第一子像素电路包括第一发光单元、第二子像素电路包括第二发光单元。在一帧画面中，通过第一驱动信号的控制将第一子像素电路中的第一发光单元驱动发光，并通过第一反向偏置单元将第一驱动信号作为第二子像素电路中的第二发光单元的反向偏置电压；或者，通过第二驱动信号的控制将第二子像素电路中的第二发光单元驱动发光，并通过第一反向偏置单元将第二驱动信号作为第一子像素电路中的第一发光单元的反向偏置电压。因此，实现了第一子像素电路的第一驱动信号对第二子像素电路中的第二发光单元进行反向偏置，或者实现了第二子像素电路的第二驱动信号对第一子像素电路中的第一发光单元进行反向偏置，使得第一发光单元或者第二发光单元不用长期的处于直流偏置的条件下，减缓了第一发光单元和第二发光单元的衰老，增加了第一发光单元和第二发光单元的使用时间。由于本公开实施例提供的像素电路并未外接其它的反向偏置电压，而是利用第一子像素电路的第一驱动信号，作为第二子像素电路中的第二发光单元，或者，利用第二子像素电路的第二驱动信号，作为第一子像素电路中的第一发光单元的反向偏置电压。在不影响 AMOLED 显示效果的情况下起到了减缓第一发光单元和第二发光单元电路衰老的效果，同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

实施例一

参照图 2 所示，本公开实施例提供一种像素电路 10，包括：第一反向偏置单元 50，以及相邻的第一子像素电路 20 和第二子像素电路 30。第一子像

素电路 20 包括第一发光单元 201; 第二子像素电路 30 包括第二发光单元 301。第一发光单元 201 连接第一驱动节点 e 和第二偏置输出节点 g, 第二发光单元 301 连接第二驱动节点 f 和第一偏置输出节点 h; 第一反向偏置单元 50 连接第一驱动节点 e、第二驱动节点 f、第二偏置输出节点 g、第一偏置输出节点 h、第一偏置控制端 Ctrl-3 和第二偏置控制端 Ctrl-4。

第一发光单元 201 被配置为在第一驱动信号的控制下发光, 并将第一驱动信号输出至第一驱动节点 e; 第一反向偏置单元 50 被配置为在第一偏置控制端 Ctrl-3 的控制下将第一驱动节点 e 的第一驱动信号输出至第一偏置输出节点 h; 第一偏置输出节点 h 向第二发光单元 301 提供反向偏置电压;

或者, 第二发光单元 301 被配置为在第二驱动信号的控制下发光, 并将第二驱动信号输出至第二偏置输出节点 g; 第一反向偏置单元 50 还被配置为在第二偏置控制端 Ctrl-4 的控制下将第二驱动节点 f 的第二驱动信号输出至第二偏置输出节点 g; 第二偏置输出节点 g 向第一发光单元 201 提供反向偏置电压。

上述方案中, 该像素电路包含相邻的第一子像素电路与第二子像素电路, 其中, 第一子像素电路包括第一发光单元、第二子像素电路包括第二发光单元。在一帧画面中, 通过第一驱动信号的控制将第一子像素电路中的第一发光单元驱动发光, 并通过第一反向偏置单元将第一驱动信号作为第二子像素电路中的第二发光单元的反向偏置电压, 或者通过第二驱动信号的控制将第二子像素电路中的第二发光单元驱动发光, 并通过第一反向偏置单元将第二驱动信号作为第一子像素电路中的第一发光单元的反向偏置电压。从而实现了第一子像素电路的第一驱动信号对第二子像素电路中的第二发光单元进行反向偏置, 或者实现了第二子像素电路的第二驱动信号对第一子像素电路中的第一发光单元进行反向偏置, 使得第一发光单元或者第二发光单元不用长期的处于直流偏置的条件下, 减缓了第一发光单元和第二发光单元的衰老, 增加了第一发光单元和第二发光单元的使用时间。由于本公开实施例提供的像素电路并未外接其它的反向偏置电压, 而是利用第一子像素电路与第二子像素电路的第一驱动信号或者第二驱动信号, 作为第二子像素电路中的第二发光单元或第一子像素电路中的第一发光单元的反向偏置电压, 在不影响 AMOLED 显示效果的情况下起到了减缓第一发光单元和第二发光单元电路

衰老的效果，同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

实施例二

参照图 3、图 4、图 5 和图 6 所示，本公开实施例提供一种像素电路 10，
5 具体的实现方式如下：

情景一，如图 3 和图 5 所示的本公开实施例提供一种像素电路 10。像素电路 10 中的第一子像素电路 20 还包括：第一数据输入单元 202、第一存储电容 CS1；

10 第一数据输入单元 202 连接第一数据端 Vdata1、扫描端 Vscan 和第一子像素节点 a；第一数据输入单元 202 被配置为在扫描端 Vscan 的信号控制下将第一数据端 Vdata 的第一数据信号输出至第一子像素节点 a；

第一存储电容 CS1 连接第一子像素节点 a 和第一电压端 VDD，第一存储电容 CS1 用于存储第一子像素节点 a 和第一电压端 VDD 之间的电平；

15 第一发光单元 201 还连接第一子像素节点 a、第一发光控制节点 c，第一发光单元 201 被配置为在第一子像素节点 a、第一发光控制节点 c 和第二偏置输出节点 g 的信号控制下，向第一驱动节点 e 输出第一驱动信号。

20 像素电路 10 还包括：发光控制单元 40；发光控制单元 40 连接第一电压端 VDD、第一发光控制端 Ctrl-1、第一发光控制节点 c；发光控制单元 40 被配置为在第一发光控制端 Ctrl-1 的控制下将第一电压端 VDD 的电平输出至第一发光控制节点 c。

像素电路 10 中的第二子像素电路 30 还包括：第二数据输入单元 302、第二存储电容 CS2；

25 第二数据输入单元 302 连接第二数据端 Vdata2、扫描端 Vscan 和第二子像素节点 b；第二数据输入单元 302 被配置为在扫描端 Vscan 的信号控制下将第二数据端 Vdata2 的第二数据信号输出至第二子像素节点 b；

第二存储电容 CS2 连接第二子像素节点 b 和第一电压端 VDD，第二存储电容 CS2 用于存储第二子像素节点 b 和第一电压端 VDD 之间的电平；

第二发光单元 301 还被配置为在第二子像素节点 b、第二发光控制节点 d 和第一偏置输出节点 h 的信号控制下，向第二驱动节点 f 输出第二驱动信号。

30 像素电路 10 还包括：发光控制单元 40。发光控制单元 40 连接第一电压

端 VDD、第二发光控制端 Ctrl-2、第二发光控制节点 d；发光控制单元 40 被配置为在第二发光控制端 Ctrl-2 的控制下将第一电压端 VDD 的电平输出至第二发光控制节点 d。

5 像素电路 10 中的第二偏置输出节点 g 和第一偏置输出节点 h 连接第二电压端 VSS；

例如，如图 3 和图 5 所示，第一数据输入单元 202 包含第一数据输入晶体管 T3，第一数据输入晶体管 T3 的栅极连接扫描端 Vscan，第一数据输入晶体管 T3 的第一端连接第一数据端 Vdata1，第一数据输入晶体管 T3 的第二端连接第一子像素节点 a。

10 像素电路 10 中的发光控制单元 40，包括：第一发光控制晶体管 T1，第一发光控制晶体管 T1 的栅极连接第一发光控制端 Ctrl-1，第一发光控制晶体管 T1 的第一端连接第一电压端 VDD，第一发光控制晶体管 T1 的第二端连接第一发光控制节点 c。

15 像素电路 10 中的第二数据输入单元 302 包含第二数据输入晶体管 T4，第二数据输入晶体管 T4 的栅极连接扫描端 Vscan，第二数据输入晶体管 T4 的第一端连接第二数据端 Vdata2，第二数据输入晶体管 T4 的第二端连接第二子像素节点 b。

20 像素电路 10 中的发光控制单元 40，包括：第二发光控制晶体管 T2，第二发光控制晶体管 T2 的栅极连接第二发光控制端 Ctrl-2，第二发光控制晶体管 T2 的第一端连接第一电压端 VDD，第二发光控制晶体管 T2 的第二端连接第二发光控制节点 d。

25 像素电路 10 中的第一反向偏置单元 50 包含第一反向偏置晶体管 T7 和第二反向偏置晶体管 T8，第一反向偏置晶体管 T7 的栅极连接第一偏置控制端 Ctrl-3，第一反向偏置晶体管 T7 的第一端连接第一驱动节点 e，第一反向偏置晶体管 T7 的第二端连接第一偏置输出节点 h；

第二反向偏置晶体管 T8 的栅极连接第二偏置控制端 Ctrl-4，第二反向偏置晶体管 T8 的第一端连接第二驱动节点 f，第二反向偏置晶体管 T8 的第二端连接第二偏置输出节点 g；

30 第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同或相似的信号控制线。

像素电路 10 中的第一发光单元 201 包含第一驱动晶体管 T5 和第一有机发光二极管 OLED1。第一驱动晶体管 T5 的栅极连接第一子像素节点 a，第一驱动晶体管 T5 的第一端连接第一发光控制节点 c，第一驱动晶体管 T5 的第二端连接第一驱动节点 e 和第一有机发光二极管 OLED1 的阳极，第一有机发光二极管 OLED1 的阴极连接第二偏置输出节点 g。

像素电路 10 中的第二发光单元 301 包含第二驱动晶体管 T6 和第二有机发光二极管 OLED2。第二驱动晶体管 T6 的栅极连接第二子像素节点 b，第二驱动晶体管 T6 的第一端连接第二发光控制节点 d，第二驱动晶体管 T6 的第二端连接第二驱动节点 f 和第二有机发光二极管 OLED2 的阳极，第二有机发光二极管 OLED2 的阴极连接第一偏置输出节点 h。

需要说明的是，第一发光控制端 Ctrl-1 输入第一控制信号；第二发光控制端 Ctrl-2 输入第二控制信；其中，第一控制信号与第二控制信号相位差为 0 度或者 180 度；

第一偏置控制端 Ctrl-3 输入第三控制信号；第二偏置控制端 Ctrl-4 输入第四控制信号；其中，第三控制信号与第四控制信号相位差为 0 度。

上述方案中，像素电路包含相邻的第一子像素电路与第二子像素电路，其中，第一子像素电路包含 OLED1 和第一数据数据输入单元，第二子像素电路包含 OLED2 和第二数据输入单元。像素电路还包含发光控制单元、第一反向偏置单元及第二反向偏置单元。在一帧画面中，通过扫描端对第一数据输入单元与第二数据输入单元的控制，以及第一发光控制端、第二发光控制端、第一偏置控制端与第二偏置控制端的时序信号对发光控制单元、第一反向偏置单元以及第二反向偏置单元的分别控制，从而实现了第一子像素电路的第一驱动信号对第二子像素电路的 OLED2 进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路的 OLED1 进行反向偏置。因此，第一子像素电路的 OLED1 或者第二子像素电路的 OLED2 不用长期的处于直流偏置的条件下，减缓了第一子像素电路的 OLED1 和第二子像素电路的 OLED2 的衰老，增加了第一子像素电路的 OLED1 和第二子像素电路的 OLED2 的使用时间。本公开实施例提供的像素电路并未外接其它的反向偏置电压，而是利用第一子像素电路与第二子像素电路的第一驱动信号或者第二驱动信号，作为第二子像素电路的 OLED2 或第一子像素电路的 OLED1 的反

向偏置电压。在不影响 AMOLED 显示效果的情况下起到了减缓第一子像素电路的 OLED1 和第二子像素电路的 OLED2 衰老的效果,同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

情景二,如图 4 和图 6 所示本公开实施例提供一种像素电路 10。像素电路 10 中的第一子像素电路 20 还包括:第一数据输入单元 202、第一存储电容 CS1;

第一数据输入单元 202 连接第一数据端 Vdata1、扫描端 Vscan 和第一子像素节点 a;第一数据输入单元 202 被配置为在扫描端 Vscan 的信号控制下将第一数据端 Vdata 的第一数据信号输出至第一子像素节点 a;

10 第一存储电容 CS1 连接第一子像素节点 a 和第一电压端 VDD,第一存储电容 CS1 用于存储第一子像素节点 a 和第一电压端 VDD 之间的电平;

第一发光单元 201 还连接第一子像素节点 a、第一发光控制节点 c 和第二偏置输出节点 g,第一发光单元 201 被配置为在第一子像素节点 a、第一发光控制节点 c 和第二偏置输出节点 g 的信号控制下,向第一驱动节点 e 输出
15 第一驱动信号。

像素电路 10 还包括:发光控制单元 40。发光控制单元 40 连接第一电压端 VDD、第一发光控制端 Ctrl-1 和第一发光控制节点 c;发光控制单元 40 被配置为在第一发光控制端 Ctrl-1 的控制下将第一电压端 VDD 的电平输出至第一发光控制节点 c。

20 像素电路 10 中的第二子像素电路 30 还包括:第二数据输入单元 302 和第二存储电容 CS2;

第二数据输入单元 302 连接第二数据端 Vdata2、扫描端 Vscan 和第二子像素节点 b;第二数据输入单元 302 被配置为在扫描端 Vscan 的信号控制下将第二数据端 Vdata2 的第二数据信号输出至第二子像素节点 b;

25 第二存储电容 CS2 连接第二子像素节点 b 和第一电压端 VDD,第二存储电容 CS2 用于存储第二子像素节点 b 和第一电压端 VDD 之间的电平;

第二发光单元 301 还被配置为在第二子像素节点 b、第二发光控制节点 d 和第一偏置输出节点 h 的信号控制下,向第二驱动节点 f 输出第二驱动信号。

发光控制单元 40 还连接第二发光控制端 Ctrl-2、以及第二发光控制节点
30 d;发光控制单元 40 被配置为在第二发光控制端 Ctrl-2 的控制下将第一电压

端 VDD 的电平输出至第二发光控制节点 d。

像素电路 10 还包括：第二反向偏置单元 60。第二反向偏置单元 30 连接第二偏置输出节点 g、第一偏置输出节点 h、第一发光控制端 Ctrl-1、第二发光控制端 Ctrl-2 和第二电压端 VSS；第二反向偏置单元 60 被配置为在第一发光控制端 Ctrl-1 的控制下将第二电压端 VSS 的电平输出至第二偏置输出节点 g；第二反向偏置单元 60 还被配置为在第二发光控制端 Ctrl-2 的控制下将第二电压端 VSS 的电平输出至第一偏置输出节点 h。

如图 4 和图 6 所示，第一数据输入单元 202 包含第一数据输入晶体管 T3。第一数据输入晶体管 T3 的栅极连接扫描端 Vscan，第一数据输入晶体管 T3 的第一端连接第一数据端 Vdata1，第一数据输入晶体管 T3 的第二端连接第一子像素节点 a。

像素电路 10 中的发光控制单元 40，包括：第一发光控制晶体管 T1。第一发光控制晶体管 T1 的栅极连接第一发光控制端 Ctrl-1，第一发光控制晶体管 T1 的第一端连接第一电压端 VDD，第一发光控制晶体管 T1 的第二端连接第一发光控制节点 c。

像素电路 10 中的第二数据输入单元 302 包含第二数据输入晶体管 T4。第二数据输入晶体管 T4 的栅极连接扫描端 Vscan，第二数据输入晶体管 T4 的第一端连接第二数据端 Vdata2，第二数据输入晶体管 T4 的第二端连接第二子像素节点 b。

像素电路 10 中的发光控制单元 40 还包括：第二发光控制晶体管 T2。第二发光控制晶体管 T2 的栅极连接第二发光控制端 Ctrl-2，第二发光控制晶体管 T2 的第一端连接第一电压端 VDD，第二发光控制晶体管 T2 的第二端连接第二发光控制节点 d。

像素电路 10 中的第一反向偏置单元 50 包含第一反向偏置晶体管 T7 和第二反向偏置晶体管 T8。第一反向偏置晶体管 T7 的栅极连接第一偏置控制端 Ctrl-3，第一反向偏置晶体管 T7 的第一端连接第一驱动节点 e，第一反向偏置晶体管 T7 的第二端连接第一偏置输出节点 h；

第二反向偏置晶体管 T8 的栅极连接第二偏置控制端 Ctrl-4，第二反向偏置晶体管 T8 的第一端连接第二驱动节点 f，第二反向偏置晶体管 T8 的第二端连接第二偏置输出节点 g；

第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同或相似的信号控制线。

像素电路 10 中的第二反向偏置单元 60 包含第三反向偏置晶体管 T9 和第四反向偏置晶体管 T10。第三反向偏置晶体管 T9 的栅极连接第一发光控制端 Ctrl-1，第三反向偏置晶体管 T9 的第一端连接第二偏置输出节点 g，第三反向偏置晶体管 T9 的第二端连接第二电压端 VSS；

第四反向偏置晶体管 T10 的栅极连接第二发光控制端 Ctrl-2，第四反向偏置晶体管 T10 的第一端连接第一偏置输出节点 h，第四反向偏置晶体管 T10 的第二端连接第二电压端 VSS。

例如，第三反向偏置晶体管 T9 和第四反向偏置晶体管 T10 为同类型的晶体管，第一发光控制端 Ctrl-1 和第二发光控制端 Ctrl-2 连接不同的信号控制线；

或者，第三反向偏置晶体管 T9 和第四反向偏置晶体管 T10 为不同类型的晶体管，第一发光控制端 Ctrl-1 和第二发光控制端 Ctrl-2 连接同一信号控制线。

像素电路 10 中的第一发光单元 201 包含第一驱动晶体管 T5 和第一有机发光二极管 OLED1。第一驱动晶体管 T5 的栅极连接第一子像素节点 a，第一驱动晶体管 T5 的第一端连接第一发光控制节点 c，第一驱动晶体管 T5 的第二端连接第一驱动节点 e 和第一有机发光二极管 OLED1 的阳极，第一有机发光二极管 OLED1 的阴极连接第二偏置输出节点 g。

像素电路 10 中的第二发光单元 301 包含第二驱动晶体管 T6 和第二有机发光二极管 OLED2。第二驱动晶体管 T6 的栅极连接第二子像素节点 b，第二驱动晶体管 T6 的第一端连接第二发光控制节点 d，第二驱动晶体管 T6 的第二端连接第二驱动节点 f 和第二有机发光二极管 OLED2 的阳极，第二有机发光二极管 OLED2 的阴极连接第一偏置输出节点 h。

需要说明的是，第一发光控制端 Ctrl-1 输入第一控制信号；第二发光控制端 Ctrl-2 输入第二控制信；其中，第一控制信号与第二控制信号相位差为 0 度或者 180 度；

第一偏置控制端 Ctrl-3 输入第三控制信号；第二偏置控制端 Ctrl-4 输入第四控制信号；其中，第三控制信号与第四控制信号相位差为 0 度。

上述方案中，像素电路包含相邻的第一子像素电路与第二子像素电路，其中，第一子像素电路包含 OLED1 和第一数据数据输入单元，第二子像素电路包含 OLED2 和第二数据输入单元。像素电路还包含发光控制单元、以及、第一反向偏置单元。在一帧画面中，通过扫描端对第一数据输入单元与第二数据输入单元的控制、第一发光控制端与第二发光控制端时序信号对发光控制单元的控制和第一偏置控制端与第二偏置控制端时序信号对第一反向偏置单元的控制，从而实现了第一子像素电路的第一驱动信号对第二子像素电路的 OLED2 进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路的 OLED1 进行反向偏置。因此，使得第一子像素电路的 OLED1 或者第二子像素电路的 OLED2 不用长期的处于直流偏置的条件下，减缓了第一子像素电路的 OLED1 和第二子像素电路的 OLED2 的衰老，增加了第一子像素电路的 OLED1 和第二子像素电路的 OLED2 的使用时间。本公开实施例提供的像素电路并未外接其它的反向偏置电压，而是利用第一子像素电路与第二子像素电路的第一驱动信号或者其二驱动信号，作为第二子像素电路的 OLED2 或第一子像素电路的 OLED1 的反向偏置电压。因此，能够在不影响 AMOLED 显示效果的情况下，起到了减缓第一子像素电路的 OLED1 和第二子像素电路的 OLED2 衰老的效果，同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

实施例三

参照图 3、图 5、图 7、图 8、图 9、图 10 及图 11 所示，本公开实施例提供一种像素电路 10 的驱动方法。

以像素电路 10 中的第一发光控制晶体管 T1、第二发光控制晶体管 T2、第一数据输入晶体管 T3、第二数据输入晶体管 T4、第一驱动晶体管 T5、第二驱动晶体管 T6、第一反向偏置晶体管 T7 和第二反向偏置晶体管 T8 为同类型晶体管为例。同时，以像素电路 10 中的所有晶体管为 P 型晶体管，第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同的信号控制线进行说明。第一时间段 t1 与第二时间段 t2 共同构成一帧画面，t1 与 t2 的时间可以分别用以调整第一发光单元 201 与第二发光单元 301 的反向偏置的时间，对应电路的时序图如图 7 所示。

需要说明的是，第一发光控制端 Ctrl-1 输入第一控制信号，第二发光控

制端 Ctrl-2 输入第二控制信，其中，第一控制信号与第二控制信号相位差为 180 度。第一偏置控制端 Ctrl-3 输入第三控制信号，第二偏置控制端 Ctrl-4 输入第四控制信号；其中，第三控制信号与第四控制信号相位差为 0 度。图 7 中 VGL 是指低电平，VGH 是指高电平，Vgrayscale 指灰阶电压。本公开实
5 施例中提供的像素电路 10，采用第一发光单元 201（或者第二发光单元 301）的驱动信号作为第二发光单元 301 的 OLED2（或者第一发光单元 201 的 OLED1）的反向偏置电压。例如，VSS 的电压值一般为 -6V 左右，第一发光单元 201 或者第二发光单元 301 的驱动信号的范围一般为 0-5V，在低灰阶下，第一发光单元 201（或者第二发光单元 301）的驱动信号相对于 VSS 也是高
10 电压，可以对第二发光单元 301 的 OLED2（或者第一发光单元 201 的 OLED1）进行反向偏置。

本公开实施例提供的像素电路 10 在显示第 N 帧及第 N+1 帧的画面时（N 为任意正整数），像素电路 10 会重复运行第 N 帧的第一时间段 t1、第 N 帧的第二时间段 t2、第 N+1 帧的第一时间段 t1、第 N+1 帧的第二时间段 t2。
15 在相邻两帧画面的时间内，第一发光发单元 201 的 OLED1 与第二发光发单元 301 的 OLED2 分别在像素电路 10 运行第 N 帧的第一时间段 t1 与第 N+1 帧的第一时间段 t1 的时间内进行反向偏置或者直流充电；第一发光发单元 201 的 OLED1 与第二发光发单元 301 的 OLED2 分别在像素电路 10 运行第 N 帧的第二时间段 t2 与第 N+1 帧的第二时间段 t2 的时间内进行直流充电。

20 情景一，如图 3、图 5、图 7 和图 8 所示，在第 N 帧的第一时间段 t1 执行如下方法：

通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光；

通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50，将第一驱动节点 e 与第一偏置输出节点 h 之间导通，并将第一驱动节点 e 的第一驱动信号传
25 输至第一偏置输出节点 h；

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50，将第二驱动节点 f 与第二偏置输出节点 g 之间导通；

其中，

扫描端 Vscan 的信号控制第一数据输入单元 202，将第一数据端 Vdata1
30 与第一子像素节点 a 之间导通，并将第一数据端 Vdata1 的第一数据信号传输

至第一子像素节点 a;

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

5 第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间导通, 并将第一电压端 VDD 的电平输出至第一发光控制节点 c;

扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

10 第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平;

第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间断开;

15 将第二电压端 VSS 的电平传输至第二偏置输出节点 g 与第一偏置输出节点 h;

此时, 如图 3 和图 5 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于导通状态; 第二发光控制晶体管 T2 处于断开状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断开状态; 第二有机发光二极管 OLED2 处于反向偏置状态; 第一反向偏置晶体管 T7 处于导通状态; 第二反向偏置晶体管 T8 处于导通状态。

由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N 帧画面的第一时间段 t1 时, 结合图 5, 图 7 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通; Ctrl-1 为低电平, 由于 T1 为 P 型晶体管, 所以此时 T1 导通; Ctrl-2 为高电平, 由于 T2 为 P 型晶体管, 所以此时 T2 断开; Ctrl-3 为低电平, 由于 T7 为 P 型晶体管, 所以此时 T7 导通; Ctrl-4 为低电平, 由于 T8 为 P 型晶体管, 所以此时 T8 导通。此时等效电路如图 8 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时 CS1 进行存储第一子像素节点 a 与 VDD 之间的电平, CS2 进行存储第二子

像素节点 b 与 VDD 之间的电平; T1 将 VDD 的数据信号传输至 c; VSS 的数据信号传输至 g 和 h; 此时在 a、c、g 的作用下, T5 向 e 输出第一驱动信号, 驱动 OLED1 发光, 处于时长为 t1 的直流充电状态; 同时 T7 将 e 处的第一驱动信号传输至 OLED2 的阴极, 由于第一驱动信号相对于 VSS 是高电压, 5 所以此时 OLED2 处于时长为 t1 的反向偏置状态, 而由于 T2 此时处于断开状态, 所以不会对 OLED2 进行直流偏置。

情景二, 如图 3、图 5、图 7 和图 9 所示, 在第 N 帧的第二时间段 t2 执行如下方法:

10 通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 中的 OLED1 发光;

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 中的 OLED2 发光;

15 通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50, 将第一驱动节点 e 与第一偏置输出节点 h 之间断开; 通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50, 将第二驱动节点 f 与第二偏置输出节点 g 之间断开;

其中,

扫描端 Vscan 的信号控制第一数据输入单元 202, 将第一数据端 Vdata1 与第一子像素节点 a 之间导通, 并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

20 第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间导通, 并将第一电压端 VDD 的电平输出至第一发光控制节点 c;

25 扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平;

30 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD

与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d。

此时, 如图 3 和图 5 所示, 像素电路 10 中的第一发光控制晶体管 T1 和第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断开状态; 第二有机发光二极管 OLED2 处于反向偏置状态; 第一反向偏置晶体管 T7 处于断开状态; 第二反向偏置晶体管 T8 处于断开状态。

由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N 帧画面的第一时间段 T2 时, 结合图 5, 图 7 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通; Ctrl-1 为低电平, 由于 T1 为 P 型晶体管, 所以此时 T1 导通; Ctrl-2 为低电平, 由于 T2 为 P 型晶体管, 所以此时 T2 导通; Ctrl-3 为高电平, 由于 T7 为 P 型晶体管, 所以此时 T7 断开; Ctrl-4 为高电平, 由于 T8 为 P 型晶体管, 所以此时 T8 断开。此时等效电路如图 9 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时 CS1 进行存储第一子像素节点 a 与 VDD 之间的电平, CS2 进行存储第二子像素节点 b 与 VDD 之间的电平; T1 将 VDD 的数据信号传输至第一发光控制节点 c; T2 将 VDD 的数据信号传输至第二发光控制节点 d; VSS 的数据信号传输至节点 g 与 h; 此时在节点 a、c、g 的作用下, T5 向节点 e 输出第一驱动信号, 驱动 OLED1 发光, 处于时长为 t2 的直流充电状态; 在节点 b、d、h 的作用下, T6 向节点 f 输出第二驱动信号, 驱动 OLED2 发光, 处于时长为 t2 的直流充电状态; 由于 T7 与 T8 处于断开状态, 不会使得 T5 的驱动信号对 OLED2 进行反向偏置或者 T6 的驱动信号对 OLED1 进行反向偏置, 而 OLED1 与 OLED2 本身是在 T5 与 T6 产生的第一驱动信号与第二驱动信号的驱动下发光。

情景三, 如图 3、图 5、图 7 和图 10 所示, 在第 N+1 帧的第一时间段执行如下方法:

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光;

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50, 将第二驱动节点

f 与第二偏置输出节点 g 之间导通, 并将第二驱动节点 f 的第二驱动信号传输至第二偏置输出节点 g;

通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50, 将第一驱动节点 e 与第一偏置输出节点 h 之间导通;

5 其中,

扫描端 Vscan 的信号控制第一数据输入单元 202, 将第一数据端 Vdata1 与第一子像素节点 a 之间导通, 并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

10 第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间断开;

15 扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 c 与第一电压端 VDD 的电平;

20 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d;

将第二电压端 VSS 的电平传输至第二偏置输出节点 g 与第一偏置输出节点 h;

25 此时, 参见图 3 和图 5 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于断开状态; 第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于断开状态; 第一有机发光二极管 OLED1 处于反向偏置状态; 第二驱动晶体管 T6 处于导通状态; 第二有机发光二极管 OLED2 处于发光状态; 第一反向偏置晶体管 T7 处于导通状态; 第二反向偏置晶体管 T8 处于导通状态。

30 由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像

素电路,处于第 N+1 帧画面的第一时间段 t1 时,结合图 5,图 7 可知,扫描端 Vscan 为低电平时,由于 T3 与 T4 为 P 型晶体管,所以此时 T3 与 T4 导通; Ctrl-1 为高电平,由于 T1 为 P 型晶体管,所以此时 T1 断开; Ctrl-2 为低电平,由于 T2 为 P 型晶体管,所以此时 T2 导通; Ctrl-3 为低电平,由于 T7 为 P 型晶体管,所以此时 T7 导通; Ctrl-4 为低电平,由于 T8 为 P 型晶体管,所以此时 T8 导通。此时等效电路如图 10 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b,此时 CS1 进行存储第一子像素节点 a 与 VDD 之间的电平, CS2 进行存储第二子像素节点 b 与 VDD 之间的电平; T2 将 VDD 的数据信号传输至节点 d; 此时在节点 b、d、h 的作用下, T6 向节点 f 输出第二驱动信号,驱动 OLED2 发光,处于时长为 t1 的直流充电状态; 同时 T8 将节点 f 处的第二驱动信号传输至 OLED1 的阴极,由于第二驱动信号相对于 VSS 是高电压,所以此时 OLED1 处于时长为 t1 的反向偏置状态,而由于 T1 此时处于断开状态,所以不会对 OLED1 进行直流偏置。

情景四,如图 3、图 5、图 7 和图 11 所示,在第 N+1 帧的第二时间段 t2 执行如下方法:

通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光;

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光;

通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50,将第一驱动节点 e 与第一偏置输出节点 h 之间断开; 通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50,将第二驱动节点 f 与第二偏置输出节点 g 之间断开;

其中,

扫描端 Vscan 的信号控制第一数据输入单元 202,将第一数据端 Vdata1 与第一子像素节点 a 之间导通,并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40,将第一电压端 VDD 与第一发光控制节点 c 之间导通,并将第一电压端 VDD 的电平输出至第一发光控制节点 c;

扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平;

第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d;

此时, 如图 3 和图 5 所示, 像素电路 10 中的第一发光控制晶体管 T1 和第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断开状态; 第二有机发光二极管 OLED2 处于反向偏置状态; 第一反向偏置晶体管 T7 处于断开状态; 第二反向偏置晶体管 T8 处于断开状态。

由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N+1 帧画面的第二时间段 t2 时, 结合图 5, 图 7 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通; Ctrl-1 为低电平, 由于 T1 为 P 型晶体管, 所以此时 T1 导通; Ctrl-2 为低电平, 由于 T2 为 P 型晶体管, 所以此时 T2 导通; Ctrl-3 为高电平, 由于 T7 为 P 型晶体管, 所以此时 T7 断开; Ctrl-4 为高电平, 由于 T8 为 P 型晶体管, 所以此时 T8 断开。此时等效电路如图 11 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时存储电容 CS1 进行存储第一子像素节点 a 与 VDD 之间的电平, 存储电容 CS2 进行存储第二子像素节点 b 与 VDD 之间的电平; T1 将 VDD 的数据信号传输至节点 c; T2 将 VDD 的数据信号传输至节点 d; VSS 的数据信号传输至节点 g 与 h; 此时在节点 a、c、g 的作用下, T5 向节点 e 输出第一驱动信号, 驱动 OLED1 发光, 处于时长为 t2 的直流充电状态; 在节点 b、d、h 的作用下, T6 向节点 f 输出第二驱动信号, 驱动 OLED2 发光, 处于时长为 t2 的直流充电状态; 由于 T7 与 T8 处于断开状态, 不会使得 T5 的驱动信号对 OLED2 进行反向偏置或者 T6 的驱动信号对 OLED1 进行反向偏置, 而

OLED1 与 OLED2 本身是在 T5 与 T6 产生的第一驱动信号与第二驱动信号的驱动下发光。

实施例四

参照图 4、图 6、图 7、图 8、图 9、图 10 及图 11 所示，本公开实施例 5 提供一种像素电路 10 的驱动方法。

以像素电路 10 中的第一发光控制晶体管 T1、第二发光控制晶体管 T1、第一数据输入晶体管 T3、第二数据输入晶体管 T4、第一驱动晶体管 T5、第二驱动晶体管 T6、第一反向偏置晶体管 T7、第二反向偏置晶体管 T8、第三反向偏置晶体管 T9 及第四反向偏置晶体管 T10 为同类型晶体管为例。同时，以像素电路 10 中的所有晶体管为 P 型晶体管，第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同的信号控制线进行说明。第一时间段 t1 与第二时间段 t2 共同构成一帧画面，t1 与 t2 的时间可以用以调整第一发光单元 201 与第二发光单元 301 的反向偏置的时间，对应电路的时序图如图 7 所示。

需要说明的是，第一发光控制端 Ctrl-1 输入第一控制信号，第二发光控制端 Ctrl-2 输入第二控制信；其中，第一控制信号与第二控制信号相位差为 180 度。第一偏置控制端 Ctrl-3 输入第三控制信号，第二偏置控制端 Ctrl-4 输入第四控制信号；其中，第三控制信号与第四控制信号相位差为 0 度。图 7 中 VGL 是指低电平，VGH 是指高电平，Vgrayscale 指灰阶电压。本公开实施例中提供的像素电路 10，采用第一发光单元 201（或者第二发光单元 301）的驱动信号作为第二发光单元 301 的 OLED2（或者第一发光单元 201 的 OLED1）的反向偏置电压。VSS 的电压值一般为 -6V 左右，第一发光单元 201 或者第二发光单元 301 的驱动信号的范围一般为 0-5V，在低灰阶下，第一发光单元 201（或者第二发光单元 301）的驱动信号相对于 VSS 也是高电压，可以对第二发光单元 301 的 OLED2（或者第一发光单元 201 的 OLED1）进行反向偏置。

本公开实施例提供的像素电路 10 在第 N 帧及第 N+1 帧的画面中，像素电路 10 会重复运行第 N 帧的第一时间段 t1、第 N 帧的第二时间段 t2、第 N+1 帧的第一时间段 t1、第 N+1 帧的第二时间段 t2。在相邻两帧画面的时间内，第一发光发单元 201 的 OLED1 与第二发光发单元 301 的 OLED2 分别在像素电路 10 运行第 N 帧的第一时间段 t1 与第 N+1 帧的第一时间段 t1 的时间内

进行反向偏置或者直流充电；第一发光单元 201 的 OLED1 与第二发光单元 301 的 OLED2 分别在像素电路 10 运行第 N 帧的第二时间段 t2 与第 N+1 帧的第二时间段 t2 的时间内进行直流充电。

情景一，如图 4、图 6、图 7 和图 8 所示，在第 N 帧的第一时间段 t1 执

5 行如下方法：

通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光；

通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50，将第一驱动节点 e 与第一偏置输出节点 h 之间导通，并将第一驱动节点 e 的第一驱动信号传输至第一偏置输出节点 h；

10 通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50，将第二驱动节点 f 与第二偏置输出节点 g 之间导通；

其中，

扫描端 Vscan 的信号控制第一数据输入单元 202，将第一数据端 Vdata1 与第一子像素节点 a 之间导通，并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a；

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平；

20 第一发光控制端 Ctrl-1 的信号控制发光控制单元 40，将第一电压端 VDD 与第一发光控制节点 c 之间导通，并将第一电压端 VDD 的电平输出至第一发光控制节点 c；

扫描端 Vscan 的信号控制第二数据输入单元 302，将第二数据端 Vdata2 与第二子像素节点 b 之间导通，并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b；

25 第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平；

第二发光控制端 Ctrl-2 的信号控制发光控制单元 40，将第一电压端 VDD 与第二发光控制节点 d 之间断开；

30 第一发光控制端 Ctrl-1 的信号控制第二反向偏置单元 60，将第二电压端 VSS 与第二偏置输出节点 g 之间导通，并将第二电压端 VSS 的电平输出至第二偏置输出节点 g；

第二发光控制端 Ctrl-2 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第一偏置输出节点 h 之间断开;

此时, 如图 4 和图 6 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于导通状态; 第二发光控制晶体管 T2 处于断开状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断开状态; 第二有机发光二极管 OLED2 处于反向偏置状态; 第一反向偏置晶体管 T7 处于导通状态; 第二反向偏置晶体管 T8 处于导通状态, 第三反向偏置晶体管 T9 处于导通状态; 第四反向偏置晶体管 T10 处于断开状态。

由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N 帧画面的第一时间段 t1 时, 结合图 6 和图 7 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通; Ctrl-1 为低电平, 由于 T1 与 T9 为 P 型晶体管, 所以此时 T1 与 T9 导通; Ctrl-2 为高电平, 由于 T2 与 T10 为 P 型晶体管, 所以此时 T2 与 T10 断开; Ctrl-3 为低电平, 由于 T7 为 P 型晶体管, 所以此时 T7 导通; Ctrl-4 为低电平, 由于 T8 为 P 型晶体管, 所以此时 T8 导通。此时等效电路如图 8 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平, 存储电容 CS2 进行存储及该单 b 与 VDD 之间的电平; T1 将 VDD 的数据信号传输至节点 c; T9 将 VSS 的数据信号传输至节点 g; 此时在节点 a、c、g 的作用下, T5 向节点 e 输出第一驱动信号, 驱动 OLED1 发光, 处于时长为 t1 的直流充电状态; 同时 T7 将节点 e 处的第一驱动信号传输至 OLED2 的阴极, 由于第一驱动信号相对于 VSS 是高电压, 所以此时 OLED2 处于时长为 t1 的反向偏置状态, 而由于 T2 此时处于断开状态, 所以不会对 OLED2 进行直流偏置。

情景二, 如图 4、图 6、图 7 和图 9 所示, 在第 N 帧的第二时间段 t2 执行如下方法:

通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光;

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光;

通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50, 将第一驱动节点 e 与第一偏置输出节点 h 之间断开; 通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50, 将第二驱动节点 f 与第二偏置输出节点 g 之间断开;

其中,

- 5 扫描端 Vscan 的信号控制第一数据输入单元 202, 将第一数据端 Vdata1 与第一子像素节点 a 之间导通, 并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

- 10 第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间导通, 并将第一电压端 VDD 的电平输出至第一发光控制节点 c;

- 15 扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平;

- 20 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d。

第一发光控制端 Ctrl-1 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第二偏置输出节点 g 之间导通, 并将第二电压端 VSS 的电平输出至第二偏置输出节点 g;

- 25 第二发光控制端 Ctrl-2 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第一偏置输出节点 h 之间导通, 并将第二电压端 VSS 的电平输出至第一偏置输出节点 h;

- 30 此时, 如图 4 和图 6 所示, 像素电路 10 中的第一发光控制晶体管 T1 和第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断

开状态；第二有机发光二极管 OLED2 处于反向偏置状态；第一反向偏置晶体管 T7 处于断开状态；第二反向偏置晶体管 T8 处于断开状态；第三反向偏置晶体管 T9 处于导通状态；第四反向偏置晶体管 T10 处于断开状态。

由上述方案可知，当像素电路中包含相邻的第一子像素电路与第二子像素电路，处于第 N 帧画面的第二时间段 t2 时，结合图 6，图 7 可知，扫描端 Vscan 为低电平时，由于 T3 与 T4 为 P 型晶体管，所以此时 T3 与 T4 导通；Ctrl-1 为低电平，由于 T1 与 T9 为 P 型晶体管，所以此时 T1 与 T9 导通；Ctrl-2 为低电平，由于 T2 与 T10 为 P 型晶体管，所以此时 T2 与 T10 导通；Ctrl-3 为高电平，由于 T7 为 P 型晶体管，所以此时 T7 断开；Ctrl-4 为高电平，由于 T8 为 P 型晶体管，所以此时 T8 断开。此时等效电路如图 9 所示，Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b，此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平，存储电容 CS2 进行存储节点 b 与 VDD 之间的电平；T1 将 VDD 的数据信号传输至节点 c；T2 将 VDD 的数据信号传输至节点 d；T9 将 VSS 的数据信号传输至节点 g；T10 将 VSS 的数据信号传输至节点 h；此时在节点 a、c、g 的作用下，T5 向节点 e 输出第一驱动信号，驱动 OLED1 发光，处于时长为 t2 的直流充电状态；在节点 b、d、h 的作用下，T6 向节点 f 输出第二驱动信号，驱动 OLED2 发光，处于时长为 t2 的直流充电状态；由于 T7 与 T8 处于断开状态，不会使得 T5 的驱动信号对 OLED2 进行反向偏置或者 T6 的驱动信号对 OLED1 进行反向偏置，而 OLED1 与 OLED2 本身是在 T5 与 T6 产生的第一驱动信号与第二驱动信号的驱动下驱动发光。

情景三，如图 4、图 6、图 7 和图 10 所示，在第 N+1 帧的第一时间段执行如下方法：

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光；

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50，将第二驱动节点 f 与第二偏置输出节点 g 之间导通，并将第二驱动节点 f 的第二驱动信号传输至第二偏置输出节点 g；

通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50，将第一驱动节点 e 与第一偏置输出节点 h 之间导通；

其中，

扫描端 Vscan 的信号控制第一数据输入单元 202, 将第一数据端 Vdata1 与第一子像素节点 a 之间导通, 并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

5 第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间断开;

10 扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 c 与第一电压端 VDD 的电平;

15 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d;

第一发光控制端 Ctrl-1 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第二偏置输出节点 g 之间断开; 第二发光控制端 Ctrl-2 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第一偏置输出节点 h 之间导通, 并将第二电压端 VSS 的电平输出至第一偏置输出节点 h;

20 此时, 参见图 4 和图 6 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于断开状态; 第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于断开状态; 第一有机发光二极管 OLED1 处于反向偏置状态; 第二驱动晶体管 T6 处于导通状态; 第二有机发光二极管 OLED2 处于发光状态;

25 第一反向偏置晶体管 T7 处于导通状态; 第二反向偏置晶体管 T8 处于导通状态, 第三反向偏置晶体管 T9 处于断开状态; 第四反向偏置晶体管 T10 处于导通状态。

由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N+1 帧画面的第一时间段 t1 时, 结合图 6, 图 7 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导

30

通; Ctrl-1 为高电平, 由于 T1 与 T9 为 P 型晶体管, 所以此时 T1 与 T9 断开; Ctrl-2 为低电平, 由于 T2 与 T10 为 P 型晶体管, 所以此时 T2 与 T10 导通; Ctrl-3 为低电平, 由于 T7 为 P 型晶体管, 所以此时 T7 导通; Ctrl-4 为低电平, 由于 T8 为 P 型晶体管, 所以此时 T8 导通。此时等效电路如图 10 所示,

5 Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平, 存储电容 CS2 进行存储节点 b 与 VDD 之间的电平; T2 将 VDD 的数据信号传输至节点 d; 此时在节点 b、d、h 的作用下, T6 向节点 f 输出第二驱动信号, 驱动 OLED2 发光, 处于时长为 t1 的直流充电状态; 同时 T8 将节点 f 处的第二驱动信号传输至 OLED1 的阴极, 由于第二驱动信号相对于 VSS 是高压, 所以此时 OLED1 处于时长为 t1 的反向偏置状态, 而由于 T1 此时处于断开状态, 所以不会对 OLED1 进行直流偏置。

情景四, 如图 4、图 6、图 7 和图 11 所示, 在第 N+1 帧的第二时间段 t2 执行如下方法:

15 通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光;
通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光;
通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50, 将第一驱动节点 e 与第一偏置输出节点 h 之间断开; 通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50, 将第二驱动节点 f 与第二偏置输出节点 g 之间断开;

20 其中,

扫描端 Vscan 的信号控制第一数据输入单元 202, 将第一数据端 Vdata1 与第一子像素节点 a 之间导通, 并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

25 平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间导通, 并将第一电压端 VDD 的电平输出至第一发光控制节点 c;

扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输

30

至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平;

5 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d。

第一发光控制端 Ctrl-1 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第二偏置输出节点 g 之间导通, 并将第二电压端 VSS 的电平输出至第二偏置输出节点 g;

10 第二发光控制端 Ctrl-2 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第一偏置输出节点 h 之间导通, 并将第二电压端 VSS 的电平输出至第一偏置输出节点 h;

此时, 如图 4 和图 6 所示, 像素电路 10 中的第一发光控制晶体管 T1 和第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断开状态; 第二有机发光二极管 OLED2 处于反向偏置状态; 第一反向偏置晶体管 T7 处于断开状态; 第二反向偏置晶体管 T8 处于断开状态; 第三反向偏置晶体管 T9 处于导通状态; 第四反向偏置晶体管 T10 处于断开状态。

20 由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N+1 帧画面的第二时间段 t2 时, 结合图 6, 图 7 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通; Ctrl-1 为低电平, 由于 T1 为 P 型晶体管, 所以此时 T1 导通; Ctrl-2 为低电平, 由于 T2 为 P 型晶体管, 所以此时 T2 导通; Ctrl-3 为高电平, 由于 T7 为 P 型晶体管, 所以此时 T7 断开; Ctrl-4 为高电平, 由于 T8 为 P 型晶体管, 所以此时 T8 断开。此时等效电路如图 11 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平, 存储电容 CS2 进行存储节点 b 与 VDD 之间的电平; T1 将 VDD 的数据信号传输至节点 c; T2 将 VDD 的数据信号传输至节点 d; VSS 的数据信号传输至节点 g 与 h; 此时

25

30

在节点 a、c、g 的作用下，T5 向节点 e 输出第一驱动信号，驱动 OLED1 发光，处于时长为 t_2 的直流充电状态；在节点 b、d、h 的作用下，T6 向节点 f 输出第二驱动信号，驱动 OLED2 发光，处于时长为 t_2 的直流充电状态；由于 T7 与 T8 处于断开状态，不会使得 T5 的驱动信号对 OLED2 进行反向偏置或者 T6 的驱动信号对 OLED1 进行反向偏置，而 OLED1 与 OLED2 本身是在 T5 与 T6 产生的第一驱动信号与第二驱动信号的驱动下驱动发光。

结合上述实施例三中情景一、二、三、四与实施例四中情景一、二、三、四可知，本公开实施例提供的像素电路 10，包含第一子像素电路与第二子像素电路，像素电路 10 中的晶体管均为 P 型晶体管。第一发光控制端 Ctrl-1 与第二发光控制端 Ctrl-2 输入的控制信号相位差为 180 度；而第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 输入的控制信号相位差为 0 度，即第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接同一根控制线，无需连接两根控制线就可以实现对 T7 与 T8 的控制减少数据线的数量，降低了像素电路 10 的走线难度。同时，在同一帧画面中的 t_1 与 t_2 时刻，通过扫描端 Vscan、第一发光控制端 Ctrl-1、第二发光控制端 Ctrl-2、第一偏置控制端 Ctrl-3 以及第二偏置控制端 Ctrl-4 的控制，使得第二子像素电路 30 的 OLED2 在第一子像素电路 20 的第一驱动信号的驱动下处于反向偏置状态，反向偏置状态的时长为 t_1 ，或者第一子像素电路 20 的 OLED1 在第二子像素电路 30 的第二驱动信号的驱动下处于反向偏置状态，反向偏置状态的时长为 t_1 ；并可以使得第一子像素电路 20 的 OLED1 在第 N 帧的第一时间段 t_1 、第 N 帧的第二时间段 t_2 与第 N+1 帧的第二时间段 t_2 进行直流充电，处于直流充电状态的时长为 t_1+2*t_2 ；第二子像素电路 30 的 OLED1 在第 N 帧的第一时间段 t_1 、第 N+1 帧的第二时间段 t_2 与第 N+1 帧的第二时间段 t_2 进行直流充电，处于直流充电状态的时长为 t_1+2*t_2 。因而，第一子像素电路 20 的 OLED1 或者第二子像素电路 30 的 OLED2 不用长期的处于直流偏置的条件下，减缓了第一子像素电路 20 的 OLED1 和第二子像素电路 30 的 OLED2 的衰老，增加了第一子像素电路 20 的 OLED1 和第二子像素电路 30 的 OLED2 的使用时间。本公开实施例提供的像素电路 10 并未外接其它的反向偏置电压，而是利用第一子像素电路 20 与第二子像素电路 30 的第一驱动信号或者第二驱动信号，作为第二子像素电路 30 的 OLED2 或第一子像素电路 20 的 OLED1 的反向偏置电

压,在不影响 AMOLED 显示效果的情况下起到了减缓第一子像素电路 20 的 OLED1 和第二子像素电路 30 的 OLED2 衰老的效果,同时减少了像素电路 10 的走线难度以及偏置电压线对其它信号线的串扰。

实施例五

5 参照图 3、图 4、图 12、图 13、图 14、图 15 和图 16 所示,本公开实施例提供一种像素电路 10 的驱动方法,以像素电路的第一发光控制晶体管 T1、第一数据输入晶体管 T3、第二数据输入晶体管 T4、第一驱动晶体管 T5、第二驱动晶体管 T6、第一反向偏置晶体管 T7、第二反向偏置晶体管 T8 与第二发光控制晶体管 T2 为不同类型的晶体管为例。同时,以像素电路 10 中以第一发光控制晶体管 T1、第一数据输入晶体管 T3、第二数据输入晶体管 T4、第一驱动晶体管 T5、第二驱动晶体管 T6、第一反向偏置晶体管 T7 和第二反向偏置晶体管 T8 为 P 型晶体管,第二发光控制晶体管 T2 为 N 型晶体管,第一发光控制端 Ctrl-1 与第二发光控制端 Ctrl-2 连接相同的信号控制线,第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同的信号控制线进行说明。
10 第一时间段 t1 与第二时间段 t2 共同构成一帧画面, t1 与 t2 的时间可以用以调整第一发光单元 201 与第二发光单元 107 的反向偏置的时间,对应电路的时序图如图 14 所示。

需要说明的是,需要说明的是,第一发光控制端 Ctrl-1 输入第一控制信号;第二发光控制端 Ctrl-2 输入第二控制信;其中,第一控制信号与第二控制信号相位差为 0 度。第一偏置控制端 Ctrl-3 输入第三控制信号;第二偏置控制端 Ctrl-4 输入第四控制信号;其中,第三控制信号与第四控制信号相位差为 0 度。第一发光控制端 Ctrl-1 和第二发光控制端 Ctrl-2 与第一偏置控制端 Ctrl-3 和第二偏置控制端 Ctrl-4 所连接的信号线不是同一条信号线。
20

本公开实施例提供的像素电路 10 在第 N 帧画面中,像素电路 10 会重复运行第 N 帧的第一时间段 t1 与第 N 帧的第二时间段 t2。第一发光单元 201 的 OLED1 在像素电路 10 运行在第 N 帧的第一时间段 t1 时进行直流充电、在第 N 帧的第二时间段 t2 时进行反向偏置;第二发光单元 301 的 OLED2 在像素电路 10 运行在第 N 帧的第一时间段 t1 时进行反向偏置、在第 N 帧的第二时间段 t2 时进行直流充电;其中, t1 与 t2 的时间长度可以调整用以调节
25
30 OLED1 与 OLED2 的反向偏置时间。

情景一，如图 3、图 12、图 14 和图 15 所示，在第 N 帧的第一时间段 t1 执行如下方法：

通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光；

5 通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50，将第一驱动节点 e 与第一偏置输出节点 h 之间导通，并将第一驱动节点 e 的第一驱动信号传输至第一偏置输出节点 h；

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50，将第二驱动节点 f 与第二偏置输出节点 g 之间导通；

其中，

10 扫描端 Vscan 的信号控制第一数据输入单元 202，将第一数据端 Vdata1 与第一子像素节点 a 之间导通，并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a；

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平；

15 第一发光控制端 Ctrl-1 的信号控制发光控制单元 40，将第一电压端 VDD 与第一发光控制节点 c 之间导通，并将第一电压端 vdd 的电平输出至第一发光控制节点 c；

20 扫描端 Vscan 的信号控制第二数据输入单元 302，将第二数据端 Vdata2 与第二子像素节点 b 之间导通，并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b；

第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平；

第二发光控制端 Ctrl-2 的信号控制发光控制单元 40，将第一电压端 VDD 与第二发光控制节点 d 之间断开；

25 将第二电压端 VSS 的电平传输至第二偏置输出节点 g 与第一偏置输出节点 h；

此时，结合图 3 与图 12 所示，像素电路 10 中的第一发光控制晶体管 T1 处于导通状态；第二发光控制晶体管 T2 处于断开状态；第一数据输入晶体管 T3 处于导通状态；第二数据输入晶体管 T4 处于导通状态；第一驱动晶体
30 管 T5 处于导通状态；第一有机发光二极管 OLED1 处于发光状态；第二驱动

晶体管 T6 处于断开状态；第二有机发光二极管 OLED2 处于反向偏置状态；第一反向偏置晶体管 T7 处于导通状态；第二反向偏置晶体管 T8 处于导通状态。

由上述方案可知，当像素电路包含第一子像素电路与第二子像素电路，
5 处于第 N 帧画面的第一时间段 t1 时，结合图 13，图 14 可知，扫描端 Vscan 为低电平时，由于 T3 与 T4 为 P 型晶体管，所以此时 T3 与 T4 导通；Ctrl-1 为低电平，由于 T1 为 P 型晶体管，所以此时 T1 导通；Ctrl-2 为低电平，由于 T2 为 N 型晶体管，所以此时 T2 断开；Ctrl-3 为低电平，由于 T7 为 P 型晶体管，所以此时 T7 导通；Ctrl-4 为低电平，由于 T8 为 P 型晶体管，所以
10 此时 T8 导通。此时等效电路如图 15 所示，Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b，此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平，存储电容 CS2 进行存储节点 b 与 VDD 之间的电平；T1 将 VDD 的数据信号传输至节点 c；此时在节点 a、c、g 的作用下，T5 向节点 e 输出第一驱动信号，驱动 OLED1 发光，处
15 于时长为 t1 的直流充电状态；同时 T7 将节点 e 处的第一驱动信号传输至 OLED2 的阴极，由于第一驱动信号相对于 VSS 是高电压，所以此时 OLED2 处于时长为 t1 的反向偏置状态，而由于 T2 此时处于断开状态，所以不会对 OLED2 进行直流偏置。

情景二，如图 3、图 12、图 14 和图 16 所示，在第 N 帧的第二时间段 t2
20 执行如下方法：

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光；

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50，将第二驱动节点 f 与第二偏置输出节点 g 之间导通，并将第二驱动节点 f 的第二驱动信号传输至第二偏置输出节点 g；

25 通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50，将第一驱动节点 e 与第一偏置输出节点 h 之间导通；

其中，

扫描端 Vscan 的信号控制第一数据输入单元 202，将第一数据端 Vdata1 与第一子像素节点 a 之间导通，并将第一数据端 Vdata1 的第一数据信号传输
30 至第一子像素节点 a；

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间断开;

- 5 扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 c 与第一电压端 VDD 的电平;

- 10 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d;

将第二电压端 VSS 的电平传输至第二偏置输出节点 g 与第一偏置输出节点 h;

- 15 此时, 参照图 3 与图 12 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于断开状态; 第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于断开状态; 第一有机发光二极管 OLED1 处于反向偏置状态; 第二驱动晶体管 T6 处于导通状态; 第二有机发光二极管 OLED2 处于发光状态;
- 20 第一反向偏置晶体管 T7 处于导通状态; 第二反向偏置晶体管 T8 处于导通状态。

- 由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N 帧画面的第一时间段 t2 时, 结合图 12, 图 14 可知, 扫描端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通;
- 25 Ctrl-1 为高电平, 由于 T1 为 P 型晶体管, 所以此时 T1 断开; Ctrl-2 为高电平, 由于 T2 为 N 型晶体管, 所以此时 T2 导通; Ctrl-3 为低电平, 由于 T7 为 P 型晶体管, 所以此时 T7 导通; Ctrl-4 为低电平, 由于 T8 为 P 型晶体管, 所以此时 T8 导通。此时等效电路如图 16 所示, Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点与第二子像素节点, 此
- 30 时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平, 存储电容 CS2 进行存

储节点 b 与 VDD 之间的电平; T2 将 VDD 的数据信号传输至节点 d; 此时在节点 b、d、h 的作用下, T6 向节点 f 输出第二驱动信号, 驱动 OLED2 发光, 处于时长为 t2 的直流充电状态; 同时 T8 将节点 f 处的第二驱动信号传输至 OLED1 的阴极, 由于第二驱动信号相对于 VSS 是高电压, 所以此时 OLED1 处于时长为 t2 的反向偏置状态, 而由于 T1 此时处于断开状态, 所以不会对 OLED1 进行直流偏置。

实施例六

参照图 4、图 13、图 14、图 15 和图 16 所示, 本公开实施例提供一种像素电路 10 的驱动方法。

以像素电路的第一发光控制晶体管 T1、第一数据输入晶体管 T3、第二数据输入晶体管 T4、第一驱动晶体管 T5、第二驱动晶体管 T6、第一反向偏置晶体管 T7、第二反向偏置晶体管 T8、第三反向偏置晶体管 T9 与第二发光控制晶体管 T2 和第四反向偏置晶体管 T10 为不同类型的晶体管为例。同时, 以像素电路 10 中以第一发光控制晶体管 T1、第一数据输入晶体管 T3、第二数据输入晶体管 T4、第一驱动晶体管 T5、第二驱动晶体管 T6、第一反向偏置晶体管 T7、第二反向偏置晶体管 T8 及第三反向偏置晶体管 T9 为 P 型晶体管, 第二发光控制晶体管 T2 与第四反向偏置晶体管 T10 为 N 型晶体管, 第一发光控制端 Ctrl-1 与第二发光控制端 Ctrl-2 连接相同的信号控制线, 第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同的信号控制线进行说明。第一时间段 t1 与第二时间段 t2 共同构成一帧画面, t1 与 t2 的时间长度可以用以调整第一子像素电路 20 与第二子像素电路 30 的反向偏置的时间, 对应电路的时序图如图 14 所示。

需要说明的是, 第一发光控制端 Ctrl-1 输入第一控制信号; 第二发光控制端 Ctrl-2 输入第二控制信; 其中, 第一控制信号与第二控制信号相位差为 0 度。第一偏置控制端 Ctrl-3 输入第三控制信号; 第二偏置控制端 Ctrl-4 输入第四控制信号; 其中, 第三控制信号与第四控制信号相位差为 0 度。第一发光控制端 Ctrl-1 和第二发光控制端 Ctrl-2 与第一偏置控制端 Ctrl-3 和第二偏置控制端 Ctrl-4 所连接的信号线不是同一条信号线。

本公开实施例提供的像素电路 10 在第 N 帧画面中, 像素电路 10 会重复运行第 N 帧的第一时间段 t1 与第 N 帧的第二时间段 t2。第一发光单元 201

的 OLED1 在像素电路 10 运行第 N 帧的第一时间段 t1 进行直流充电、在第 N 帧的第二时间段 t2 进行反向偏置；第二发光单元 301 的 OLED2 在像素电路 10 运行第 N 帧的第一时间段 t1 进行反向偏置、在第 N 帧的第二时间段 t2 进行直流充电；其中，t1 与 t2 的时间可以调整用以调节 OLED1 与 OLED2

5 的反向偏置时间。

情景一，如图 4、图 13、图 14 和图 15 所示，在第 N 帧的第一时间段 t1 执行如下方法：

通过第一驱动信号控制第一子像素电路 20 的第一发光单元 201 发光；

10 通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50，将第一驱动节点 e 与第一偏置输出节点 h 之间导通，并将第一驱动节点 e 的第一驱动信号传输至第一偏置输出节点 h；

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50，将第二驱动节点 f 与第二偏置输出节点 g 之间导通；

其中，

15 扫描端 Vscan 的信号控制第一数据输入单元 202，将第一数据端 Vdata1 与第一子像素节点 a 之间导通，并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a；

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平；

20 第一发光控制端 Ctrl-1 的信号控制发光控制单元 40，将第一电压端 VDD 与第一发光控制节点 C 之间导通，并将第一电压端 vdd 的电平输出至第一发光控制节点 C；

25 扫描端 Vscan 的信号控制第二数据输入单元 302，将第二数据端 Vdata2 与第二子像素节点 b 之间导通，并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b；

第二存储电容 CS2 用于存储第二子像素节点 b 与第一电压端 VDD 的电平；

第二发光控制端 Ctrl-2 的信号控制发光控制单元 40，将第一电压端 VDD 与第二发光控制节点 d 之间断开；

30 第一发光控制端 Ctrl-1 的信号控制第二反向偏置单元 60，将第二电压端

VSS 与第二偏置输出节点 g 之间导通, 并将第二电压端 VSS 的电平输出至第二偏置输出节点 g;

第二发光控制端 Ctrl-2 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第一偏置输出节点 h 之间断开;

5 此时, 按照图 4 与图 13 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于导通状态; 第二发光控制晶体管 T2 处于断开状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于导通状态; 第一有机发光二极管 OLED1 处于发光状态; 第二驱动晶体管 T6 处于断开状态; 第二有机发光二极管 OLED2 处于反向偏置状态;
10 第一反向偏置晶体管 T7 处于导通状态; 第二反向偏置晶体管 T8 处于导通状态; 第三反向偏置晶体管 T9 处于导通状态; 第四反向偏置晶体管 T10 处于断开状态。

由上述方案可知, 当像素电路中包含相邻的第一子像素电路与第二子像素电路, 处于第 N 帧画面的第一时间段 t1 时, 结合图 13, 图 14 可知, 扫描
15 端 Vscan 为低电平时, 由于 T3 与 T4 为 P 型晶体管, 所以此时 T3 与 T4 导通; Ctrl-1 为低电平, 由于 T1 与 T9 为 P 型晶体管, 所以此时 T1 与 T9 导通; Ctrl-2 为低电平, 由于 T2 与 T10 为 N 型晶体管, 所以此时 T2 与 T10 断开; Ctrl-3 为低电平, 由于 T7 为 P 型晶体管, 所以此时 T7 导通; Ctrl-4 为低电平, 由于 T8 为 P 型晶体管, 所以此时 T8 导通。此时等效电路如图 15 所示,
20 Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b, 此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平, 存储电容 CS2 进行存储节点 b 与 VDD 之间的电平; T1 将 VDD 的数据信号传输至节点 c; T9 将 VSS 的数据信号传输至节点 g; 此时在节点 a、c、g 的作用下, T5 向节点 e 输出第一驱动信号, 驱动 OLED1 发光, 处于时长
25 为 t1 的直流充电状态; 同时 T7 将节点 e 处的第一驱动信号传输至 OLED2 的阴极, 由于第一驱动信号相对于 VSS 是高电压, 所以此时 OLED2 处于时长为 t1 的反向偏置状态, 而由于 T2 此时处于断开状态, 所以不会对 OLED2 进行直流偏置。

情景二, 如图 4、图 13、图 14 和图 16 所示, 在第 N 帧的第二时间段 t2
30 执行如下方法:

通过第二驱动信号控制第二子像素电路 30 的第二发光单元 301 发光;

通过第二偏置控制端 Ctrl-4 控制第一反向偏置单元 50, 将第二驱动节点 f 与第二偏置输出节点 g 之间导通, 并将第二驱动节点 f 的第二驱动信号传输至第二偏置输出节点 g;

5 通过第一偏置控制端 Ctrl-3 控制第一反向偏置单元 50, 将第一驱动节点 e 与第一偏置输出节点 h 之间导通;

其中,

10 扫描端 Vscan 的信号控制第一数据输入单元 202, 将第一数据端 Vdata1 与第一子像素节点 a 之间导通, 并将第一数据端 Vdata1 的第一数据信号传输至第一子像素节点 a;

第一存储电容 CS1 用于存储第一子像素节点 a 与第一电压端 VDD 的电平;

第一发光控制端 Ctrl-1 的信号控制发光控制单元 40, 将第一电压端 VDD 与第一发光控制节点 c 之间断开;

15 扫描端 Vscan 的信号控制第二数据输入单元 302, 将第二数据端 Vdata2 与第二子像素节点 b 之间导通, 并将第二数据端 Vdata2 的第二数据信号传输至第二子像素节点 b;

第二存储电容 CS2 用于存储第二子像素节点 c 与第一电压端 VDD 的电平;

20 第二发光控制端 Ctrl-2 的信号控制发光控制单元 40, 将第一电压端 VDD 与第二发光控制节点 d 之间导通, 并将第一电压端 VDD 的电平输出至第二发光控制节点 d;

25 第一发光控制端 Ctrl-1 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第二偏置输出节点 g 之间断开; 第二发光控制端 Ctrl-2 的信号控制第二反向偏置单元 60, 将第二电压端 VSS 与第一偏置输出节点 h 之间导通, 并将第二电压端 VSS 的电平输出至第一偏置输出节点 h;

30 此时, 参照图 4 与图 13 所示, 像素电路 10 中的第一发光控制晶体管 T1 处于断开状态; 第二发光控制晶体管 T2 处于导通状态; 第一数据输入晶体管 T3 处于导通状态; 第二数据输入晶体管 T4 处于导通状态; 第一驱动晶体管 T5 处于断开状态; 第一有机发光二极管 OLED1 处于反向偏置状态; 第二

驱动晶体管 T6 处于导通状态；第二有机发光二极管 OLED2 处于发光状态；第一反向偏置晶体管 T7 处于导通状态；第二反向偏置晶体管 T8 处于导通状态；第三反向偏置晶体管 T9 处于断开状态；第四反向偏置晶体管 T10 处于导通状态。

5 由上述方案可知，当像素电路中包含相邻的第一子像素电路与第二子像素电路，处于第 N 帧画面的第二时间段 t2 时，结合图 13，图 14 可知，扫描端 Vscan 为低电平时，由于 T3 与 T4 为 P 型晶体管，所以此时 T3 与 T4 导通；Ctrl-1 为高电平，由于 T1 与 T9 为 P 型晶体管，所以此时 T1 与 T9 断开；Ctrl-2 为高电平，由于 T2 与 T10 为 N 型晶体管，所以此时 T2 与 T10 导通；
10 Ctrl-3 为低电平，由于 T7 为 P 型晶体管，所以此时 T7 导通；Ctrl-4 为低电平，由于 T8 为 P 型晶体管，所以此时 T8 导通。此时等效电路如图 16 所示，Vdata1 与 Vdata2 分别输入第一数据信号与第二数据信号至第一子像素节点 a 与第二子像素节点 b，此时存储电容 CS1 进行存储节点 a 与 VDD 之间的电平，存储电容 CS2 进行存储节点 b 与 VDD 之间的电平；T2 将 VDD 的数据
15 信号传输至节点 d；此时在节点 b、d、h 的作用下，T6 向节点 f 输出第二驱动信号，驱动 OLED2 发光，处于时长为 t2 的直流充电状态；同时 T8 将节点 f 处的第二驱动信号传输至 OLED1 的阴极，由于第二驱动信号相对于 VSS 是高电压，所以此时 OLED1 处于时长为 t2 的反向偏置状态，而由于 T1 此时处于断开状态，所以不会对 OLED1 进行直流偏置。

20 结合上述实施例五中情景一、二与实施例六中情景一、二可知，本公开实施例提供的像素电路 10 包含相邻的第一子像素电路与第二子像素电路。第一发光控制端 Ctrl-1 与第二发光控制端 Ctrl-2 输入的控制信号的相位差为 0 度，即第一发光控制端 Ctrl-1 与第二发光控制端 Ctrl-2 连接相同的控制线就可以实现在同一帧画面内的不同时刻控制 T1 与 T2 的通断。第一偏置控制端
25 Ctrl-3 与第二偏置控制端 Ctrl-4 输入的控制信号的相位差为 0 度，即第一偏置控制端 Ctrl-3 与第二偏置控制端 Ctrl-4 连接相同的控制线就可以实现在同一帧画面内的不同时刻控制 T7 与 T8 的通断。从而使得信号线的数量减少降低了像素电路 10 的走线难度，使得像素电路 10 在第二子像素电路 30 的 OLED2 在第一子像素电路 20 的第一驱动信号的驱动下处于反向偏置状态，
30 反向偏置状态的时长为 t1 或者第一子像素电路 20 的 OLED1 在第二子像素电

路 30 的第二驱动信号的驱动下处于反向偏置状态, 反向偏置状态的时长为 t_2 ; 并且可以对第一子像素电路 20 的 OLED1 进行直流充电, 直流充电时长为 t_1 , 对第二子像素电路 30 的 OLED2 进行直流充电, 直流充电的时长为 t_2 。由于第一子像素电路 20 的 OLED1 或者第二子像素电路 30 的 OLED2 不用长期的处于直流偏置的条件下, 减缓了第一子像素电路 20 的 OLED1 和第二子像素电路 30 的 OLED2 的衰老, 增加了第一子像素电路 20 的 OLED1 和第二子像素电路 30 的 OLED2 的使用时间。本公开实施例提供的像素电路 10 并未外接其它的反向偏置电压, 而是利用第一子像素电路 20 与第二子像素电路 30 的第一驱动信号或者第二驱动信号, 作为第二子像素电路 30 的 OLED2 或第一子像素电路 20 的 OLED1 的反向偏置电压, 在不影响 AMOLED 显示效果的情况下起到了减缓第一子像素电路 20 的 OLED1 和第二子像素电路 30 的 OLED2 衰老的效果, 同时减少了像素电路 10 的走线难度以及偏置电压线对其它信号线的串扰。

实施例七

15 本公开实施例提供一种显示设备, 包括实施例一、实施例二提供的任一像素电路 10。

需要说明的是, 本公开实施例提供的像素电路, 由于像素电路在对第一子像素电路 20 的 OLED1 进行反向偏置或对第二子像素电路 30 的 OLED2 进行反向偏置时, 第一数据端 Vdata1 及第二数据端 Vdata2 的数据信号同时对第一存储电容 CS1 及第二存储电容 CS2 进行充电, 并没有减少第一存储电容 CS1 及第二存储电容 CS2 的充电时间, 所以本公开实施例提供的像素电路 10 可以适用于高分辨率的屏幕。

另外, 显示设备可以为: 电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

25 在本文中, 诸如“第一”和“第二”等关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来, 而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且, 术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含, 从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素, 而且还包括没有明确列出的其他要素, 或者是还包括为这种过程、方法、物品或者设备所固有的要素。

在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；

- 5 可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

- 10 显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

- 15 本公开要求于 2016 年 6 月 30 日递交的中国专利申请第 201610509888.0 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种像素电路，包括：第一反向偏置单元，以及相邻的第一子像素电路和第二子像素电路，所述第一子像素电路包括第一发光单元；所述第二子像素电路包括第二发光单元；其中，

所述第一发光单元连接第一驱动节点，所述第二发光单元连接第一偏置输出节点；

所述第一反向偏置单元连接所述第一驱动节点、所述第一偏置输出节点、以及第一偏置控制端；以及

所述第一发光单元被配置为在第一驱动信号的控制下发光，并将所述第一驱动信号输出至所述第一驱动节点；所述第一反向偏置单元被配置为在所述第一偏置控制端的控制下将所述第一驱动节点的第一驱动信号输出至所述第一偏置输出节点；所述第一偏置输出节点向所述第二发光单元提供反向偏置电压。

2、根据权利要求1所述的像素电路，其中，

所述第二发光单元连接第二驱动节点和第二偏置输出节点；

所述第一反向偏置单元还连接所述第二驱动节点、所述第二偏置输出节点和第二偏置控制端；

所述第二发光单元被配置为在第二驱动信号的控制下发光，并将所述第二驱动信号输出至所述第二偏置输出节点；所述第一反向偏置单元还被配置为在所述第二偏置控制端的控制下将所述第二驱动节点的第二驱动信号输出至所述第二偏置输出节点；所述第二偏置输出节点向所述第一发光单元提供反向偏置电压。

3、根据权利要求2所述的像素电路，其中，所述第一子像素电路还包括：第一数据输入单元和第一存储电容；

所述第一数据输入单元连接第一数据端、扫描端和第一子像素节点；所述第一数据输入单元被配置为在所述扫描端的信号控制下将所述第一数据端的第一数据信号输出至所述第一子像素节点；

所述第一存储电容连接所述第一子像素节点和第一电压端，所述第一存储电容被配置为存储所述第一子像素节点和所述第一电压端之间的电平；

所述第一发光单元还连接所述第一子像素节点、第一发光控制节点，所述第一发光单元被配置为在所述第一子像素节点、所述第一发光控制节点和所述第二偏置输出节点的信号控制下，向所述第一驱动节点输出第一驱动信号。

5 4、根据权利要求3所述的像素电路，其中，所述像素电路还包括：发光控制单元；所述发光控制单元连接所述第一电压端、所述第一发光控制端、所述第一发光控制节点；所述发光控制单元被配置为在所述第一发光控制端的控制下将所述第一电压端的电平输出至所述第一发光控制节点。

10 5、根据权利要求2所述的像素电路，其中，所述第二子像素电路还包括：第二数据输入单元和第二存储电容；

所述第二数据输入单元连接第二数据端、扫描端和第二子像素节点；所述第二数据输入单元被配置为在所述扫描端的信号控制下将所述第二数据端的第二数据信号输出至所述第二子像素节点；

15 所述第二存储电容连接所述第二子像素节点和所述第一电压端，所述第二存储电容被配置为存储所述第二子像素节点和所述第一电压端之间的电平；

所述第二发光单元还被配置为在所述第二子像素节点、所述第二发光控制节点和所述第一偏置输出节点的信号控制下，向所述第二驱动节点输出第二驱动信号。

20 6、根据权利要求5所述的像素电路，其中，所述像素电路还包括：发光控制单元；所述发光控制单元连接所述第一电压端、所述第二发光控制端、所述第二发光控制节点；所述发光控制单元被配置为在所述第二发光控制端的控制下将所述第一电压端的电平输出至所述第二发光控制节点。

25 7、根据权利要求2所述的像素电路，其中，所述第二偏置输出节点和第一偏置输出节点连接第二电压端；或者，

所述像素电路还包括：第二反向偏置单元；

30 所述第二反向偏置单元连接所述第二偏置输出节点、所述第一偏置输出节点、所述第一发光控制端、所述第二发光控制端和所述第二电压端；所述第二反向偏置单元被配置为在所述第一发光控制端的控制下将所述第二电压端的电平输出至所述第二偏置输出节点；所述第二反向偏置单元还被配置为

在所述第二发光控制端的控制下将所述第二电压端的电平输出至所述第一偏置输出节点。

8、根据权利要求3所述的像素电路，其中，所述第一数据输入单元包含第一数据输入晶体管，所述第一数据输入晶体管的栅极连接所述扫描端，所述
5 所述第一数据输入晶体管的第一端连接所述第一数据端，所述第一数据输入晶体管的第二端连接所述第一子像素节点。

9、根据权利要求4所述的像素电路，其中，所述发光控制单元，包括：第一发光控制晶体管，所述第一发光控制晶体管的栅极连接所述第一发光控制端，所述第一发光控制晶体管的第一端连接所述第一电压端，所述第一发
10 光控制晶体管的第二端连接所述第一发光控制节点。

10、根据权利要求5所述的像素电路，其中，所述第二数据输入单元包含第二数据输入晶体管，所述第二数据输入晶体管的栅极连接所述扫描端，所述
所述第二数据输入晶体管的第一端连接所述第二数据端，所述第二数据输入晶体管的第二端连接所述第二子像素节点。

11、根据权利要求6所述的像素电路，其中，所述发光控制单元包括：第二发光控制晶体管，所述第二发光控制晶体管的栅极连接所述第二发光控制端，所述第二发光控制晶体管的第一端连接所述第一电压端，所述第二发
15 光控制晶体管的第二端连接所述第二发光控制节点。

12、根据权利要求2所述的像素电路，其中，所述第一反向偏置单元包含第一反向偏置晶体管和第二反向偏置晶体管，所述第一反向偏置晶体管的
20 栅极连接所述第一偏置控制端，所述第一反向偏置晶体管的第一端连接所述第一驱动节点，所述第一反向偏置晶体管的第二端连接所述第一偏置输出节点；

所述第二反向偏置晶体管的栅极连接所述第二偏置控制端，所述第二反向偏置晶体管的第一端连接所述第二驱动节点，所述第二反向偏置晶体管的
25 第二端连接所述第二偏置输出节点；

所述第一偏置控制端与所述第二偏置控制端连接相同的信号控制线。

13、根据权利要求7所述的像素电路，其中，所述第二反向偏置单元包含第三反向偏置晶体管和第四反向偏置晶体管，所述第三反向偏置晶体管的
30 栅极连接所述第一发光控制端，所述第三反向偏置晶体管的第一端连接所述

第二偏置输出节点,所述第三反向偏置晶体管的第二端连接所述第二电压端;

所述第四反向偏置晶体管的栅极连接所述第二发光控制端，所述第四反向偏置晶体管的第一端连接所述第一偏置输出节点，所述第四反向偏置晶体管的第二端连接所述第二电压端。

5 14、根据权利要求 13 所述的像素电路，其中，所述第三反向偏置晶体管和所述第四反向偏置晶体管为同类型的晶体管，所述第一发光控制端和第二发光控制端连接不同的信号控制线；或者，

所述第三反向偏置晶体管 and 所述第四反向偏置晶体管为不同类型的晶体管，所述第一发光控制端和第二发光控制端连接同一信号控制线。

15、根据权利要求2所述的像素电路，其中，所述第一发光单元包含第一驱动晶体管和第一有机发光二极管，所述第一驱动晶体管的栅极连接所述第一子像素节点，所述第一驱动晶体管的第一端连接所述第一发光控制节点，所述第一驱动晶体管的第二端连接所述第一驱动节点和所述第一有机发光二极管的阳极，所述第一有机发光二极管的阴极连接所述第二偏置输出节点。

16、根据权利要求2所述的像素电路，其中，所述第二发光单元包含第二驱动晶体管和第二有机发光二极管，所述第二驱动晶体管的栅极连接所述第二子像素节点，所述第二驱动晶体管的第一端连接所述第二发光控制节点，所述第二驱动晶体管的第二端连接所述第二驱动节点和所述第二有机发光二极管的阳极，所述第二有机发光二极管的阴极连接所述第一偏置输出节点。

20 17、一种显示设备，包括权利要求 1-16 任一所述的像素电路。

18、一种如权利要求 1-16 任一项所述的像素电路的驱动方法, 包括:

在第 N 帧的第一时间段执行如下操作:

通过所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

25 通过所述第一偏置控制端控制所述第一反向偏置单元, 将所述第一驱动节点与所述第一偏置输出节点之间导通, 并将所述第一驱动节点的所述第一驱动信号传输至所述第一偏置输出节点;

通过所述第二偏置控制端控制所述第一反向偏置单元, 将所述第二驱动节点与所述第二偏置输出节点之间导通;

在第 N 帧的第二时间段执行如下操作:

30 通过所述第一驱动信号控制所述第一子像素电路的第一发光单元发光:

通过所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

通过所述第一偏置控制端控制所述第一反向偏置单元, 将所述第一驱动节点与所述第一偏置输出节点之间断开; 所述第二偏置控制端控制所述第一反向偏置单元, 将所述第二驱动节点与所述第二偏置输出节点之间断开;

5 在第 N+1 帧的第一时间段执行如下操作:

通过所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

通过所述第二偏置控制端控制所述第一反向偏置单元, 将所述第二驱动节点与所述第二偏置输出节点之间导通, 并将所述第二驱动节点的所述第二驱动信号传输至所述第二偏置输出节点;

10 通过所述第一偏置控制端控制所述第一反向偏置单元, 将所述第一驱动节点与所述第一偏置输出节点之间导通;

在第 N+1 帧的第二时间段执行如下操作:

通过所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

通过所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

15 通过所述第一偏置控制端控制所述第一反向偏置单元, 将所述第一驱动节点与所述第一偏置输出节点之间断开; 通过所述第二偏置控制端控制所述第一反向偏置单元, 将所述第二驱动节点与所述第二偏置输出节点之间断开, 其中, N 为大于或等于 1 的整数。

19、一种如权利要求 18 的像素电路的驱动方法, 其中, 所述第一子像素电路还包括: 第一数据输入单元和第一存储电容;

所述驱动方法还包括在所述第 N 帧的第一时间段还执行如下操作:

通过所述扫描端的信号控制所述第一数据输入单元, 将所述第一数据端与所述第一子像素节点之间导通, 并将所述第一数据端的第一数据信号传输至所述第一子像素节点;

25 通过所述第一存储电容存储第一子像素节点与第一电压端的电平;

所述驱动方法还包括在所述第 N 帧的第二时间段还执行如下操作:

通过所述扫描端的信号控制所述第一数据输入单元, 将所述第一数据端与所述第一子像素节点之间导通, 并将所述第一数据端的第一数据信号传输至所述第一子像素节点;

30 通过所述第一存储电容存储第一子像素节点与第一电压端的电平;

所述驱动方法还包括在所述第 N+1 帧的第一时间段还执行如下操作:

通过所述扫描端的信号控制所述第一数据输入单元, 将所述第一数据端与所述第一子像素节点之间导通, 并将所述第一数据端的第一数据信号传输至所述第一子像素节点;

- 5 通过所述第一存储电容存储第一子像素节点与第一电压端的电平; 以及
所述驱动方法还包括在所述第 N+1 帧的第二时间段还执行如下操作:

通过所述扫描端的信号控制所述第一数据输入单元, 将所述第一数据端与所述第一子像素节点之间导通, 并将所述第一数据端的第一数据信号传输至所述第一子像素节点; 以及

- 10 通过所述第一存储电容存储第一子像素节点与第一电压端的电平。

20、一种如权利要求 18 的像素电路的驱动方法, 其中, 所述像素电路还包括: 发光控制单元; 并且所述发光控制单元连接第一电压端、第一发光控制端、第一发光控制节点;

所述驱动方法还包括在所述第 N 帧的第一时间段还执行如下操作:

- 15 通过所述第一发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第一发光控制节点之间导通, 并将所述第一电压端的电平输出至所述第一发光控制节点;

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

- 20 通过所述第一发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第一发光控制节点之间导通, 并将所述第一电压端的电平输出至所述第一发光控制节点;

所述驱动方法还包括在第 N+1 帧的第一时间段还执行如下操作:

通过所述第一发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第一发光控制节点之间断开;

- 25 所述驱动方法还包括在第 N+1 帧的第二时间段还执行如下操作:

通过所述第一发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第一发光控制节点之间导通, 并将所述第一电压端的电平输出至所述第一发光控制节点。

- 30 21、一种如权利要求 18 的像素电路的驱动方法, 其中, 所述第二子像素电路还包括: 第二数据输入单元和第二存储电容;

所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

通过所述扫描端的信号控制所述第二数据输入单元, 将所述第二数据端与所述第二子像素节点之间导通, 并将所述第二数据端的第二数据信号传输至所述第二子像素节点;

5 通过所述第二存储电容存储第二子像素节点与第一电压端的电平;

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

通过所述扫描端的信号控制所述第二数据输入单元, 将所述第二数据端与所述第二子像素节点之间导通, 并将所述第二数据端的第二数据信号传输至所述第二子像素节点;

10 通过所述第二存储电容存储第二子像素节点与第一电压端的电平;

所述驱动方法还包括在第 N+1 帧的第一时间段还执行如下操作:

通过所述扫描端的信号控制所述第二数据输入单元, 将所述第二数据端与所述第二子像素节点之间导通, 并将所述第二数据端的第二数据信号传输至所述第二子像素节点;

15 通过所述第二存储电容存储第二子像素节点与第一电压端的电平;

所述驱动方法还包括在第 N+1 帧的第二时间段还执行如下操作:

通过所述扫描端的信号控制所述第二数据输入单元, 将所述第二数据端与所述第二子像素节点之间导通, 并将所述第二数据端的第二数据信号传输至所述第二子像素节点;

20 通过所述第二存储电容存储第二子像素节点与第一电压端的电平。

22、一种如权利要求 18 的像素电路的驱动方法, 其中, 所述像素电路还包括: 发光控制单元; 并且所述发光控制单元连接第一电压端、第二发光控制端、第二发光控制节点;

所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

25 通过所述第二发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第二发光控制节点之间断开;

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

通过所述第二发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第二发光控制节点之间导通, 并将所述第一电压端的电平输出至

30 所述第二发光控制节点;

所述驱动方法还包括在第 N+1 帧的第一时间段还执行如下操作:

通过所述第二发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第二发光控制节点之间导通, 并将所述第一电压端的电平输出至所述第二发光控制节点;

5 所述驱动方法还包括在第 N+1 帧的第二时间段还执行如下操作:

通过所述第二发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第二发光控制节点之间导通, 并将所述第一电压端的电平输出至所述第二发光控制节点。

23、一种如权利要求 18 的像素电路的驱动方法, 其中, 所述像素电路还包括: 第二反向偏置单元; 并且所述第二反向偏置单元连接第二偏置输出节点、第一偏置输出节点、第一发光控制端、第二发光控制端和第二电压端;

所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

15 通过所述第一发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第二偏置输出节点之间导通, 并将所述第二电压端的电平输出至所述第二偏置输出节点;

通过所述第二发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第一偏置输出节点之间断开;

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

20 通过所述第一发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第二偏置输出节点之间导通, 并将所述第二电压端的电平输出至所述第二偏置输出节点;

通过所述第二发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第一偏置输出节点之间导通, 并将所述第二电压端的电平输出至所述第一偏置输出节点;

25 所述驱动方法还包括在第 N+1 帧的第一时间段还执行如下操作:

通过所述第一发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第二偏置输出节点之间断开;

30 通过所述第二发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第一偏置输出节点之间导通, 并将所述第二电压端的电平输出至所述第一偏置输出节点;

所述驱动方法还包括在第 N+1 帧的第二时间段还执行如下操作:

通过所述第一发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第二偏置输出节点之间导通, 并将所述第二电压端的电平输出至所述第二偏置输出节点;

5 通过所述第二发光控制端的信号控制所述第二反向偏置单元, 将所述第二电压端与所述第一偏置输出节点之间导通, 并将所述第二电压端的电平输出至所述第一偏置输出节点。

24、一种如权利要求 1-16 任一项所述的像素电路的驱动方法, 包括:

在第 N 帧的第一时间段执行如下操作:

10 通过所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

通过所述第一偏置控制端控制所述第一反向偏置单元, 将所述第一驱动节点与所述第一偏置输出节点之间导通, 并将所述第一驱动节点的所述第一驱动信号传输至所述第一偏置输出节点;

15 通过所述第二偏置控制端控制所述第一反向偏置单元, 将所述第二驱动节点与所述第二偏置输出节点之间导通;

在第 N 帧的第二时间段执行如下操作:

通过所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

20 通过所述第二偏置控制端控制所述第一反向偏置单元, 将所述第二驱动节点与所述第二偏置输出节点之间导通, 并将所述第二驱动节点的所述第二驱动信号传输至所述第二偏置输出节点;

通过所述第一偏置控制端控制所述第一反向偏置单元, 将所述第一驱动节点与所述第一偏置输出节点之间导通。

25、一种如权利要求 24 的像素电路的驱动方法, 其中, 所述第一子像素电路还包括: 第一数据输入单元和第一存储电容;

25 所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

通过所述扫描端的信号控制所述第一数据输入单元, 将所述第一数据端与所述第一子像素节点之间导通, 并将所述第一数据端的第一数据信号传输至所述第一子像素节点;

通过所述第一存储电容存储第一子像素节点与第一电压端的电平;

30 所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

通过所述扫描端的信号控制所述第一数据输入单元, 将所述第一数据端与所述第一子像素节点之间导通, 并将所述第一数据端的第一数据信号传输至所述第一子像素节点;

通过所述第一存储电容存储第一子像素节点与第一电压端的电平。

- 5 26、一种如权利要求 24 的像素电路的驱动方法, 其中, 所述像素电路还包括: 发光控制单元; 并且所述发光控制单元连接第一电压端、第一发光控制端、第一发光控制节点;

所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

- 10 通过所述第一发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第一发光控制节点之间导通, 并将所述第一电压端的电平输出至所述第一发光控制节点;

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

通过所述第一发光控制端的信号控制所述发光控制单元, 将所述第一电压端与所述第一发光控制节点之间断开。

- 15 27、一种如权利要求 24 的像素电路的驱动方法, 其中, 所述第二子像素电路还包括: 第二数据输入单元和第二存储电容;

所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

- 20 通过所述扫描端的信号控制所述第二数据输入单元, 将所述第二数据端与所述第二子像素节点之间导通, 并将所述第二数据端的第二数据信号传输至所述第二子像素节点;

通过所述第二存储电容存储第二子像素节点与第一电压端的电平;

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作:

- 25 通过所述扫描端的信号控制所述第二数据输入单元, 将所述第二数据端与所述第二子像素节点之间导通, 并将所述第二数据端的第二数据信号传输至所述第二子像素节点;

通过所述第二存储电容存储第二子像素节点与第一电压端的电平。

28、一种如权利要求 24 的像素电路的驱动方法, 其中, 所述像素电路还包括: 发光控制单元; 并且所述发光控制单元连接第一电压端、第二发光控制端、和第二发光控制节点;

- 30 所述驱动方法还包括在第 N 帧的第一时间段还执行如下操作:

通过所述第二发光控制端的信号控制所述发光控制单元，将所述第一电压端与所述第二发光控制节点之间断开；

所述驱动方法还包括在第 N 帧的第二时间段还执行如下操作：

- 通过所述第二发光控制端的信号控制所述发光控制单元，将所述第一电压端与所述第二发光控制节点之间导通，并将所述第一电压端的电平输出至所述第二发光控制节点。
- 5

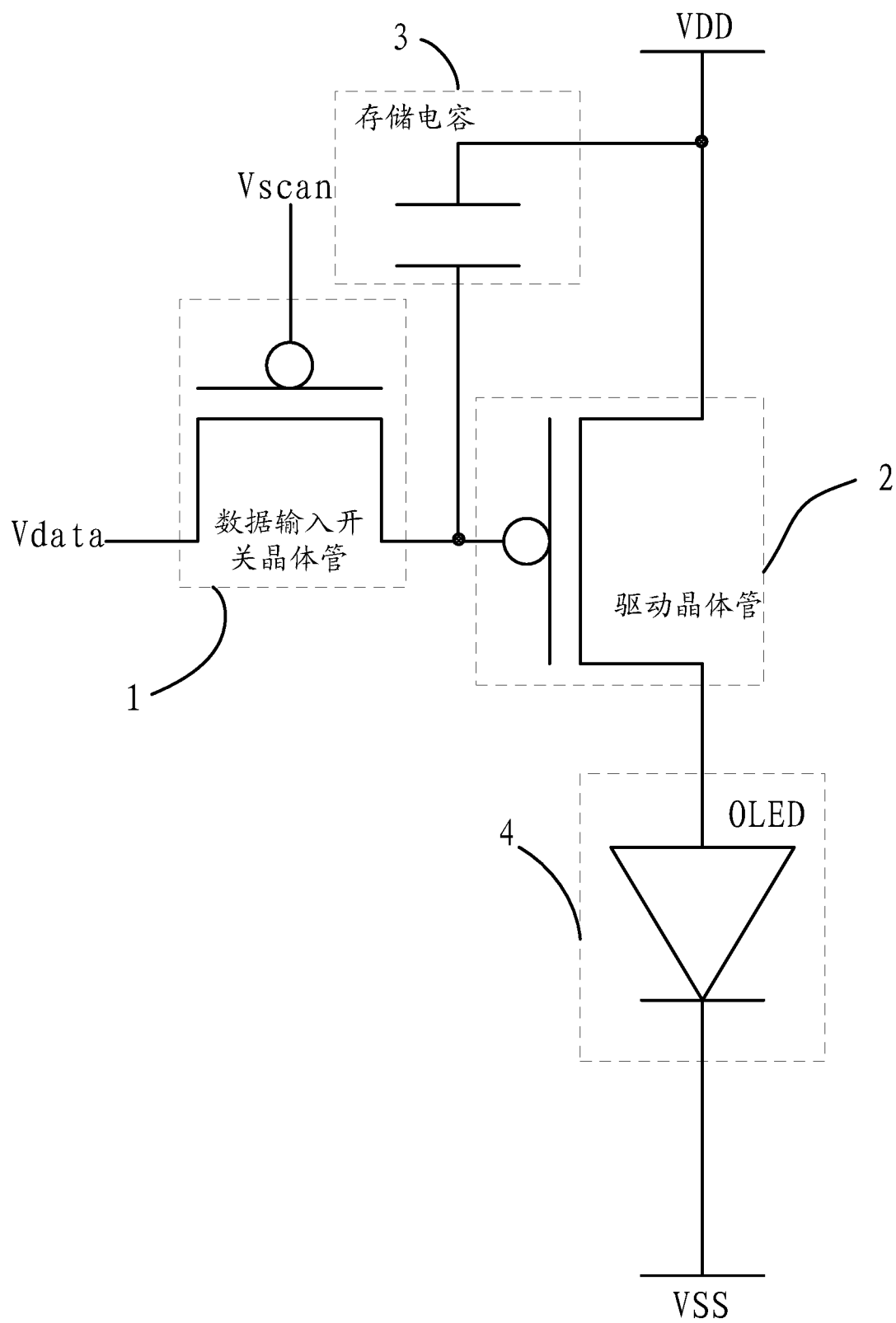


图 1

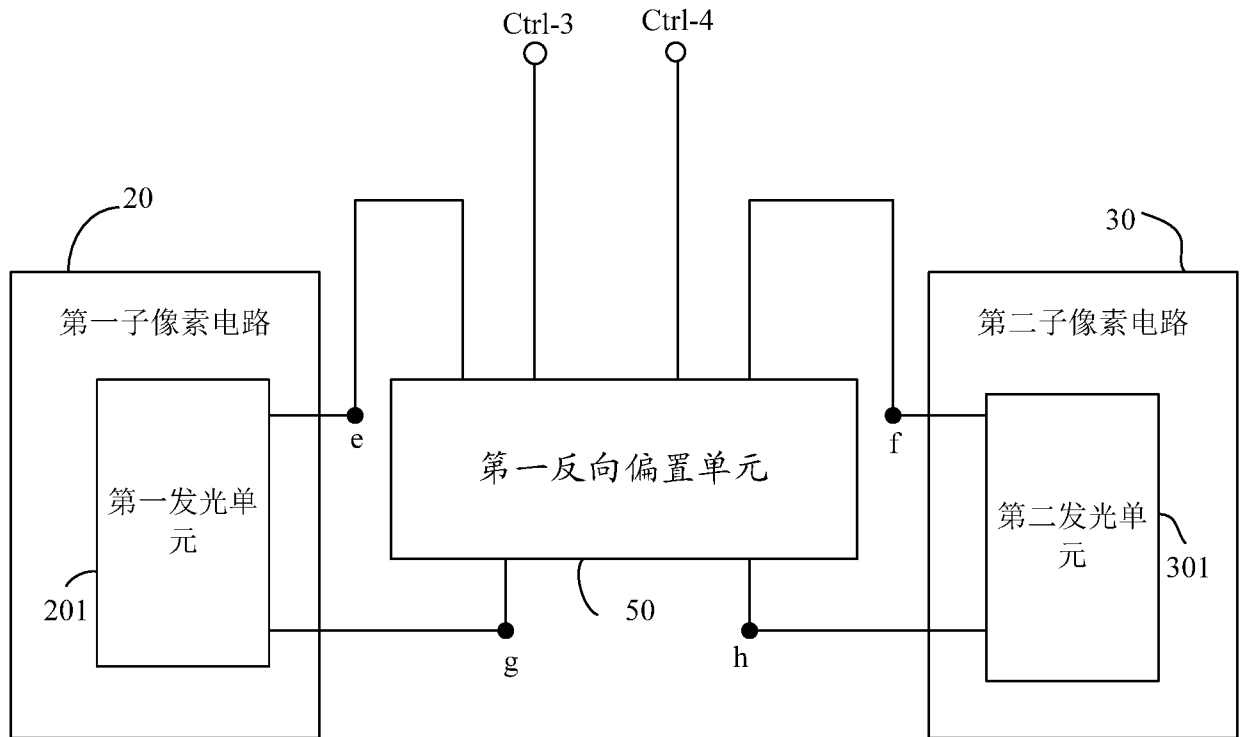


图 2

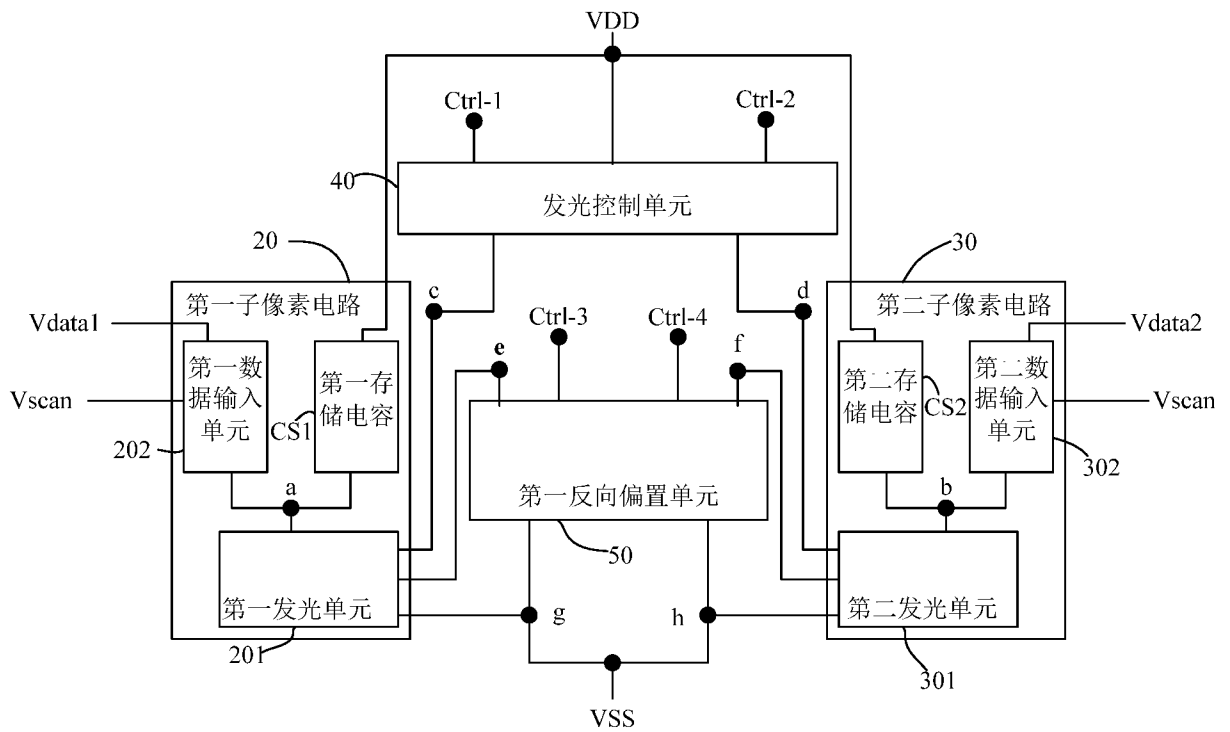


图 3

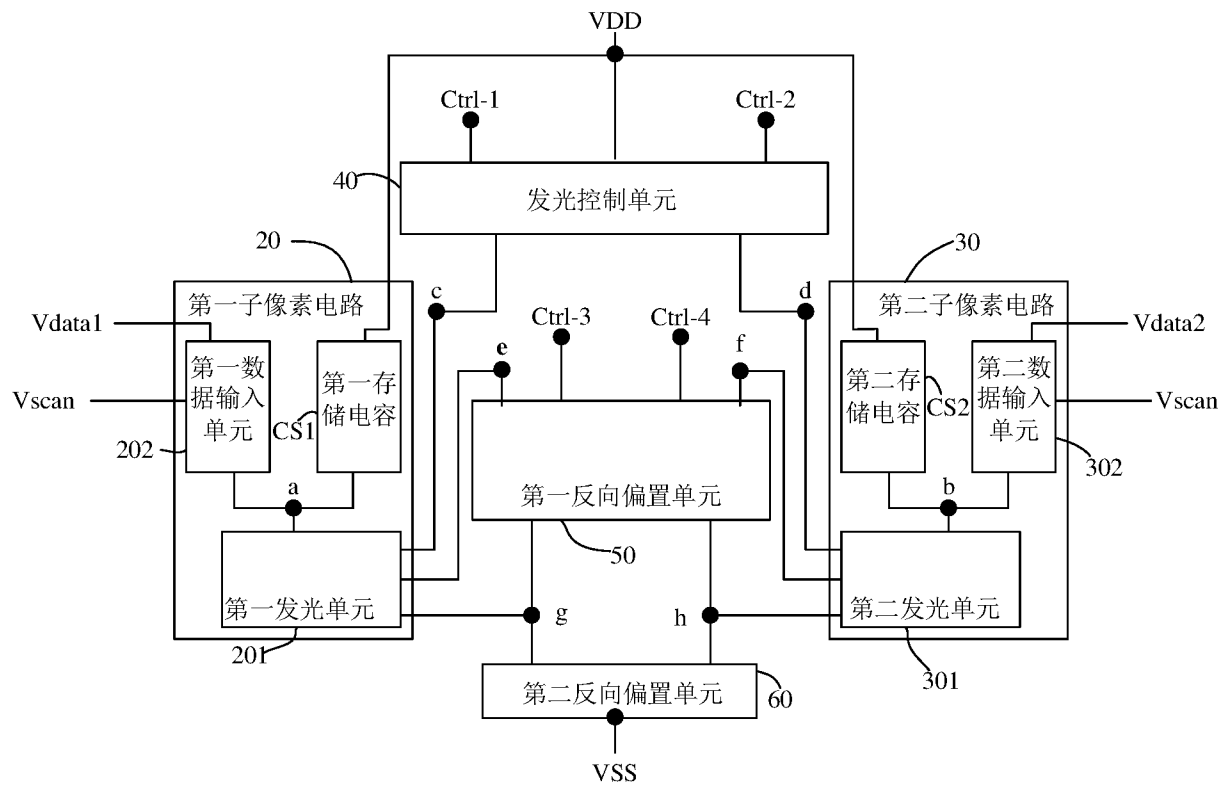


图 4

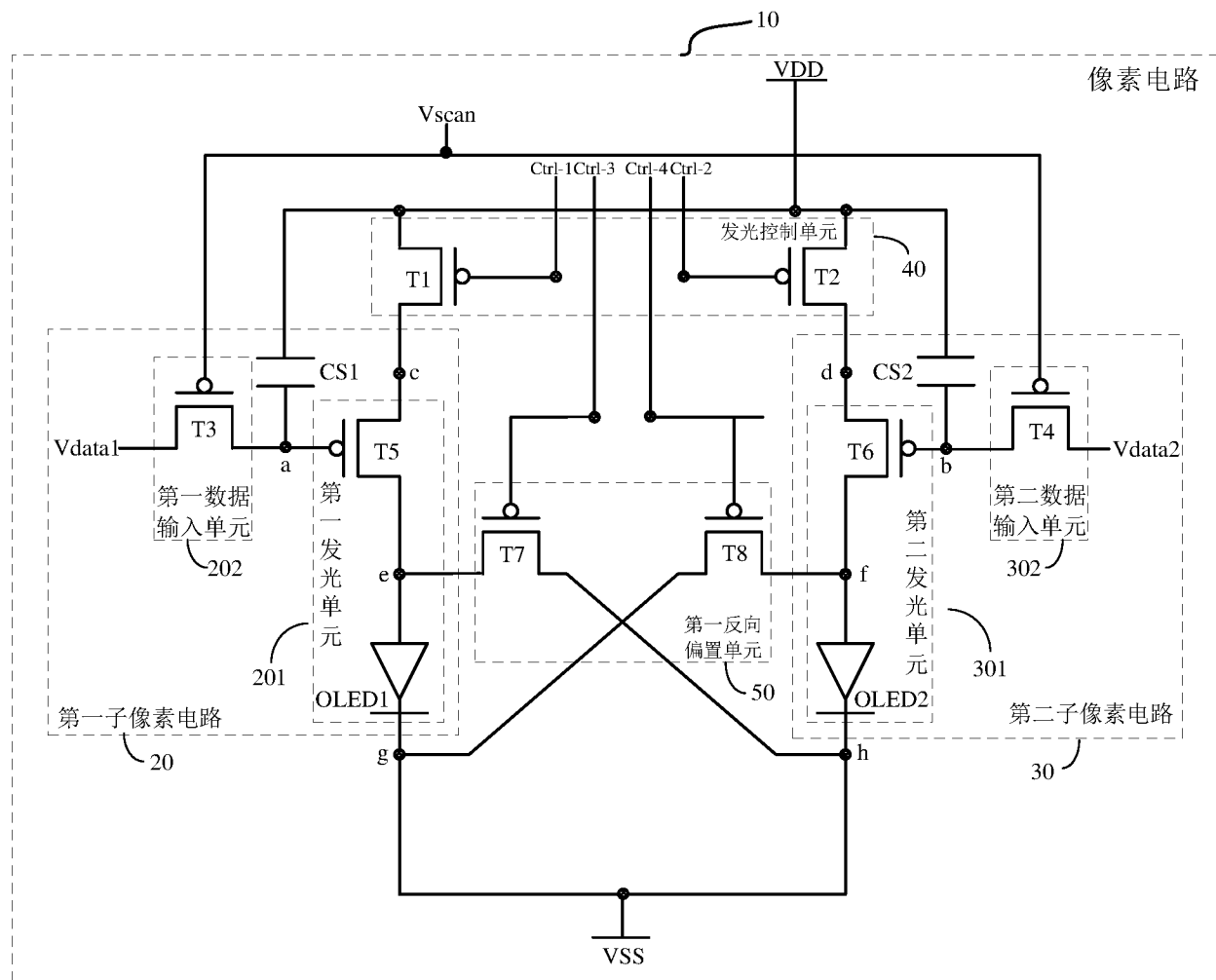


图 5

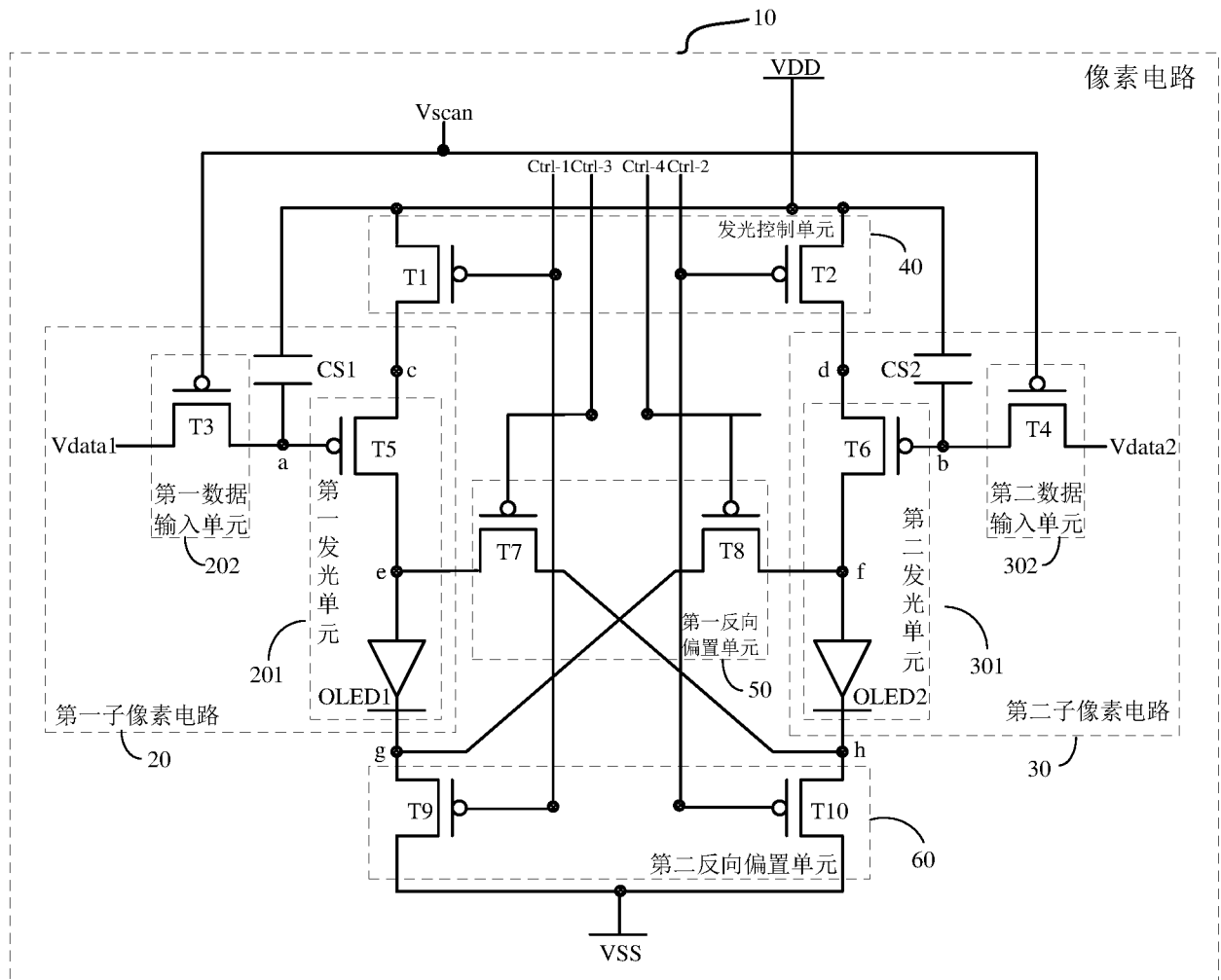


图 6

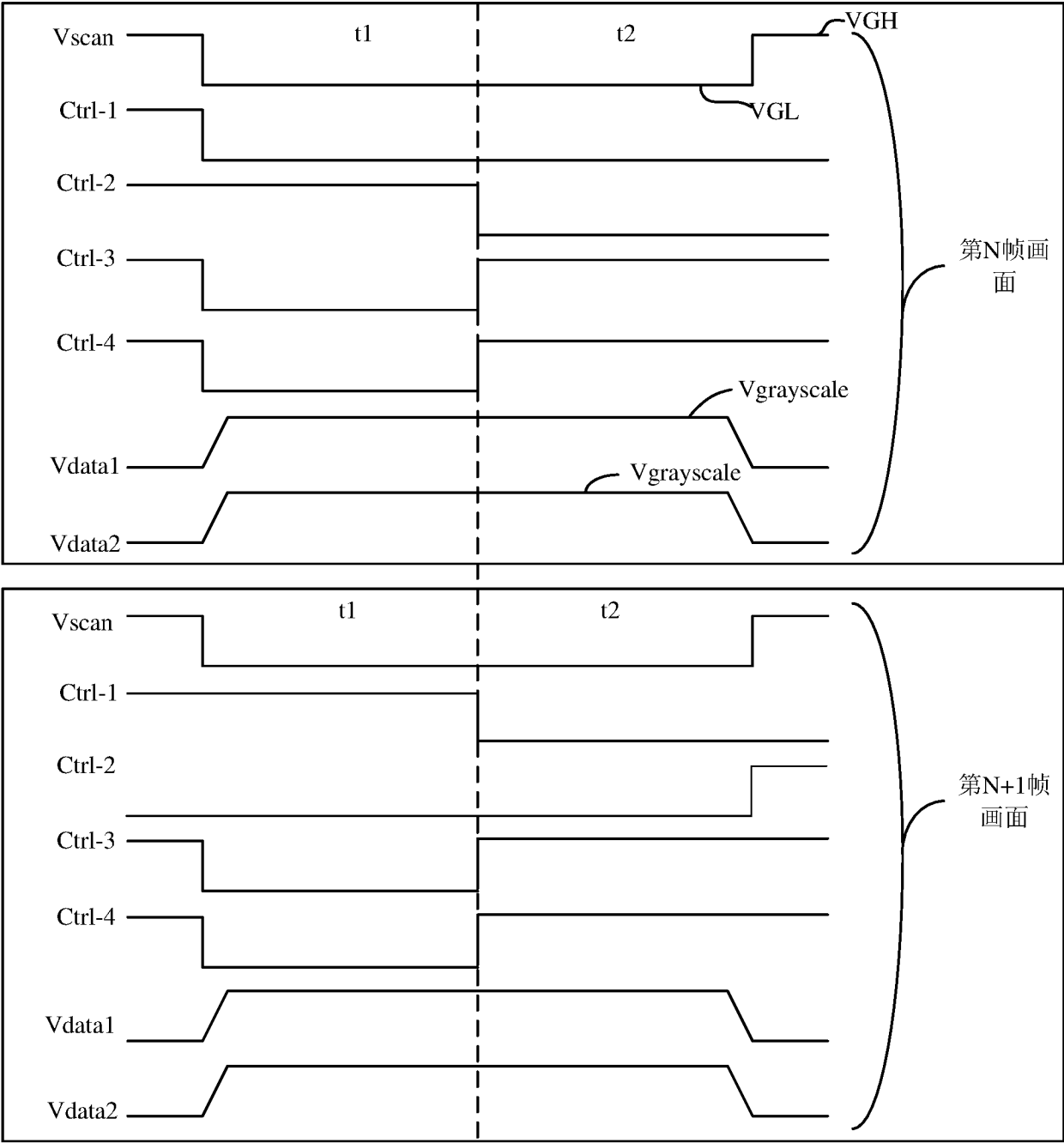


图 7

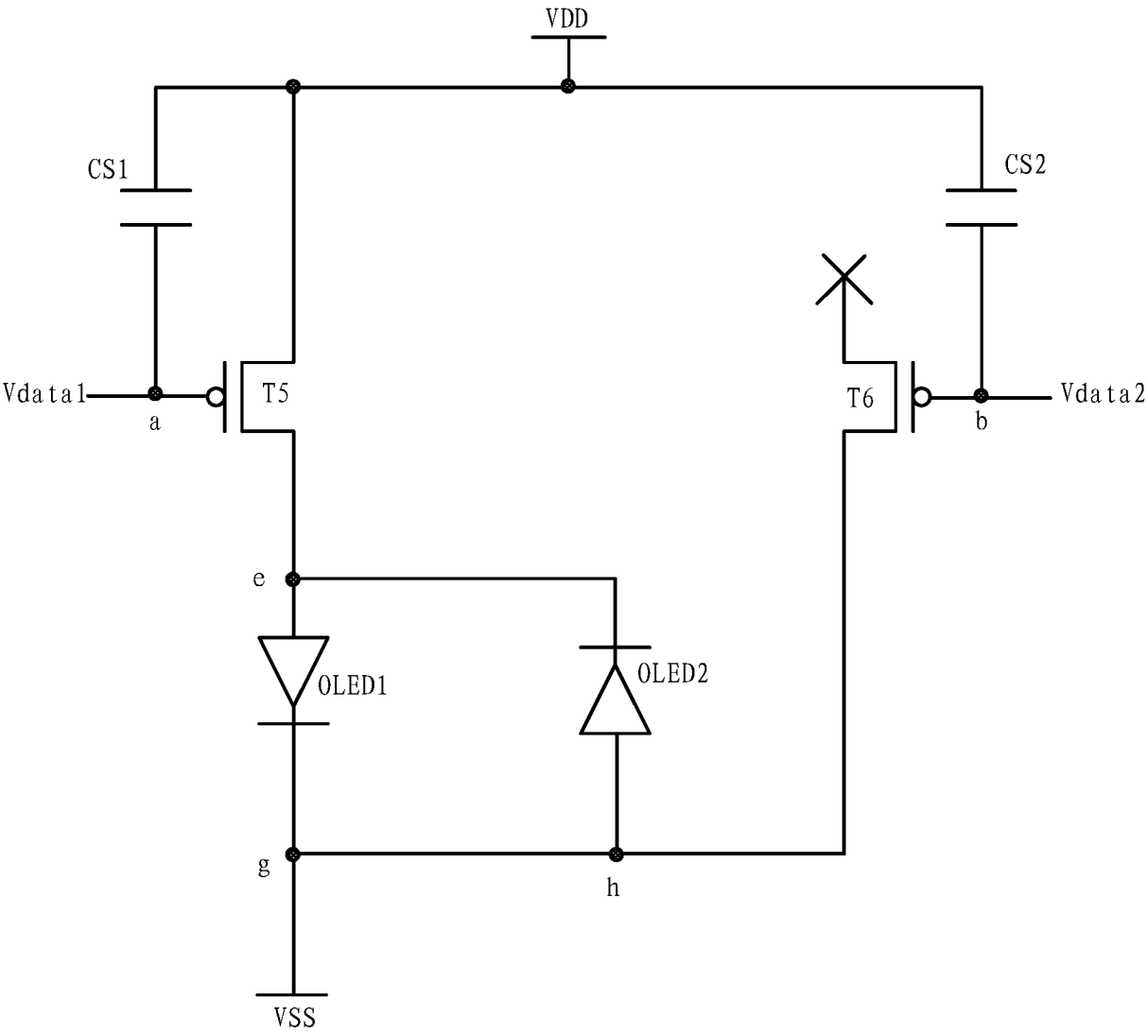


图 8

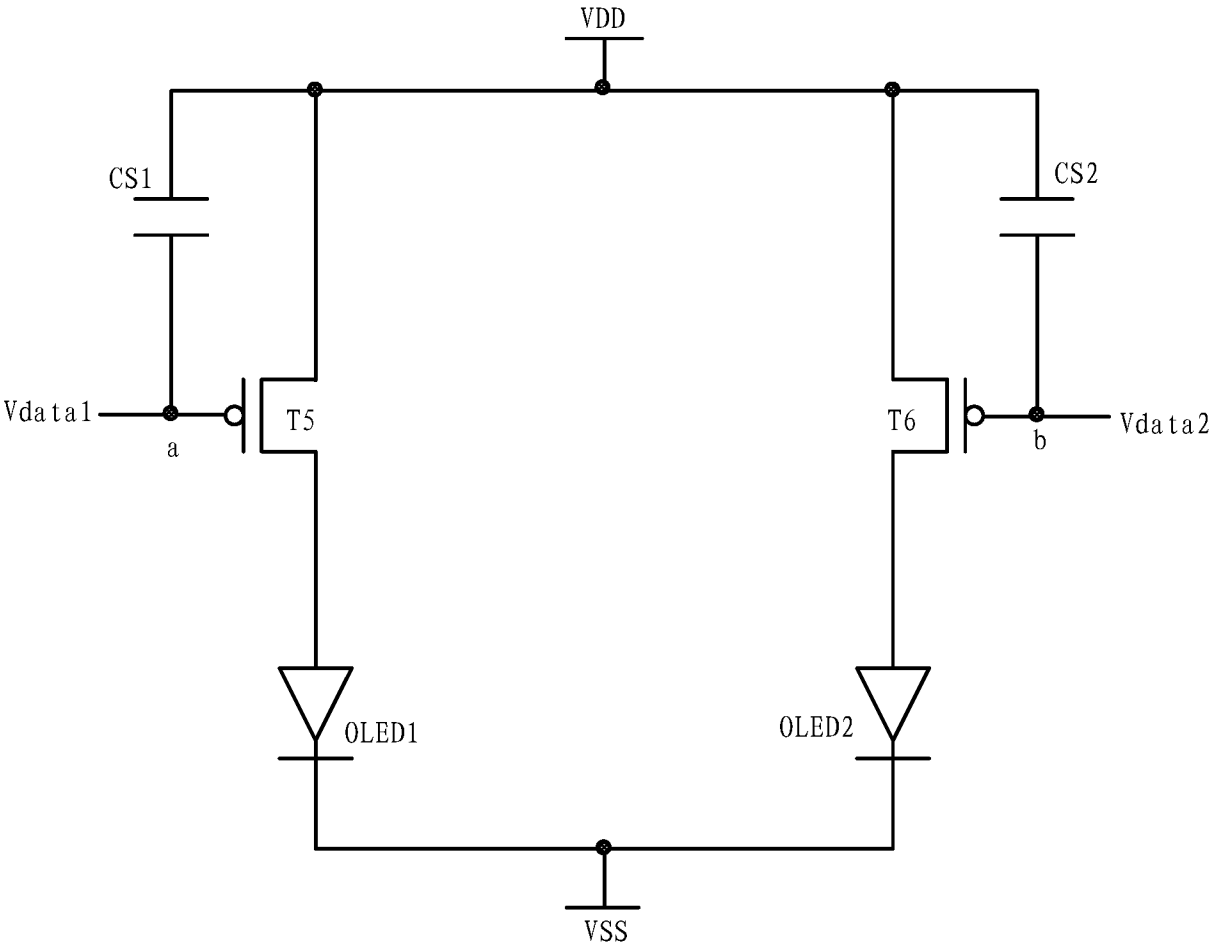


图 9

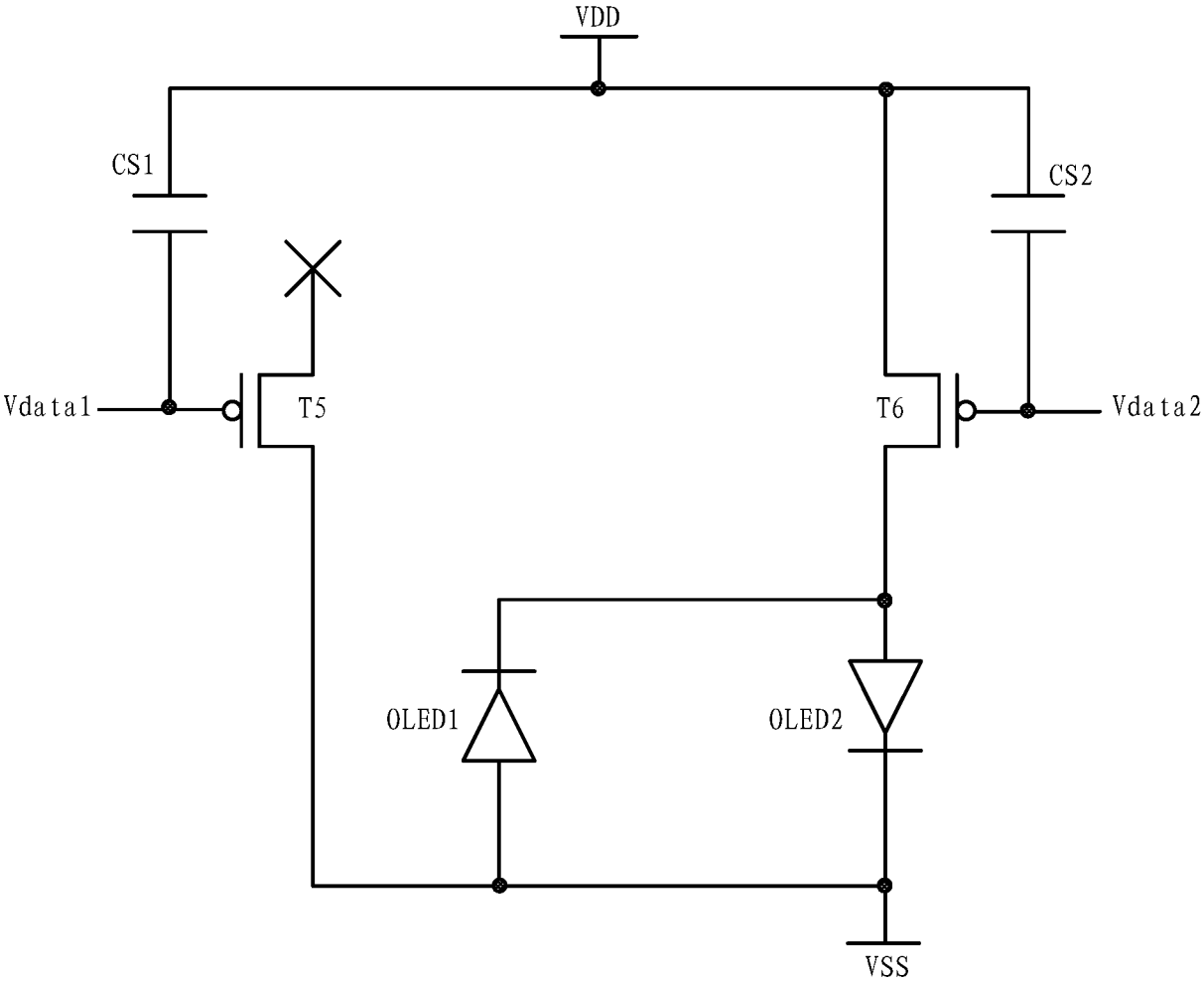


图 10

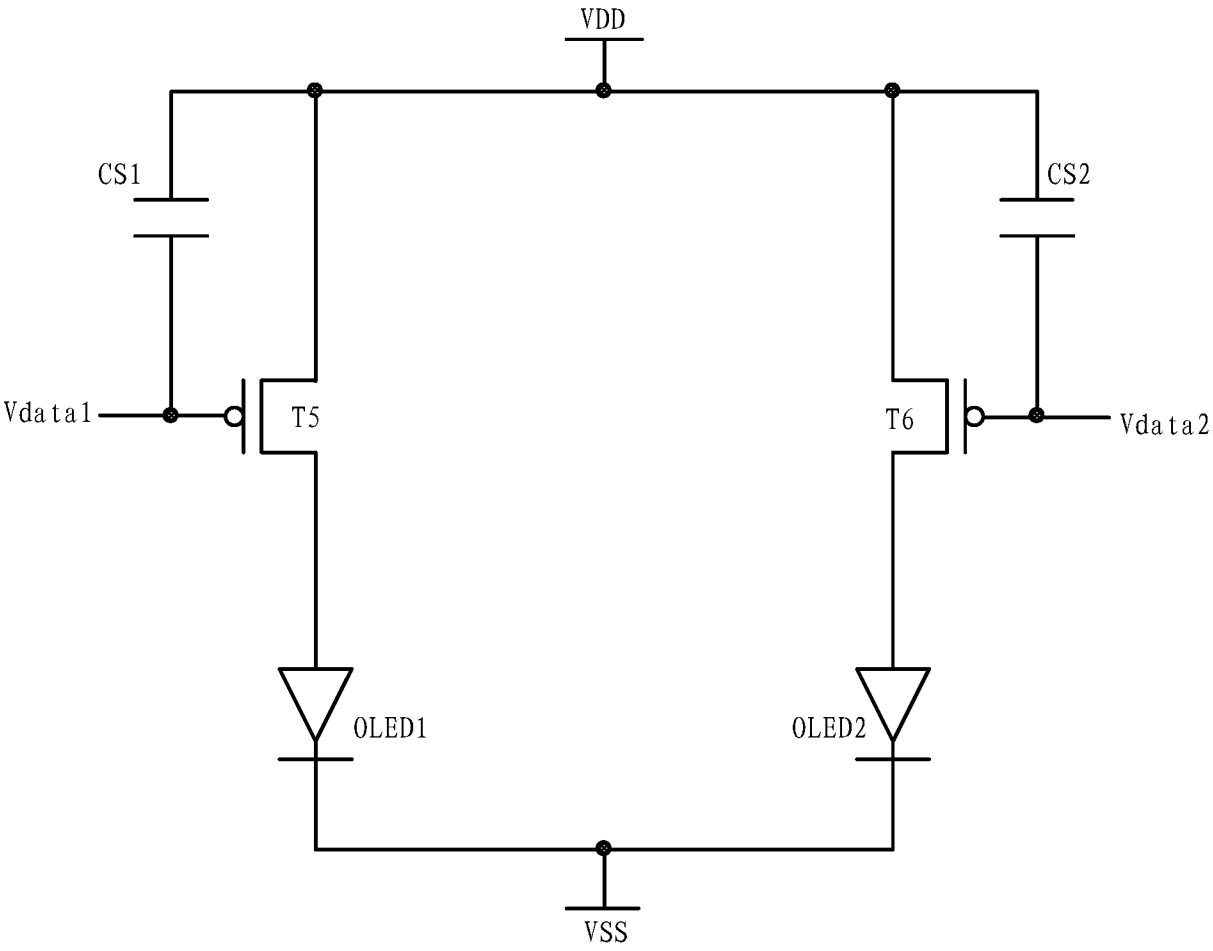


图 11

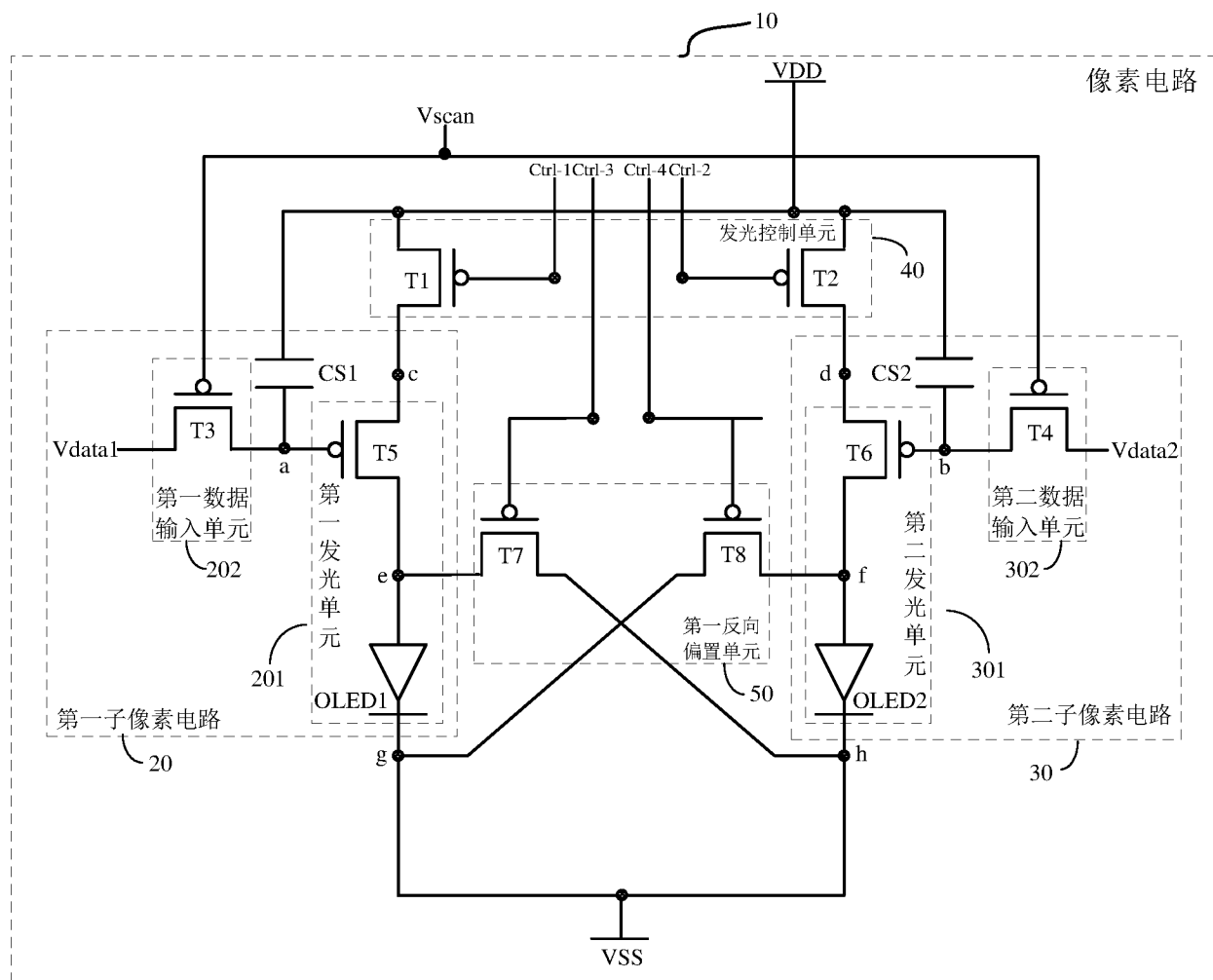


图 12

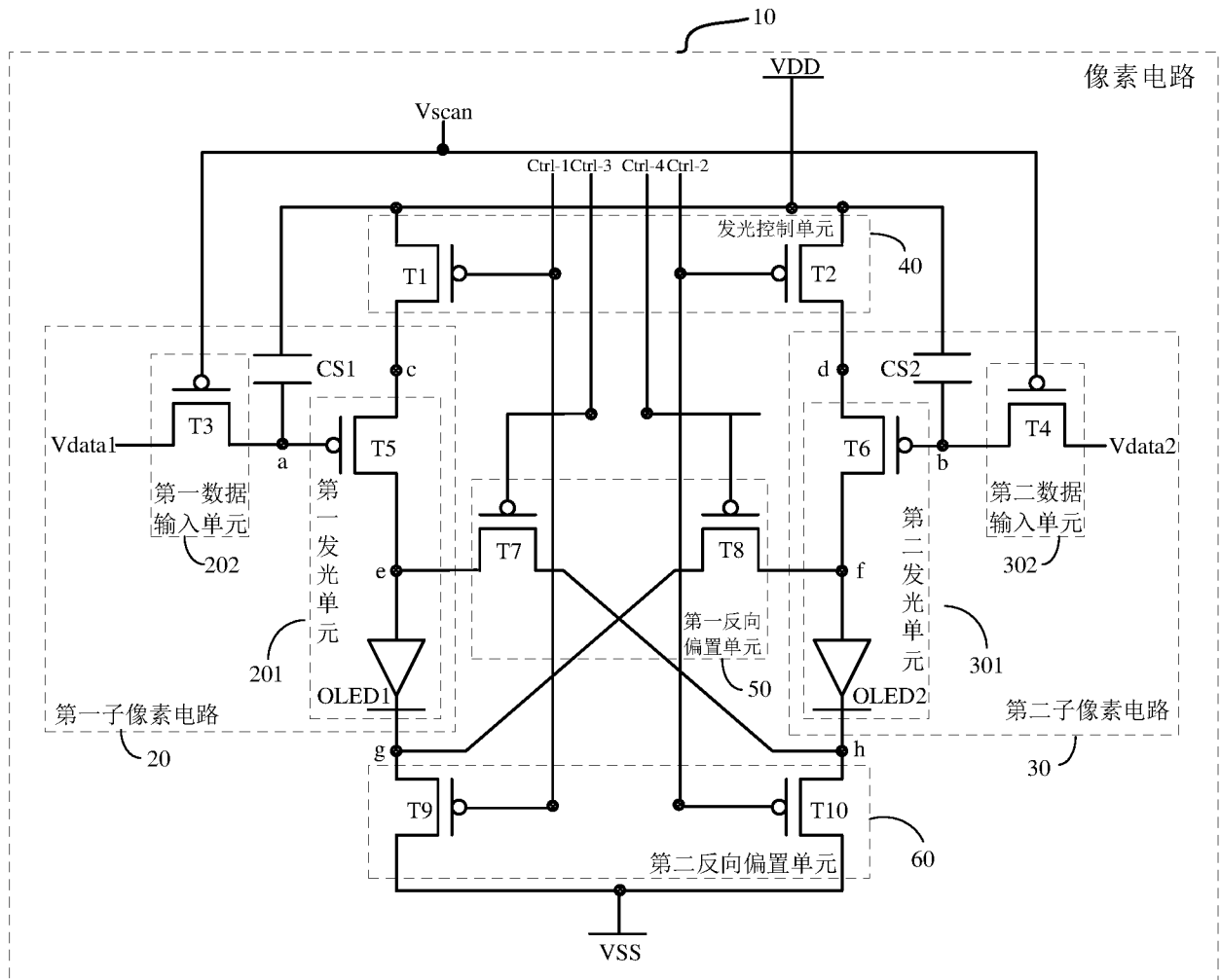


图 13

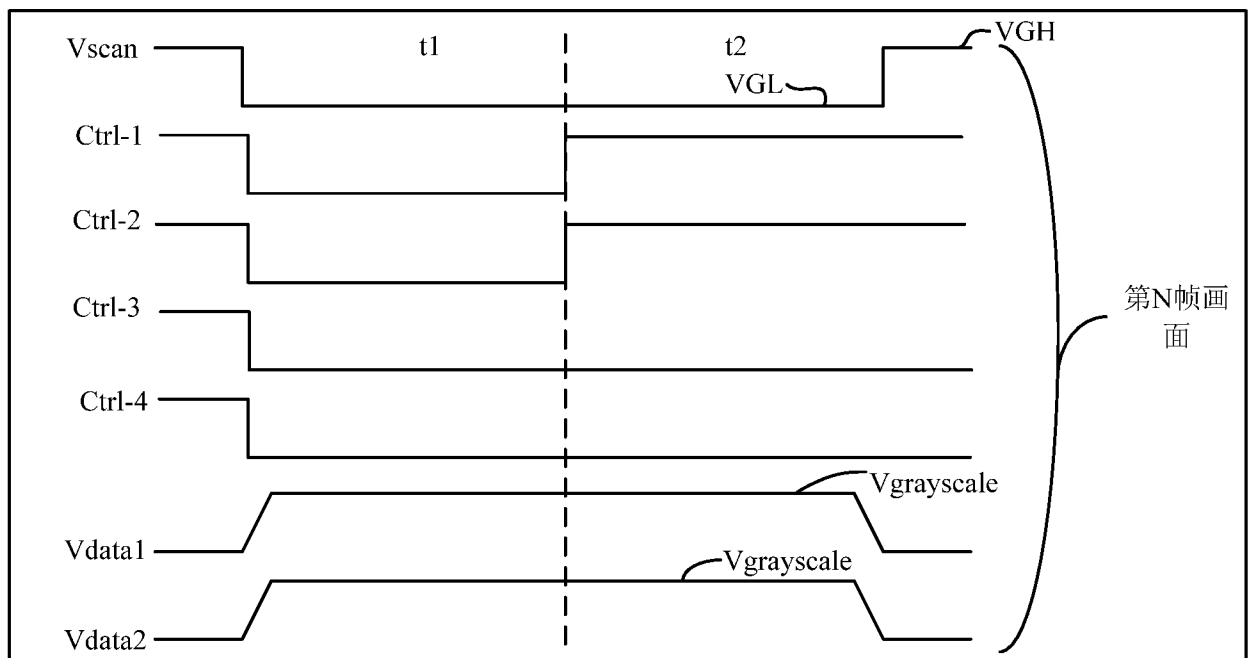


图 14

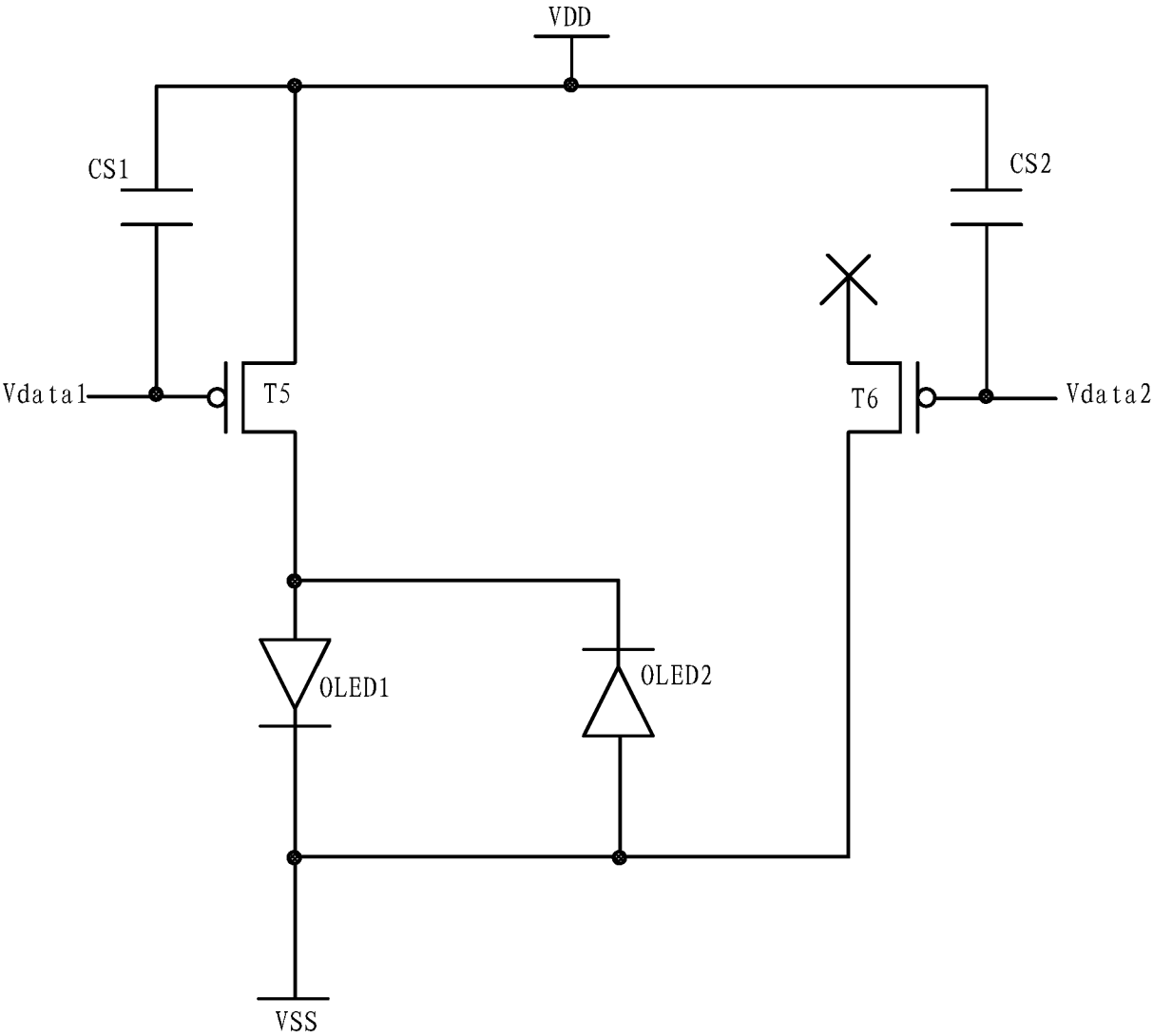


图 15

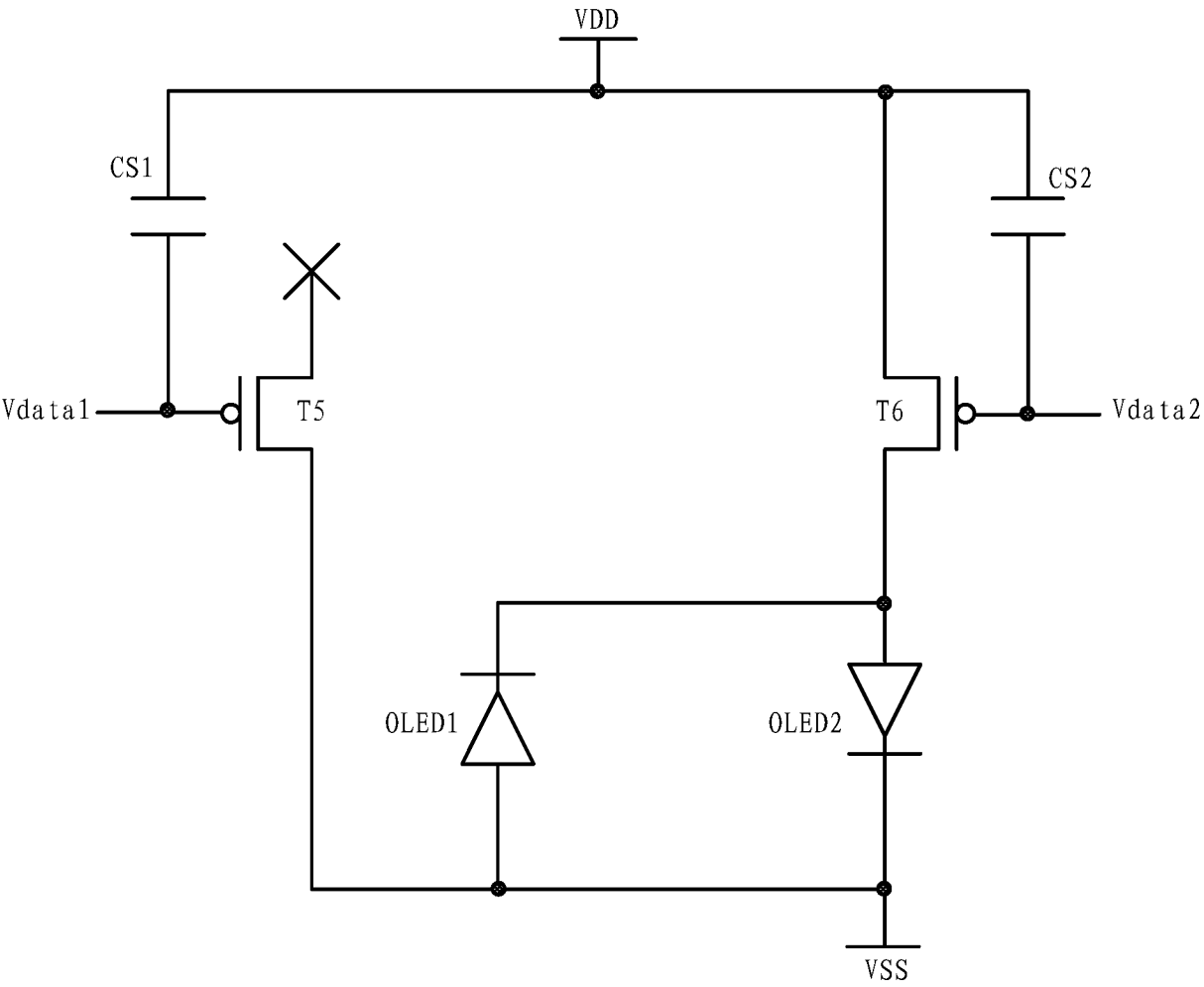


图 16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/085026

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3291 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: second OLED, use time, lighting, light, bias, OLED, reverse, cut-off, second, pixel?, life, offset, aging, second pixel, second sub-pixel, life, reverse offset, first luminescence, second luminescence, end

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105895028 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 August 2016 (24.08.2016) description, paragraphs [0179]-[0439], and figures 2-16	1-28
A	CN 103531148 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 January 2014 (22.01.2014) description, paragraphs [0092]-[0103] and [0136]-[0160], and figures 3 and 8-12	1-28
A	CN 103383836 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 November 2013 (06.11.2013) the whole document	1-28
A	KR 20060053774 A (LG PHILIPS LCD CO., LTD.) 22 May 2006 (22.05.2006) the whole document	1-28
A	CN 103366682 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 October 2013 (23.10.2013) the whole document	1-28

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 18 July 2017	Date of mailing of the international search report 28 July 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Suning Telephone No. (86-10) 61648303

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/085026

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103531149 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 January 2014 (22.01.2014) the whole document	1-28

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/085026

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105895028 A	24 August 2016	None	
CN 103531148 A	22 January 2014	CN 103531148 B	08 July 2015
		US 9460655 B2	04 October 2016
		WO 2015062296 A1	07 May 2015
		US 2015325169 A1	12 November 2015
CN 103383836 A	06 November 2013	CN 103383836 B	27 May 2015
		US 9496293 B2	15 November 2016
		US 2015028762 A1	29 January 2015
		WO 2015000245 A1	08 January 2015
KR 20060053774 A	22 May 2006	KR 100606415 B1	31 July 2006
CN 103366682 A	23 October 2013	US 2016125803 A1	05 May 2016
		CN 103366682 B	17 June 2015
		WO 2015010385 A1	29 January 2015
		US 9589504 B2	07 March 2017
CN 103531149 A	22 January 2014	WO 2015062318 A1	07 May 2015
		US 2016019836 A1	21 January 2016
		CN 103531149 B	15 July 2015

国际检索报告

国际申请号

PCT/CN2017/085026

A. 主题的分类

G09G 3/3291(2016.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, EPDOC, WPI 使用时间, 衰老, 第二像素, 第二象素, 第二OLED, 第二子像素, 第二子象素, 老化, 寿命, 反向偏置, 第一发光, 第二发光, 截止, 偏置, lighting, light, bias, OLED, reverse, cut-off, second, pixel?, life

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105895028 A (京东方科技集团股份有限公司 等) 2016年 8月 24日 (2016 - 08 - 24) 说明书[179]-[439]段, 附图2-16	1-28
A	CN 103531148 A (京东方科技集团股份有限公司 等) 2014年 1月 22日 (2014 - 01 - 22) 说明书[0092]-[0103], [0136]-[0160]段, 附图3, 8-12	1-28
A	CN 103383836 A (京东方科技集团股份有限公司 等) 2013年 11月 6日 (2013 - 11 - 06) 全文	1-28
A	KR 20060053774 A (LG PHILIPS LCD CO., LTD.) 2006年 5月 22日 (2006 - 05 - 22) 全文	1-28
A	CN 103366682 A (京东方科技集团股份有限公司 等) 2013年 10月 23日 (2013 - 10 - 23) 全文	1-28

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 7月 18日

国际检索报告邮寄日期

2017年 7月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李苏宁

电话号码 (86-10)61648303

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103531149 A (京东方科技集团股份有限公司 等) 2014年 1月 22日 (2014 - 01 - 22) 全文	1-28

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/085026

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105895028	A	2016年 8月 24日	无			
CN	103531148	A	2014年 1月 22日	CN	103531148	B	2015年 7月 8日
				US	9460655	B2	2016年 10月 4日
				WO	2015062296	A1	2015年 5月 7日
				US	2015325169	A1	2015年 11月 12日
CN	103383836	A	2013年 11月 6日	CN	103383836	B	2015年 5月 27日
				US	9496293	B2	2016年 11月 15日
				US	2015028762	A1	2015年 1月 29日
				WO	2015000245	A1	2015年 1月 8日
KR	20060053774	A	2006年 5月 22日	KR	100606415	B1	2006年 7月 31日
CN	103366682	A	2013年 10月 23日	US	2016125803	A1	2016年 5月 5日
				CN	103366682	B	2015年 6月 17日
				WO	2015010385	A1	2015年 1月 29日
				US	9589504	B2	2017年 3月 7日
CN	103531149	A	2014年 1月 22日	WO	2015062318	A1	2015年 5月 7日
				US	2016019836	A1	2016年 1月 21日
				CN	103531149	B	2015年 7月 15日

表 PCT/ISA/210 (同族专利附件) (2009年7月)