



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0100526
(43) 공개일자 2014년08월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/06 (2006.01) **H01L 21/31** (2006.01)
H01L 27/12 (2006.01)

(21) 출원번호 10-2014-7016198

(22) 출원일자(국제) 2012년11월16일
 심사청구일자 2014년06월13일

(85) 번역문제출일자 2014년06월13일

(86) 국제출원번호 PCT/US2012/065644

(87) 국제공개번호 WO 2013/075007
 국제공개일자 2013년05월23일

(30) 우선권주장
 13/356,717 2012년01월24일 미국(US)
 61/560,471 2011년11월16일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자
주오, 챙지에
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
윤, 창한
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 (뒷면에 계속)

(74) 대리인
특허법인 남앤드남

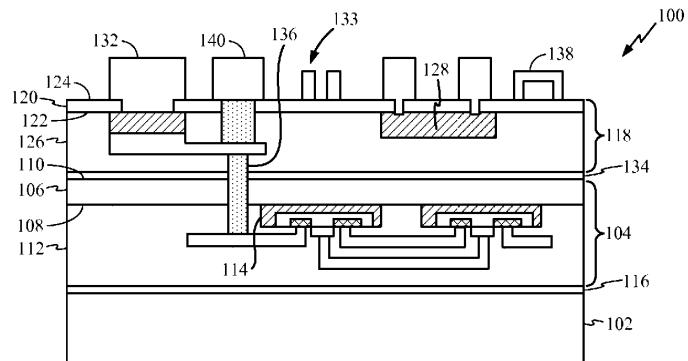
전체 청구항 수 : 총 54 항

(54) 발명의 명칭 절연층 및 보조층을 갖는 적층 칩셋 및 이를 형성하는 방법

(57) 요 약

칩셋(100)은 유리, 석영 또는 사파이어의 시트(102) 및 제 1 기판층(106)의 제 1 측면(108) 상의 적어도 하나의 제 1 회로층(112)을 갖는 제 1 웨이퍼(104)를 포함한다. 제 1 웨이퍼(104)는 적어도 하나의 제 1 회로층(112)이 제 1 기판층(106)과 시트(102) 사이에 위치되도록 시트(102)에 접속된다. 제 2 기판층(120)의 제 1 측면(122) 상의 적어도 하나의 제 2 회로층(126)을 갖는 제 2 웨이퍼(124)는 적어도 하나의 제 2 회로층(126)이 제 2 기판층(120)과 제 1 기판층(106) 사이에 위치되도록 제 1 기판층(106)에 접속된다. 칩셋을 형성하는 방법이 또한 개시된다.

대 표 도 - 도1



(72) 발명자

박, 상준

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

로, 치순

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

베레즈, 마리오 에프.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

김, 종해

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

특허청구의 범위

청구항 1

칩셋으로서,

유리, 석영 또는 사파이어의 시트,

제 1 기판층의 제 1 측면 상의 적어도 하나의 제 1 회로층을 포함하는 제 1 웨이퍼 – 상기 제 1 웨이퍼는 상기 적어도 하나의 제 1 회로층이 상기 제 1 기판층과 상기 시트 사이에 위치되도록 상기 시트에 접속됨 –, 및

제 2 기판층의 제 1 측면 상의 적어도 하나의 제 2 회로층을 포함하는 제 2 웨이퍼 – 상기 제 2 웨이퍼는 상기 적어도 하나의 제 2 회로층이 상기 제 2 기판층과 상기 제 1 기판층 사이에 위치되도록 상기 제 1 기판층에 접속됨 – 를 포함하는,

칩셋.

청구항 2

제 1 항에 있어서,

상기 제 1 기판층은 제 1 절연층을 포함하고,

상기 제 2 기판층은 제 2 절연층을 포함하는,

칩셋.

청구항 3

제 2 항에 있어서,

상기 제 1 웨이퍼 및 상기 제 2 웨이퍼 각각은 SOI(silicon-on-insulator) 웨이퍼를 포함하는,

칩셋.

청구항 4

제 3 항에 있어서,

상기 적어도 하나의 제 1 회로층은 복수의 CMOS 트랜지스터들을 포함하는,

칩셋.

청구항 5

제 3 항에 있어서,

상기 적어도 하나의 제 2 회로층은 적어도 하나의 패시브 회로 엘리먼트를 포함하거나 지지하는,

칩셋.

청구항 6

제 3 항에 있어서,

상기 적어도 하나의 제 2 회로층은 적어도 하나의 MEMS(microelectromechanical) 엘리먼트를 포함하거나 지지하는,

칩셋.

청구항 7

제 3 항에 있어서,

상기 적어도 하나의 제 2 회로층은 적어도 하나의 센서를 포함하거나 지지하는,
칩셋.

청구항 8

제 3 항에 있어서,
상기 제 1 SOI 웨이퍼는 상기 시트에 직접적으로 결합되는,
칩셋.

청구항 9

제 3 항에 있어서,
상기 제 2 SOI 웨이퍼는 상기 제 1 SOI 웨이퍼에 직접적으로 결합되는,
칩셋.

청구항 10

제 3 항에 있어서,
상기 칩셋은 적어도 하나의 반도체 다이에 통합되는,
칩셋.

청구항 11

제 3 항에 있어서,
상기 칩셋은 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스에 통합되는,
칩셋.

청구항 12

제 3 항에 있어서,
상기 적어도 하나의 제 1 회로층은 복수의 CMOS 트랜지스터들을 포함하고,
상기 적어도 하나의 제 2 회로층은 적어도 하나의 패시브 컴포넌트 또는 적어도 하나의 MEMS 엘리먼트를 포함하거나 지지하고,
상기 제 1 SOI 웨이퍼는 상기 시트에 직접적으로 결합되고, 그리고
상기 제 2 SOI 웨이퍼는 상기 제 1 절연층에 직접적으로 결합되는,
칩셋.

청구항 13

제 3 항에 있어서,
상기 칩셋은, SOI를 포함하고 제 3 절연층의 제 1 측면 상의 적어도 하나의 제 3 회로층을 갖는 제 3 웨이퍼를 포함하고,
상기 제 3 웨이퍼는 상기 적어도 하나의 제 3 회로층이 상기 제 1 절연층과 상기 제 2 절연층 사이에 위치되도록 상기 제 1 웨이퍼에 접속되는,
칩셋.

청구항 14

제 13 항에 있어서,

상기 적어도 하나의 제 3 회로층은 CMOS 트랜지스터들을 포함하는,
칩셋.

청구항 15

제 13 항에 있어서,

상기 제 2 웨이퍼는 상기 적어도 하나의 제 2 회로층이 상기 제 2 절연층과 상기 제 3 절연층 사이에 위치되도록 상기 제 3 웨이퍼에 직접적으로 결합되는,
칩셋.

청구항 16

제 13 항에 있어서,

상기 적어도 하나의 제 1 회로층은 디지털 회로를 포함하고,
상기 적어도 하나의 제 3 회로층은 아날로그 회로를 포함하는,
칩셋.

청구항 17

제 13 항에 있어서,

상기 적어도 하나의 제 1 회로층은 디지털 회로를 포함하고,
상기 적어도 하나의 제 2 회로층은 패시브 디바이스 또는 MEMS 엘리먼트를 포함하거나 지지하고,
상기 적어도 하나의 제 3 회로층은 아날로그 또는 RF 회로를 포함하는,
칩셋.

청구항 18

제 13 항에 있어서,

상기 제 1 기판층의 표면 영역은 상기 제 2 기판층의 표면 영역과 실질적으로 동일하고,
상기 제 2 기판층의 표면 영역은 상기 제 3 기판층의 표면 영역과 실질적으로 동일한,
칩셋.

청구항 19

칩셋을 형성하는 방법으로서,

제 1 실리콘 기판 및 상기 제 1 실리콘 기판 상의 적어도 하나의 제 1 회로층을 포함하는 제 1 웨이퍼를 제공하는 단계,

상기 적어도 하나의 제 1 회로층을 유리, 석영 또는 사파이어의 시트에 접속하고, 이어서 상기 제 1 실리콘 기판의 부분을 제거하는 단계,

제 2 실리콘 기판 및 상기 제 2 실리콘 기판 상의 적어도 하나의 제 2 회로층을 포함하는 제 2 웨이퍼를 제공하는 단계, 및

상기 적어도 하나의 제 2 회로층을 상기 제 1 실리콘 기판에 접속하고, 이어서 상기 제 2 실리콘 기판의 부분을 제거하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 실리콘 기판과 상기 제 2 실리콘 기판 사이에 절연층을 제공하는 단계를 포함하는,
칩셋을 형성하는 방법.

청구항 21

제 20 항에 있어서,

상기 적어도 하나의 제 2 회로층을 상기 제 1 실리콘 기판에 접속하는 단계는, 상기 적어도 하나의 제 2 회로층
을 상기 절연층에 직접적으로 결합하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 22

제 19 항에 있어서,

상기 제 1 실리콘 기판은 제 1 절연층을 포함하고, 실리콘의 제 1 본체는 상기 제 1 절연층의 제 1 측면 상에
위치되고, 상기 적어도 하나의 제 1 회로층은 상기 제 1 절연층의 제 2 측면 상에 위치되고, 상기 제 1 실리콘
기판의 부분을 제거하는 단계는 상기 실리콘의 제 1 본체를 제거하는 단계를 포함하고, 그리고

상기 제 2 실리콘 기판은 제 2 절연층을 포함하고, 실리콘의 제 2 본체는 상기 제 2 절연층의 제 1 측면 상에
위치되고, 상기 적어도 하나의 제 2 회로층은 상기 제 2 절연층의 제 2 측면 상에 위치되고, 상기 제 2 실리콘
기판의 부분을 제거하는 단계는 상기 실리콘의 제 2 본체를 제거하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 23

제 19 항에 있어서,

상기 방법은 상기 제 1 실리콘 기판과 상기 제 2 실리콘 기판 사이에 제 1 절연층을 제공하는 단계를 포함하고,

상기 제 2 실리콘 기판은 제 2 절연층을 포함하고, 실리콘의 본체는 상기 제 2 절연층의 제 1 측면 상에 위치되
고, 상기 적어도 하나의 제 2 회로층은 상기 제 2 절연층의 제 2 측면 상에 위치되고, 상기 제 2 실리콘 기판의
부분을 제거하는 단계는 상기 실리콘의 본체를 제거하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 24

제 23 항에 있어서,

상기 제 1 절연층을 통해 연장되는 비아(via)를 형성하고, 상기 적어도 하나의 제 1 회로층의 부분을 상기 적어
도 하나의 제 2 회로층의 부분에 전기적으로 접속하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 25

제 23 항에 있어서,

상기 적어도 하나의 제 1 회로층은 복수의 CMOS 트랜지스터들을 포함하는,

칩셋을 형성하는 방법.

청구항 26

제 23 항에 있어서,

상기 적어도 하나의 제 2 회로층은 적어도 하나의 패시브(passive) 커포넌트를 포함하는,

칩셋을 형성하는 방법.

청구항 27

제 23 항에 있어서,

상기 적어도 하나의 제 2 회로층은 적어도 하나의 아날로그/RF 컴포넌트를 포함하는,
칩셋을 형성하는 방법.

청구항 28

제 23 항에 있어서,

상기 적어도 하나의 제 2 회로는 적어도 하나의 MEMS(microelectromechanical) 또는 센서 컴포넌트를 포함하는,
칩셋을 형성하는 방법.

청구항 29

제 23 항에 있어서,

상기 적어도 하나의 제 1 회로층을 유리, 석영 또는 사파이어의 시트에 접속하는 단계는 상기 적어도 하나의 제 1 회로층을 상기 유리, 석영 또는 사파이어의 시트에 직접적으로 결합하는 단계를 포함하는,
칩셋을 형성하는 방법.

청구항 30

제 19 항에 있어서,

제 3 실리콘 기판 및 상기 제 3 실리콘 기판 상의 적어도 하나의 제 3 회로층을 포함하는 제 3 웨이퍼를 제공하고,
상기 적어도 하나의 제 3 회로층을 상기 제 2 실리콘 기판에 접속하고, 이어서 상기 제 3 실리콘 기판의 부분을 제거하는 단계를 포함하는,
칩셋을 형성하는 방법.

청구항 31

제 30 항에 있어서,

상기 제 1 실리콘 기판은 제 1 절연층을 포함하고, 실리콘의 제 1 본체는 상기 제 1 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 1 회로층은 상기 제 1 절연층의 제 2 측면 상에 위치되고, 상기 제 1 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 1 본체를 제거하는 단계를 포함하고,

상기 제 2 실리콘 기판은 제 2 절연층을 포함하고, 실리콘의 제 2 본체는 상기 제 2 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 2 회로층은 상기 제 2 절연층의 제 2 측면 상에 위치되고, 상기 제 2 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 2 본체를 제거하는 단계를 포함하고, 그리고

상기 제 3 실리콘 기판은 제 3 절연층을 포함하고, 실리콘의 제 3 본체는 상기 제 3 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 3 회로층은 상기 제 3 절연층의 제 2 측면 상에 위치되고, 상기 제 3 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 3 본체를 제거하는 단계를 포함하는,
칩셋을 형성하는 방법.

청구항 32

제 31 항에 있어서,

상기 적어도 제 3 회로층을 상기 제 2 절연층에 접속하는 단계는 상기 적어도 하나의 제 3 회로층을 상기 제 2 절연층에 직접적으로 결합하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 33

제 31 항에 있어서,

상기 적어도 하나의 제 1 회로층은 디지털 회로에 대한 복수의 CMOS 트랜지스터들을 포함하고,

상기 적어도 하나의 제 2 회로층은 아날로그 또는 RF 회로에 대한 복수의 CMOS 트랜지스터들을 포함하고, 그리고

상기 적어도 하나의 제 3 회로층은 적어도 하나의 패시브 컴포넌트 또는 적어도 하나의 MEMS 또는 센서 엘리먼트를 포함하거나 지지하는,

칩셋을 형성하는 방법.

청구항 34

제 31 항에 있어서,

상기 제 1 절연층의 표면 영역은 상기 제 2 절연층의 표면 영역과 실질적으로 동일하고,

상기 제 2 절연층의 표면 영역은 상기 제 3 절연층의 표면 영역과 실질적으로 동일한,

칩셋을 형성하는 방법.

청구항 35

제 19 항에 있어서,

상기 제 1 웨이퍼 및 상기 제 2 웨이퍼를 적어도 하나의 반도체 다이에 통합하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 36

제 19 항에 있어서,

셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스에 상기 제 1 웨이퍼 및 상기 제 2 웨이퍼를 통합하는 단계를 포함하는,

칩셋을 형성하는 방법.

청구항 37

칩셋으로서,

웨이퍼를 지지하기 위한 절연체 시트 수단,

제 1 기판층의 제 1 측면 상의 신호들을 프로세싱하기 위한 적어도 하나의 제 1 회로 수단을 포함하는 제 1 웨이퍼 – 상기 제 1 웨이퍼는 상기 적어도 하나의 제 1 회로 수단이 상기 제 1 기판층과 상기 절연체 시트 수단 사이에 위치되도록 상기 절연체 시트 수단에 접속됨 –, 및

제 2 기판층의 제 1 측면 상의 신호들을 프로세싱하기 위한 적어도 하나의 제 2 회로 수단을 포함하는 제 2 웨이퍼 – 상기 제 2 웨이퍼는 상기 적어도 하나의 제 2 회로 수단이 상기 제 2 기판층과 상기 제 1 기판층 사이에 위치되도록 상기 제 1 기판층에 접속됨 – 를 포함하는,

칩셋.

청구항 38

제 37 항에 있어서,

상기 제 1 기판층은 상기 제 2 웨이퍼로부터 상기 적어도 하나의 제 1 회로 수단을 절연하기 위한 제 1 절연층 수단을 포함하는,

칩셋.

청구항 39

제 37 항에 있어서,

상기 제 1 웨이퍼 및 상기 제 2 웨이퍼 각각은 SOI(silicon-on-insulator) 웨이퍼를 포함하는,
칩셋.

청구항 40

제 37 항에 있어서,

상기 적어도 하나의 제 1 회로 수단은 복수의 CMOS 트랜지스터들을 포함하는,
칩셋.

청구항 41

제 37 항에 있어서,

상기 적어도 하나의 제 2 회로 수단은 적어도 하나의 패시브 회로 엘리먼트를 포함하거나 지지하는,
칩셋.

청구항 42

제 37 항에 있어서,

상기 적어도 하나의 제 2 회로 수단은 적어도 하나의 MEMS(microelectromechanical) 엘리먼트 또는 적어도 하나의 센서를 포함하거나 지지하는,
칩셋.

청구항 43

제 37 항에 있어서,

상기 칩셋은 적어도 하나의 반도체 다이에 통합되는,
칩셋.

청구항 44

제 37 항에 있어서,

상기 칩셋은 셋 톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스에 통합되는,
칩셋.

청구항 45

제 37 항에 있어서,

상기 적어도 하나의 제 1 회로 수단은 복수의 CMOS 트랜지스터들을 포함하고,

상기 적어도 하나의 제 2 회로 수단은 적어도 하나의 패시브 컴포넌트 또는 적어도 하나의 MEMS 엘리먼트를 포함하거나 지원하고,

상기 제 1 웨이퍼는 상기 절연체 시트 수단에 직접적으로 결합되고, 그리고

상기 제 2 웨이퍼는 상기 제 1 기판층에 직접적으로 결합되는,

칩셋.

청구항 46

제 37 항에 있어서,

상기 절연체 시트 수단은 유리의 시트 또는 석영의 시트 또는 사파이어의 시트를 포함하는,
칩셋.

청구항 47

칩셋을 형성하는 방법으로서,

제 1 실리콘 기판 및 상기 제 1 실리콘 기판 상의 적어도 하나의 제 1 회로층을 포함하는 제 1 웨이퍼를 제공하기 위한 단계들,

상기 적어도 하나의 제 1 회로층을 유리, 석영 또는 사파이어의 시트에 접속하기 위한 단계들 및 이어서 상기 제 1 실리콘 기판의 부분을 제거하기 위한 단계들,

제 2 실리콘 기판 및 상기 제 2 실리콘 기판 상의 적어도 하나의 제 2 회로층을 포함하는 제 2 웨이퍼를 제공하기 위한 단계들, 및

상기 적어도 하나의 제 2 회로층을 상기 제 1 실리콘 기판에 접속하기 위한 단계들 및 이어서 상기 제 2 실리콘 기판의 부분을 제거하기 위한 단계들을 포함하는,

칩셋을 형성하는 방법.

청구항 48

제 47 항에 있어서,

상기 제 1 실리콘 기판과 상기 제 2 실리콘 기판 사이에 절연층을 제공하기 위한 단계들을 포함하는,

칩셋을 형성하는 방법.

청구항 49

제 47 항에 있어서,

상기 제 1 실리콘 기판은 제 1 절연층을 포함하고, 실리콘의 제 1 본체는 상기 제 1 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 1 회로층은 상기 제 1 절연층의 제 2 측면 상에 위치되고, 상기 제 1 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 1 본체를 제거하는 단계들을 포함하고, 그리고

상기 제 2 실리콘 기판은 제 2 절연층을 포함하고, 실리콘의 제 2 본체는 상기 제 2 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 2 회로층은 상기 제 2 절연층의 제 2 측면 상에 위치되고, 상기 제 2 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 2 본체를 제거하는 단계들을 포함하는,

칩셋을 형성하는 방법.

청구항 50

제 47 항에 있어서,

상기 적어도 하나의 제 2 회로층은 적어도 하나의 패시브 컴포넌트를 포함하는,

칩셋을 형성하는 방법.

청구항 51

제 47 항에 있어서,

제 3 실리콘 기판 및 상기 제 3 실리콘 기판 상의 적어도 하나의 제 3 회로층을 포함하는 제 3 웨이퍼를 제공하기 위한 단계들, 상기 적어도 하나의 제 3 회로층을 상기 제 2 실리콘 기판에 접속하기 위한 단계들 및 이어서 상기 제 3 실리콘 기판의 부분을 제거하기 위한 단계들을 포함하는,

칩셋을 형성하는 방법.

청구항 52

제 47 항에 있어서,

상기 제 1 실리콘 기판은 제 1 절연층을 포함하고, 실리콘의 제 1 본체는 상기 제 1 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 1 회로층은 상기 제 1 절연층의 제 2 측면 상에 위치되고, 상기 제 1 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 1 본체를 제거하는 단계들을 포함하고,

상기 제 2 실리콘 기판은 제 2 절연층을 포함하고, 실리콘의 제 2 본체는 상기 제 2 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 2 회로층은 상기 제 2 절연층의 제 2 측면 상에 위치되고, 상기 제 2 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 2 본체를 제거하는 단계들을 포함하고, 그리고

상기 제 3 실리콘 기판은 제 3 절연층을 포함하고, 실리콘의 제 3 본체는 상기 제 3 절연층의 제 1 측면 상에 위치되고, 상기 적어도 하나의 제 3 회로층은 상기 제 3 절연층의 제 2 측면 상에 위치되고, 상기 제 3 실리콘 기판의 부분을 제거하는 단계는 상기 실리콘의 제 3 본체를 제거하는 단계들을 포함하는,

칩셋을 형성하는 방법.

청구항 53

제 47 항에 있어서,

상기 제 1 웨이퍼 및 상기 제 2 SOI 웨이퍼를 적어도 하나의 반도체 다이에 통합하기 위한 단계들을 포함하는,

칩셋을 형성하는 방법.

청구항 54

제 47 항에 있어서,

셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스에 상기 제 1 웨이퍼 및 상기 제 2 SOI 웨이퍼를 통합하기 위한 단계들을 포함하는,

칩셋을 형성하는 방법.

명세서

기술 분야

[0001]

본 특허 출원은 2011년 11월 16일자로 출원되고 본원의 양수인에게 양도되고 그로 인해 본원에 인용에 의해 명백히 포함되는 "STACKED CMOS CHIPSET HAVING AN INSULATING LAYER AND A SECONDARY LAYER AND METHOD OF FORMING SAME"란 명칭의 미국 출원 제 61/560,471 호를 우선권으로 주장한다.

[0002]

본 특허 출원은 절연체에 결합된 CMOS(complementary metal oxide semiconductor) 층 및 CMOS 층 상에 적층된 제 2 층을 갖는 칩셋 및 이를 형성하는 방법에 관한 것이며, 더 상세하게는, 절연체에 결합된 CMOS 층 및 패시브(passive) 엘리먼트들, 라디오 주파수(RF) 회로 또는 MEMS(microelectromechanical system) 엘리먼트들을 갖는 제 2 층을 포함하는 칩셋 및 이를 형성하는 방법에 관한 것이다.

배경기술

[0003]

셀룰러 무선 시스템들이 2G로부터 4G로 발달함에 따라, 더 많은 수들의 대역들을 지원하기 위한 라디오 주파수(RF) 칩셋들에 대한 증가하는 수요가 존재한다. 이러한 부가적인 대역들을 처리하는 능력을 칩셋들에 제공하는 것은 부가적인 트랜시버들, 필터들, 전력 증폭기들, 패시브 컴포넌트들 및 스위치들을 칩셋 프론트 엔드에 부가하는 것을 요구할 수 있고, 이것은 칩셋들의 비용 및 복잡성을 증가시킨다. 셀폰의 RF 시스템은 주로 2 개의 부분들: 종종 단일 CMOS(complementary metal oxide semiconductor) 칩인 트랜시버, 및 RF 프론트-엔드(다양한 온-보드 컴포넌트들: 필터들, 듀플렉서들, RF 스위치들, 전력 증폭기들 및 패시브들을 포함함)로 구성된다. CMOS 트랜시버가 상이한 대역들 또는 모드들에 의해 공유되도록 설계될 수 있지만(일반적으로 다중-모드/다중-

대역 트랜시버 설계로 불림), 프론트-엔드 부분, 특히 필터들 및 듀플렉서들은 상이한 대역들 사이에서 공유될 수 없는데, 왜냐하면 간단히 그들이 상이한 주파수 대역에서 동작하기 때문이다. 더 많은 대역들/모드들을 지원하기 위한 이러한 부가적인 엘리먼트들의 존재는, 성능을 증가시키고 크기 및 비용을 감소시키려고 시도할 때, 프론트 엔드에 제한 요인이 되게 할 수 있다.

[0004] 종래의 다중-대역 및/또는 다중-모드 RF 칩셋 프론트 엔드들은 RF 스위치들, 전력 증폭기들, 음향 필터들 및 패시브들, 예를 들면, 인더터들 및 커파시터들과 같은 디바이스들을 포함할 수 있다. CMOS 칩 엘리먼트들이 일반적으로 계속해서 스케일링할 수 있어서 새로운 기술적 진보들을 통해 더 낮은 비용 및 더 작은 크기를 발생시킬 수 있지만, 프론트 엔드는 항상 그와 같이 용이하게 스케일링되지는 않는다. 이러한 상황에 대한 하나의 접근법은 다수의 칩들, 예를 들면, GaAs 안테나 스위치들, GaAs 전력 증폭기들, CMOS 제어기들, SAW(surface acoustic wave) 필터들, 접적 패시브 디바이스들 등을 단일 래미네이트(laminate) 또는 세라믹 기판 상에 통합하는 것이다. 이러한 접근법은 프론트-엔드 통합에 대한 "시스템-인-패키지" 해결책으로 지칭될 수 있다. 튜닝 가능한 프론트 엔드를 도입함으로써 시스템 아키텍처 레벨에서 다중-대역 복잡성 문제를 해결하는데 또한 관심이 있다. 저손실 다중-대역 튜닝 가능한 시스템을 실현하기 위해, 반도체 버랙터들(varactors) 및 MEMS-기반 튜닝 가능한 커파시터들과 같은 하이-Q 튜닝 가능한 패시브들, 및 고성능 RF 스위치들을 단일 배열로 구현하는 방법이 발견되어야 한다. 프론트 엔드 통합은 또한 다중대역 및/또는 다중-모드 RF 트랜시버 칩셋들의 전체 크기 및 비용을 감소시키는데 유용할 수 있다. 따라서, CMOS 컴포넌트들과 다른 프론트 엔드 컴포넌트들을 공간- 및 비용-효율적인 방식으로 통합하는 칩셋을 제공하는 것이 바람직할 것이다.

발명의 내용

[0005] 예시적인 실시예는 유리, 석영 또는 사파이어의 시트, 및 제 1 기판층의 제 1 측면 상에 적어도 하나의 제 1 회로층을 갖는 제 1 웨이퍼를 포함하는 칩셋을 포함한다. 제 1 웨이퍼는, 적어도 하나의 제 1 회로층이 제 1 기판층과 시트 사이에 위치되도록 시트에 접속된다. 칩셋은 또한 제 2 기판층의 제 1 측면 상에 적어도 하나의 제 2 회로층을 갖는 제 2 웨이퍼를 포함하고, 제 2 웨이퍼는 적어도 하나의 제 2 회로층이 제 2 기판층과 제 1 기판층 사이에 위치되도록 제 1 기판층에 접속된다.

[0006] 또 다른 실시예는 칩셋을 형성하는 방법이며, 상기 방법은 제 1 실리콘 기판 및 제 1 실리콘 기판 상의 적어도 하나의 제 1 회로층을 포함하는 제 1 웨이퍼를 제공하는 단계, 적어도 하나의 제 1 회로층을 유리, 석영 또는 사파이어의 시트에 접속하고, 이어서 제 1 실리콘 기판의 부분을 제거하는 단계를 포함한다. 상기 방법은 또한 제 2 실리콘 기판 및 제 2 기판 상의 적어도 하나의 제 2 회로층을 포함하는 제 2 웨이퍼를 제공하는 단계, 적어도 하나의 제 2 회로층을 제 1 실리콘 기판에 접속하는 단계 및 이어서 제 2 실리콘 기판의 부분을 제거하는 단계를 포함한다.

[0007] 추가적인 실시예는 웨이퍼를 지지하기 위한 절연체 시트 수단 및 제 1 기판층의 제 1 측면 상의 신호들을 프로세싱하기 위한 적어도 하나의 제 1 회로 수단을 포함하는 제 1 웨이퍼를 갖는 칩셋을 포함하고, 여기서 제 1 웨이퍼는 적어도 하나의 제 1 회로 수단이 제 1 기판층과 절연체 시트 수단 사이에 위치되도록 절연체 시트 수단에 접속된다. 칩셋은 제 2 기판층의 제 1 측면 상의 신호들을 프로세싱하기 위한 적어도 하나의 제 2 회로 수단을 포함하는 제 2 웨이퍼를 더 포함하고, 여기서 제 2 웨이퍼는 적어도 하나의 제 2 회로층이 제 2 기판층과 제 1 기판층 사이에 위치되도록 제 1 기판층에 접속된다.

[0008] 또 다른 실시예는 칩셋을 형성하는 방법이고, 상기 방법은 제 1 실리콘 기판 및 제 1 실리콘 기판 상의 적어도 하나의 제 1 회로층을 포함하는 제 1 웨이퍼를 제공하기 위한 단계들, 적어도 하나의 제 1 회로층을 유리, 석영 또는 사파이어의 시트에 접속하기 위한 단계들, 이어서 제 1 실리콘 기판의 부분을 제거하기 위한 단계들, 제 2 실리콘 기판 및 제 2 기판 상의 적어도 하나의 제 2 회로층을 포함하는 제 2 웨이퍼를 제공하기 위한 단계들, 적어도 하나의 제 2 회로층을 제 1 실리콘 기판에 접속하기 위한 단계들 및 이어서 제 2 실리콘 기판의 부분을 제거하기 위한 단계들을 포함한다.

[0009] 첨부된 도면들은 본 발명의 실시예들의 설명을 돋도록 제시되며, 본 발명을 제한하지 않고 실시예들의 예시를 위해서만 제공된다.

도면의 간단한 설명

[0010] 도 1은 실시예에 따른 칩셋의 간략한 측면도이다.

도 2 내지 도 7은 도 1의 칩셋을 생성하기 위한 방법의 어셈블리 스테이지들을 도시하는, 도 1의 칩셋의 스톡

재료 및 커먼트들의 간략한 측면도들이다.

도 8은 또 다른 실시예에 따른 칩셋의 간략한 측면도이다.

발명을 실시하기 위한 구체적인 내용

[0011]

본 발명의 양상들은 본 발명의 특정 실시예들에 관한 다음의 설명 및 관련 도면들에 개시된다. 본 발명의 범위에서 벗어나지 않고 대안적인 실시예들이 고안될 수 있다. 부가적으로, 본 발명의 잘 알려진 엘리먼트들은 본 발명의 관련 세부 사항들을 모호하게 하지 않기 위해 상세히 설명되지 않을 것이거나 생략될 것이다.

[0012]

"예시적인"이라는 단어는 본원에서 "예시, 실례 또는 예증으로서의 역할"을 의미하는데 사용된다. 본원에 "예시적인" 것으로서 설명되는 어떠한 실시예도 다른 실시예들에 비해 반드시 선호되거나 유리한 것으로 해석되는 것은 아니다. 마찬가지로, 용어 "본 발명의 실시예들"은 본 발명의 모든 실시예들이 논의되는 특징, 이점 또는 동작 모드를 포함하는 것을 요구하지는 않는다.

[0013]

본원에 사용된 용어는 단지 특정 실시예들을 설명하기 위함이며, 본 발명의 실시예들을 제한하도록 의도되지 않는다. 본원에 사용된 바와 같이, 단수 형태들은, 달리 문맥이 명확히 지시하지 않는다면, 물론 복수 형태들을 포함하도록 의도된다. 용어들 "구비하다", "구비하는", "포함하다" 및/또는 "포함하는"이 본원에 사용될 때, 언급된 특징들, 정수들, 단계들, 동작들, 엘리먼트들 및/또는 커먼트들의 존재를 명시하지만, 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 커먼트들 및/또는 이들의 그룹들의 존재 또는 부가를 배제하지 않는다는 것이 또한 이해될 것이다.

[0014]

또한, 많은 실시예들이, 예를 들면, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관련하여 설명된다. 본원에 설명된 다양한 동작들이 특정 회로들(예를 들면, 주문형 집적 회로들(ASIC들)), 하나 이상의 프로세서들에 의해 실행되는 프로그램 명령들, 또는 이 둘의 조합에 의해 수행될 수 있다는 것이 인지될 것이다. 부가적으로, 본원에 설명된 이러한 동작들의 시퀀스는, 실행될 때, 연관된 프로세서로 하여금 본원에 설명된 기능을 수행하게 할 컴퓨터 명령들의 대응하는 세트가 저장된 임의의 형태의 컴퓨터 판독 가능 저장 매체 내에서 전체적으로 구현되는 것으로 고려될 수 있다. 따라서, 본 발명의 다양한 양상들은 다수의 상이한 형태들로 구현될 수 있고, 이들 모두는 청구된 요지의 범위 내에 있는 것으로 고려된다. 또한, 본원에 설명된 실시예들 각각에 대해, 임의의 그러한 실시예들의 대응하는 형태는, 예를 들면, 설명된 동작을 수행"하도록 구성된 논리"로서 본원에 설명될 수 있다.

[0015]

도 1은 실시예에 따른 칩셋(100)을 예시한다. 칩셋(100)은 제 1 SOI(silicon-on-insulator) 웨이퍼(104)가 결합된 유리, 석영 또는 사파이어와 같은 절연체로 형성된 시트(102)를 포함한다. 제 1 SOI 웨이퍼(104)는 시트(102)를 향하는 제 1 측면(108) 및 제 2 측면(110)을 갖는 제 1 기판층 또는 제 1 절연층(106)을 포함하고, 제 1 SOI 웨이퍼(104)는 또한 제 1 회로층(112)을 포함하고, 제 1 회로층(112)은 제 1 절연층(106)의 제 1 측면(108) 상의 복수의 CMOS 트랜지스터들(114) 및 연관된 와이어링을 포함한다. 이러한 CMOS 트랜지스터들(114) 및 다른 회로 엘리먼트들(예시되지 않음)은 디지털 신호 프로세싱을 위한 회로, 애플리케이션 또는 그래픽 프로세서들, 및/또는 기저대역 신호들을 처리하기 위한 회로를 포함할 수 있다. 제 1 SOI 웨이퍼(104)는, 제 1 회로층(112)이 제 1 SOI 웨이퍼(104)의 제 1 절연층(106)의 제 1 측면(108)과 시트(102) 사이에 위치되도록 제 1 접착층(116) 또는 다른 종래의 웨이퍼 결합 기술들을 사용하여 시트(102)에 결합된다.

[0016]

제 2 SOI 웨이퍼(118)는 제 1 SOI 웨이퍼(104)에 접속된다. 제 2 SOI 웨이퍼(118)는 제 1 절연층(106)의 제 2 측면(110)을 향하는 제 1 측면(122) 및 제 2 측면(124)을 갖는 제 2 기판층 또는 제 2 절연층(120)을 포함한다. 제 2 SOI 웨이퍼(118)는 또한 제 2 회로층(126)을 포함하고, 제 2 회로층(126)은 제 2 회로층(126) 내에 부분적으로 또는 전체적으로 위치된 저항기(128) 및 커패시터(132) 및 인덕터(133)와 같은 패시브 엘리먼트들 또는 "패시브들" 및 제 2 절연층(120)의 제 2 측면(124) 상에 위치된 MEMS 디바이스 또는 센서(138)를 포함한다. 단일 저항기(128), 커패시터(132), 인덕터(133) 및 MEMS 디바이스(138)가 도 1에 예시되지만, 제 2 SOI 웨이퍼(118)는, 일부 경우들에서, 이러한 커먼트 형태들 중 하나 또는 둘만을 포함하거나 및/또는 이러한 별개의 커먼트들(CMOS 트랜지스터들과 같은 능동 회로를 포함함) 중 다수의 커먼트들을 포함할 수 있다. 제 2 SOI 웨이퍼(118)는, 제 2 회로층(126)이 제 2 절연층(120)의 제 1 측면(122)과 제 1 절연층(106)의 제 2 측면(110) 사이에 위치되도록 제 2 접착층(134)을 사용하여 제 1 절연층(106)의 제 2 측면(110)에 결합된다. 비아들(136)은 제 2 회로층(126)의 엘리먼트들을 제 1 회로층(112)의 엘리먼트들에 전기적으로 접속하고, 적절한 금속 접촉들(140)은 제 2 회로층(126) 및/또는 제 1 회로층(112) 내의 또는 상의 엘리먼트들을 칩셋(100) 외부의 디바이스들에 전기적으로 접속하기 위해 제 2 절연층(120)의 제 2 측면(124)에서 접속될 수 있다.

[0017]

유사한 칩셋이 사파이어, 석영 또는 유리와 같은 순수 절연체로 형성된 시트(102) 대신에 매립 산화물(SOI CMOS 기술에서의 경우와 같이)을 갖는 고저항 실리콘(Si) 기판 상에 구성되었지만, 비선형 기생 커패시턴스들이 RF 주파수들에서 SOI 기판 내의 고저항 Si와 매립 SiO₂ 사이의 계면에서 생성될 것이다. 이러한 기생 커패시턴스들은 RF 스위치들 및 전력 증폭기들에 대한 비선형성들 및 전력 처리 이슈들을 발생시킨다. 본원에 설명된 바와 같은 시트(102)의 사용은 실질적으로 비선형-기생-커패시턴스 문제를 제거하고, 하이-Q 패시브들을 포함할 수 있는 패시브들 및 CMOS 트랜지스터들(114)과 같은 CMOS 엘리먼트들이 SOI 웨이퍼들 상에서보다 훨씬 더 양호한 성능으로 동일한 칩셋(100)에서 함께 사용되도록 허용한다.

[0018]

칩셋(100)의 다양한 제조 스테이지들이 도 2 내지 도 7에 예시되고, 칩셋(100)에 존재하고 도 1에서 논의된 엘리먼트들은 도 2 내지 도 7에서 동일한 참조 번호들에 의해 식별된다. 도 2는, 제 1 절연층(106) 및 제 1 회로층(112)이 형성된 제 1 실리콘 기판 또는 처리층(204)을 포함하는 제 1 스톡(stock) SOI 웨이퍼(202)를 예시한다. 제 1 스톡 SOI 웨이퍼(202)는 비용들을 감소시키는 것을 돋기 위해 종래의 벌크 실리콘 CMOS 웨이퍼를 포함할 수 있고, 이러한 경우에, 제 1 기판층(106)은 절연체를 포함하지 않을 것이지만, 대신에 제 1 회로층(112)의 엘리먼트들 바로 아래에 위치된 벌크 실리콘의 부분일 것이다.

[0019]

도 3은 반전되어 제 1 접착층(116)에 의해 시트(102)에 결합된 제 1 스톡 SOI 웨이퍼(202)를 도시하고, 제 1 절연층(106)의 제 1 측면(108)이 시트(102)를 향하고, 도 4는, 예를 들면, 원하는 양의 제 1 실리콘 처리층(204)을 선택적으로 제거하기 위한 CMP(chemical mechanical polishing) 또는 다른 적절한 프로세스에 의한 제 1 실리콘 처리층(204)의 제거에 의해 형성된 제 1 컴포넌트(302)를 도시한다. 도 5는, 제 2 절연층(120) 및 제 2 회로층(126)이 형성된 제 2 실리콘 기판 또는 처리층(504)을 포함하는 제 2 스톡 SOI 웨이퍼(502)를 예시한다. 도 6은 반전되어 제 1 컴포넌트(302)에 부착된 제 2 스톡 SOI 웨이퍼(502)를 도시하고, 제 2 스톡 SOI 웨이퍼(502)의 제 2 회로층(126)이 제 2 접착층(134)에 의해 제 1 절연층(106)에 결합된다. 도 7은, 제 2 스톡 SOI 웨이퍼(502) 및 제 1 컴포넌트(302)의 결합을 포함하는 제 2 컴포넌트(702)를 도시하고, 제 2 스톡 SOI 웨이퍼(502)의 제 2 실리콘 처리층(504)이 CMP 또는 다른 적절한 프로세스에 의해 제거된다. 비아들(136)은 또한 제 2 컴포넌트(702)에 형성되고, 금속 접촉들(140) 및 다른 BEOL(Back-End-of-the-Line) 컴포넌트들(패시브들, MEMS, 센서들 등을 포함함)의 부가는 도 1의 칩셋(100)을 발생시킨다.

[0020]

도 8은 제 1 실시예와 공통인 엘리먼트들이 동일한 참조 번호들로 식별되는 또 다른 실시예를 예시한다. 도 8은 시트(102), 제 1 SOI 웨이퍼(104) 및 제 2 SOI 웨이퍼(118)를 포함하는 제 2 칩셋(800)을 예시하고, 제 1 SOI 웨이퍼(104) 및 제 2 SOI 웨이퍼(118)는 제 3 SOI 웨이퍼(802)에 의해 이격된다. 제 3 SOI 웨이퍼(802)는 제 1 측면(806) 및 제 2 측면(808)을 갖는 제 3 기판층 또는 절연층(804), 및 제 3 절연층(804)의 제 1 측면(806) 상에 복수의 회로 엘리먼트를 포함하는 제 3 층(810)을 포함하고, 회로 엘리먼트들은 아날로그 회로(814) 및/또는 RF 컴포넌트들(816)을 포함할 수 있다. 제 3 SOI 웨이퍼(802)는, 제 3 SOI 웨이퍼(802)의 제 1 측면(806)이 제 1 SOI 웨이퍼(104)의 제 2 측면(110)을 향하도록 제 2 접착층(818)을 사용하여 제 1 SOI 웨이퍼(104)의 제 2 측면(110)에 부착된다. 제 2 SOI 웨이퍼(118)는, 제 2 SOI 웨이퍼(118)의 제 1 측면이 제 3 SOI 웨이퍼(802)의 제 2 측면(808)을 향하도록 제 3 접착층(820)에 의해 제 3 SOI 웨이퍼(802)의 제 2 측면(808)에 부착된다. 제 1 SOI 웨이퍼(104), 제 2 SOI 웨이퍼(118) 및 제 3 SOI 웨이퍼(802) 3 개 모두는 실질적으로 동일한 표면 영역들을 갖는다. 비아들(822)은 제 1 회로층(112), 제 2 회로층(126) 및 제 3 회로층(810)의 회로 컴포넌트들을 접속하고, 금속 접촉들(140)은 제 2 칩셋(800) 외부의 엘리먼트들에 접속들을 제공한다. 이러한 배열은 아날로그 회로(814) 및/또는 RF 컴포넌트들(816)이 커패시터(132)와 같은 패시브들 및 디지털 회로 엘리먼트들(114)과 동일한 칩셋에 포함되도록 허용하고, 콤팩트 패키지에서 많은 종래의 기능들을 수행하는 수직적으로 통합된 칩셋을 제공한다.

[0021]

시트(102)가 유리, 사파이어 또는 석영을 포함하는 것으로 설명되었지만, 시트(102)에 대한 유리의 사용이 일부 상황들에서 특히 유리할 수 있다. 첫째, 유리는 일반적으로 사파이어 또는 석영보다 더 낮은 비용을 갖는다. 다음에, 유리는 또한 사파이어보다 훨씬 더 낮은 유전 상수를 갖고, 이것은 기판으로부터 기생 커패시턴스를 상당히 감소시킨다. 마지막으로, 유리의 웨이퍼/패널 크기는 사파이어 및 석영보다 훨씬 더 클 수 있고, 이것은 더 큰 규모의 대량 생산 및 더 낮은 단위 원가를 허용할 수 있다.

[0022]

개시된 실시예들의 칩셋들은 하나 이상의 반도체 다이들에 통합되거나, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스들, PDA(personal digital assistant), 고정 위치 데이터 유닛, 및 컴퓨터와 같은 디바이스에 통합될 수 있다.

[0023]

본원에 개시된 실시예들에 관련하여 설명된 방법들, 시퀀스들 및/또는 알고리즘들은 직접적으로 하드웨어로, 프

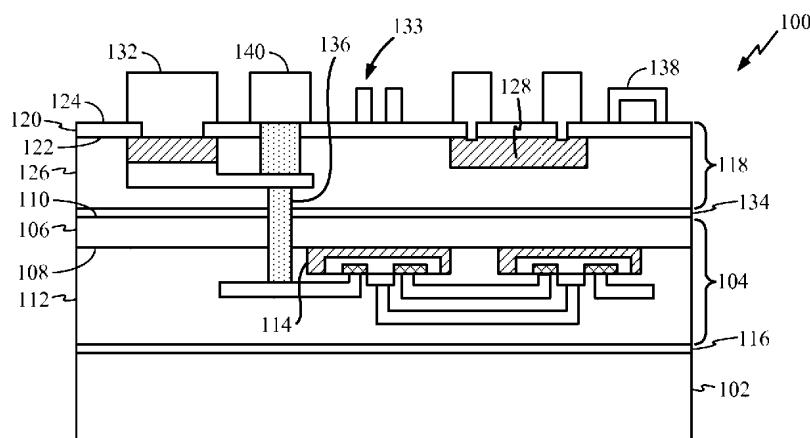
로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 제거 가능한 디스크, CD-ROM, 또는 당분야에 알려진 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고 정보를 저장 매체에 기록할 수 있도록 프로세서에 연결된다. 대안으로, 저장 매체는 프로세서에 통합될 수 있다.

[0024]

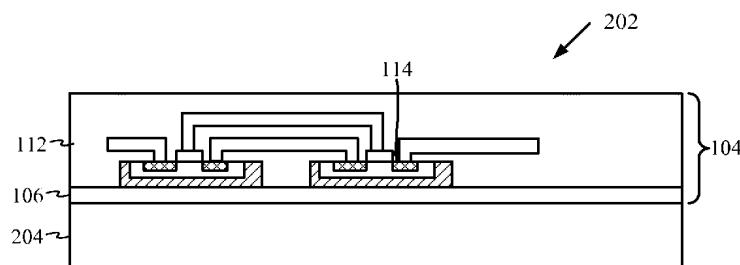
앞서 말한 개시내용이 본 발명의 예시적인 실시예들을 보여주지만, 첨부된 청구항들에 의해 정의된 바와 같은 본 발명의 범위에서 벗어나지 않고, 다양한 변화들 및 수정들이 본원에서 이루어질 수 있다는 것이 유의되어야 한다. 본원에 설명된 본 발명의 실시예들에 따른 방법 청구항들의 기능들, 단계들 및/또는 동작들은 임의의 특정 순서로 수행될 필요는 없다. 또한, 본 발명의 엘리먼트들이 단수형으로 기술 또는 청구될 수 있지만, 단수형으로의 제한이 명시적으로 언급되지 않는다면, 복수형이 고려된다.

도면

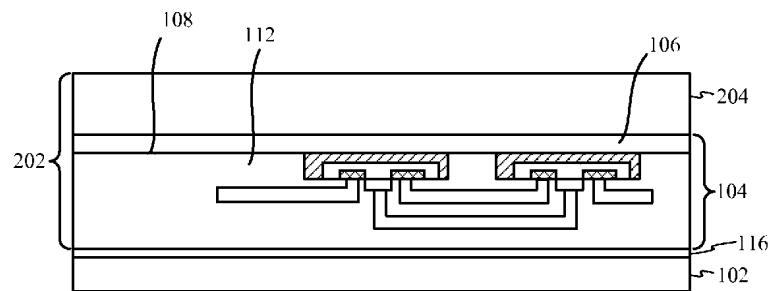
도면1



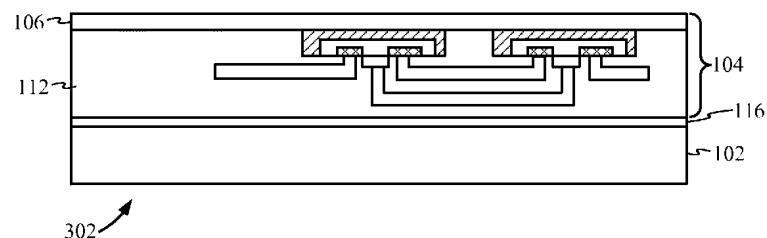
도면2



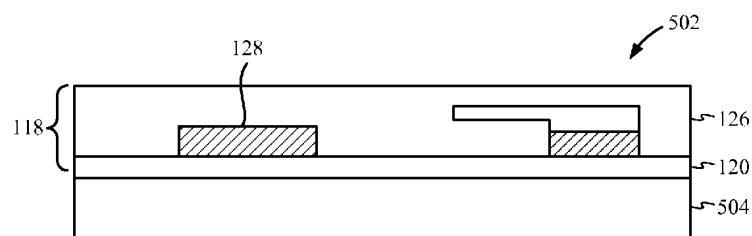
도면3



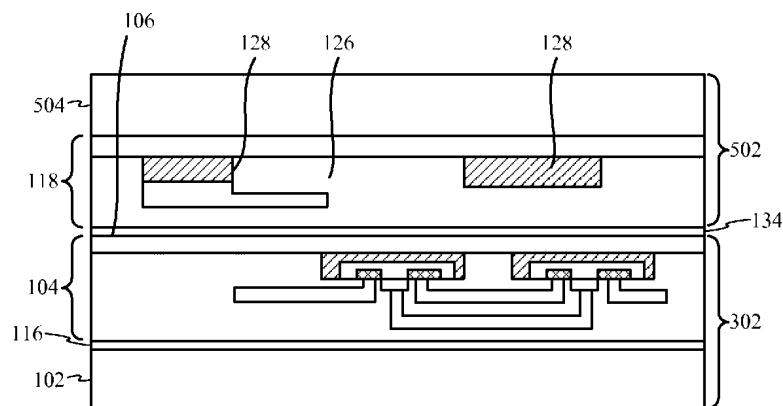
도면4



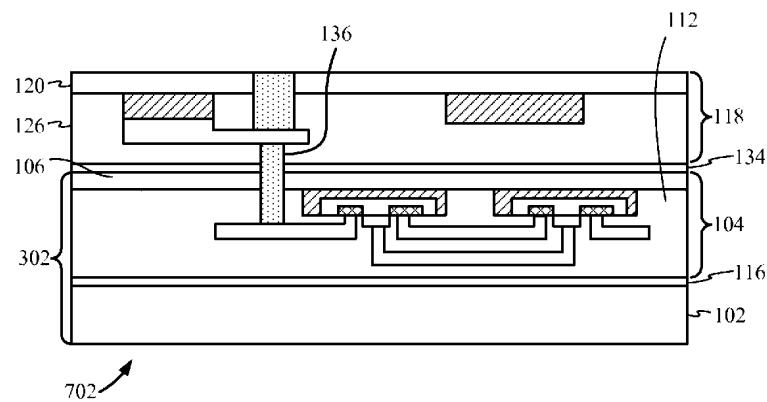
도면5



도면6



도면7



도면8

