(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월26일
(11) 등록번호 10-2535264
(24) 등록일자 2023년05월17일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 29/778* (2006.01)
(52) CPC특허분류
H01L 29/66462 (2013.01)
H01L 29/7786 (2013.01)
(21) 출원번호 10-2022-0169044
(22) 출원일자 2022년12월06일
심사청구일자 2022년12월06일
(30) 우선권주장
1020210175781 2021년12월09일 대한민국(KR)
(56) 선행기술조사문헌
KR1020140021110 A
(뒷면에 계속)
전체 청구항 수 : 총 17 항

(73) 특허권자
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)
(72) 발명자
김태우
대구광역시 수성구 청호로 370, 102동 908호(범어동, 장원아파트)
신기용
울산광역시 북구 매산로 65, 101동 2505호(매곡동, 월드메르디앙 월드시티)
(74) 대리인
특허법인다나

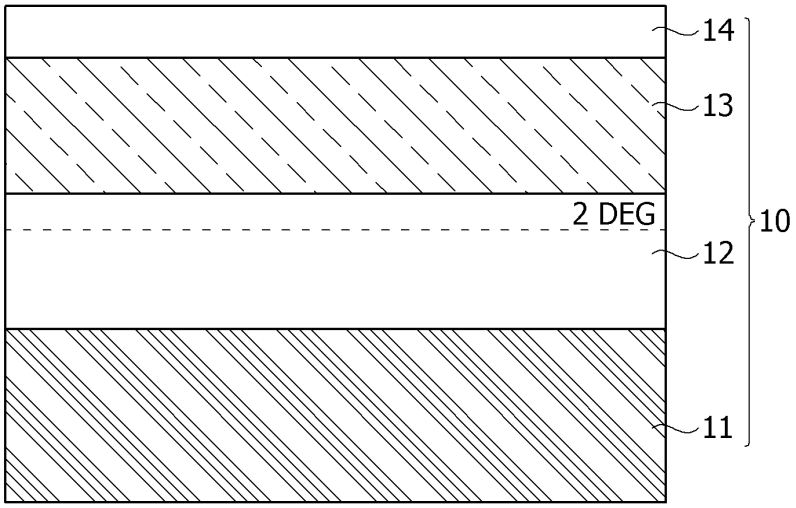
심사관 : 방기인

(54) 발명의 명칭 **고전자 이동성 트랜지스터의 제조방법**

(57) 요 약

본 출원은 고전자 이동성 트랜지스터의 제조 방법에 관한 것이다. 본 출원의 고전자 이동성 트랜지스터의 제조 방법에 의하면, 수율, 재현성 및 균일도를 향상시킬 수 있다.

대 표 도 - 도1



(56) 선행기술조사문헌
JP2020092131 A
JP09092816 A
JP2018082192 A
JP2009088097 A
JP2004119820 A

이 발명을 지원한 국가연구개발사업

과제고유번호	1415165894
과제번호	19-CM-BD-05-MKE
부처명	산업통상자원부
과제관리(전문)기관명	국방과학연구소
연구사업명	민군기술협력(R&D)(산업부)
연구과제명	초고주파 대역용 3D TIV 집적화 공정 및 적층형 InP/GaN 소자 기술 개발
기 여 율	1/1
과제수행기관명	한국전자통신연구원
연구기간	2021.01.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

버퍼층, 채널층, 배리어층 및 식각 정지층을 순차로 포함하는 에피웨이퍼층을 준비하는 제 1 단계;

상기 에피웨이퍼층 상에 N형 InGaAs를 재성장시켜 제 1 InGaAs층 및 제 2 InGaAs층이 서로 이격 간격을 갖고 형성되는 제 2 단계;

상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이의 표면에 제 3-1 감광제를 도포하며, 포토 리소그래피 및 습식 화학 식각을 이용하여 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 제거하는 제 3 단계;

상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 도포된 제 3-1 감광제를 제거하고, 상기 에피웨이퍼층 및 제 1 InGaAs층의 제 1 측면, 및 상기 에피웨이퍼층 및 제 2 InGaAs층의 제 2 측면 각각에 제 1 저항층 및 제 2 저항층 각각을 형성하는 제 4 단계;

상기 제 1 InGaAs층 및 제 1 저항층의 상부로 노출된 표면, 및 상기 제 2 InGaAs층 및 제 2 저항층의 상부로 노출된 표면 각각에 이산화 규소, 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 형성하는 제 5 단계; 및

상기 제 1 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 및 상기 제 2 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 사이에 T 형상의 게이트 전극을 형성하고, 상기 제 1 및 제 2 InGaAs층 각각에 형성된 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하는 제 6 단계를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 2 단계는 상기 제 1 단계에서 준비된 에피웨이퍼층의 상부로 노출된 표면에 이산화 규소를 증착하는 제 2-1 단계;

상기 증착된 이산화규소 상부에 소정 간격으로 이격되도록 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제를 도포하고, 포토 리소그래피 및 반응성 이온 식각(RIE)를 이용하여 상기 이산화규소의 상부에 상기 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제가 도포되지 않고 표면이 노출된 영역을 식각하여 상기 이산화규소의 패턴층을 형성하는 제 2-2 단계;

상기 패턴층 상에 도포된 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제를 제거하는 제 2-3 단계;

상기 패턴층의 식각된 복수의 영역에 금속 유기 화학 기상 증착법(MOCVD)을 이용하여 N형 InGaAs를 재성장시켜 제 1 InGaAs층 및 제 2 InGaAs층을 형성하는 제 2-4 단계; 및

상기 패턴층을 완충 산화물 식각제(BOE)에 담궈 제거하는 제 2-5 단계를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 3

제 2 항에 있어서, 상기 증착은 화학적기상증착법 또는 물리적기상증착법으로 수행되는 고전자 이동성 트랜지스터의 제조방법.

청구항 4

제 1 항에 있어서, 상기 제 3 단계는 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이의 표면에 제 3-1 감광제를 도포하는 제 3-1 단계; 및

포토 리소그래피 및 습식 화학 식각을 이용하여 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 제거하는 제 3-2 단계를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 5

제 4 항에 있어서, 상기 습식 화학 식각은 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 산성 용액에 담궈 수행되는 고전자 이동성 트랜지스터의 제조방법.

청구항 6

제 1 항에 있어서, 상기 제 4 단계는 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 도포된 제 3-1 감광제를 제거하는 제 4-1 단계;

상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 제 4-1 감광제를 도포하고, 상기 에피웨이퍼층, 제 1 및 제 2 InGaAs층, 및 제 4-1 감광제가 순차로 이루어진 적층체의 양 측면에 각각 이격 간격을 갖고 제 4-2 및 제 4-3 감광제를 각각 도포하는 제 4-2 단계;

상기 적층체 및 제 4-2 감광제의 사이, 상기 적층체 및 제 4-3 감광제의 사이, 상기 제 4-1 감광제의 상부, 상기 제 4-2 감광제의 상부, 및 상기 제 4-3 감광제의 상부 각각에 전자빔 증착을 이용하여 각각 제 1 저항층, 제 2 저항층, 제 3 저항층, 제 4 저항층 및 제 5 저항층을 각각 형성하는 제 4-3 단계; 및

상기 제 4-1 감광제, 제 4-2 감광제, 제 4-3 감광제, 제 3 저항층, 제 4 저항층 및 제 5 저항층을 제거하는 제 4-4 단계를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 7

제 6 항에 있어서, 상기 전자빔 증착을 통해 저항 물질에 전자빔을 가해 증발된 물질을 상기 적층체 및 제 4-2 감광제의 사이, 상기 적층체 및 제 4-3 감광제의 사이, 상기 제 4-1 감광제의 상부, 상기 제 4-2 감광제의 상부, 및 상기 제 4-3 감광제의 상부 각각에 부착시켜 수행되는 고전자 이동성 트랜지스터의 제조방법.

청구항 8

제 7 항에 있어서, 상기 저항 물질은 몰리브덴(Mo), 백금(Pt), 티타늄(Ti), 금(Au), 니켈(Ni), 또는 이들의 합금인 고전자 이동성 트랜지스터의 제조방법.

청구항 9

제 1 항에 있어서, 상기 제 5 단계는 상기 제 1 및 제 2 InGaAs층의 상부 및 사이, 및 상기 제 1 및 제 2 저항층의 상부 및 사이의 외부로 노출된 표면에 이산화규소를 증착하는 제 5-1 단계;

상기 제 1 InGaAs층 및 제 1 저항층의 상부로 노출된 표면, 및 상기 제 2 InGaAs층 및 제 2 저항층의 상부로 노출된 표면 각각에 증착된 이산화규소 상에 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 순차로 도포하는 제 5-2 단계; 및

전자빔 리소그래피 및 반응성 이온 식각(RIE)에 의해 상기 제 1 및 제 2 InGaAs층의 사이에 외부로 노출된 이산화규소의 영역을 제거하는 제 5-3 단계를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 10

제 1 항에 있어서, 상기 제 6 단계는 상기 제 1 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 및 상기 제 2 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 사이에 백금(Pt), 금(Au) 또는 티타늄(Ti)을 증착시켜 T 형상으로 게이트 전극을 형성하는 제 6-1 단계; 및

상기 제 1 InGaAs층에 형성된 이산화규소 및 제 2 InGaAs층에 형성된 이산화규소 각각에 형성된 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하는 제 6-2 단계를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 11

제 1 항에 있어서, 상기 버퍼층은 InAlAs로 이루어지는 고전자 이동성 트랜지스터의 제조방법.

청구항 12

제 1 항에 있어서, 상기 채널층은 InGaAs로 이루어지는 고전자 이동성 트랜지스터의 제조방법.

청구항 13

제 1 항에 있어서, 상기 배리어층은 InAlAs로 이루어지는 고전자 이동성 트랜지스터의 제조방법.

청구항 14

제 1 항에 있어서, 상기 채널층은 2차원 전자가스(2DEG)를 포함하는 고전자 이동성 트랜지스터의 제조방법.

청구항 15

제 1 항에 있어서, 상기 식각 정지층은 InP로 이루어지는 고전자 이동성 트랜지스터의 제조방법.

청구항 16

제 1 항에 따른 고전자 이동성 트랜지스터의 제조방법으로 제조된 고전자 이동성 트랜지스터.

청구항 17

제 16 항에 있어서, 0.3~100 GHz, 100~300GHz, 또는 300GHz~1THz의 주파수 대역으로 동작이 가능한 고전자 이동성 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 출원은 고전자 이동성 트랜지스터의 제조방법 및 상기 고전자 이동성 트랜지스터의 제조방법으로 제조된 고전자 이동성 트랜지스터에 관한 것이다.

배 경 기 술

[0003] 인듐 갈륨 비소(InGaAs) 채널을 이용한 고전자 이동성 트랜지스터(HEMTs)는 높은 전자 이동도를 바탕으로 밀리미터파 대역 이상의 높은 주파수 및 저전력 동작이 가능하므로, 군수, 통신 등의 분야에서 중요한 역할을 담당하고 있다. 소자의 전기적 특성 및 주파수 특성을 향상시키기 위해서는 기생 저항 성분의 최적화가 필수적으로 요구되고 있다.

[0004] 이를 위해, 종래에는 고전자 이동성 트랜지스터를 캡 리세스(cap recess) 구조로 제조하였다. 그러나, 종래 고전자 이동성 트랜지스터는 캡 리세스 구조를 갖기 위해 습식 식각(Wet etching) 공정이 수행되나, 수율, 재현성 및 균일도 등의 문제점을 갖게 되었다. 이를 해결하기 위해 고전자 이동성 트랜지스터를 캡리스(Capless) 구조로 제조함으로써, 습식 식각 기반의 리세스 공정을 수행하지 않게 되었다. 그러나, 캡리스 구조로 인해 고전자 이동성 트랜지스터는 액세스 영역(access region)에 시트 저항이 증가하는 문제가 발생되었다. 따라서, 이러한 문제점을 해결하기 위한 고전자 이동성 트랜지스터의 제조 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 과제는 수율, 재현성 및 균일도를 향상시킬 수 있고, 액세스 영역의 시트 저항을 낮출 수 있으며, 기생 성분인 터널링 배리어 저항을 낮출 수 있는 고전자 이동성 트랜지스터의 제조방법 및 상기 고전자 이동성 트랜지스터의 제조방법으로 제조된 고전자 이동성 트랜지스터를 제공하는 것이다.

과제의 해결 수단

[0008] 본 출원의 고전자 이동성 트랜지스터의 제조방법은 버퍼층, 채널층, 배리어층 및 식각 정지층을 순차로 포함하는 에피웨이퍼층을 준비하는 제 1 단계; 상기 에피웨이퍼층 상에 N형 InGaAs를 재성장시켜 제 1 InGaAs층 및 제 2 InGaAs층이 서로 이격 간격을 갖고 형성되는 제 2 단계; 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이의 표면에 제 3-1 감광제를 도포하며, 포토 리소그래피 및 습식 화학 식각을 이용하여 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 제거하는 제 3 단계; 상기 제 1 및 제 2 InGaAs층

의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 도포된 제 3-1 감광제를 제거하고, 상기 에피웨이퍼층 및 제 1 InGaAs층의 제 1 측면, 및 상기 에피웨이퍼층 및 제 2 InGaAs층의 제 2 측면 각각에 제 1 저항층 및 제 2 저항층 각각을 형성하는 제 4 단계; 상기 제 1 InGaAs층 및 제 1 저항층의 상부로 노출된 표면, 및 상기 제 2 InGaAs층 및 제 2 저항층의 상부로 노출된 표면 각각에 이산화 규소, 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 형성하는 제 5 단계; 및 상기 제 1 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 및 상기 제 2 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 사이에 T 형상의 게이트 전극을 형성하고, 상기 제 1 및 제 2 InGaAs층 각각에 형성된 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하는 제 6 단계를 포함한다.

[0009] 상기 제 2 단계는 상기 제 1 단계에서 준비된 에피웨이퍼층의 상부로 노출된 표면에 이산화규소를 증착하는 제 2-1 단계; 상기 증착된 이산화규소 상부에 소정 간격으로 이격되도록 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제를 도포하고, 포토 리소그래피 및 반응성 이온 식각(RIE)를 이용하여 상기 이산화규소의 상부에 상기 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제가 도포되지 않고 표면이 노출된 영역을 식각하여 상기 이산화규소의 패턴층을 형성하는 제 2-2 단계; 상기 패턴층 상에 도포된 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제를 제거하는 제 2-3 단계; 상기 패턴층의 식각된 복수의 영역에 금속 유기 화학 기상 증착법(MOCVD)을 이용하여 N형 InGaAs를 재성장시켜 제 1 InGaAs층 및 제 2 InGaAs층을 형성하는 제 2-4 단계; 및 상기 패턴층을 완충 산화물 식각제(BOE)에 담궈 제거하는 제 2-5 단계를 포함할 수 있다.

[0010] 또한, 상기 증착은 화학적기상증착법 또는 물리적기상증착법으로 수행될 수 있다.

[0011] 또한, 상기 제 3 단계는 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이의 표면에 제 3-1 감광제를 도포하는 제 3-1 단계; 및 포토 리소그래피 및 습식 화학 식각을 이용하여 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 제거하는 제 3-2 단계를 포함할 수 있다.

[0012] 또한, 상기 습식 화학 식각은 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 산성 용액에 담궈 수행될 수 있다.

[0013] 또한, 상기 제 4 단계는 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 도포된 제 3-1 감광제를 제거하는 제 4-1 단계; 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 제 4-1 감광제를 도포하고, 상기 에피웨이퍼층, 제 1 및 제 2 InGaAs층, 및 제 4-1 감광제가 순차로 이루어진 적층체의 양 측면에 각각 이격 간격을 갖고 제 4-2 및 제 4-3 감광제를 각각 도포하는 제 4-2 단계; 상기 적층체 및 제 4-2 감광제의 사이, 상기 적층체 및 제 4-3 감광제의 사이, 상기 제 4-1 감광제의 상부, 상기 제 4-2 감광제의 상부, 및 상기 제 4-3 감광제의 상부 각각에 전자빔 증착을 이용하여 각각 제 1 저항층, 제 2 저항층, 제 3 저항층, 제 4 저항층 및 제 5 저항층을 각각 형성하는 제 4-3 단계; 및 상기 제 4-1 감광제, 제 4-2 감광제, 제 4-3 감광제, 제 3 저항층, 제 4 저항층 및 제 5 저항층을 제거하는 제 4-4 단계를 포함할 수 있다.

[0014] 또한, 상기 전자빔 증착은 저항 물질에 전자빔을 가해 증발된 물질을 상기 적층체 및 제 4-2 감광제의 사이, 상기 적층체 및 제 4-3 감광제의 사이, 상기 제 4-1 감광제의 상부, 상기 제 4-2 감광제의 상부, 및 상기 제 4-3 감광제의 상부 각각에 부착시켜 수행될 수 있다.

[0015] 또한, 상기 저항 물질은 몰리브덴(Mo), 백금(Pt), 티타늄(Ti), 금(Au), 니켈(Ni), 또는 이들의 합금일 수 있다.

[0016] 또한, 상기 제 5 단계는 상기 제 1 및 제 2 InGaAs층의 상부 및 사이, 및 상기 제 1 및 제 2 저항층의 상부 및 사이의 외부로 노출된 표면에 이산화규소를 증착하는 제 5-1 단계; 상기 제 1 InGaAs층 및 제 1 저항층의 상부로 노출된 표면, 및 상기 제 2 InGaAs층 및 제 2 저항층의 상부로 노출된 표면 각각에 증착된 이산화규소 상에 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 순차로 도포하는 제 5-2 단계; 및 전자빔 리소그래피 및 반응성 이온 식각(RIE)에 의해 상기 제 1 및 제 2 InGaAs층의 사이에 외부로 노출된 이산화규소의 영역을 제거하는 제 5-3 단계를 포함할 수 있다.

[0017] 또한, 상기 제 6 단계는 상기 제 1 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 및 상기 제 2 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 사이에 백금(Pt), 금(Au) 또는 티타늄(Ti)을 증착시켜 T 형상으로 게이트 전극을 형성하는 제 6-1 단계; 및 상기 제 1 InGaAs층에 형성된 이산화규소 및 제 2 InGaAs층에 형성된 이산화규소 각각에 형성된 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하는 제 6-2 단계를 포함할 수 있다.

[0018] 또한, 상기 버퍼층은 InAlAs로 이루어질 수 있다.

[0019] 또한, 상기 채널층은 InGaAs로 이루어질 수 있다.

[0020] 또한, 상기 배리어층은 InAlAs로 이루어질 수 있다.

[0021] 또한, 상기 채널층은 2차원 전자가스(2DEG)를 포함할 수 있다.

[0022] 또한, 상기 식각 정지층은 InP로 이루어질 수 있다.

[0023] 또한, 본 출원의 고전자 이동성 트랜지스터는 상기 고전자 이동성 트랜지스터의 제조방법으로 제조된다.

[0024] 또한, 상기 고전자 이동성 트랜지스터는 0.3~100 GHz, 100~300GHz, 또는 300GHz~1THz 주파수 대역으로 동작이 가능할 수 있다.

발명의 효과

[0026] 본 출원의 고전자 이동성 트랜지스터의 제조방법 및 상기 고전자 이동성 트랜지스터의 제조방법으로 제조된 고전자 이동성 트랜지스터에 의하면, 수율, 재현성 및 균일도를 향상시킬 수 있고, 캐리어를 채널에 집중되도록 할 수 있으며, 기생 성분인 터널링 배리어 저항을 낮출 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 2는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 3은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 4는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-3 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 5는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-4 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 6은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-5 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 7은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 3-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 8은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 3-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 9는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 10은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 11은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-3 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 12는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-4 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 13은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 5-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 14는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 5-2 단계를 설명하기

위하여 예시적으로 나타낸 도면이다.

도 15는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 5-3 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 16은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 6-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

도 17은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 6-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부된 도면을 참조로 본 출원의 고전자 이동성 트랜지스터의 제조방법을 설명하며, 첨부된 도면은 예시적인 것으로, 본 출원의 고전자 이동성 트랜지스터의 제조방법이 첨부된 도면에 제한되는 것은 아니다.

[0030] 본 출원의 고전자 이동성 트랜지스터의 제조방법은 제 1 단계, 제 2 단계, 제 3 단계, 제 4 단계, 제 5 단계 및 제 6 단계를 포함한다. 본 출원의 고전자 트랜지스터의 제조방법에 의하면, 수율, 재현성 및 균일도를 향상시킬 수 있고, 액세스 영역 의 시트 저항을 낮출 수 있으며, 기생 성분인 터널링 배리어 저항을 낮출 수 있다.

[0031] 도 1은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 1에 나타낸 바와 같이, 제 1 단계는 에피웨이퍼층(10)을 준비하는 단계이다. 상기 에피웨이퍼층(10)은 순도 높은 초순수 웨이퍼를 매개체로 삼아 상기 웨이퍼 상에 격자 방향을 유지하면서 단결정으로 성장해 추가로 새로운 층을 쌓아 올린 층으로서, 버퍼층(11), 채널층(12), 배리어층(13) 및 식각 정지층(14)을 순차로 포함한다. 상기 에피웨이퍼층(10)으로는 당업계에 상용화되어 전술한 구조로 이루어진 에피웨이퍼층을 사용할 수 있다. 상기 고전자 이동성 트랜지스터의 제조방법에 상기 제 1 단계를 포함함으로써, InAlAs/InGaAs hetero 구조는 밴드갭 차이로 인한 band 밴딩을 통해 InGaAs 채널에 많은 전자들이 모일 수 있게 한다.

[0032] 하나의 예시에서, 상기 버퍼층(11)은 기판 위 각 층의 결정 격자가 일치하지 않아 발생하는 결함을 줄이기 위한 역할을 하며, 고전압 인가시 저항 층으로 누설 전류를 방지하는 역할을 하는 층으로서, InAlAs로 이루어질 수 있다. 상기 버퍼층(11)이 상기 InAlAs로 이루어지며, InGaAs 채널을 사용하기에 결정 격자 일치를 위해 버퍼층으로 InAlAs을 사용한다.

[0033] 또한, 상기 채널층(12)은 배리어층과 이종 접합을 통해 채널층 내부에 2DEG 층을 형성하고 채널 역할을 담당한다. 채널층과 배리어층이 이종 접합하며 에너지 밴드 갭 차이에 의해 밴드가 밴딩되어 2DEG가 채널층에 형성된다. 밴드 밴딩으로 양자 우물을 형성하고 이로 인해 매우 높은 전자이동도를 가질 수 있다. 또한, 채널층은 소스 및 드레인 전극에 의해서 전기적으로 연결되고 전자가 이동하는 통로 역할을 하는 층으로서, GaN, GaAs, InAs, InSb등도 사용할 수 있으며, InGaAs을 포함하는 것이 바람직하다.

[0034] 또한, 상기 배리어층(13)은 채널층과 이종 결합하여 채널층에 2DEG이 형성되도록 만드는 층으로서, InAlAs로 이루어질 수 있다. 상기 배리어층(13)이 상기 InAlAs로 이루어지면서, InGaAs 채널과 결정 격자가 일치하고 2DEG을 형성할 수 있다.

[0035] 또한, 상기 식각 정지층(14)은 SiO2 etch 과정에서 InAlAs 배리어층에 데미지를 주지 않도록 막는 역할을 하고, InAlAs 층은 산소와 잘 반응하여 Oxidation 되어 성능 저하를 일으킬 수 있으므로 에피 웨이퍼 상단에서 이를 막는 역할하는 층으로서, InP로 이루어질 수 있다.

[0036] 상기 제 2 단계는 상기 에피웨이퍼층 상에 제 1 InGaAs층 및 제 2 InGaAs층을 서로 이격 간격을 갖고 형성하는 단계로서, 상기 에피웨이퍼층 상에 N형 InGaAs를 재성장시켜 수행될 수 있다. 일반적으로 cap recess 구조는 Cap (InGaAs cap layer) 층을 가지는데 이를 식각하는 과정이 필요하며 이로 인해 수율 및 재현성, 균일도 문제를 가질 수 있는데, 새로운 regrowth 기법을 통한 capless 구조를 통해 이를 개선하고 소자의 성능을 향상시킬 수 있다.

[0037] 구체적으로, 상기 제 2 단계는 제 2-1 단계, 제 2-2 단계, 제 2-3 단계, 제 2-4 단계 및 제 2-5 단계를 포함한다.

[0038] 도 2는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 2에 나타낸 바와 같이, 상기 제 2-1 단계는 상기 에피웨이퍼층(10)의 상

부로 노출된 표면에 상기 이산화규소(21)를 증착하여 수행될 수 있다.

[0039] 하나의 예시에서, 상기 증착은 당업계에 공지된 화학적기상증착법 또는 물리적기상증착법으로 수행될 수 있다. 상기 에피웨이퍼층(10)의 상부로 노출된 표면에 상기 이산화규소(21)를 전술한 방법으로 증착할 수 있다.

[0040] 도 3은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 3에 나타낸 바와 같이, 상기 제 2-2 단계는 상기 제 2-1 단계에서 증착된 이산화규소(21) 상부에 소정 간격으로 이격되도록 제 2-1 감광제(22), 제 2-2 감광제(23) 및 제 2-3 감광제(24)를 도포하고, 포토 리소그래피 및 반응성 이온 식각(RIE)를 이용하여 상기 이산화규소(21)의 상부에 상기 제 2-1 감광제(22), 제 2-2 감광제(23) 및 제 2-3 감광제(24)가 도포되지 않고 표면이 노출된 영역을 식각하여 상기 이산화규소(21)의 패턴층을 형성함으로써 수행될 수 있다.

[0041] 하나의 예시에서, 상기 제 2-1 감광제(22), 제 2-2 감광제(23) 및 제 2-3 감광제(24)의 도포 방법으로는 당업계에 공지된 스핀 코터를 이용할 수 있다.

[0042] 또한, 상기 포토 리소그래피 및 반응성 이온 식각 방법은 당업계에 공지된 방법으로 수행될 수 있으므로, 특별히 제한되지 않는다.

[0043] 도 4는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-3 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 4에 나타낸 바와 같이, 상기 제 2-3 단계는 감광제는 재성장 영역 패턴 형성 및 이산화규소 식각 방지를 위한 감광제 이고 재성장시 고온에서 탈 수 있기에 제거하는 단계로서, 상기 이산화규소(21)의 패턴층 상에 도포된 제 2-1 감광제(22), 제 2-2 감광제(23) 및 제 2-3 감광제(24)를 제거하여 수행될 수 있다. 구체적으로, 상기 이산화규소(21)의 패턴층 상에 도포된 제 2-1 감광제(22), 제 2-2 감광제(23) 및 제 2-3 감광제(24)의 제거는 아세톤, IPA 등의 organic 용액으로 수행될 수 있다.

[0044] 도 5는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-4 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 5에 나타낸 바와 같이, 상기 제 2-4 단계는 캡을 형성하는 단계로서, 상기 이산화규소(21)의 패턴층의 식각된 복수의 영역에 금속 유기 화학 기상 증착법(MOCVD)을 이용하여 N형 InGaAs를 재성장시켜 제 1 InGaAs층(25) 및 제 2 InGaAs층(26)을 형성함으로써 수행될 수 있다. 구체적으로, 상기 이산화규소(21)의 패턴층의 식각된 복수의 영역에 금속 유기 화학 기상 증착법(MOCVD)을 이용하여 이산화규소가 증착되어 있지 않은 부분에 N형 InGaAs를 재성장시켜 제 1 InGaAs층(25) 및 제 2 InGaAs층(26)을 형성함으로써 수행될 수 있다. 재성장을 통해 형성된 Capping layer는 소스 및 드레인 전극과의 접촉 저항을 낮추고 낮은 면저항을 갖도록 고농도로 도핑된 층이다.

[0046] 도 6은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 2-5 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 6에 나타낸 바와 같이, 상기 제 2-5 단계는 불필요한 영역의 재성장 방지를 위하여 증착하였던 이산화 규소를 제거하는 단계로서, 상기 이산화규소(21)의 패턴층을 완충 산화물 식각제(BOE)에 담궈 제거함으로써, 수행될 수 있다. 상기 완충 산화물 식각제(BOE)로는 당업계에 상용화된 완충 산화물 식각제를 모두 사용할 수 있으므로, 종류가 특별히 제한되는 것은 아니다.

[0047] 상기 제 3 단계는 상기 제 1 및 제 2 InGaAs층의 외측으로 벗어나는 에피웨이퍼층의 영역을 제거하는 단계로서, 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이의 표면에 제 3-1 감광제를 도포하며, 포토 리소그래피 및 습식 화학 식각을 이용하여 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 제거하여 수행된다.

[0048] 구체적으로, 상기 제 3 단계는 제 3-1 단계 및 제 3-2 단계를 포함한다.

[0049] 도 7은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 3-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 7에 나타낸 바와 같이, 상기 제 3-1 단계는 mesa Isolation에서 식각되지 않도록 보호하는 단계로서, 상기 제 1 및 제 2 InGaAs층(25, 26)의 상부, 및 상기 제 1 및 제 2 InGaAs층(25, 26)의 사이의 표면에 제 3-1 감광제(31)를 도포하여 수행될 수 있다. 상기 전술한 영역에 제 3-1 감광제(31)를 도포함으로써, 해당 부분만 감광제를 도포하는 것이 아니라 전면에 감광제를 도포하고 포토 리소그래피 공정을 통해 불필요한 부분의 감광제를 제거할 수 있다.

[0050] 하나의 예시에서, 상기 제 3-1 감광제(31)의 도포 방법으로는 당업계에 공지된 스핀 코터를 이용할 수 있다.

[0051] 도 8은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 3-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 8에 나타낸 바와 같이, 상기 제 3-2 단계는 mesa isolation을 통해 소자

간의 전기적 격리를 위한 단계로서, 포토 리소그래피 및 습식 화학 식각을 이용하여 상기 제 3-1 감광제(31)가 도포되지 않은 에피웨이퍼층(10)의 영역을 제거하여 수행될 수 있다. 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층(10)의 영역을 상기 포토 리소그래피 및 습식 화학 식각을 이용하여 제거할 수 있다.

[0052] 하나의 예시에서, 상기 습식 화학 식각은 상기 제 3-1 감광제(31)가 도포되지 않은 에피웨이퍼층(10)의 영역을 산성 용액에 담궈 수행될 수 있다. 이때, 상기 산성 용액으로는 인산(H3PO4), 과산화수소(H2O2), 염산(HCl), 또는 이들의 혼합 용액이 사용될 수 있다. 상기 제 3-2 단계에서, 습식 화학 식각을 이용할 수 있다.

[0053] 상기 제 4 단계는 상기 에피웨이퍼층 및 제 1 InGaAs층의 제 1 측면, 및 상기 에피웨이퍼층 및 제 2 InGaAs층의 제 2 측면 각각에 제 1 저항층 및 제 2 저항층 각각을 형성하는 단계로서, 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 도포된 제 3-1 감광제를 제거한 후 수행된다. 상기 고전자 이동성 트랜지스터의 제조방법에 상기 제 4 단계를 포함함으로써, 소스와 드레인 전극을 형성할 수 있다.

[0055] 구체적으로, 상기 제 4 단계는 제 4-1 단계, 제 4-2 단계, 제 4-3 단계 및 제 4-4 단계를 포함한다.

[0056] 도 9는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 9에 나타낸 바와 같이, 상기 제 4-1 단계는 Mesa Isolation을 위해 형성한 감광제를 제거하고, 이후 Ohmic 형성을 위한 패턴을 형성하기 위한 단계로서, 상기 제 1 및 제 2 InGaAs층(25, 26)의 상부, 및 상기 제 1 및 제 2 InGaAs층(25, 26)의 사이에 도포된 도 8의 제 3-1 감광제(31)를 제거하여 수행될 수 있다. 전술한 위치에 도포된 도 8의 제 3-1 감광제(31)를 제거할 수 있다.

[0057] 하나의 예시에서, 상기 제 3-1 감광제의 제거는 아세톤, IPA 등을 활용하여 수행할 수 있다.

[0058] 도 10은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 10에 나타낸 바와 같이, 상기 제 4-2 단계는 제 1, 2 저항측 즉 소스 및 드레인 전극 형성을 위해 감광제 도포 후 패턴을 형상하는 단계로서, 상기 제 1 및 제 2 InGaAs층(25, 26)의 상부, 및 상기 제 1 및 제 2 InGaAs층(25, 26)의 사이에 제 4-1 감광제(41)를 도포하고, 상기 에피웨이퍼층(10), 제 1 및 제 2 InGaAs층(25, 26), 및 제 4-1 감광제(41)가 순차로 이루어진 적층체의 양 측면에 각각 이격 간격을 갖고 제 4-2 및 제 4-3 감광제(42, 43)를 각각 도포하여 수행될 수 있다. 상기 전술한 영역에 제 4-2 및 제 4-3 감광제(42, 43)를 도포함으로써, 상기 채널층(12)에 후술하는 제 1 및 제 2 저항층이 직접적으로 접촉되도록 형성할 수 있고, 이로 인해, 기생 성분인 터널링 배리어 저항을 낮출 수 있다.

[0059] 도 11은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-3 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 11에 나타낸 바와 같이, 상기 제 4-3 단계는 소스 및 드레인 전극을 위하여 메탈을 증착하는 단계로서, 상기 제 4-2 단계에서 형성된 적층체 및 제 4-2 감광제(42)의 사이, 상기 제 4-2 단계에서 형성된 적층체 및 제 4-3 감광제(43)의 사이, 상기 제 4-1 감광제(41)의 상부, 상기 제 4-2 감광제(42)의 상부, 및 상기 제 4-3 감광제(43)의 상부 각각에 전자빔 증착을 이용하여 각각 제 1 저항층(44), 제 2 저항층(45), 제 3 저항층(46), 제 4 저항층(47) 및 제 5 저항층(48)을 각각 형성하여 수행될 수 있다. 상기 전술한 각각의 영역에 제 1 저항층(44), 제 2 저항층(45), 제 3 저항층(46), 제 4 저항층(47) 및 제 5 저항층(48)을 각각 형성할 수 있다.

[0060] 하나의 예시에서, 상기 전자빔 증착은 저항 물질을 가열 증발시킨 증기를 상기 제 4-2 단계에서 형성된 적층체 및 제 4-2 감광제(42)의 사이, 상기 제 4-2 단계에서 형성된 적층체 및 제 4-3 감광제(43)의 사이, 상기 제 4-1 감광제(41)의 상부, 상기 제 4-2 감광제(42)의 상부, 및 상기 제 4-3 감광제(43)의 상부 각각에 부착시켜 수행될 수 있다. 상기 제 1 저항층(44), 제 2 저항층(45), 제 3 저항층(46), 제 4 저항층(47) 및 제 5 저항층(48)은 전술한 방법으로 증착될 수 있다.

[0061] 예를 들어, 상기 저항 물질로는 몰리브덴(Mo), 백금(Pt), 티타늄(Ti), 금(Au), 니켈(Ni), 또는 이들의 합금일 수 있다. 상기 저항 물질로 전술한 종류를 사용함으로써, 낮은 접촉 저항 및 면저항을 제공할 수 있다.

[0062] 도 12는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 4-4 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 12에 나타낸 바와 같이, 상기 제 4-4 단계는 소스 및 드레인 전극이 아닌 부분에 증착된 메탈 물질을 제거하는 단계로서, 도 11의 제 4-1 감광제(41), 제 4-2 감광제(42), 제 4-3 감광제(43), 제 3 저항층(46), 제 4 저항층(47) 및 제 5 저항층(48)을 제거하여 수행될 수 있다. 구체적으로, 도 11의 제 4-1 감광제(41), 제 4-2 감광제(42), 제 4-3 감광제(43), 제 3 저항층(46), 제 4 저항층(47) 및 제 5 저항층(48)의 제거는 Acetone, IPA 용액에 담구어서 감광제가 제거되면서 그 위에 증착된 메탈이 같이 떨어져 나가게 된다. 상기 제 4 단계에서, 도 11의 제 4-1 감광제(41), 제 4-2 감광제(42), 제 4-3 감광제(43), 제 3

저항층(46), 제 4 저항층(47) 및 제 5 저항층(48)을 제거할 수 있다.

[0063] 상기 제 5 단계는 이산화 규소, 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 형성하는 단계로서, 상기 제 1 InGaAs층 및 제 1 저항층의 상부로 노출된 표면, 및 상기 제 2 InGaAs층 및 제 2 저항층의 상부로 노출된 표면 각각에 상기 이산화 규소, 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 형성하여 수행된다. 상기 고전자 이동성 트랜지스터의 제조방법에 상기 제 5 단계를 포함함으로써, T shape gate를 형성하기 위함이고, 이산화 규소는 게이트 구조 안정성을 위하여 증착한다.

[0064] 구체적으로, 상기 제 5 단계는 제 5-1 단계, 제 5-2 단계 및 제 5-3 단계를 포함한다.

[0065] 도 13은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 5-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 13에 나타낸 바와 같이, 상기 제 5-1 단계는 T-gate 안전성을 증가시키기 위한 단계로서, 상기 제 1 및 제 2 InGaAs층(25, 26)의 상부 및 사이, 및 상기 제 1 및 제 2 저항층(41, 42)의 상부 및 사이의 외부로 노출된 표면에 이산화규소(51)를 증착하여 수행될 수 있다.

[0066] 하나의 예시에서, 상기 증착은 당업계에 공지된 화학적기상증착법 또는 물리적기상증착법으로 수행될 수 있다. 상기 제 1 및 제 2 InGaAs층(25, 26)의 상부 및 사이, 및 상기 제 1 및 제 2 저항층(41, 42)의 상부 및 사이의 외부로 노출된 표면에 상기 이산화규소(51)를 전술한 방법으로 증착할 수 있다.

[0067] 도 14는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 5-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 14에 나타낸 바와 같이, 상기 제 5-2 단계는, 예를 들어, 3번의 코팅을 통해 감광제를 도포하고, 2번의 Photo 과정(e-beam lithography)을 통해 gate의 head 와 foot 패턴을 형성하고, 특히, 첫번째 포토를 통해 head를 형성하고 두번? 포토를 통해 foot을 형성할 수 있다. 상기 제 1 InGaAs층(25) 및 제 1 저항층(44)의 상부로 노출된 표면, 및 상기 제 2 InGaAs층(26) 및 제 2 저항층(45)의 상부로 노출된 표면 각각에 증착된 이산화규소(51) 상에 제 5-1 감광제(52), 제 5-2 감광제(53) 및 제 5-3 감광제(54)를 순차로 도포하여 수행될 수 있다. 상기 전술한 각각의 영역에 제 5-1 감광제(52), 제 5-2 감광제(53) 및 제 5-3 감광제(54)를 각각 도포함으로써, 전극을 증착하기 위한 패턴을 형성한다.

[0068] 하나의 예시에서, 상기 제 5-1 감광제(52), 제 5-2 감광제(53) 및 제 5-3 감광제(54)의 도포 방법으로는 당업계에 공지된 스핀 코터 방식을 이용할 수 있다.

[0069] 도 15는 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 5-3 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 15에 나타낸 바와 같이, 상기 제 5-3 단계는 게이트 증착 전 Dielectric인 이산화규소를 제거하고 에피 웨이퍼에 게이트가 증착되도록 하는 단계로서, 반응성 이온 식각(RIE)에 의해 상기 제 1 및 제 2 InGaAs층(25, 26)의 사이에 외부로 노출된 이산화규소(51)의 영역을 제거하여 수행될 수 있다. 상기 전술한 위치에 노출된 이산화규소(51)의 영역을 제거할 수 있다.

[0070] 구체적으로, 상기 반응성 이온 식각(RIE) 방법은 당업계에 공지된 방법으로 수행될 수 있으므로, 특별히 제한되지 않는다.

[0071] 상기 제 6 단계는 T 형상의 게이트 전극을 형성하고, 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하는 단계로서, 상기 제 1 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 및 상기 제 2 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 사이에 T 형상의 게이트 전극을 형성하고, 상기 제 1 및 제 2 InGaAs층 각각에 형성된 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하여 수행된다. 상기 고전자 이동성 트랜지스터의 제조방법에 상기 제 6 단계를 포함함으로써, T-gate(게이트 전극)를 형성할 수 있다.

[0072] 구체적으로, 상기 제 6 단계는 상기 제 6-1 단계 및 제 6-2 단계를 포함할 수 있다.

[0073] 도 16은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 6-1 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 16에 나타낸 바와 같이, 상기 제 1 InGaAs층(25), 이산화 규소(51) 및 제 5-1 감광제(52)로 이루어진 적층체 및 상기 제 2 InGaAs층(26), 이산화 규소(51) 및 제 5-1 감광제(52)로 이루어진 적층체 사이에 백금(Pt), 티타늄(Ti) 또는 금(Au)을 증착시켜 T 형상으로 게이트 전극(61)을 형성하여 수행될 수 있다. 전술한 위치에 T 형상의 게이트 전극(61)을 형성함으로써, 일반적으로 발생하는 문제인 게이트 폭이 줄어들며 게이트 저항이 점차 증가하는 문제가 발생을 방지할 수 있다. Foot은 좁고 head는 넓은 구조를 통해 낮은 NF를 유지하며 게이트 저항을 낮추어 높은 동작 주파수 구형 가능이다. 이를 통해 낮은 Noise figure(NF) 및 높은 동작 주파수를 얻을 수 있다.

[0074] 하나의 예시에서, 상기 T 형상의 게이트 전극(61)은 E-beam Evaporator를 이용하여 증착될 수 있다.

[0075] 도 17은 본 출원의 일 실시예에 따른 고전자 이동성 트랜지스터의 제조방법에 포함된 제 6-2 단계를 설명하기 위하여 예시적으로 나타낸 도면이다. 도 17에 나타낸 바와 같이, 상기 제 6-2 단계는 게이트 전극 외 불필요한 부분에 증착된 메탈 물질을 제거하는 단계로서, 상기 제 1 InGaAs층(25)에 형성된 이산화규소(51) 및 제 2 InGaAs층(26)에 형성된 이산화규소(51) 각각에 형성된 도 16의 제 5-1 감광제(52), 제 5-2 감광제(53) 및 제 5-3 감광제(54)를 제거하여 수행될 수 있다. 상기 전술한 위치에 형성된 도 16의 제 5-1 감광제(52), 제 5-2 감광제(53) 및 제 5-3 감광제(54)를 제거할 수 있다.

[0076] 본 출원은 또한, 고전자 이동성 트랜지스터에 관한 것이다. 예시적인 고전자 이동성 트랜지스터는 전술한 고전자 이동성 트랜지스터의 제조방법으로 제조된 고전자 이동성 트랜지스터에 관한 것으로, 후술하는 고전자 이동성 트랜지스터에 관한 구체적인 사항은 상기 고전자 이동성 트랜지스터의 제조방법에서 기술한 내용이 동일하게 적용될 수 있으므로, 이를 생략하기로 한다.

[0077] 본 출원의 고전자 이동성 트랜지스터는 상기 고전자 이동성 트랜지스터의 제조방법으로 제조된다. 본 출원의 고전자 이동성 트랜지스터에 의하면, 수율, 재현성 및 균일도를 향상시킬 수 있고, 액세스 영역 의 시트 저항을 낮출 수 있으며, 기생 성분인 터널링 배리어 저항을 낮출 수 있다.

[0078] 하나의 예시에서, 상기 고전자 이동성 트랜지스터는 0.3~100 GHz, 100~300GHz, 또는 300GHz~10THz의 주파수 대역으로 동작이 가능할 수 있다. 상기 고전자 이동성 트랜지스터는 전술한 조건에서 전술한 주파수 대역 이상에서 동작이 가능함으로써, 군수, 통신 등의 분야에서 사용이 가능할 수 있다.

[0080] 이하 실시예를 통하여 본 출원을 구체적으로 설명하지만, 본 출원의 범위가 하기 실시예에 의해 제한되는 것은 아니다.

[0081] **실시예 1**

[0082] **고전자 이동성 트랜지스터의 제조방법**

[0083] InAlAs로 이루어진 버퍼층, InGaAs로 이루어진 채널층, InAlAs로 이루어진 배리어층 및 InP로 이루어진 식각 정지층을 순차로 포함하는 에피웨이퍼층(미국의 Intelli Epi. 사의 HEMT Epi)을 준비하였다.

[0084] 이후, 상기 에피웨이퍼층의 상부로 노출된 표면에 이산화규소를 증착하였다. 이후, 상기 증착된 이산화규소 상부에 소정 간격으로 이격되도록 제 2-1 감광제(AZ Electronic Materials 사의 AZ GXR-601 PR), 제 2-2 감광제(AZ Electronic Materials 사의 AZ GXR-601 PR) 및 제 2-3 감광제(AZ Electronic Materials 사의 AZ GXR-601 PR)를 도포하며, 포토 리소그래피 및 반응성 이온 식각(RIE)를 수행하여 상기 이산화규소의 상부에 상기 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제가 도포되지 않고 표면이 노출된 영역을 식각하여 상기 이산화규소의 패턴층을 형성하였다. 이후, 상기 패턴층 상에 도포된 제 2-1 감광제, 제 2-2 감광제 및 제 2-3 감광제를 제거하였다. 이후, 상기 패턴층의 식각된 복수의 영역에 금속 유기 화학 기상 증착법(MOCVD)을 수행하여 N형 InGaAs를 재성장시킨 후, 제 1 InGaAs층 및 제 2 InGaAs층을 형성하였다. 이후, 상기 패턴층을 완충 산화물 식각제(BOE)에 담궈 제거하였다.

[0085] 이후, 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이의 표면에 제 3-1 감광제를 도포하였다. 이후, 포토 리소그래피 및 습식 화학 식각을 수행하여 상기 제 3-1 감광제가 도포되지 않은 에피웨이퍼층의 영역을 제거하였다.

[0086] 이후, 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 도포된 제 3-1 감광제를 제거하였다. 이후, 상기 제 1 및 제 2 InGaAs층의 상부, 및 상기 제 1 및 제 2 InGaAs층의 사이에 제 4-1 감광제를 도포하고, 상기 에피웨이퍼층, 제 1 및 제 2 InGaAs층, 및 제 4-1 감광제가 순차로 이루어진 적층체의 양 측면에 각각 이격 간격을 갖고 제 4-2 및 제 4-3 감광제를 각각 도포하였다. 이후, 상기 적층체 및 제 4-2 감광제의 사이, 상기 적층체 및 제 4-3 감광제의 사이, 상기 제 4-1 감광제의 상부, 상기 제 4-2 감광제의 상부, 및 상기 제 4-3 감광제의 상부 각각에 전자빔 증착을 수행하여 제 1 저항층, 제 2 저항층, 제 3 저항층, 제 4 저항층 및 제 5 저항층을 각각 형성하였다. 이후, 상기 제 4-1 감광제, 상기 4-2 감광제, 상기 제 4-3 감광제, 상기 제 3 저항층, 상기 제 4 저항층 및 제 5 저항층을 제거하였다.

[0087] 이후, 상기 제 1 및 제 2 InGaAs층의 상부 및 사이, 및 상기 제 1 및 제 2 저항층의 상부 및 사이의 외부로 노출된 표면에 이산화규소를 증착하였다. 이후, 상기 제 1 InGaAs층 및 제 1 저항층의 상부로 노출된 표면, 및 상기 제 2 InGaAs층 및 제 2 저항층의 상부로 노출된 표면 각각에 증착된 이산화규소 상에 제 5-1 감광제, 제 5-2

감광제 및 제 5-3 감광제를 순차로 도포하였다. 이후, 전자빔 리소그래피 및 반응성 이온 식각(RIE)을 수행하여 상기 제 1 및 제 2 InGaAs층의 사이에 외부로 노출된 이산화규소의 영역을 제거하였다.

[0088] 이후, 상기 제 1 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 및 상기 제 2 InGaAs층, 이산화 규소 및 제 5-1 감광제로 이루어진 적층체 사이에 증착시켜 T 형상의 게이트 전극(Pt/Ti/Pt/Au 순으로 증착)을 형성하였다. 이후, 상기 제 1 InGaAs층에 형성된 이산화규소 및 제 2 InGaAs층에 형성된 이산화규소 각각에 형성된 상기 제 5-1 감광제, 제 5-2 감광제 및 제 5-3 감광제를 제거하여 고전자 이동성 트랜지스터를 제조하였다.

부호의 설명

[0090] 10: 에피웨이퍼층

11: 버퍼층

12: 채널층

13: 배리어층

14: 식각 정지층

21, 51: 이산화규소

22: 제 2-1 감광제

23: 제 2-2 감광제

24: 제 2-3 감광제

25: 제 1 InGaAs층

26: 제 2 InGaAs층

31: 제 3-1 감광제

41: 제 4-1 감광제

42: 제 4-2 감광제

43: 제 4-3 감광제

44: 제 1 저항층

45: 제 2 저항층

46: 제 3 저항층

47: 제 4 저항층

48: 제 5 저항층

52: 제 5-1 감광제

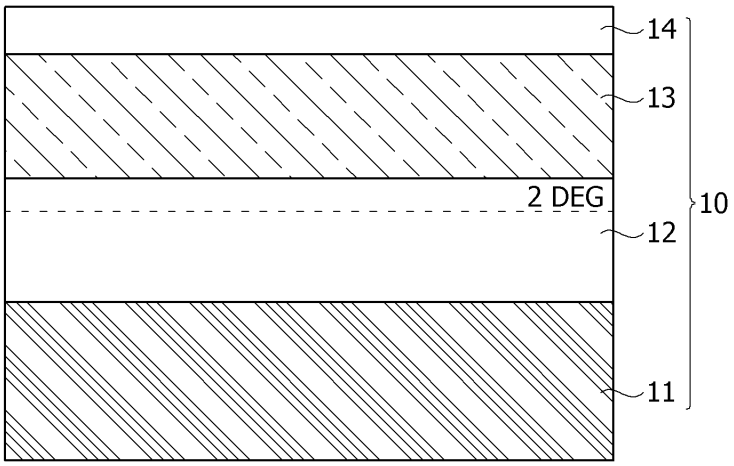
53: 제 5-2 감광제

54: 제 5-3 감광제

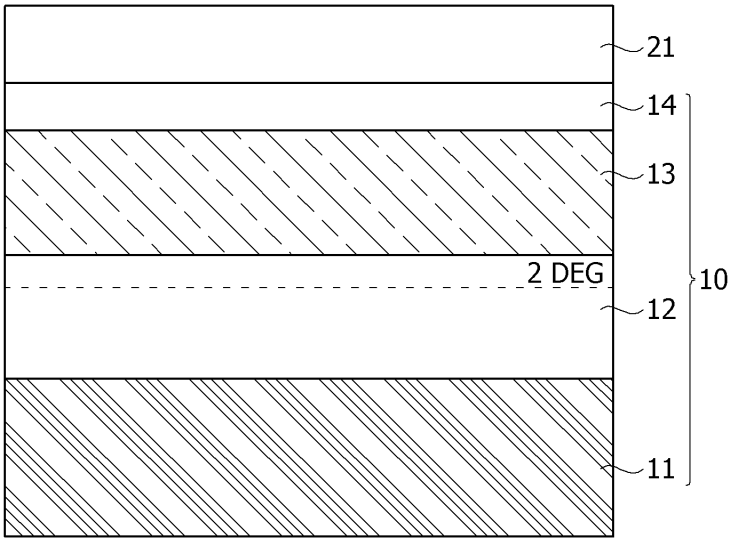
61: 게이트 전극

도면

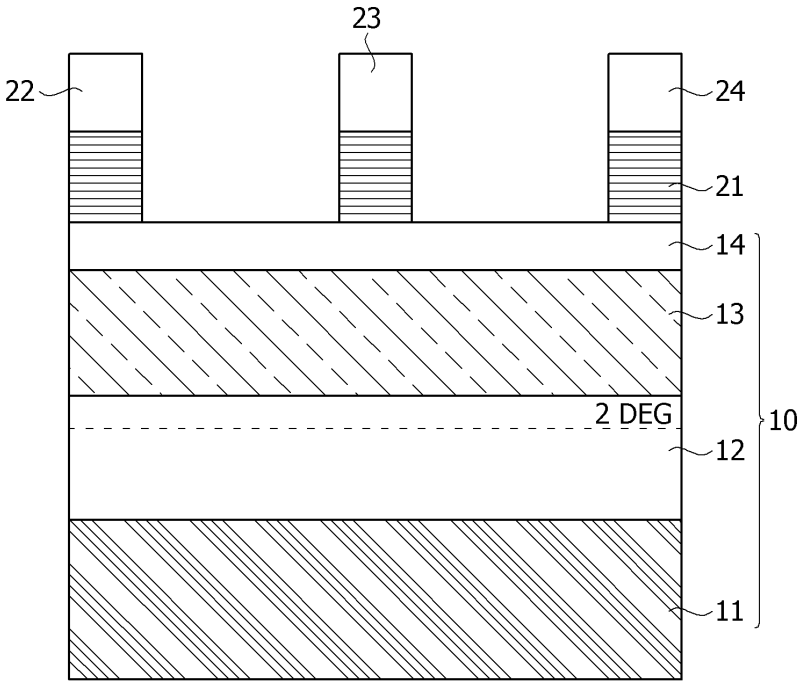
도면1



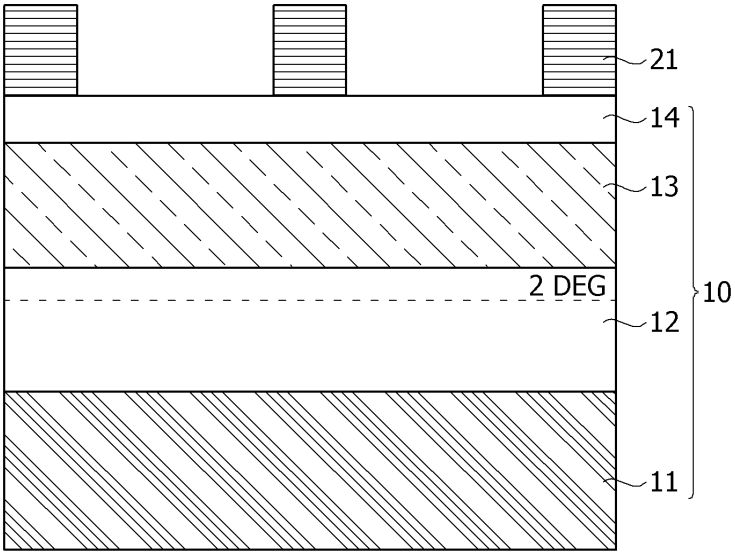
도면2



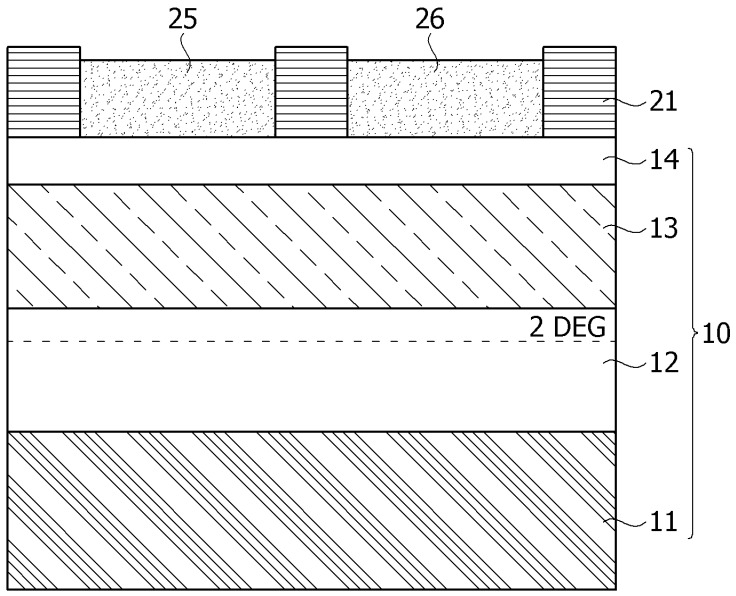
도면3



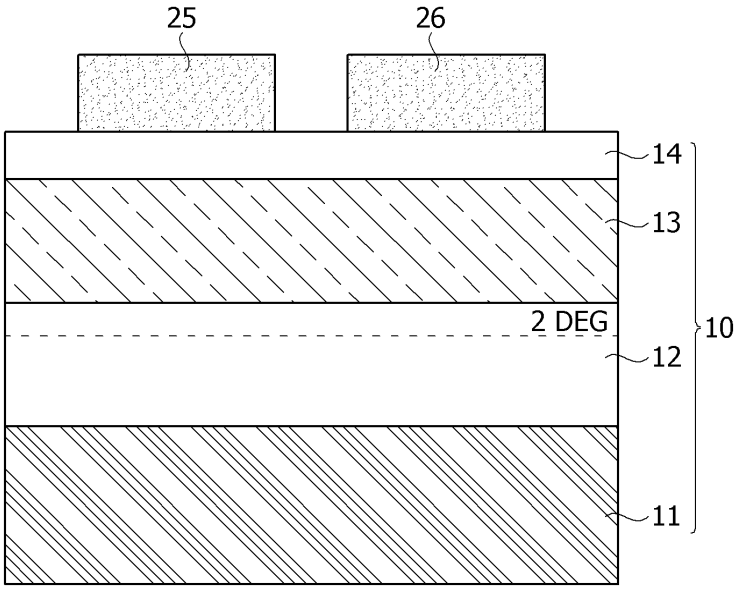
도면4



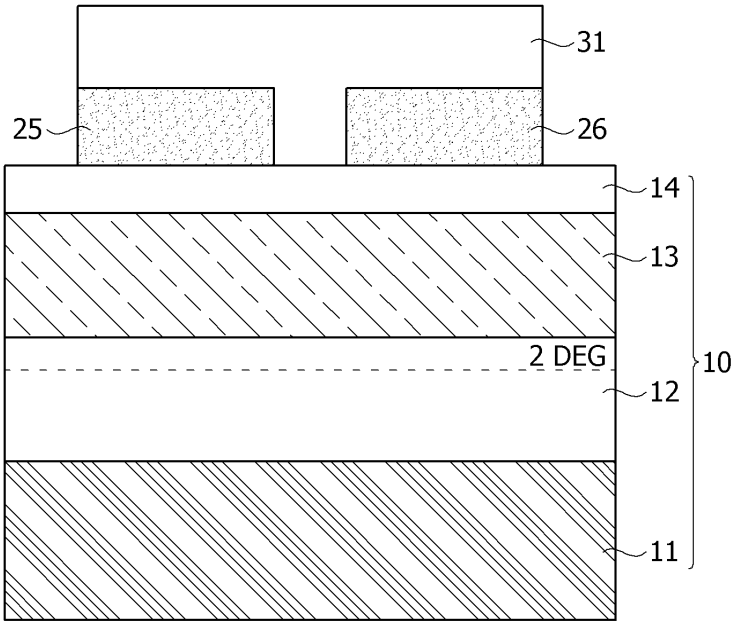
도면5



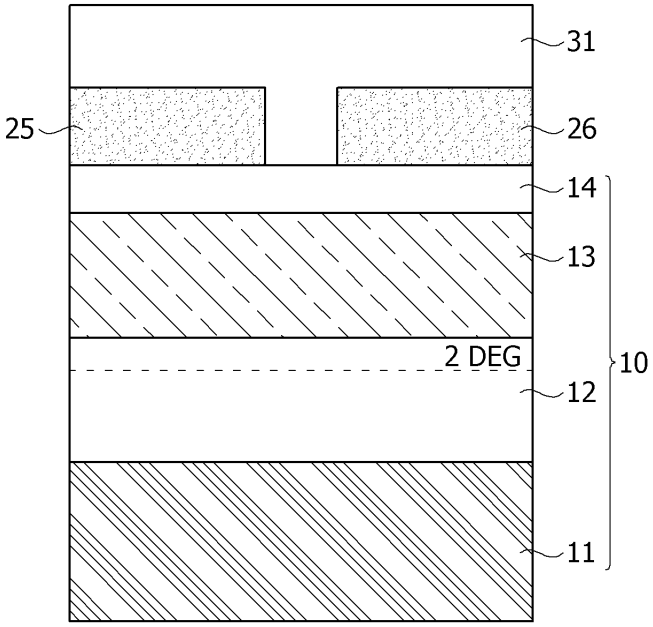
도면6



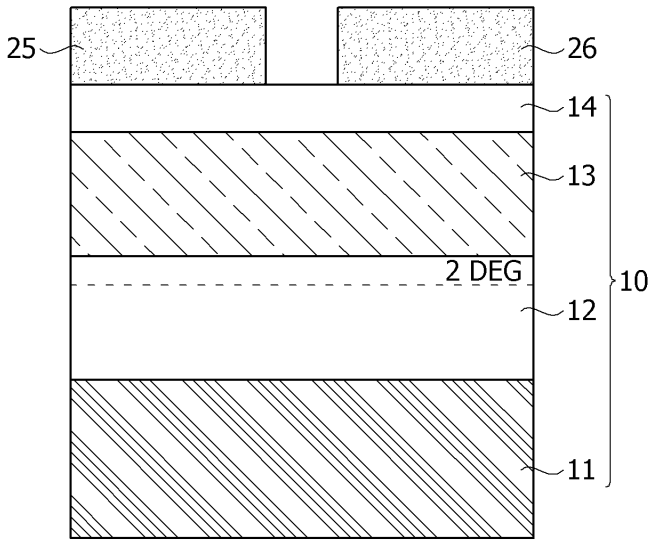
도면7



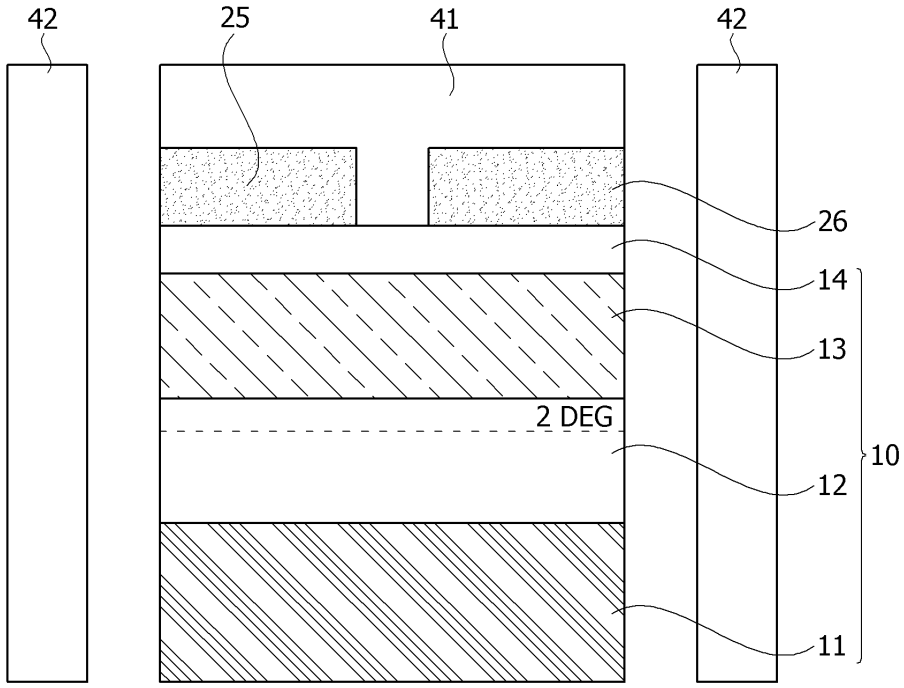
도면8



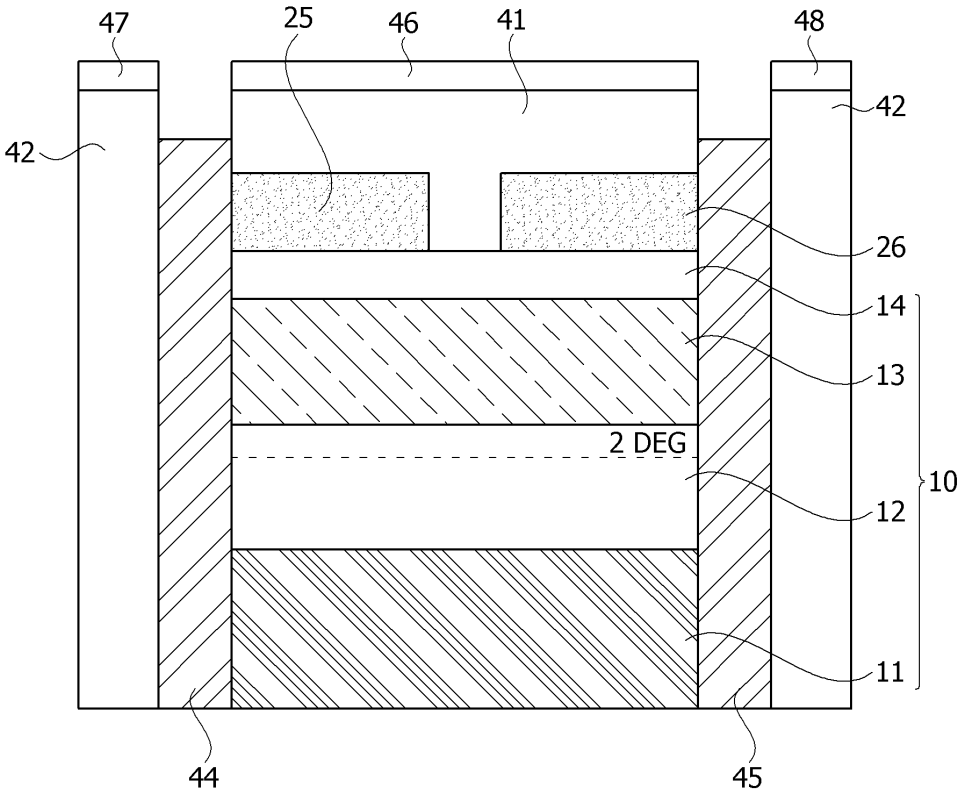
도면9



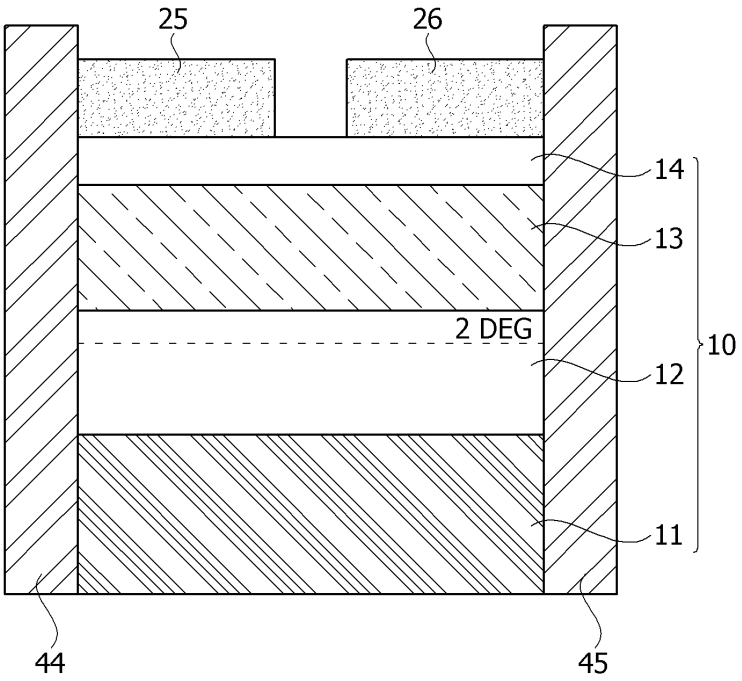
도면10



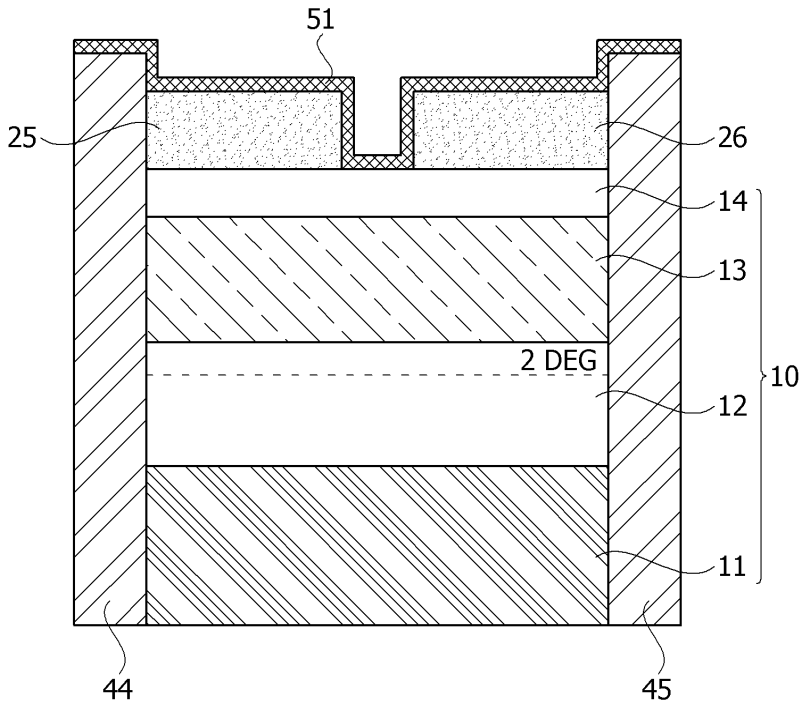
도면11


47
25
46
41
48
42
42
26
14
13
2 DEG
10
12
11
44
45

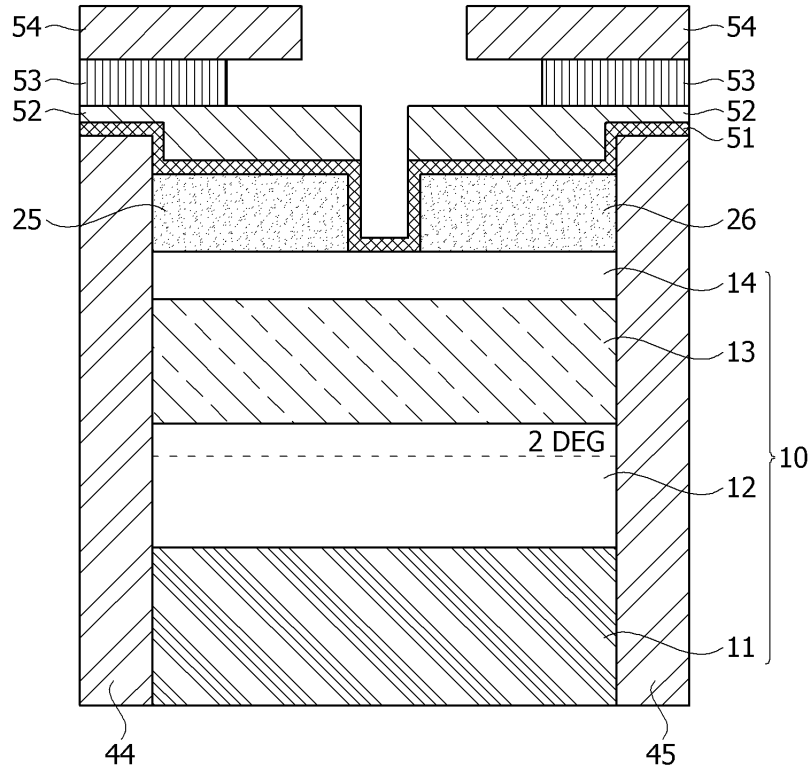
도면12


25
26
14
13
2 DEG
10
12
11
44
45

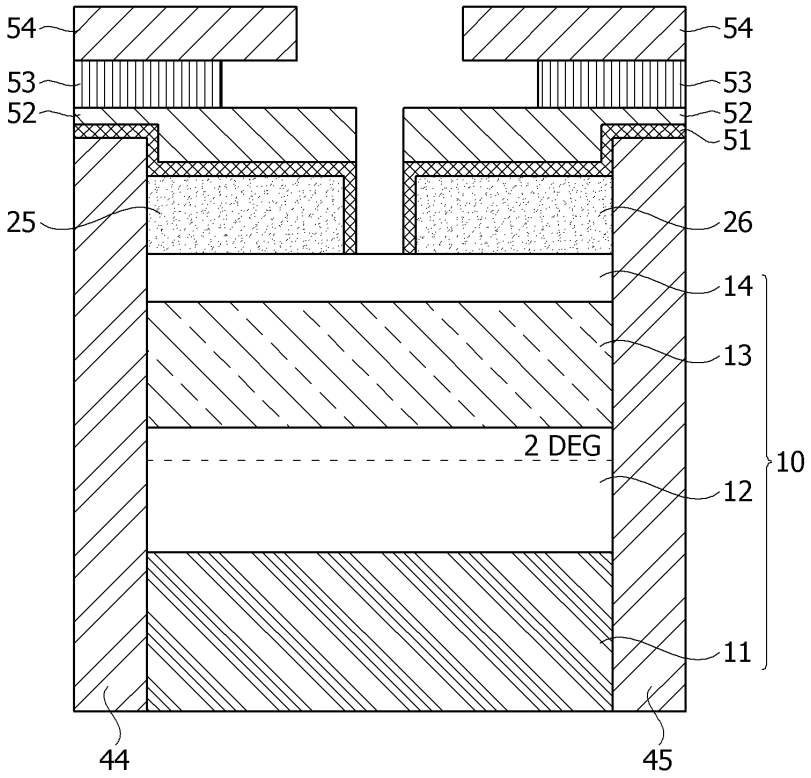
도면13


51
25
26
14
13
2 DEG
10
12
11
44
45

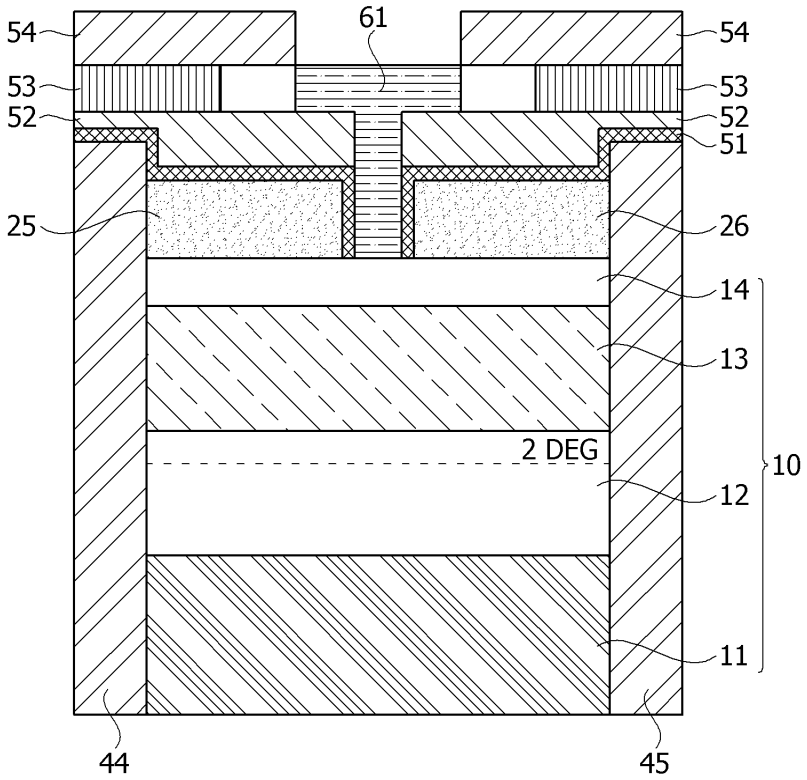
도면14


54
54
53
53
52
52
51
25
26
14
13
2 DEG
10
12
11
44
45

도면15


54
54
53
53
52
52
51
25
26
14
13
2 DEG
10
12
11
44
45

도면16


54
61
54
53
53
52
52
51
25
26
14
13
2 DEG
10
12
11
44
45

도면17

