

公告本

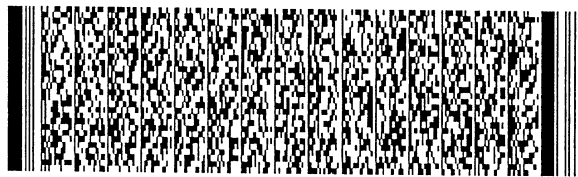
申請日期: 89/11/1 案號: 89120775

類別: H03F 1/30
(以上各欄由本局填註)

發明專利說明書

478244

一、發明名稱	中文	用於功率電晶體的補償電路和方法
	英文	COMPENSATION CIRCUIT AND METHOD FOR A POWER TRANSISTOR
二、發明人	姓名 (中文)	1. 辛西雅 布雷爾 2. 亨利克 斯卓登
	姓名 (英文)	1. CYNTHIA BLAIR 2. HENRIK SJODEN
	國籍	1. 美國 2. 瑞典
	住、居所	1. 美國加州摩根崗市村鎮路109號 2. 美國加州摩根崗市萊森路15152號
三、申請人	姓名 (名稱) (中文)	1. 美商艾瑞克生股份有限公司
	姓名 (名稱) (英文)	1. ERICSSON INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國德克薩斯州理察森市東坎伯爾路740號
	代表人 姓名 (中文)	1. 約翰 C. 韓
	代表人 姓名 (英文)	1. JOHN C. HAN



本案已向

國(地區)申請專利
美國 US

申請日期
1999/10/08

案號
09/415,524

主張優先權
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

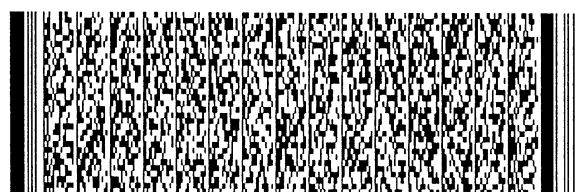
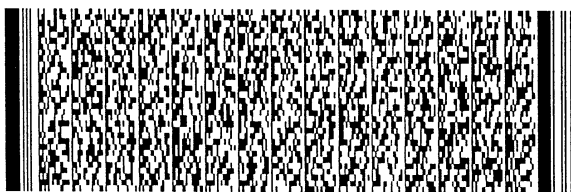
發明技術範圍

本發明係屬於用於一功率電晶體之補償電路，更特別者係屬於用於偏壓一功率電晶體將其操作特性中不需要之變動予以抵消之補償電路。

發明背景

功率電晶體用於許多市場之應用方面提供不同電流層次於諸如音響，影視，消費者，多媒體，及無線電通信上。關於無線電通信，功率電晶體普遍使用於無線電基台放大器之放大級及其他無線電頻率(RF)之應用上。此種電晶體，當使用於高頻率之功率放大時，在一指定之供應電壓及運作頻率下必需合於用於輸出動率，增益，堅固性，效率，安全度，帶寬等等方面許多細部之要求。

至少一種型式之功率電晶體在功率應用上被使用者為一場效電晶體及特別之MOS電晶體。如大部分電晶體之性能，MOS功率電晶體之操作特性受許多條件及/或現象之影響。溫度及製程變動可能造成功率電晶體操作特性之變化。此外，MOS電晶體，諸如一側面擴散MOS (LDMOS)電晶體可能顯示有閘氧化充電過時。特別是，電子在一MOS電晶體之通道區域受源極-汲極電氣場而加速，超越通道區域-閘氧化界面之隔離並陷入於MOS電晶體之閘氧化區內。在氧化區中被陷入之電子改變MOS電晶體包括移動其門檻電壓之裝置特性。為提高模式MOS電晶體，在閘氧化區/電子數目增加時門檻電壓隨之增加。此種MOS門檻電壓移動



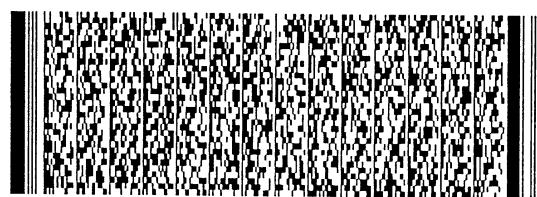
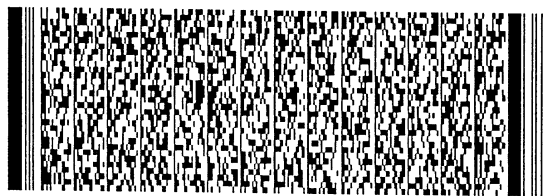
五、發明說明 (2)

可能造成其在靜態電流上有甚大之變化。靜態電流位準之變化影響整體之線性性能及MOS電晶體較小之信號增益。可以看出，對於MOS電晶體特性中因任何一種現象而造成之變化之對策是有其需要的。

發明簡述

本發明克服先前電路及系統之不足且因之滿足在功率電晶體之操作特性中當在偏壓該功率電晶體時對一或多個變化來做補償之一偏壓電路可達成此種要求。偏壓電路偏壓功率電晶體之閘極端子使得功率電晶體有所要求之性能。偏壓電路包括具有與功率電晶體裝置架構一相似之裝置架構之一校正電晶體。校正電晶體可如功率電晶體一樣在同一相同之半導體基底上來製作，該一校正電晶體可如功率電晶體般在半導體基底上被形成一樣使用相同之半導體製作技術來完成。校正電晶體被偏壓之方式與功率電晶體之偏壓相似。其結果，校正電晶體之操作特性完全反映功率電晶體之操作特性，將偏壓電晶體之輸出偏壓電壓做為校正電晶體之操作特性之一函數，輸出偏壓電壓加至功率電晶體對功率電晶體之操作特性提供一校正來消除該不需要之變動。

本發明一所選具體實施例包括一運算放大器。運算放大器之一輸入端子耦合至校正電晶體之輸出端子。運算放大器及輸出耦合至功率放大器之控制端子。此一方式，校正電晶體操作特性中之變化(反映功率電晶體之操作特性)變動運算放大器之輸入使得其加至功率電晶體之控制端子之



五、發明說明 (3)

輸出信號對功率電晶體之變化作補償。換句話說，功率電晶體之控制端子上所出現之電壓為變化者並抵消功率電晶體操作特性中所不需要之變動。

圖面簡要說明

對本發明之系統及方法較完整之了解可藉併同所附之圖面及參考以下詳細說明而達成之，其中：

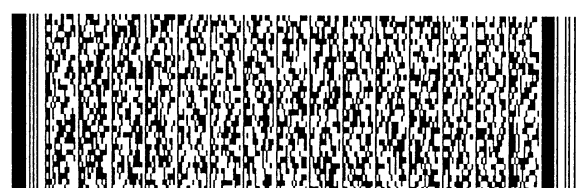
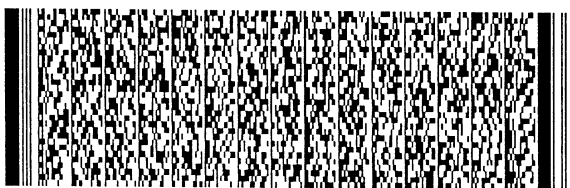
圖1為本發明之一所選具體實施例之原理圖；

圖2為本發明之另一具體實施例之原理圖。

所選具體實施例之詳細說明

以下本發明將其中發明所示之一所選具體實施例及參考所附屬之圖面詳細說明之。此一發明無論如何，可具體實施於不同之形式及不能將此處之陳述引伸為限制，毋寧說具體實施例之提供俾使此一揭示得以詳盡而且完整及對精於此一技藝士表達發明之範圍。

參見圖1，此為按照發明之一所選具體實施例揭示之一偏壓電路。偏壓電路1適合用於提供一偏壓電壓至一功率電晶體之控制端子。以下說明功率電晶體2並顯示圖面中為放大一RF輸入信號之無線電頻率(RF)功率MOS電晶體。應了解，將功率電晶體2與偏壓電路1接合亦可使用於其他之應用上。進一步應了解此處之功率電晶體2可為其他型之功率電晶體。在RF之應用上，一RF輸入信號被接收並經電容器C1阻絕其DC信號。由一或多個微-帶狀線及零或多個電容器所組成之匹配電路T1連接在電容器C1與功率電晶體2之間，對功率電晶體2之閘極至其輸出出現之阻抗來匹



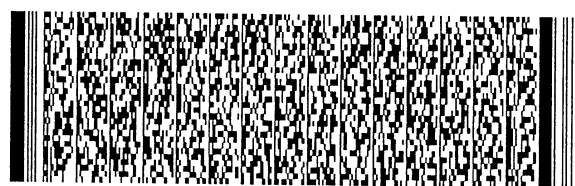
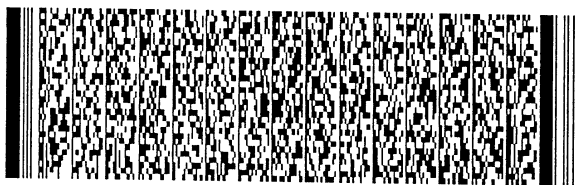
五、發明說明 (4)

配系統阻抗，同樣的，匹配電路T3連接功率電晶體之汲極端子，對功率電晶體2之汲極至輸出出現之阻抗來匹配系統阻抗。電容器C2與匹配電路T3連接成串聯來阻絕由功率電晶體2所產生之DC信號部分。

功率電晶體2之汲極經輸送線T4耦合至Vdd參考電壓，該輸送線T4可能由電容器C5在一操作頻率及由電容器C3和C11在較低之頻率中被短路之一相對高阻抗之四分之一波長。因之，輸送線T4對功率電晶體2之操作，當在其上提供Vdd參考電壓時在操作頻率上具有一些影響。

由磁鐵球粉製成之FB1及FB2與電容器C6，C9及C10所組成之一低通濾波器連接在Vdd參考與輸送線T4之間並將功率電晶體2與Vdd參考隔離。

如上述，偏壓電路1產一DC偏壓位準加於功率電晶體2之閘極上以便抵消裝置中其操作特性不需要之變化。特別者，偏壓電路1利用一校正電晶體3，該校正電晶體3為做成適合具有與功率電晶體2之操作/裝置特性完全相似之操作特性及/或裝置特性。校正電晶體3最好具有如功率電晶體2之相同之裝置架構。功率電晶體2及校正電晶體3可為LDMOS電晶體。近來，為了使與功率電晶體2之裝置特性甚為匹配，校正電晶體3可在其中相同功率電晶體2被製作之半導體基底上來製作。替代之，使用相同製造功率電晶體2之製程在一不同之半導體基底來製作校正電晶體3。具有相同之功率電晶體2之偏壓之偏壓電路1偏壓校正電晶體3及使用校正電晶體3產生之DC偏壓來偏壓功率電晶體2，DC



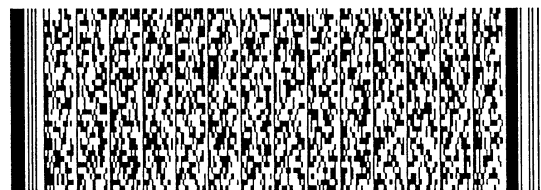
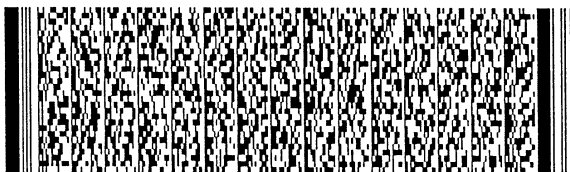
五、發明說明 (5)

偏壓電壓依據校正/電晶體3及功率電晶體2之操作特性中之變化而來。

在本發明之一所選具體實施例中，校正電晶體3之一或多個大小與依據有關之功率電晶體2之相一致之大小來縮減。例如，校正電晶體3之大小被縮減為功率電晶體2之相一致大小之完全小之一分數。此一方式，校正電晶體3在不需佔有相當大之矽空間或消耗大量之電量下可完全有反映功率電晶體2之能力。

偏壓電路1包括偏壓校正電晶體3之閘極之電阻R9及R10，用於校正電晶體3以產生一汲極電流所選取之電阻R9及R10之電阻值乃使校正電晶體3之汲極電流與功率電晶體2之汲極電流二者之比和校正電晶體3與功率電晶體2之大小之比完全相同。偏壓電路1之電阻R11與R12之一並聯組合對校正電晶體3最好工作如一提升裝置，可以看出，校正電晶體3之汲極輸出電壓依其操作特性之變化而變動。

按照本發明之第一所選具體實施例，偏壓電路1包括一運算放大器4，運算放大器4之架構如同具有一不反相之封閉迴路增益之放大器電路。電阻R5，R7及R8連接至運算放大器並設定封閉迴路增益。電阻R5之第一端子連接至運算放大器4之不反相輸入，電阻R6之第一端子連接至電阻R5之第二端子，及電阻R6之第二端子連接至接地電位。電阻R7之第一端子連接運算放大器4之反相輸入及第二端子連接其輸出。電容器C16(連接至電阻R5)及C18(與電阻R7成併聯)完全消除進入至偏壓電路引起之雜音。電容器C17連



五、發明說明 (6)

接在用於運算放大器4之Vdd參考與接地之間，用以供應電壓信號加至運算放大器4其工作如同一旁路電容器。電阻R1及R6工作如一電壓分配器來設定運算放大器4之不反相輸入上之一電壓位準。

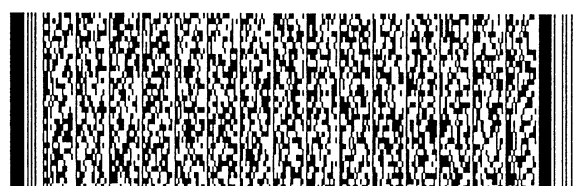
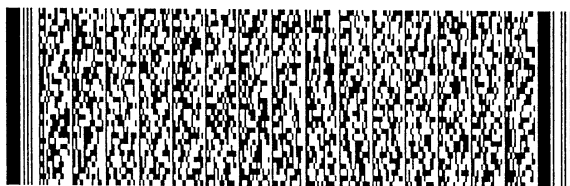
偏壓電路1尚包括連接在校正電晶體3之汲極與電阻R5之第二端子間之電阻R13。在校正電晶體3之汲極與運算放大器4之不反相輸入之間提供一電阻R13促成校正電晶體3之汲極電壓在運算放大器4之輸出上得以出現。

成串聯連接之R3及R4耦合至運算放大器4之輸出一端。電阻R2，R3及R4形成一電壓分配器將來自運算放大器4之輸出電壓分配成所需之電壓。電感器L1及輸送電路T2連接在電阻R3與輸送電路T1之間，對功率電晶體2提供一低阻抗DC迴路及在操作頻率上為一完全的高阻抗迴路目的為阻止RF輸入信號。電容器C4連接至電阻R3來短路可能出現在R3之任何剩餘之RF信號。

上述按照本發明具體實施例之偏壓電路1之優點為，因為運算放大器4具有一相對高之輸入阻抗，可以使得在選擇用於R6，R11，R12及R13之電阻值上有較大之範圍。

亦了解到如果功率電晶體2及校正電晶體3為熱接合者，則偏壓電路1能提供一偏壓信號至功率電晶體2之閘極端子並抵消或補償因功率電晶體2操作溫度而造成功率電晶體2之操作特性之變動之能力。

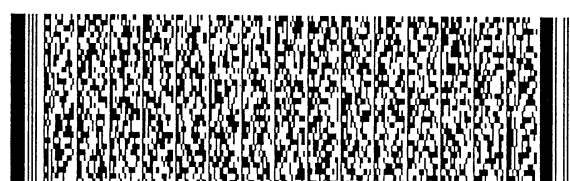
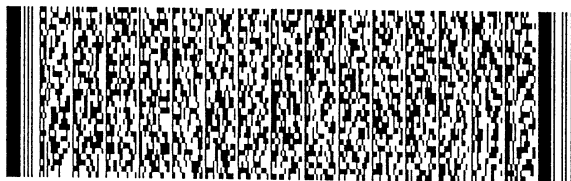
偏壓電路1尚包括接收Vdd供應且提供使用之電力至放大器4之一調整之參考電壓位準之一調整電路5。



五、發明說明 (7)

在使用時，功率電晶體2之操作特性之變化與發生於校正電晶體3之操作特性相似。在事件發生時，變化包括由於各自之功率電晶體2及校正電晶體3之閘氧化區電子之陷入使功率電晶體2及校正電晶體3之門檻電壓有一向上移動，功率電晶體2及校正電晶體3之二個汲極電流將成比例的減少。校正電晶體3之汲極電流之減少結果為其汲極電壓之增加，並使運算放大器4之不反相輸入上出現之電壓增加。運算放大器4之輸出因之增加並增加功率電晶體2閘極端子上所出現之DC電壓。已增加之閘極電壓造成功率電晶體2之汲極電流之增加。因為閘極電壓之增加乃基於功率電晶體2及校正電晶體3之操作特性中之變化而來，功率電晶體2在操作特性之變化受一完全相等量(汲極電流增加)來抵消或補償使功率電晶體2之操作特性得以保持在所需之位準。

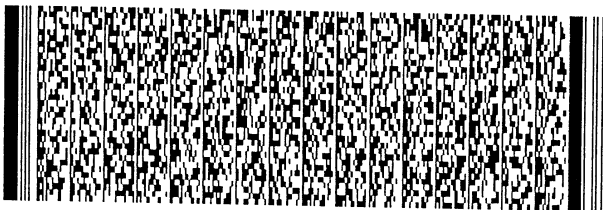
另一本發明之具體實施例示於圖2。偏壓電路10中，電阻R1在偏壓電路1中對運算放大器4提供一一次偏壓電壓，對功率電晶體2經電阻R3，電感器L1及輸送電路T2提供一次偏壓電壓。電容器C14及C15各自接至校正電晶體3之閘極及汲極端子，在校正電晶體3上壓制雜散RF放大。成併聯連接之提升電阻R11及R12連接校正電晶體3之汲極至Vdd參考。將校正電晶體3之汲極電壓經電阻R4提供至功率電晶體2之一次偏壓電路。校正電晶體3依據有關之功率電晶體2被改變大小及縮小來縮減至其一縮減之版本。在校正電晶體3上併同有偏壓電路1，校正電晶體3之閘極端子在



五、發明說明 (8)

偏壓電路10上由電阻R9來偏壓使得校正電晶體3之汲極電流與功率電晶體2之汲極電流之比和校正電晶體3之大小與功率電晶體2之大小之比完全相同。此一方式，校正電晶體3之輸出(汲極)電壓對功率電晶體2及校正電晶體3操作特性中所引起之不需要之變動提供一抵消或校正電壓。此一抵消或校正電壓加至由電阻R1及獲得之偏壓電壓所產生之一次偏壓電壓加至功率電晶體2之閘極端子。因此，功率電晶體2之閘極端子上出現之所獲得之偏壓電壓來校正用於功率電晶體2之操作特性中不需要之變動使得功率電晶體2如同所要求之性能。

發明已予說明，很明顯相同是可以以不同方式來變化的，此種變動不能現為與發明之範圍及精神不同，對精於此一技藝之士很明顯的意欲達成此種所有之此種修改均應包括於下列申請專利範圍之範圍內。

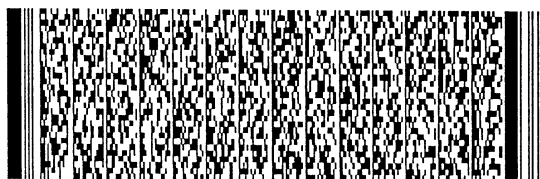


四、中文發明摘要 (發明之名稱：用於功率電晶體的補償電路和方法)

本發明揭示一種用於偏壓一功率電晶體而抵消其操作特性中不需要之變動之電路及方法。該電路包括具有一與功率電晶體之架構相同的裝置架構之校正電晶體。此外，校正電晶體之一或多個尺寸相對於之功率電晶體之相對應尺寸來縮減，校正電晶體施加偏壓使得校正電晶體與功率電晶體之汲極電流比與其尺寸比相同。以此方式，校正電晶體之輸出乃依據功率電晶體之操作特性中一不需要之變動而來。校正電晶體之輸出端子被放大及耦合至功率電晶體之控制端子，使得偏壓信號施加至其控制端子將功率電晶體操作特性中不需要之變動予以抵消。

英文發明摘要 (發明之名稱：COMPENSATION CIRCUIT AND METHOD FOR A POWER TRANSISTOR)

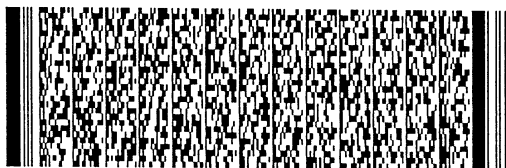
A circuit and method are disclosed for biasing a power transistor to offset unwanted variations in the operating characteristics thereof. The circuit includes a correction transistor having the same device structure as the structure of the power transistor. In addition, one or more dimensions of the correction transistor is scaled relative to corresponding dimensions of the power transistor. The correction transistor is biased so that the ratio of drain currents of the



四、中文發明摘要 (發明之名稱：用於功率電晶體的補償電路和方法)

英文發明摘要 (發明之名稱：COMPENSATION CIRCUIT AND METHOD FOR A POWER TRANSISTOR)

correction transistor and the power transistor is the same as the size ratio thereof. In this way, the output signal of the correction transistor is based upon an unwanted variation in the operating characteristics of the power transistor. The output terminal of the correction transistor is amplified and coupled to the control terminal of the power transistor so that the bias signal applied to the control terminal thereof offsets the unwanted variation in the operating



四、中文發明摘要 (發明之名稱：用於功率電晶體的補償電路和方法)

英文發明摘要 (發明之名稱：COMPENSATION CIRCUIT AND METHOD FOR A POWER TRANSISTOR)

characteristics of the power transistor.



六、申請專利範圍

1. 一種用於一功率電晶體之偏壓電路，包含：

一校正電晶體，該校正電晶體具有與功率電晶體完全相同之裝置架構；

一偏壓電路，用於偏壓校正電晶體之一控制端子，使得校正電晶體之操作特性與功率電晶體之操作特性完全相同，校正電晶體之一輸出耦合至功率電晶體之閘極端子，使得功率電晶體之閘極上出現之信號補償功率電晶體之操作特性中一變動。

2. 如申請專利範圍第1項之偏壓電路，其中：

功率電晶體及校正電晶體為MOS電晶體。

3. 如申請專利範圍第1項之偏壓電路，其中：

功率電晶體及校正電晶體為LDMOS電晶體。

4. 如申請專利範圍第1項之偏壓電路，尚包含：

一放大器電路，該放大器電路具有連接至校正電晶體之輸出端子之一輸入及耦合至功率電晶體之控制端子之一輸出。

5. 如申請專利範圍第4項之偏壓電路，尚包含：

一分壓器，該分壓器連接在放大器之輸出與功率電晶體之控制端子之間。

6. 如申請專利範圍第5項之偏壓電路，尚包含：

一低通濾波器，連接在分壓器與功率電晶體之控制端子之間。

7. 如申請專利範圍第1項之偏壓電路，尚包含：

至少一提升裝置，該提升裝置連接在校正電晶體之汲



六、申請專利範圍

極端子與電壓參考之間。

8. 如申請專利範圍第1項之偏壓電路，其中：

校正電晶體之一或多個尺寸相對於功率電晶體之相對應之尺寸來縮減。

9. 如申請專利範圍第8項之偏壓電路，其中：

校正電晶體之電流位準與功率電晶體之電流位準之比和校正電晶體之尺寸與功率電晶體之相對應尺寸之比完全相同。

10. 如申請專利範圍第1項之偏壓電路，其中：

功率電晶體在其控制端子處接收一RF輸入信號及產生一RF輸出信號。

11. 如申請專利範圍第10項之偏壓電路，其中：

功率電晶體之一汲極端子耦合至一參考電壓。

12. 如申請專利範圍第1項之偏壓電路，尚包含：

一分壓器，該分壓器連接在校正電晶體之一輸出端子與功率電晶體之控制端子之間。

13. 如申請專利範圍第1項之偏壓電路，尚包含：

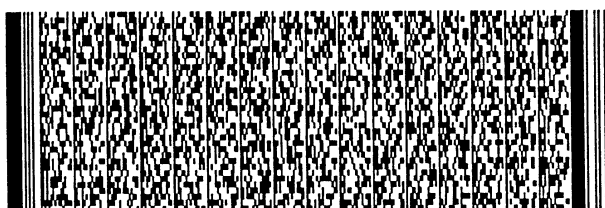
一運算放大器，該運算放大器具有連接至校正電晶體之輸出端子之一輸入及耦合至功率電晶體之控制端子之一輸出。

14. 一種用於偏壓一功率電晶體之方法，包括下列步驟：

實質反映功率電晶體之操作特性；

產生一依據映射之操作特性之一偏壓信號；及

將該偏壓信號耦合至功率電晶體之控制端子，用於將



六、申請專利範圍

功率電晶體之操作特性中之一變動予以補償。

15 如申請專利範圍第14項之方法，其中反映之步驟中包含之步驟：

產生一反映功率電晶體之電流位準之電氣信號。

16. 如申請專利範圍第15項之方法，其中：

產生一偏壓信號之步驟包含放大該電氣信號來產生一放大之電氣信號之步驟；及

耦合之步驟包含將放大之電氣信號耦合至功率電晶體之控制端子之步驟。

17. 如申請專利範圍第15項之方法，其中：

產生一電氣信號之步驟尚包含縮減該電氣信號之步驟。

18. 如申請專利範圍第14項之方法，其中：

反映步驟包含實質反映功率電晶體之一門檻電壓偏移之步驟；及

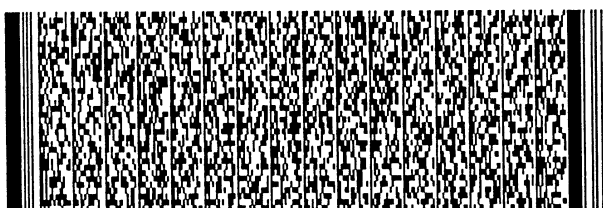
產生一偏壓信號之步驟為產生偏壓信號以抵消功率電晶體之門檻電壓偏移。

19. 一種放大器電路，包含：

一第一電晶體，該一第一電晶體具有耦合至接收一無線電頻率輸入信號之一控制端子及依據無線電頻率輸入信號提供一無線電頻率輸出之輸出端子；

一提升裝置，連接至第一電晶體之輸出端子；及

一偏壓電路，耦合至第一電晶體之控制端子，用於產生偏壓第一電晶體來放大無線電頻率輸入信號之偏壓信



六、申請專利範圍

號，偏壓電路包括具有實質全反映第一電晶體操作特性之操作特性之校正電晶體，該偏壓信號依據校正電晶體操作特性來補償第一電晶體之操作特性上之變動。

20. 如申請專利範圍第19項之放大器電路，其中：

校正電晶體之裝置架構與第一電晶體之裝置架構實質相同。

21. 如申請專利範圍第20項之放大器電路，其中：

校正電晶體之至少一尺寸相對於第一電晶體之相對應尺寸來縮減。

22. 如申請專利範圍第19項之放大器電路，其中：

偏壓電路包括一運算放大器，該運算放大器具有連接至校正電晶體之輸出端子之一輸入及耦合至第一電晶體之控制端子之一輸出。

23. 如申請專利範圍第22項之放大器電路，其中：

運算放大器具有一非反相之封閉迴路增益。

24. 如申請專利範圍第19項之放大器電路，其中：

校正電晶體及第一電晶體為MOS電晶體。

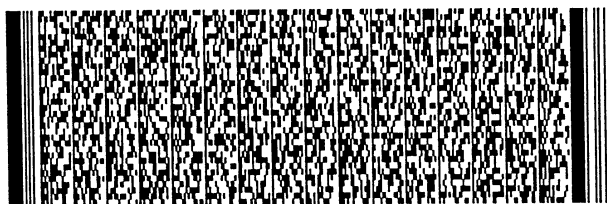
25. 如申請專利範圍第24項之放大器電路，其中：

校正電晶體及第一電晶體為LDMOS電晶體。

26. 如申請專利範圍第24項之放大器電路，其中：

因閘氧化充電導致校正電晶體之操作特性之變化由偏壓電路被反映產生在偏壓信號中以便將因閘氧化充由而致之第一電晶體之操作特性之變化予以抵消。

27. 如申請專利範圍第19項之放大器電路，其中：



六、申請專利範圍

第一電晶體及校正電晶體在實質上具有相同之溫度特性；及

因溫度而導致校正電晶體之操作特性之變化由偏壓電路被反映產生偏壓信號中以便將因溫度而導致第一電晶體之操作特性之變化予以抵消。



圖式

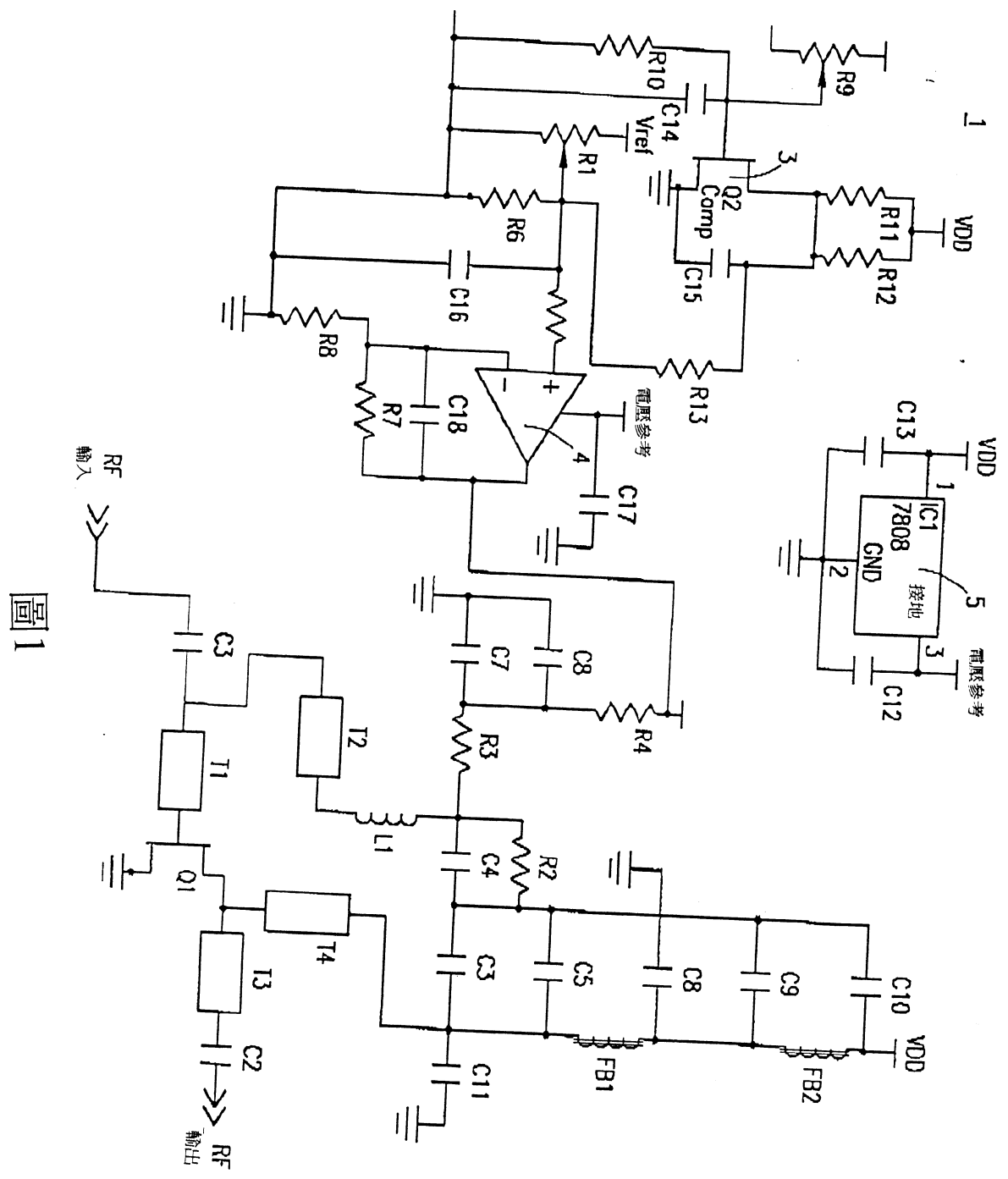


圖 1

圖式

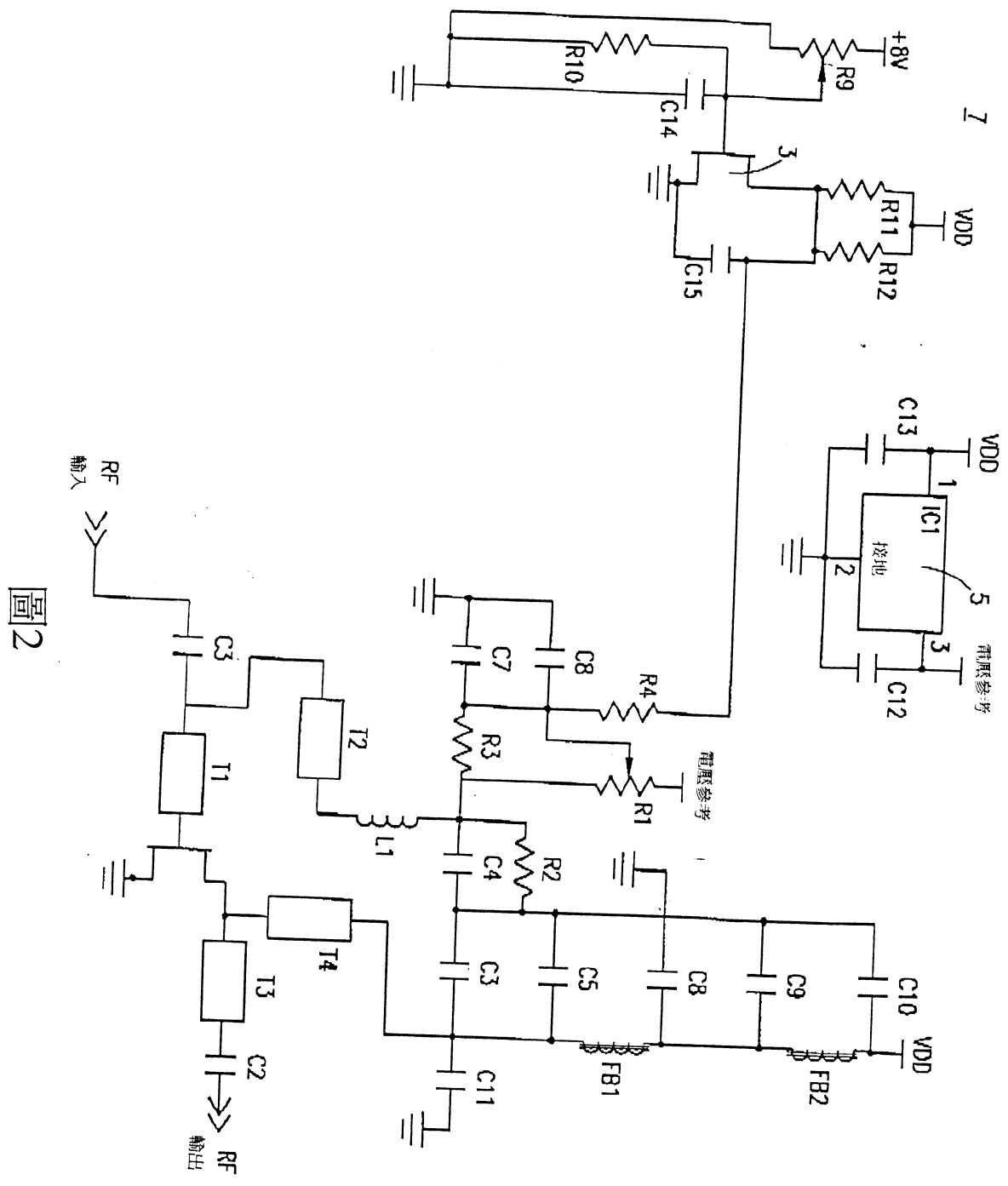


圖2