



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월20일  
(11) 등록번호 10-1900657  
(24) 등록일자 2018년09월14일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) H01L 29/786 (2006.01)  
(21) 출원번호 10-2012-0069767  
(22) 출원일자 2012년06월28일  
심사청구일자 2017년06월12일  
(65) 공개번호 10-2013-0007471  
(43) 공개일자 2013년01월18일  
(30) 우선권주장  
JP-P-2011-145262 2011년06월30일 일본(JP)  
(56) 선행기술조사문헌  
JP2003202833 A  
(뒷면에 계속)

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
기무라 하지메  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 22 항

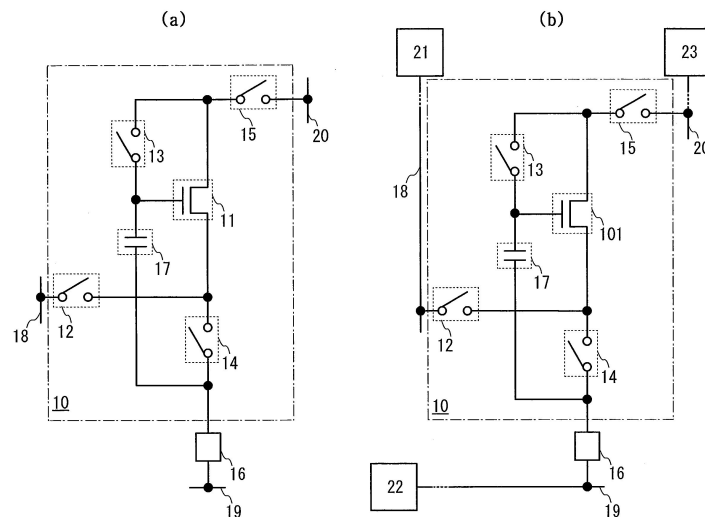
심사관 : 신영교

(54) 발명의 명칭 반도체 장치 및 그 구동 방법

(57) 요약

임계값 전압의 편차의 영향을 저감시킬 수 있는 구성을 제안하는 것을 과제로 한다. 게이트가 용량 소자의 한쪽의 전극 및 SW1의 한쪽의 단자에 접속되고, 소스 및 드레인의 한쪽이 SW2의 한쪽의 단자 및 SW3의 한쪽의 단자에 접속되고, 소스 및 드레인의 다른쪽이 SW1의 다른쪽의 단자 및 SW4의 한쪽의 단자에 접속된 트랜지스터와, SW2의 다른쪽의 단자에 접속된 제 1 배선과, SW4의 다른쪽의 단자에 접속된 제 2 배선과, 한쪽의 전극이, 용량 소자의 한쪽의 전극 및 SW3의 다른쪽의 단자에 접속된 부하와, 부하의 다른쪽의 전극에 접속된 제 3 배선을 가지고, 제 1 배선은 제 1 전위 및 제 2 전위가 공급되고, 제 2 배선은 제 3 전위가 공급되고, 제 3 배선은 제 4 전위가 공급되고, 제 1 전위는, 제 4 전위보다 작은 전위이며, 제 2 전위는, 제 3 전위가 공급되는 제 2 배선과 제 4 전위가 공급되는 제 3 배선 사이를 흐르는 전류량을 트랜지스터로 제어하기 위한 전위로 한다.

대표도



(56) 선행기술조사문헌  
JP2008134625 A  
JP2010188584 A  
KR1020070003671 A  
KR1020070058320 A  
KR1020110025604 A

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서,

트랜지스터; 제 1 스위치; 제 2 스위치; 제 3 스위치; 제 4 스위치; 용량 소자; 부하; 제 1 선; 제 2 선; 및 제 3 선을 포함하고,

상기 제 1 스위치의 제 1 단자는 상기 제 1 선에 전기적으로 접속되고,

상기 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 스위치의 제 2 단자 및 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 3 스위치의 제 1 단자 및 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 트랜지스터의 게이트는 상기 제 2 스위치의 제 2 단자 및 상기 용량 소자의 한 전극에 전기적으로 접속되고,

상기 용량 소자의 다른 전극은 상기 제 4 스위치의 제 2 단자 및 상기 부하의 제 1 단자에 직접 접속되고,

상기 용량 소자의 상기 다른 전극은 상기 제 4 스위치가 아닌 어떠한 다른 스위치에도 직접 접속되지 않고,

상기 제 3 스위치의 제 2 단자는 상기 제 2 선에 전기적으로 접속되고,

상기 부하의 제 2 단자는 상기 제 3 선에 전기적으로 접속되는, 반도체 장치.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

반도체 장치에 있어서,

트랜지스터; 제 1 스위치; 제 2 스위치; 제 3 스위치; 제 4 스위치; 용량 소자; 부하; 제 1 선; 제 2 선; 및 제 3 선을 포함하고,

상기 제 1 스위치의 제 1 단자는 상기 제 1 선에 전기적으로 접속되고,

상기 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 스위치의 제 2 단자 및 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 3 스위치의 제 1 단자 및 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 트랜지스터의 게이트는 상기 제 2 스위치의 제 2 단자 및 상기 용량 소자의 한 전극에 전기적으로 접속되고,

상기 용량 소자의 다른 전극은 상기 제 4 스위치의 제 2 단자 및 상기 부하의 제 1 단자에 전기적으로 접속되고,

상기 제 3 스위치의 제 2 단자는 상기 제 2 선에 전기적으로 접속되고,

상기 부하의 제 2 단자는 상기 제 3 선에 전기적으로 접속되고,

상기 제 2 선은 제 1 전위 및 제 2 전위를 공급하는 제 1 회로에 전기적으로 접속되고,

상기 제 1 선은 제 3 전위를 공급하는 제 2 회로에 전기적으로 접속되고,

상기 제 3 선은 제 4 전위를 공급하는 제 3 회로에 전기적으로 접속되고,

상기 제 1 전위는 상기 제 4 전위보다 낮고,

상기 제 2 전위는 상기 트랜지스터에 의해 상기 제 3 전위가 공급된 상기 제 1 선 및 상기 제 4 전위가 공급된 상기 제 3 선에 흐르는 전류의 양을 제어하기 위해 사용되는, 반도체 장치.

#### 청구항 14

제 1 항 또는 제 13 항에 있어서,

상기 제 1 내지 제 4 스위치들은 트랜지스터들인, 반도체 장치.

#### 청구항 15

제 1 항 또는 제 13 항에 있어서,

상기 제 1 내지 제 4 스위치들은 동일한 극성을 갖는 트랜지스터들인, 반도체 장치.

#### 청구항 16

제 1 항 또는 제 13 항에 있어서,

상기 부하는 정류 특성을 갖는 표시 소자인, 반도체 장치.

#### 청구항 17

제 1 항 또는 제 13 항에 있어서,  
상기 제 2 선은 신호선인, 반도체 장치.

#### 청구항 18

제 1 항 또는 제 13 항에 있어서,  
상기 제 1 선은 전원선인, 반도체 장치.

#### 청구항 19

제 1 항 또는 제 13 항에 있어서,  
상기 제 3 선은 캐소드선인, 반도체 장치.

#### 청구항 20

제 1 항 또는 제 13 항에 있어서,  
상기 트랜지스터는 산화물 반도체를 함유하는 반도체층을 포함하는, 반도체 장치.

#### 청구항 21

제 1 항 또는 제 13 항에 있어서,  
상기 제 1 내지 제 4 스위치들은 트랜지스터들이고, 상기 트랜지스터들 각각은 산화물 반도체를 함유하는 반도체층을 포함하는, 반도체 장치.

#### 청구항 22

제 1 항 또는 제 13 항에 따른 상기 반도체 장치 및 가요성 인쇄 회로와 인쇄 회로 중 적어도 하나를 포함하는, 표시 모듈.

#### 청구항 23

제 1 항 또는 제 13 항에 따른 상기 반도체 장치를 포함하는, 표시 장치.

#### 청구항 24

제 1 항 또는 제 13 항에 따른 상기 반도체 장치를 포함하는, 전자 기기.

#### 청구항 25

반도체 장치를 구동하는 방법에 있어서,

상기 반도체 장치는:

트랜지스터; 제 1 스위치; 제 2 스위치; 제 3 스위치; 제 4 스위치; 용량 소자; 부하; 제 1 선; 제 2 선; 및 제 3 선을 포함하고,

상기 제 1 스위치의 제 1 단자는 상기 제 1 선에 전기적으로 접속되고,

상기 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 스위치의 제 2 단자 및 상기 제 2 스위치의 제 1 단자에 전기적으로 접속되고,

상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 3 스위치의 제 1 단자 및 상기 제 4 스위치의 제 1 단자에 전기적으로 접속되고,

상기 트랜지스터의 게이트는 상기 제 2 스위치의 제 2 단자 및 상기 용량 소자의 한 전극에 전기적으로 접속되고,

상기 용량 소자의 다른 전극은 상기 제 4 스위치의 제 2 단자 및 상기 부하의 제 1 단자에 전기적으로

접속되고,

상기 제 3 스위치의 제 2 단자는 상기 제 2 선에 전기적으로 접속되고,

상기 부하의 제 2 단자는 상기 제 3 선에 전기적으로 접속되고,

상기 구동 방법은:

초기화 단계에서 상기 제 1 스위치, 상기 제 2 스위치, 상기 제 3 스위치, 상기 제 4 스위치, 및 상기 트랜지스터를 도통 상태로 하는 단계;

상기 초기화 단계에서 상기 제 3 스위치의 상기 제 2 단자에 초기화 전위인 제 1 전위를 공급하는 단계;

상기 초기화 단계에서 상기 제 1 스위치의 상기 제 1 단자에 제 3 전위를 공급하는 단계;

상기 초기화 단계에서 상기 부하의 상기 제 2 단자에 상기 제 1 전위보다 높은 제 4 전위를 공급하는 단계;

상기 초기화 단계 후의 제 1 단계에서 상기 제 1 스위치 및 상기 제 4 스위치를 턴오프하는 단계;

상기 제 1 단계에서 상기 제 3 스위치의 상기 제 2 단자에 신호 전위인 제 2 전위를 공급하는 단계;

상기 제 1 단계 후의 제 2 단계에서 상기 제 1 스위치 및 상기 제 4 스위치를 턴온하는 단계; 및

상기 제 2 단계에서 상기 제 2 스위치 및 상기 제 3 스위치를 턴오프하는 단계를 포함하는, 반도체 장치 구동 방법.

#### 청구항 26

제 25 항에 있어서,

상기 제 1 내지 제 4 스위치들은 트랜지스터들인, 반도체 장치 구동 방법.

#### 청구항 27

제 25 항에 있어서,

상기 제 1 내지 제 4 스위치들은 동일한 극성을 갖는 트랜지스터들인, 반도체 장치 구동 방법.

#### 청구항 28

제 25 항에 있어서,

상기 부하는 정류 특성을 갖는 표시 소자인, 반도체 장치 구동 방법.

#### 청구항 29

제 25 항에 있어서,

상기 제 2 선은 신호선인, 반도체 장치 구동 방법.

#### 청구항 30

제 25 항에 있어서,

상기 제 1 선은 전원선인, 반도체 장치 구동 방법.

#### 청구항 31

제 25 항에 있어서,

상기 제 3 선은 캐소드선인, 반도체 장치 구동 방법.

#### 청구항 32

제 25 항에 있어서,

상기 트랜지스터는 산화물 반도체를 함유하는 반도체층을 포함하는, 반도체 장치 구동 방법.

### 청구항 33

제 25 항에 있어서,

상기 제 1 내지 제 4 스위치들은 트랜지스터들이고, 상기 트랜지스터들 각각은 산화물 반도체를 함유하는 반도체층을 포함하는, 반도체 장치 구동 방법.

### 발명의 설명

#### 기술 분야

[0001]

본 발명은 반도체 장치, 표시 장치, 발광 장치, 이들의 제작 방법, 및 이들의 구동 방법에 관한 것이다. 특히, 본 발명은 전류에 의해 휘도가 변화되는 전류 구동형의 발광 소자를 구비하는 표시 장치에 관한 것이다. 또는, 상기 표시 장치를 구비하는 전자 기기에 관한 것이다.

#### 배경 기술

[0002]

최근, 액정 디스플레이(LCD) 등의 플랫 패널 디스플레이가 널리 보급되어 오고 있다. LCD 이외의 디스플레이로서, 전류에 의해 휘도가 변화되는 전류 구동형의 발광 소자인, 유기 EL 소자(일렉트로루미네선스 소자, 유기 발광 다이오드, OLED 등이라고도 한다)를 갖는 디스플레이(ELD)의 연구가 왕성하게 행해지고 있다(특허문헌 1). 예를 들면, 트랜지스터의 임계값 전압의 편차를 보정하는 방법이 검토되고 있다(특허문헌 1 참조).

#### 선행기술문헌

##### 특허문헌

[0003]

(특허문헌 0001) 일본 공개특허공보 제2003-195810호

### 발명의 내용

#### 해결하려는 과제

[0004]

본 발명의 일 형태는, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있는 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 트랜지스터의 이동도의 편차의 영향을 저감시킬 수 있는 신규 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 트랜지스터의 열화의 영향을 저감시킬 수 있는 신규 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 표시 소자의 열화의 영향을 저감시킬 수 있는 신규 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 표시 열락을 저감시킬 수 있는 신규 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 질이 양호한 표시를 행할 수 있는 신규 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 적은 트랜지스터수로, 원하는 회로를 실현할 수 있는 신규 구성을 제안하는 것을 과제로 한다. 또는, 본 발명의 일 형태는, 적은 배선수로, 원하는 회로를 실현할 수 있는 신규 구성을 제안하는 것을 과제로 한다.

[0005]

또한, 이들 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 과제를 추출하는 것이 가능하다.

#### 과제의 해결 수단

[0006]

본 발명의 일 형태는, 게이트가 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 게이트가 제 1 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 2 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 3 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 다른쪽이 제 1 스위치의 다른쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 다른쪽이 제 4 스위치의 한쪽의 단자에 전기적으로 접속된 트랜지스터와, 제 2 스위치의 다른쪽의 단자에 전기적으로 접속된 제 1 배선과, 제 4 스위치의 다른쪽의 단자에 전기적으로 접속된 제 2 배선과, 한쪽의 전극이, 용량 소자의 한쪽의 전극 및 제 3 스위치의

다른쪽의 단자에 전기적으로 접속된 부하와, 부하의 다른쪽의 전극에 접속된 제 3 배선을 가지고, 제 1 배선은 제 1 전위 및 제 2 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 2 배선은 제 3 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 3 배선은 제 4 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 1 전위는, 제 4 신호의 전위보다 작은 전위이며, 제 2 전위는, 제 3 전위가 공급되는 제 2 배선과 제 4 전위가 공급되는 제 3 배선 사이를 흐르는 전류량을 트랜지스터로 제어할 수 있는 전위인, 반도체 장치이다.

[0007] 본 발명의 일 형태는, 게이트가 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 게이트가 제 1 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 2 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 3 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 다른쪽이 제 1 스위치의 다른쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 다른쪽이 제 4 스위치의 한쪽의 단자에 전기적으로 접속된 트랜지스터와, 제 2 스위치의 다른쪽의 단자에 전기적으로 접속된 제 1 배선과, 제 4 스위치의 다른쪽의 단자에 전기적으로 접속된 제 2 배선과, 한쪽의 전극이, 용량 소자의 한쪽의 전극 및 제 3 스위치의 다른쪽의 단자에 전기적으로 접속된 부하와, 부하의 다른쪽의 전극에 접속된 제 3 배선을 가지고, 제 1 배선은 제 1 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 2 배선은 제 2 전위 및 제 3 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 3 배선은 제 4 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 2 전위는, 제 4 신호의 전위보다 작은 전위이며, 제 1 전위는, 제 3 전위가 공급되는 제 2 배선과 제 4 전위가 공급되는 제 3 배선 사이를 흐르는 전류량을 트랜지스터로 제어할 수 있는 전위인, 반도체 장치이다.

[0008] 본 발명의 일 형태는, 게이트가 용량 소자의 한쪽의 전극에 전기적으로 접속되고, 게이트가 제 1 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 2 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 제 3 스위치의 한쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 다른쪽이 제 1 스위치의 다른쪽의 단자에 전기적으로 접속되고, 소스 및 드레인의 다른쪽이 제 5 스위치의 한쪽의 단자에 전기적으로 접속된 트랜지스터와, 제 2 스위치의 다른쪽의 단자에 전기적으로 접속된 제 1 배선과, 제 4 스위치의 다른쪽의 단자에 전기적으로 접속된 제 2 배선과, 제 5 스위치의 다른쪽의 단자에 전기적으로 접속된 제 3 배선과, 한쪽의 전극이, 용량 소자의 한쪽의 전극 및 제 3 스위치의 다른쪽의 단자에 전기적으로 접속된 부하와, 부하의 다른쪽의 전극에 접속된 제 4 배선을 가지고, 제 1 배선은 제 1 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 2 배선은 제 2 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 3 배선은 제 3 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 4 배선은 제 4 전위를 공급할 수 있는 기능을 갖는 회로에 전기적으로 접속되어 있고, 제 2 전위는, 제 4 신호의 전위보다 작은 전위이며, 제 1 전위는, 제 3 전위가 공급되는 제 3 배선과 제 4 전위가 공급되는 제 4 배선 사이를 흐르는 전류량을 트랜지스터로 제어할 수 있는 전위인, 반도체 장치이다.

[0009] 본 발명의 일 형태에 있어서, 스위치는 트랜지스터인 반도체 장치가 바람직하다.

[0010] 본 발명의 일 형태에 있어서, 스위치는 트랜지스터이며, 상기 트랜지스터는 동일한 도전형인 반도체 장치가 바람직하다.

[0011] 본 발명의 일 형태에 있어서, 부하는 정류 특성을 갖는 표시 소자인 반도체 장치가 바람직하다.

### 발명의 효과

[0012] 본 발명의 일 형태는, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다. 또는, 본 발명의 일 형태는, 트랜지스터의 이동도의 편차의 영향을 저감시킬 수 있다. 또는, 본 발명의 일 형태는, 트랜지스터의 열화의 영향을 저감시킬 수 있다. 또는, 본 발명의 일 형태는, 표시 소자의 열화의 영향을 저감시킬 수 있다. 또는, 본 발명의 일 형태는, 표시 열락을 저감시킬 수 있다. 또는, 본 발명의 일 형태는, 질이 양호한 표시를 행할 수 있다. 또는, 본 발명의 일 형태는, 적은 트랜지스터수로, 원하는 회로를 실현할 수 있다. 또는, 본 발명의 일 형태는, 적은 배선수로, 원하는 회로를 실현할 수 있다. 또는, 본 발명의 일 형태는, 적은 공정수로 제조할 수 있다.

### 도면의 간단한 설명

[0013] 도 1은 본 발명의 일 형태의 회로의 일례를 도시하는 회로도.



[illegible]

도 38은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 39는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 40은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 41은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 42는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 43은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 44는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 45는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 46은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 47은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 48은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 49는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 50은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 51은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 52는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 53은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 54는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 55는 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 56은 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 57은 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 58은 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 59는 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 60은 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 61은 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 62는 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 63은 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 64는 본 발명의 일 형태의 화소의 일례를 도시하는 상면도.  
 도 65는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 66은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 67은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 68은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 69는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 70은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 71은 본 발명의 일 형태의 산화물 재료의 구조를 설명하는 도면.  
 도 72는 본 발명의 일 형태의 산화물 재료의 구조를 설명하는 도면.  
 도 73은 본 발명의 일 형태의 산화물 재료의 구조를 설명하는 도면.

도 74는 본 발명의 일 형태의 산화물 재료의 구조를 설명하는 도면.  
 도 75는 본 발명의 일 형태의 표시 패널 셀의 일례를 도시하는 상면도 및 단면도.  
 도 76은 본 발명의 일 형태의 표시 장치가 적용 가능한 전자 기기를 설명하는 도면.  
 도 77은 본 발명의 일 형태의 표시 장치가 적용 가능한 전자 기기를 설명하는 도면.  
 도 78은 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 79는 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 80은 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 81은 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 82는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 83은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 84는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 85는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 86은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 87은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 88은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 89는 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 90은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 91은 본 발명의 일 형태의 화소의 일례를 도시하는 단면도.  
 도 92는 본 발명의 일 형태의 화소의 일례를 도시하는 단면도.  
 도 93은 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 94는 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 95는 본 발명의 일 형태의 반도체 장치의 일례를 도시하는 회로도.  
 도 96은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 97은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 98은 본 발명의 일 형태의 화소의 일례를 도시하는 회로도.  
 도 99는 본 발명의 일 형태의 표시 모듈의 일례를 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에 관해서는 동일한 부호를 상이한 도면간에 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0015] 또한, 어떤 하나의 실시형태 중에서 서술하는 내용(일부 내용이라도 좋다)은, 그 실시형태에서 서술하는 다른 내용(일부 내용이라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에서 서술하는 내용(일부 내용이라도 좋다)에 대해, 적용, 조합, 또는 치환 등을 행할 수 있다.
- [0016] 또한, 어떤 하나의 실시형태에 있어서 서술하는 도면(일부라도 좋다)의 구성은, 그 도면의 다른 부분의 구성, 그 실시형태에 있어서 서술하는 다른 도면(일부라도 좋다)의 구성, 및/또는, 하나 또는 복수의 다른 실시형태에 있어서 서술하는 도면(일부라도 좋다)의 구성과 조합할 수 있다.

- [0017] 또한, 도면에 있어서, 크기, 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시형태의 일 형태는, 반드시 그 스케일로 한정되지 않는다. 또는, 도면은 이상적인 예를 모식적으로 도시한 것이다. 따라서, 본 발명의 실시형태의 일 형태는, 도면에 도시하는 형상 등으로 한정되지 않는다. 예를 들면, 제조 기술에 의한 형상의 편차, 오차에 의한 형상의 편차 등을 포함하는 것이 가능하다.
- [0018] 또한, X와 Y가 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기에서, X, Y는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이라고 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 나타난 접속 관계로 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 포함하는 것으로 한다.
- [0019] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 또한, 스위치는, 온 오프가 제어되는 기능을 가지고 있다. 즉, 스위치는, 도통 상태(온 상태), 또는, 비도통 상태(오프 상태)가 되고, 전류를 흘릴지 여부를 제어하는 기능을 가지고 있다. 또는, 스위치는, 전류를 흘려보내는 경로를 선택하고 전환하는 기능을 가지며, 예를 들면, 경로 1에 전류를 흘릴 수 있도록 할지, 경로 2에 전류를 흘릴 수 있도록 할지를 선택하고 전환하는 기능을 가지고 있다.
- [0020] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 오피 앰프, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 또한, 일례로서, X와 Y 사이에 다른 회로를 개재하고 있어도, A로부터 출력된 신호가 B로 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다.
- [0021] 또한, X와 Y가 전기적으로 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 즉, 전기적으로 접속되어 있다, 라고 명시적으로 기재하는 경우에는, 단순히 접속되어 있다, 라고만 명시적으로 기재되어 있는 경우와 동일한 것으로 한다.
- [0022] 또한, 회로도상으로는 독립되어 있는 구성 요소끼리가 전기적으로 접속하고 있는 것 같이 도시되어 있는 경우라도, 실제로는, 예를 들면 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전층이, 배선 및 전극과 같은 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 있다. 본 명세서에 있어서 전기적으로 접속이란, 이러한 하나의 도전층이 복수의 구성 요소의 기능을 함께 가지고 있는 경우도, 그 범주에 포함시킨다.
- [0023] 또한, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 관해서, 그 접속처를 특정하지 않아도, 당업자라면 발명의 일 형태를 구성하는 것은 가능한 경우가 있다. 특히, 단자의 접속처가 복수의 케이스가 고려되는 경우에는, 그 단자의 접속처를 특정한 개소로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자에 관해서만, 그 접속처를 특정함으로써, 발명의 일 형태를 구성하는 것이 가능한 경우가 있다.
- [0024] 또한, 어떤 회로에 관해서, 적어도 접속처를 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 또는, 어떤 회로에 관해서, 적어도 기능을 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 따라서, 어떤 회로에 관해서, 기능을 특정하지 않아도, 접속처를 특정하면, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 또는, 어떤 회로에 관해서, 접속처를 특정하지 않아도, 기능을 특정하면, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.
- [0025] 또한, 본 명세서 등에 있어서 기재되어 있는 발명은, 다양한 사람이 실시할 수 있다. 그러나, 그 실시는, 복수의 사람에 걸쳐 실시되는 경우가 있다. 예를 들면, 송신신 시스템에 관한 발명이 실시되는 경우에 있어서, A사가 송신기를 제조 및 판매하고, B사가 수신기를 제조 및 판매하는 경우가 있다. 다른 예로서는, TFT 및 발광 소자를 갖는 발광 장치에 관한 발명이 실시되는 경우에 있어서, TFT가 형성된 반도체 장치는, A사가 제조 및 판매한다. 그리고, B사가 그 반도체 장치를 구입하여, 그 반도체 장치에 발광 소자를 성막하고, 발광 장치로서 완성시킨다, 라고 하는 경우가 있다.

- [0026] 이러한 경우, A사 또는 B사 중 어느 것에 대해서도, 특허 침해를 주장할 수 있는 발명의 일 형태를, 구성할 수 있다. 따라서, A사 또는 B사에 대해, 특허 침해를 주장할 수 있는 발명의 일 형태는, 명확하며, 본 명세서 등에 기재되어 있다고 판단할 수 있다. 예를 들면, 송수신 시스템의 경우에 있어서, 송신기만으로 발명의 일 형태를 구성할 수 있고, 수신기만으로 발명의 일 형태를 구성할 수 있고, 이러한 발명의 일 형태는, 명확하며, 본 명세서 등에 기재되어 있다고 판단할 수 있다. 다른 예로서는, TFT 및 발광 소자를 갖는 발광 장치의 경우에 있어서, TFT가 형성된 반도체 장치만으로 발명의 일 형태를 구성할 수 있고, TFT 및 발광 소자를 갖는 발광 장치만으로 발명의 일 형태를 구성할 수 있고, 이들 발명의 일 형태는, 명확하며, 본 명세서 등에 기재되어 있다고 판단할 수 있다.
- [0027] 또한, 명세서 중의 도면이나 문장에 있어서 규정되어 있지 않은 내용에 관해서, 그 내용을 제외하는 것을 규정한 발명을 구성할 수 있다. 또는, 어떤 값에 관해서, 상한값과 하한값 등으로 나타내는 수치 범위가 기재되어 있는 경우, 그 범위를 임의로 좁힘으로써 또는, 그 범위 중의 한 점을 제외함으로써, 그 범위를 일부 제외하고 발명을 규정할 수 있다. 이들에 의해, 예를 들면, 종래 기술이 본 발명의 기술적 범위내에 들어가지 않는 것을 규정할 수 있다.
- [0028] 구체예로서는, 어떤 회로에 있어서, 제 1 내지 제 5 트랜지스터를 사용하고 있는 회로도가 기재되어 있는 것으로 한다. 그 경우, 그 회로가, 제 6 트랜지스터를 가지고 있지 않은 것을 발명으로서 규정하는 것이 가능하다. 또는, 그 회로가, 용량 소자를 가지고 있지 않은 것을 규정하는 것이 가능하다. 또한, 그 회로가, 어떤 특정한 접속 관계를 가지고 있는 제 6 트랜지스터를 가지고 있지 않다, 라고 규정하고 발명을 구성할 수 있다. 또는, 그 회로가, 어떤 특정한 접속 관계를 가지고 있는 용량 소자를 가지고 있지 않다, 라고 규정하고 발명을 구성할 수 있다. 예를 들면, 게이트가 제 3 트랜지스터의 게이트와 접속되어 있는 제 6 트랜지스터를 가지고 있지 않다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, 제 1 전극이 제 3 트랜지스터의 게이트와 접속되어 있는 용량 소자를 가지고 있지 않다, 라고 발명을 규정하는 것이 가능하다.
- [0029] 다른 구체예로서는, 예를 들면, 「어떤 전압이, 3V 이상 10V 이하인 것이 적합하다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 어떤 전압이, -2V 이상 1V 이하인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, 어떤 전압이, 13V 이상인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다. 또한, 예를 들면, 그 전압이, 5V 이상 8V 이하라고 발명을 규정하는 것도 가능하다. 또한, 예를 들면, 그 전압이, 개략 9V라고 발명을 규정하는 것도 가능하다. 또한, 예를 들면, 그 전압이, 3V 이상 10V 이하이지만, 9V인 경우를 제외하면 발명을 규정하는 것도 가능하다.
- [0030] 다른 구체예로서는, 예를 들면, 「어떤 전압이, 10V인 것이 적합하다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 어떤 전압이, -2V 이상 1V 이하인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, 어떤 전압이, 13V 이상인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다.
- [0031] 다른 구체예로서는, 어떤 막의 성질에 관해서, 예를 들면, 「어떤 막은, 절연막이다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 그 절연막이, 유기 절연막인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, 그 절연막이, 무기 절연막인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다.
- [0032] 다른 구체예로서는, 어떤 적층 구조에 관해서, 예를 들면, 「A와 B 사이에, 어떤 막이 형성되어 있다」라고 기재되어 있는 것으로 한다. 그 경우, 예를 들면, 그 막이, 4층 이상의 적층막인 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다. 또는, 예를 들면, A와 그 막 사이에, 도전막이 형성되어 있는 경우를 제외한다, 라고 발명을 규정하는 것이 가능하다.
- [0033] (실시형태 1)
- [0034] 본 발명의 일 형태는, 발광 소자를 갖는 화소뿐만 아니라, 전류원으로서 기능하는 여러 가지 아날로그 회로로서 사용할 수 있다. 그래서 우선, 본 실시형태에서는, 본 발명에서 개시하는 회로의 기본 원리의 일례에 관해서 서술한다.
- [0035] 우선 도 1a에, 본 발명의 일 형태가 되는 회로 구성을 도시한다. 반도체 장치(10)는, 일례로서는, 적어도 전류원으로서의 기능을 가지고 있다. 따라서, 예를 들면, 반도체 장치(10)는 부하(16)의 양단, 및 배선(20)에 가해지는 전압의 크기가 변화되어도, 일정한 전류를 공급하는 기능을 가지고 있다. 또는, 예를 들면, 반도체 장치(10)는, 부하(16)의 전위가 변화되어도, 부하(16)에 일정한 전류를 공급하는 기능을 가지고 있다.

- [0036] 또한, 전류원과는 다른 전원으로서, 전압원이 있다. 전압원은, 거기에 접속된 회로에 흐르는 전류가 변화되어도, 일정한 전압을 공급하는 기능을 가지고 있다. 따라서, 전압원도 전류원도, 같은 기능을 가지고 있지만, 전압과 전류 중 어느 쪽을 공급하는 기능을 가지고 있는지, 그리고 어떤 값이 변화되었을 때에 그것을 공급하는 기능을 가지고 있는지, 라는 점에서, 상이한 것이다. 전류원은, 양단의 전압이 변화되어도, 일정한 전류를 공급하는 기능을 가지고, 전압원은, 전류가 변화되어도, 일정한 전압을 공급하는 기능을 가지고 있다.
- [0037] 도 1a에 도시하는 회로 구성은, 트랜지스터의 임계값 전압의 편차 등에 기인한 전류 특성의 편차를 보정하기 위해서, 트랜지스터의 게이트에 유지되고 있는 전하를 방전하기 위한 회로를 가지고 있다. 실제로는, 본 회로는, 배선간에 형성되는 복수의 스위치의 온 또는 오프를 제어함으로써, 트랜지스터의 전류 특성의 편차를 보정할 수 있는, 회로의 접속 관계를 가지고 있다.
- [0038] 도 1a에 있어서, 반도체 장치(10)는, 스위치(12), 스위치(13), 스위치(14), 스위치(15), 용량 소자(17), 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(11)를 가진다. 또한 반도체 장치(10)는, 부하(16), 배선(18) 및 배선(20)에 접속되고, 부하(16)에는 배선(19)이 접속된다. 또한 본 실시형태에 있어서, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(11)는, 일레로서, n채널형의 트랜지스터로서 설명을 행한다.
- [0039] 계속해서 반도체 장치(10)의 각 구성 요소의 접속 관계에 관해서 설명한다.
- [0040] 트랜지스터(11)는, 게이트가 용량 소자(17)의 한쪽의 전극(단자) 및 스위치(13)의 한쪽의 단자에 접속된다. 트랜지스터(11)는, 제 1 단자(소스 또는 드레인)가 스위치(12)의 한쪽의 단자 및 스위치(14)의 한쪽의 단자에 접속된다. 트랜지스터(11)는, 제 2 단자(소스 또는 드레인)가 스위치(13)의 다른쪽의 단자 및 스위치(15)의 한쪽의 단자에 접속된다. 또한, 한쪽의 단자를 제 1 단자, 다른쪽의 단자를 제 2 단자라고도 부른다.
- [0041] 스위치(12)의 다른쪽의 단자는, 배선(18)에 접속된다.
- [0042] 스위치(15)의 다른쪽의 단자는 배선(20)에 접속된다.
- [0043] 부하(16)의 한쪽의 단자는, 스위치(14)의 다른쪽의 단자 및 용량 소자(17)의 다른쪽의 전극(단자)에 접속된다. 부하(16)의 다른쪽의 단자는, 배선(19)에 접속된다.
- [0044] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 발광 장치, 표시 장치, 반도체 회로 및 전자 기기는, 반도체 장치의 일레로서 적합한 경우가 있다.
- [0045] 또한, 본 명세서 중에 있어서 부하란, 예를 들면, 정류성을 갖는 것이나, 용량성을 갖는 것이나, 저항성을 갖는 것, 스위치를 갖는 회로, 화소 회로 등이 있다. 예를 들면, 정류성을 갖는 것은, 인가하는 바이어스 방향에 의해 저항값이 상이한 전류 전압 특성을 가지며, 일방향으로만 거의 전류가 흐르는 전기적 특성을 갖는 것이라고 한다. 도 1a의 회로 구성에 있어서는, 예를 들면, 부하(16)는 트랜지스터(11)로부터 배선(19)을 향하여 전류가 흐르도록 형성되어 있는 것으로 한다.
- [0046] 또는, 부하(16)의 다른 예로서는, 표시 소자(액정 소자), 발광 소자(EL 소자 등), 또는, 표시 소자나 발광 소자의 일부(예를 들면, 화소 전극, 양극 전극, 음극 전극) 등이 있다.
- [0047] 또한 트랜지스터는, 게이트와, 드레인과, 소스를 포함하는 적어도 세개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역 또는 드레인 전극)과 소스(소스 단자, 소스 영역 또는 소스 전극) 사이에 채널 영역을 가지고 있고, 드레인과 채널 영역과 소스를 통하여 전류를 흘려보낼 수 있다. 여기에서, 소스와 드레인이란, 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 그래서, 본 서류(명세서, 특허청구의 범위 또는 도면 등)에 있어서는, 소스 및 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일레로서는, 각각을 제 1 단자, 제 2 단자라고 표기하는 경우가 있다. 또는, 각각을 제 1 전극, 제 2 전극이라고 표기하는 경우가 있다. 또는, 각각을 제 1 영역, 제 2 영역이라고 표기하는 경우가 있다. 또는, 소스 영역, 드레인 영역이라고 표기하는 경우가 있다.
- [0048] 또한, 제 1, 제 2, 제 3 등의 어구는, 여러 가지 요소, 부재, 영역, 층, 구역을 다른 것과 구별하여 기술하기 위해서 사용된다. 따라서, 제 1, 제 2, 제 3 등의 어구는, 요소, 부재, 영역, 층, 구역 등의 수를 한정하는 것이 아니다. 또한, 예를 들면, 「제 1」을 「제 2」 또는 「제 3」등으로 치환하는 것이 가능하다.
- [0049] 또한 스위치는, 단자간의 도통 상태(ON)와 비도통 상태(OFF)를 전환하여 동작하는 기능을 가지고 있으며, 전류를 흘릴지 여부를 제어하는 기능을 가지고 있는 소자이다. 스위치는, 일레로서, 전기적 스위치 또는 기계적인



스위치 등을 사용할 수 있다. 예를 들면, 트랜지스터, 다이오드, 디지털 마이크로 미러 디바이스(DMD)와 같이, MEMS(마이크로·일렉트로·메카니컬·시스템) 기술을 사용한 스위치 등으로 구성하면 좋다. 또한, 스위치는 트랜지스터를 조합한 논리 회로라도 좋다. 스위치로서 트랜지스터를 사용하는 경우, 상기 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 단, 오프 전류가 적은 트랜지스터를 사용하는 것이 바람직하고, 입력 전위에 따라, 트랜지스터의 극성을 구분하여 사용하는 구성이 적합하다.

[0050] 또한 오프 전류가 적은 트랜지스터로서는, LDD 영역을 갖는 트랜지스터, 멀티 게이트 구조를 갖는 트랜지스터, 또는 반도체층으로서 산화물 반도체를 사용하는 트랜지스터 등이 있다. 또한, 트랜지스터를 조합하여 스위치로서 동작시키는 경우, n채널형과 p채널형 양자를 사용한 상보형의 스위치로 해도 좋다. 상보형의 스위치로 함으로써, 스위치에 입력하는 전위가, 출력 전위와 비교하여 상대적으로 변화되어도, 적절히 동작시킬 수 있다.

[0051] 또한, 스위치로서 트랜지스터를 사용하는 경우, 스위치는, 입력 단자(소스 또는 드레인의 한쪽)와, 출력 단자(소스 또는 드레인의 다른쪽)와, 도통을 제어하는 단자(게이트)를 가지고 있는 경우가 있다. 한편, 스위치로서 다이오드를 사용하는 경우, 스위치는, 도통을 제어하는 단자를 가지고 있지 않은 경우가 있다. 따라서, 트랜지스터보다도 다이오드를 스위치로서 사용하는 편이, 단자를 제어하기 위한 배선을 적게 할 수 있다.

[0052] 또한, 트랜지스터의 일례로서는, 채널의 상하에 게이트 전극이 배치되어 있는 구조의 트랜지스터를 적용할 수 있다. 채널의 상하에 게이트 전극이 배치되는 구조로 함으로써, 복수의 트랜지스터가 병렬로 접속된 회로 구성이 된다. 따라서, 채널 영역이 증가하기 때문에, 전류량의 증가를 도모할 수 있다. 또는, 채널의 상하에 게이트 전극이 배치되어 있는 구조로 함으로써, 공핍층이 생성되기 쉬워지기 때문에, S값의 개선을 도모할 수 있다.

[0053] 또한, 트랜지스터의 일례로서는, 채널 영역(또는 그 일부)에 소스 전극이나 드레인 전극이 중첩되어 있는 구조의 트랜지스터를 사용할 수 있다. 채널 영역(또는 그 일부)에 소스 전극이나 드레인 전극이 중첩되는 구조로 함으로써, 채널 영역의 일부에 전하가 축적됨으로써 동작이 불안정해지는 것을 방지할 수 있다.

[0054] 또한, 용량 소자(17)는, 일례로서는, 배선, 반도체층, 또는 전극 등에서 절연막을 사이에 개재한 구성으로 하면 좋다. 용량 소자(17)는, 트랜지스터(11)의 특성에 따른 전압(예를 들면, 임계값 전압에 따른 전압, 이동도에 따른 전압 등)을 유지할 수 있는 기능을 가지고 있다. 또는, 용량 소자(17)는, 부하(16)에 공급되는 전류의 크기에 따른 전압(예를 들면, 영상 신호 등)을 유지할 수 있는 기능을 가지고 있다.

[0055] 또한 배선(18)은, 일례로서는, 도 1b에 도시하는 바와 같이, 적어도, Vinit와 Vsig를 전환하여 공급하는 기능을 갖는 회로(21)에 접속된다. 회로(21)의 예로서는, 소스 드라이버(신호선 구동 회로) 등이 있다. 따라서, 배선(18)은, Vinit, 및/또는, Vsig를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다.

[0056] Vinit는, 일례로서는, 반도체 장치 내의 각 노드의 전위를 초기화하기 위한 전위이다. 그리고, 예를 들면, 부하(16)에 전류를 흘려보내기 위한 신호가 되는 Vsig를 공급하기 전에 있어서, Vinit가 공급된다.

[0057] Vsig는, 일례로서는, 부하(16)에 흘려보내는 전류의 크기를 제어하기 위한 신호이다. 이로 인해, 부하(16)에 공급하고 싶은 전류의 크기에 따라 공급하는 전위가 상이하다. 예를 들면 부하(16)에 공급하는 전류가 일정값이면, Vsig는 일정한 전위의 신호이며, 일정값이 아니면 Vsig는, 시간과 함께, 부하(16)에 공급하는 전류의 크기에 따라 변화되는 전위의 신호가 된다.

[0058] 또한 배선(19)은, 일례로서는, 도 1b에 도시하는 바와 같이, 적어도, Vcat를 공급하는 기능을 갖는 회로(22)에 접속된다. 회로(22)의 예로서는, 전원 회로 등이 있다. 따라서, 배선(19)은, Vcat를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다.

[0059] Vcat는, 부하(16)에 전류를 흘려보내는 기간에 있어서, 예를 들면, 부하(16)의 제 1 전극측으로부터 제 2 전극측을 향하여 전류가 흐르도록, 설정되는 전위이다.

[0060] 또한 배선(20)은, 일례로서는, 도 1b에 도시하는 바와 같이, 적어도, VDD를 공급하는 회로(23)에 접속된다. 회로(23)의 예로서는, 전원 회로 등이 있다. 따라서, 배선(20)은, VDD를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다. 또는, 배선(20)은, 트랜지스터(11)에 전류를 공급할 수 있는 기능을 가지고 있다. 또는, 배선(20)은, 부하(16)에 전류를 공급할 수 있는 기능을 가지고 있다.

[0061] VDD는, 트랜지스터(11)를 통하여, 부하(16)의 제 1 전극측으로부터 제 2 전극측을 향하여 전류가 흐르도록 설정되는 전위이다. 이로 인해, 일례로서는, VDD는 Vcat보다 높은 전위가 된다.

- [0062] 또한 도 1a에 있어서의 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)에는 트랜지스터를 적용할 수 있다. 따라서, 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)에, 일례로서, n채널형의 트랜지스터를 적용한 경우에 관해서 도 2a에 도시한다. 또한, 도 1a의 구성과 공통되는 부분은 공통 부호를 사용하고 그 설명을 생략한다. 도 2a와 같이, 모두 동일한 극성의 트랜지스터를 사용함으로써, 적은 공정수로 제조할 수 있다. 이로 인해, 제조 비용을 저감시킬 수 있다.
- [0063] 도 2a에 있어서, 트랜지스터(12T)가 스위치(12)에 상당한다. 트랜지스터(13T)가 스위치(13)에 상당한다. 트랜지스터(14T)가 스위치(14)에 상당한다. 트랜지스터(15T)가 스위치(15)에 상당한다.
- [0064] 트랜지스터(12T)는 게이트가 배선(31)에 접속되고, 제 1 단자가 트랜지스터(11)의 제 1 단자 및 트랜지스터(14T)의 제 1 단자에 접속되고, 제 2 단자가 배선(18)에 접속되어 있다. 따라서, 배선(31)의 전위가 H 레벨일 때에 트랜지스터(12T)는 도통 상태가 되고, 배선(31)의 전위가 L 레벨일 때에 트랜지스터(12T)는 비도통 상태가 된다.
- [0065] 또한, 트랜지스터(13T)는 게이트가 배선(32)에 접속되고, 제 1 단자가 트랜지스터(11)의 게이트 및 용량 소자(17)의 한쪽의 전극에 접속되고, 제 2 단자가 트랜지스터(15T)의 제 1 단자 및 트랜지스터(11)의 제 2 단자에 접속되어 있다. 따라서, 배선(32)의 전위가 H 레벨일 때에 트랜지스터(13T)는 도통 상태가 되고, 배선(32)의 전위가 L 레벨일 때에 트랜지스터(13T)는 비도통 상태가 된다.
- [0066] 또한, 트랜지스터(14T)는 게이트가 배선(33)에 접속되고, 제 1 단자가 트랜지스터(11)의 제 1 단자 및 트랜지스터(12T)의 제 1 단자에 접속되고, 제 2 단자가 부하(16)의 제 1 전극 및 용량 소자(17)의 다른쪽의 전극에 접속되어 있다. 따라서, 배선(33)의 전위가 H 레벨일 때에 트랜지스터(14T)는 도통 상태가 되고, 배선(33)의 전위가 L 레벨일 때에 트랜지스터(14T)는 비도통 상태가 된다.
- [0067] 또한, 트랜지스터(15T)는 게이트가 배선(34)에 접속되고, 제 1 단자가 트랜지스터(11)의 제 2 단자 및 트랜지스터(13T)의 제 2 단자에 접속되고, 제 2 단자가 배선(20)에 접속되어 있다. 따라서, 배선(34)의 전위가 H 레벨일 때에 트랜지스터(15T)는 도통 상태가 되고, 배선(34)의 전위가 L 레벨일 때에 트랜지스터(15T)는 비도통 상태가 된다.
- [0068] 또한, 일례로서, 배선(31)은, 회로(24A)에 접속되고, 배선(32)은, 회로(24B)에 접속되고, 배선(33)은, 회로(24C)에 접속되고, 배선(34)은, 회로(24D)에 접속된다. 회로(24A) 내지 회로(24D)는, 일례로서는, 적어도, H 레벨 또는 L 레벨의 신호를 공급하는 기능을 가지고 있다. 회로(24A) 내지 회로(24D)의 예로서는, 게이트 드라이버(주사전 구동 회로) 등이 있다. 따라서, 배선(31)은, H 레벨 또는 L 레벨의 신호를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다. 또는, 배선(31)은, 스위치(12) 또는 트랜지스터(12T)의 도통 상태를 제어할 수 있는 기능을 가지고 있다. 배선(32)은, 스위치(13) 또는 트랜지스터(13T)의 도통 상태를 제어할 수 있는 기능을 가지고 있다. 배선(33)은, 스위치(14) 또는 트랜지스터(14T)의 도통 상태를 제어할 수 있는 기능을 가지고 있다. 배선(34)은, 스위치(15) 또는 트랜지스터(15T)의 도통 상태를 제어할 수 있는 기능을 가지고 있다.
- [0069] 또한, 배선(31), 배선(32), 배선(33), 배선(34)은, 각각, 개별적인 배선으로서 구성시킬 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않고, 복수개의 배선을 1개의 배선으로 통합하는 것이 가능하다. 이로 인해, 적은 배선수로 회로를 구성할 수 있다.
- [0070] 예를 들면, 배선(31)과 배선(32)은, 1개의 배선으로 통합하는 것이 가능하다. 따라서, 배선(31)과 배선(32)을 접속하여, 1개의 배선으로 하는 것이 가능하다. 이 때, 트랜지스터(12T)와 트랜지스터(13T)는, 동일한 극성인 것이 바람직하다. 그 경우의 회로도들 도 93에 도시한다.
- [0071] 예를 들면, 배선(33)과 배선(34)은, 1개의 배선으로 통합하는 것이 가능하다. 따라서, 배선(33)과 배선(34)을 접속하여, 1개의 배선으로 하는 것이 가능하다. 이 때, 트랜지스터(14T)와 트랜지스터(15T)는, 동일한 극성인 것이 바람직하다. 그 경우의 회로도들 도 94에 도시한다.
- [0072] 또한, 배선(31)과 배선(32)을, 1개의 배선으로 통합하고, 배선(33)과 배선(34)을, 1개의 배선으로 통합하는 것도 가능하다. 그 경우의 회로도들 도 95에 도시한다.
- [0073] 또한, 트랜지스터(11)는, 전류를 흘려보낼 때에는, 포화 영역에서 동작하는 경우가 많다. 따라서, 채널 길이 또는 게이트 길이를, 트랜지스터(12T), 트랜지스터(13T), 트랜지스터(14T), 트랜지스터(15T)보다도 길게 하는 것이 바람직하다. 채널 길이 또는 게이트 길이를 길게 함으로써, 포화 영역에서의 특성의 기울기가 플랫해져



킹크(kink) 효과를 저감시킬 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다.

- [0074] 또한, 트랜지스터(11)는, 전류를 흘려보낼 때에는, 포화 영역에서 동작하는 경우가 많다. 따라서, 채널 폭 또는 게이트 폭을, 트랜지스터(12T), 트랜지스터(13T), 트랜지스터(14T), 트랜지스터(15T)보다도 길게 하는 것이 바람직하다. 채널 폭 또는 게이트 폭을 길게 함으로써, 포화 영역에 있어서도, 많은 전류를 흘릴 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다.
- [0075] 이어서 도 1a에 도시하는 반도체 장치(10)의 동작에 관해서 설명한다. 도 1a에 도시하는 반도체 장치(10)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작으로 나눌 수 있다. 단, 이것으로 한정되지 않고, 더욱 동작이 추가되거나, 일부의 동작이 삭제되는 것도 가능하다.
- [0076] 또한, 도 1a에 도시하는 회로 구성의 동작을 설명하기 위해서, 도 2b에는 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 나타내고 있다. 또한 도 2b에는 트랜지스터(11)의 주로 소스가 되는 한쪽의 단자와 게이트 사이의  $V_{gs}$ , 용량 소자(17)의 전극간의  $V_c$ 를 나타내고 있다.
- [0077] 도 2b에 도시하는 각 노드 및 각 배선에 해당하는 것은, node A, node B, node C, node D, node E, node F 및 node G이다. node A의 전위는, 배선(18)의 전위에 상당한다. 또한 node B의 전위는, 트랜지스터(11)의 제 1 단자, 스위치(12)의 제 1 단자 및 스위치(14)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node C의 전위는, 스위치(14)의 제 2 단자, 부하(16)의 한쪽의 단자 및 용량 소자(17)의 다른쪽의 전극을 접속하는 배선의 전위에 상당한다. 또한 node D의 전위는, 배선(19)의 전위에 상당한다. 또한 node E의 전위는, 트랜지스터(11)의 게이트, 용량 소자(17)의 한쪽의 전극 및 스위치(13)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node F의 전위는, 트랜지스터(11)의 제 2 단자, 스위치(13)의 제 2 단자 및 스위치(15)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node G의 전위는, 배선(20)의 전위에 상당한다.
- [0078] 우선 제 1 동작에 관해서 도 3a에 도시하고 설명한다. 또한 도 3a의 도면 중의 각 소자의 부호에 관해서는 생략한다. 또한, 도면에 있어서 각 스위치의 도통 상태 및 비도통 상태를 ON 및 OFF로 나타낸다. 또한 도 2b에서 설명한  $V_{gs}$  및  $V_c$ , 및 node A, node B, node C, node D, node E, node F 및 node G의 인가 상태에 관해서 나타내고 있다.
- [0079] 제 1 동작은, 각 노드의 전위를 초기화하는 동작이다. 구체적으로는 node A를  $V_{init}$ , node D를  $V_{cat}$ , node G를 VDD로 한다. 그리고 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)를 도통 상태로 한다. 그러자, node B가  $V_{init}$ , node C가  $V_{init}$ , node E가 VDD, node F가 VDD가 된다. 그리고  $V_{gs}$ 는  $(VDD - V_{init})$ 이 되고,  $V_c$ 는  $(VDD - V_{init})$ 이 된다.
- [0080] 또한 상기한 바와 같이 제 1 동작에 있어서, node B 및 node C의  $V_{init}$ 는, 일례로서는, node D의  $V_{cat}$ 와 동일하거나, 또는, 그것보다 작게 해 둔다. 상기 구성에 의해 제 1 동작시에 있어서, 부하(16)에 흐르는 전류를 없앨 수 있다. 따라서, 부하(16)에 전류가 흘러버리는 것에 의한 문제를 저감시킬 수 있다. 또한,  $V_{init}$ 가  $V_{cat}$ 보다 작은 경우, 부하(16)를 역바이어스 상태로 하는 것이 가능하다. 그 경우, 부하(16)의 열화 저감이나 리페어 등을 행하는 것이 가능해진다.
- [0081] 또한 제 1 동작에 있어서, node E 및 node F의 VDD는, 일례로서는, node D의  $V_{cat}$ 보다 크다. 상기 구성에 의해 제 1 동작시에 있어서,  $V_{gs}$ 를 트랜지스터(11)의 임계값 전압보다 큰 전압으로 해 둘 수 있다. 또는, 용량 소자(17)에 전하를 충전할 수 있다.
- [0082] 이어서 제 2 동작에 관해서 도 3b에 도시하고, 도 3a와 같이 하여 설명한다.
- [0083] 제 2 동작은, 트랜지스터(11)의 게이트의 전위(또는 용량 소자(17)에 충전된 전하)를 방전함으로써, 트랜지스터(11)의 임계값 전압을  $V_{gs}$ 에 취득시키는 동작이다. 구체적으로는 node A를  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD로 한다. 그리고 스위치(12) 및 스위치(13)를 도통 상태로 하고, 스위치(14) 및 스위치(15)를 비도통 상태로 한다. 그러자, node B가  $V_{sig}$ , node C가  $(V_{init} - V_x)$ , node E가  $(V_{sig} + V_{th})$ , node F가  $(V_{sig} + V_{th})$ 이 된다. 그리고  $V_{gs}$ 는  $V_{th}$ 가 되고,  $V_c$ 는  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 된다.
- [0084] 또한 상기한 바와 같이 제 2 동작에 있어서, node B의  $V_{sig}$ 는, 제 3 동작에 있어서 배선(20)과 배선(19) 사이를 흐르는 전류량을 트랜지스터(11)로 제어하기 위한 전위이다. 제 2 동작에 의해, 트랜지스터(11)의 게이트의 전위에 해당하는 node E의 전위는,  $(V_{sig} + V_{th})$ 와 같이 트랜지스터(11)의 임계값 전압을 포함하는 값으로 할 수 있다.
- [0085] 또한 제 2 동작으로, node C의 전위( $V_{init} - V_x$ )에 있어서의  $V_x$ 는, node C가 전기적으로 부유 상태(플로팅 상태)

가 됨으로써 변동되는 전위이다. 이 때  $V_x$ 는, 부하(16)에 기생하는 정전 용량과 용량 소자(17)의 정전 용량의 비에 따라 변동의 크기가 바뀐다. 또한 상기 구성에 있어서, 미리  $V_x$ 가 작아지도록 설계하는 것이 바람직하다. 구체적으로는, 부하(16)에 기생하는 정전 용량을 용량 소자(17)의 정전 용량보다 충분히 크게 설계해 줌으로써,  $V_x$ 를 작게 할 수 있다. 또한 부하(16)에 기생하는 정전 용량은, 용량 소자(17)의 정전 용량의 2배 이상, 보다 바람직하게는 4배 이상으로 하는 것이 바람직하다.

[0086] 또한 제 1 동작시에 있어서의 node D 및 node E의 VDD는, 제 2 동작에 의해 방전된다. 상기 방전에 의해,  $V_{gs}$ 는 트랜지스터(11)의 임계값 전압( $V_{th}$ )까지 저하되어 정상(定常) 상태가 된다. 이로 인해, 상기의 방전에 의해 node D 및 node E는, ( $V_{sig}+V_{th}$ )에서 정상 상태가 된다. 그리고, 제 2 동작 종료시에  $V_c$ 는, ( $V_{sig}+V_{th}-V_{init}+V_x$ )이 유지된 상태가 된다.

[0087] 또한,  $V_{gs}$ 는 트랜지스터(11)의 임계값 전압( $V_{th}$ )과 동일해질 때까지는, 매우 긴 시간이 필요해지는 경우가 있다. 따라서,  $V_{gs}$ 는, 임계값 전압( $V_{th}$ )까지 완전히 저하시키지 않고, 반도체 장치를 동작시키는 경우도 많다. 즉,  $V_{gs}$ 는, 임계값 전압( $V_{th}$ )보다도, 약간 큰 값으로 된 상태에서, 제 2 동작이 종료되는 경우도 많다. 즉, 제 2 동작이 종료된 시점에서는, 임계값 전압에 따른 크기의 전압으로 되고 있다, 라고 할 수도 있다.

[0088] 또한, 제 2 동작에 있어서, 스위치(14) 및 스위치(15)를 비도통 상태로 하고, node B의 전위를  $V_{sig}$ 로 하고 있는데, 이들 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.

[0089] 예를 들면, node B의 전위를  $V_{init}$ 에서  $V_{sig}$ 로 하는 것은, 스위치(14)를 비도통 상태로 하는 것과 동시, 또는, 스위치(14)를 비도통 상태로 한 후에 행하는 것이 바람직하다. 그것에 의해, node C의 전위를 적절한 상태로 유지하기 쉬워지기 때문이다.

[0090] 또는, 예를 들면, node B의 전위를  $V_{init}$ 에서  $V_{sig}$ 로 하는 것은, 스위치(15)를 비도통 상태로 하는 것보다도 먼저, 또는, 스위치(15)를 비도통 상태로 하는 것과 동시에 행하는 것이 바람직하다. 그것에 의해, 트랜지스터(101)의 게이트 전위를 신속하게 저하시키는 것이 가능해지기 때문이다.

[0091] 계속해서 제 3 동작에 관해서 도 3c에 도시하고, 도 3a 및 도 3b와 같이 하여 설명한다.

[0092] 제 3 동작은, 트랜지스터(11)를 전류원의 일부로서 사용하고, 부하(16)에 전류를 출력하는 동작이다. 구체적으로는 node A는 임의적이지만, 예를 들면,  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD로 한다. 그리고 스위치(14) 및 스위치(15)를 도통 상태로 하고, 스위치(12) 및 스위치(13)를 비도통 상태로 한다. 그러자, node B 및 node C가  $V_{el}$ , node E가 ( $V_{sig}+V_{th}-V_{init}+V_x+V_{el}$ ), node F가 VDD가 된다. 그리고  $V_{gs}$ 는 ( $V_{sig}+V_{th}-V_{init}+V_x$ )이 되고,  $V_c$ 는 ( $V_{sig}+V_{th}-V_{init}+V_x$ )이 된다.

[0093] 또한 제 3 동작에 있어서, node B, node C 및 node F의 전위는, node E를 전기적으로 부유 상태로 한 상태 그대로, 상승된다. 따라서  $V_c$ 의 ( $V_{sig}+V_{th}-V_{init}+V_x$ )를 유지한 상태에서, 용량 결합에 의해 node E의 전위는 상승하고, ( $V_{sig}+V_{th}-V_{init}+V_x+V_{el}$ )이 된다. 즉, node C의 전위가 상승함으로써, 부트스트랩 동작에 의해, node E의 전위도 상승한다.

[0094] 이와 같이, node C의 전위가 상승해도, 동작할 수 있기 때문에, 부하(예를 들면, 표시 소자, 발광 소자)의 전압 전류 특성이 열화되어도, 그 영향을 저감시킬 수 있다.

[0095] 또한 node B 및 node C의 전위인  $V_{el}$ 은, node F가 VDD로 상승하고, 제 3 동작에 의해 반도체 장치를 전류원으로 서 기능시킬 수 있는 트랜지스터(11)를 통하여, 부하(16)로 전류를 흘려보낼 때에 설정되는 전위이다. 구체적으로는, VDD와  $V_{cat}$  사이의 전위로 설정되게 된다.

[0096] 제 3 동작에 있어서 트랜지스터(11)의  $V_{gs}$ 는, ( $V_{sig}+V_{th}-V_{init}+V_x$ )이 되고, 트랜지스터(11)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 트랜지스터(11)의 전류의 크기는,  $V_{gs}-V_{th}$ 에 따라 변화된다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다. 또는, 트랜지스터가 열화되어, 임계값 전압이 변화되어 가도, 그 영향을 저감시킬 수 있다. 이로 인해, 표시 소자의 경우, 표시 열락을 저감시킬 수 있고, 질이 양호한 표시를 행할 수 있다.

[0097] 또한, 제 3 동작에 있어서, 스위치(12) 및 스위치(13)를 비도통 상태로 하고, 스위치(14) 및 스위치(15)를 도통 상태로 하고 있는데, 이들 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.

[0098] 예를 들면, 스위치(12) 및 스위치(13)를 비도통 상태로 한 후에, 스위치(14) 및 스위치(15)를 도통 상태로 하는 것이 바람직하다. 그것에 의해,  $V_c$ 의 전압을 적절한 상태로 유지하기 쉬워지기 때문이다.

- [0099] 또는, 예를 들면, 스위치(13)를 비도통 상태로 한 후에, 스위치(12)를 비도통 상태로 하는 것이 바람직하다. 그것에 의해,  $V_c$ 의 전압을 적절한 상태로 유지하기 쉬워지기 때문이다.
- [0100] 또한, 본 실시형태의 회로 구성을 도 1a에서 도시했지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 도 3a 내지 도 3c에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0101] 예를 들면, 구체적으로는 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 3a에서의 제 1 동작으로 말하자면, 도 4a에 도시하는 접속 관계이면 좋다. 또한 상기 도 3b에서의 제 2 동작으로 말하자면, 도 4b에 도시하는 접속 관계이면 좋다. 또한 상기 도 3c에서의 제 3 동작으로 말하자면, 도 4c에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0102] 또한 트랜지스터의 임계값 전압을 보정하는 동작에 관해서 도 3a 내지 도 3c에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 예를 들면, 상기 도 3b에서의 제 2 동작과 상기 도 3c에서의 제 3 동작 사이에 트랜지스터(11)의 이동도의 편차를 보정하기 위한 동작을 행해도 좋다. 도 3a 내지 도 3c에서 설명한 제 1 동작 내지 제 3 동작에, 트랜지스터(11)의 이동도를 보정하는 동작을 추가한 동작을 도 5a 내지 도 5d에 도시한다.
- [0103] 또한 도 5a에 도시하는 제 1 동작은, 도 3a에서 설명한 제 1 동작과 동일하여 설명을 생략한다. 또한 도 5b에 도시하는 제 2 동작은, 도 3b에서 설명한 제 2 동작과 동일하여 설명을 생략한다.
- [0104] 이어서 제 3 동작에 관해서 도 5c에 도시하고, 도 3a 및 도 3b와 같이 하여 설명한다.
- [0105] 제 3 동작은, 트랜지스터(11)의 게이트에 유지된 전위(용량 소자(17)에 보존된 전하)를 이용하여 트랜지스터(11)를 도통 상태로 하고, 흐르는 전류량의 크기를 이용하여 트랜지스터(11)의 이동도의 보정을 행하는 동작이다. 구체적으로는 node A는 임의적이지만, 예를 들면,  $V_{sig}$ , node D를  $V_{cat}$ , node G는 임의적이지만, 예를 들면,  $V_{DD}$ 로 한다. 그리고 스위치(13) 및 스위치(14)를 도통 상태로 하고, 스위치(12) 및 스위치(15)를 비도통 상태로 한다. 그러자, node B 및 node C의 전위의 변화량이  $-\Delta V_{el}$ , node E 및 node F가  $(V_{sig}+V_{th}-\Delta V_{el})$ 이 된다. 그리고  $V_{gs}$ 는  $(V_{th}+\Delta V_{el})$ 이 되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x-\Delta V_{el})$ 이 된다.
- [0106] 또한 제 3 동작에 있어서, node B 및 node C의 전위는, 스위치(14)를 도통 상태로 함으로써 변화된다. 상기 전위의 변화량이  $-\Delta V_{el}$ 에 상당한다. node B 및 node C의 전위의 변화량이  $-\Delta V_{el}$ 이 되면,  $V_{gs}$ 는  $(V_{th}+\Delta V_{el})$ 이 되어 임계값 전압( $V_{th}$ )보다 커지기 때문에, 트랜지스터(11)를 통해 전류가 흘러나온다. 트랜지스터(11)를 통해 전류가 흐르면, node E 및 node F가  $(V_{sig}+V_{th}-\Delta V_{el})$ 로 저하되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x-\Delta V_{el})$ 이 된다.
- [0107] 상기의 트랜지스터(11)의 전류량은, 트랜지스터의 이동도에 따라 변화량이 변화된다. 따라서 트랜지스터(11)의 이동도에 따른 전위의 변동분을 미리 트랜지스터의 게이트의 전위에 상당하는 node E에, 포함하는 값으로 설정할 수 있다.
- [0108] 제 3 동작에 있어서 트랜지스터(11)의 게이트의 전위는,  $(V_{sig}+V_{th}-\Delta V_{el})$ 이 되고, 트랜지스터(11)의 이동도를 고려한 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 이동도의 편차의 영향을 저감시킬 수 있다. 또는, 트랜지스터가 열화되어, 이동도가 변화되어 가도, 그 영향을 저감시킬 수 있다.
- [0109] 이어서 제 4 동작에 관해서 도 5d에 도시하고, 도 3a 및 도 3b와 같이 하여 설명한다. 또한 도 5d에 도시하는 제 4 동작은, 도 3c에서 설명한 제 3 동작과 같아 상이한 점만 설명한다.
- [0110] 제 4 동작에 의해, node B 및 node C가  $V_{el}$ , node E가  $(V_{sig}+V_{th}-V_{init}+V_x-\Delta V_{el}+V_{el})$ , node F가  $V_{DD}$ 가 된다. 그리고  $V_{gs}$ 는  $(V_{sig}+V_{th}-V_{init}+V_x+\Delta V_{el})$ 이 되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 된다.
- [0111] 제 4 동작에 있어서 트랜지스터(11)의  $V_{gs}$ 는,  $(V_{sig}+V_{th}-V_{init}+V_x+\Delta V_{el})$ 이 되고, 트랜지스터(11)의 임계값 전압 및 이동도를 고려한 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압 및 이동도의 편차의 영향을 저감시킬 수 있다.
- [0112] 또한 도 5a 내지 도 5d에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.

- [0113] 예를 들면, 구체적으로는 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 5a에서의 제 1 동작으로 말하자면, 도 6a에 도시하는 접속 관계이면 좋다. 또한 상기 도 5b에서의 제 2 동작으로 말하자면, 도 6b에 도시하는 접속 관계이면 좋다. 또한 상기 도 5c에서의 제 3 동작으로 말하면, 도 6c에 도시하는 접속 관계이면 좋다. 또한 상기 도 5d에서의 제 4 동작으로 말하자면, 도 6d에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0114] 또한, 본 실시형태의 회로 구성을 도 1a에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 트랜지스터(11)의 수나 배치를 변경함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0115] 예를 들면, 도 7에 도시하는 반도체 장치(10A)와 같이, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터로서 트랜지스터(11A)와 트랜지스터(11B)를 게이트를 공통화하여 직렬 접속한 구성으로 할 수도 있다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0116] 또 다른 구성으로서 예를 들면, 도 8에 도시하는 반도체 장치(10B)와 같이, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터로서 트랜지스터(11A)와 트랜지스터(11B)와 게이트를 공통화하여 병렬 접속한 구성으로 할 수도 있다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0117] 또 다른 구성으로서 예를 들면, 도 9에 도시하는 반도체 장치(10C)와 같이, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터로서 트랜지스터(11A), 트랜지스터(11B), 트랜지스터(11C), 트랜지스터(11D)를 게이트를 공통화하여 직렬 접속 및 병렬 접속한 구성으로 할 수도 있다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0118] 도 7 내지 도 9의 구성을 적용함으로써, 트랜지스터(11)의 채널 폭 및/또는 채널 길이를 가변할 수 있다. 도 7 내지 도 9의 구성에 도시하는 바와 같이 복수의 트랜지스터를 조합한 후, 채널 폭 및/또는 채널 길이를 가변하는 구성으로 함으로써, 처음부터 채널 폭 및/또는 채널 길이가 큰 트랜지스터를 형성하는 구성에 비해, 트랜지스터 특성의 편차의 영향을 작게 할 수 있다.
- [0119] 또한, 도 1a, 도 2a 등은, 회로 구성의 일례이기 때문에, 또한, 트랜지스터를 추가하여 형성하는 것이 가능하다. 반대로, 도 1a, 도 2a 등의 각 노드에 있어서, 추가로 트랜지스터, 스위치, 수동 소자 등을 형성하지 않도록 하는 것도 가능하다. 예를 들면, node A, node B, node C, node D, node E, node F, 또는/및, node G에 있어서, 직접적으로 접속된 트랜지스터를, 이 이상은 형성하지 않도록 하는 것이 가능하다. 따라서, 예를 들면, node C에 있어서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(14T)뿐이며, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않은 구성으로 하는 것이 가능하다.
- [0120] 이로 인해, 트랜지스터를 추가하지 않는 경우에는, 적은 트랜지스터수로 회로를 구성하는 것이 가능해진다.
- [0121] 또한, 본 실시형태에 있어서, 트랜지스터의 임계값 전압 등의 편차를 보정하는 동작을 행했지만, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다. 예를 들면, 임계값 전압의 편차를 보정하는 동작을 행하지 않고, 부하(16)에 전류를 공급시켜 동작시키는 것도 가능하다.
- [0122] 본 실시형태는, 기본 원리의 일례에 관해서 서술한 것이다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또한 전부와, 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0123] (실시형태 2)
- [0124] 본 실시형태에 있어서는 실시형태 1에서 서술한 반도체 장치의 회로 구성과는 다른 구성의 일례에 관해서 설명한다.
- [0125] 도 10에는, 도 1a의 반도체 장치(10)와 같은 회로 구성을 갖는 반도체 장치(10h)를 도시한다. 도 10에 도시하는 반도체 장치(10h)가 도 1a에 도시하는 반도체 장치(10)와 상이한 점은, 회로(21h)와 회로(23h)가 접속되어 있는 점에 있다. 회로(21h)는 배선(18)에 적어도  $V_{sig}$  및  $V_{init}$ 를 공급하는 기능을 갖는 회로로 하고, 회로(23h)는 배선(20)에 적어도  $V_{init}$ 와  $V_{DD}$ 를 전환하여 공급하는 기능을 가진다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다. 회로(21h)의 예로서는, 소스 드라이버(신호선 구동 회로) 등이 있다. 회로(23h)의 예로서는, 게이트 드라이버(주사선 구동 회로), 전원 회로 등이 있다.
- [0126] 이어서 도 10에 도시하는 반도체 장치(10h)의 동작에 관해서 설명한다. 도 10에 도시하는 반도체 장치(10h)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작, 제 4 동작으로 나눌 수 있다. 도 1a 등에 도시한 반도체 장치



(10)의 동작에 대해, 1개의 동작을 추가한 형태로 되어 있고, 도 10에 도시하는 반도체 장치(10h)의 제 2 동작, 제 3 동작, 제 4 동작이, 각각, 도 1a에 도시한 반도체 장치(10)의 제 1 동작, 제 2 동작, 제 3 동작에 상당한다.

- [0127] 또한, 도 10에 도시하는 회로 구성의 동작은, 도 2b와 같이 하여, 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여서 설명한다. 또한 도 10에 도시하는 회로 구성의 동작은, 도 2b와 같이 하여,  $V_{gs}$ ,  $V_c$ 를 나타내어 설명한다.
- [0128] 제 1 동작은, 각 노드의 전위를 초기화하기 전에 어느 정도 초기화의 전위를 각 노드에 설정해 두기(초기화 전의 초기화) 위한 동작이다. 구체적으로는 node G를  $V_{init}$ , node D를  $V_{cat}$ 로 한다. node A의 전위는, 임의적이라도 좋다. 그리고 스위치(14) 및 스위치(15)를 도통 상태로 하고, 스위치(12) 및 스위치(13)를 비도통 상태로 한다. 그러자, node B 및 node C가  $V_{init}$ , 또는,  $V_{init}$ 에 가까운 전위인  $\Delta V_{init}$ , node E가  $V_y$ , node F가  $V_{init}$ 가 된다. 또한  $V_{gs}$  및  $V_c$ 는, 제 1 동작이 앞의 동작의 신호인  $V_y$ 를 사용하는 동작이기 때문에, 여기에서는 생략하고 있다.
- [0129] 여기에서  $V_y$ 는 제 1 동작 전에 입력된 전위이다. 여기에서는 전위( $V_y$ )에 의해 트랜지스터(11)가 전류원의 일부로서 동작하고 있는 경우에 관해서 설명한다. 전위( $V_y$ )는 제 1 동작시에 있어서 트랜지스터(11)의 제 1 단자와 제 2 단자 사이에 전류가 흐르도록 설정되는 전위이다. 통상,  $V_{init}$ 는 매우 낮은 전위이기 때문에, 전위( $V_y$ )에 의해 트랜지스터(11)는 온하는 경우가 많다.
- [0130] 이로 인해 제 1 동작에 의해 node F를  $V_{init}$ 로 해 두고, 트랜지스터(11)의 제 1 단자와 제 2 단자 사이에 전류가 흐름으로써 node B 및 node C가  $V_{init}$ , 또는,  $V_{init}$ 에 가까운 전위인  $\Delta V_{init}$ 가 된다.
- [0131] 즉 제 1 동작은, node B 및 node C의 전위를 저하시켜 두는 동작이다. 제 1 동작에 의해, node B 및 node C의 전위를 저하시켜 됨으로써, 다음의 제 2 동작에서의, 각 노드의 전위를 초기화하는 동작을 고속으로 행할 수 있다. 특히, 부하(16)의 용량이 클 경우, 사전에, node B 및 node C의 전위를 저하시킴으로써, 그 후의 동작을 스무스하게 진행시킬 수 있다. 단, 가령, 충분히 node B 및 node C의 전위를 저하시킬 수 없어도, 그 후의 동작에 영향이 없으면 문제 없다.
- [0132] 제 2 동작은, 도 3a에서 설명한 제 1 동작과 동일하여 설명을 생략한다.
- [0133] 또한, 제 2 동작에 있어서, 스위치(12) 및 스위치(13)를 도통 상태로 하고, node G의 전위를 VDD로 하고 있는데, 이들 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.
- [0134] 예를 들면, node G의 전위를  $V_{init}$ 에서 VDD로 하는 것은, 스위치(13)를 도통 상태로 하기 전, 또는, 스위치(13)를 도통 상태로 하는 것과 동시에 행하는 것이 바람직하다. 그것에 의해, node E의 전위를 높게 하기 쉬워지기 때문이다.
- [0135] 또한 도 11c에 도시하는 제 3 동작은, 도 3b에서 설명한 제 2 동작과 동일하여 설명을 생략한다. 또한 도 11d에 도시하는 제 4 동작은, 도 3c에서 설명한 제 3 동작과 동일하여 설명을 생략한다.
- [0136] 또한 도 11a 내지 도 11d에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0137] 예를 들면, 구체적으로는 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 11a에서의 제 1 동작으로 말하자면, 도 12a에 도시하는 접속 관계이면 좋다. 또한 상기 도 11b에서의 제 2 동작으로 말하자면, 도 12b에 도시하는 접속 관계이면 좋다. 또한 상기 도 11c에서의 제 3 동작으로 말하자면, 도 12c에 도시하는 접속 관계이면 좋다. 또한 상기 도 11d에서의 제 4 동작으로 말하자면, 도 12d에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0138] 또한 트랜지스터의 임계값 전압을 보정하는 동작에 관해서 도 11a 내지 도 11d에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 예를 들면, 상기 도 11c에서의 제 3 동작과 상기 도 11d에서의 제 4 동작 사이에 트랜지스터(11)의 이동도의 편차를 보정하기 위한 동작을 행해도 좋다.
- [0139] 트랜지스터(11)의 이동도를 보정하는 동작에 관해서 도 13a에 도시한다.
- [0140] 트랜지스터(11)의 이동도를 보정하는 동작은, 도 5c에서 설명한 제 3 동작과 동일하여 설명을 생략한다.

- [0141] 트랜지스터(11)의 이동도를 보정하는 동작에 있어서 트랜지스터(11)의 게이트의 전위는,  $(V_{sig}+V_{th}-\Delta V_{el})$ 이 되고, 트랜지스터(11)의 이동도를 고려한 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 이동도의 편차의 영향을 저감시킬 수 있다.
- [0142] 또한 도 13a에서 설명한 트랜지스터의 이동도를 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0143] 예를 들면, 구체적으로는 스위치(12), 스위치(13), 스위치(14) 및 스위치(15)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 13a에서의 트랜지스터의 이동도를 보정하는 동작으로 말하자면, 도 13b에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0144] 또한 도 10에 도시하는 회로 구성에서는, 배선(20)의 전위를  $V_{init}$ 와  $V_{DD}$ 로 전환하는 회로 구성에 관해서 설명했지만, 다른 구성으로 하는 것도 가능하다. 예를 들면, 도 14에 도시하는 바와 같이, 배선(20) 대신에, 배선(20A) 및 배선(20B)을 형성하고, 배선(20A)에 접속된 회로(23A)로부터  $V_{init}$ 를 공급하고, 배선(20B)에 접속된 회로(23B)로부터  $V_{DD}$ 를 공급하는 구성으로 해도 좋다. 이 때, 배선(20A)과 node F 사이에는 스위치(15A), 배선(20B)과 node F 사이에는 스위치(15B)를 형성하고, 각각 전환하여 도 11a 내지 도 11d와 같이 동작시키면 좋다. 즉, 회로(23A)는,  $V_{init}$ 를 공급하는 기능을 가지고, 그 예로서는, 전원 회로, 전압 폴로어 회로 등이 있다. 회로(23B)는,  $V_{DD}$ 를 공급하는 기능을 가지고, 그 예로서는, 전원 회로 등이 있다. 또한, 스위치(15A)의 도통 상태와 비도통 상태의 전환은, 배선(34A)에 의해 제어되고, 스위치(15B)의 도통 상태와 비도통 상태의 전환은, 배선(34B)에 의해 제어된다. 또한, 일례로서, 배선(34A)은, 회로(25A)에 접속되고, 배선(34B)은, 회로(25B)에 접속된다. 회로(25A) 및 회로(25B)는, 일례로서는, 적어도, H 레벨 또는 L 레벨의 신호를 공급하는 기능을 가지고 있다. 회로(25A) 및 회로(25B)의 예로서는, 게이트 드라이버(주사선 구동 회로) 등이 있다.
- [0145] 이상 설명한 바와 같이, 본 실시형태에서 나타내는 회로 구성에서는, 배선(20)의 전위를  $V_{init}$ 와  $V_{DD}$ 로 전환함으로써 초기화 전의 초기화를 행할 수 있다. 따라서 각 노드의 전위를 초기화하는 동작을 고속으로 행할 수 있다. 또한 본 실시형태에서 나타내는 회로 구성에서는, 제 4 동작에 있어서 트랜지스터(11)의  $V_{gs}$ 는,  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 되고, 트랜지스터(11)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다.
- [0146] 또한, 도 14 등은, 회로 구성의 일례이기 때문에, 또한, 트랜지스터를 추가하여 형성하는 것이 가능하다. 반대로, 도 14 등의 각 노드에 있어서, 추가로 트랜지스터, 스위치, 수동 소자 등을 형성하지 않도록 하는 것도 가능하다. 예를 들면, node A, node B, node C, node D, node E, node F, 또는/및, node G에 있어서, 직접적으로 접속된 트랜지스터를, 이 이상은 형성하지 않도록 하는 것이 가능하다. 따라서, 예를 들면, node C에 있어서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(14T)뿐이며, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않은 구성으로 하는 것이 가능하다.
- [0147] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0148] (실시형태 3)
- [0149] 본 실시형태에 있어서는 실시형태 1 및 실시형태 2에서 서술한 반도체 장치의 회로 구성과는 다른 구성의 예에 관해서 설명한다.
- [0150] 도 15에는, 도 1a의 반도체 장치(10)와 유사한 회로 구성을 갖는 반도체 장치(10p)를 도시한다. 도 15에 도시하는 반도체 장치(10p)가 도 1a에 도시하는 반도체 장치(10)와 상이한 점은, 배선(18)에 전위를 공급하는 전위를  $V_{sig}$ 로 하고, 배선(18p) 및 스위치(12p)를 추가하여 상기 배선(18p)으로부터  $V_{init}$ 를 공급하는 회로 구성으로 하는 점에 있다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0151] 도 15에 있어서, 스위치(12p)의 제 1 단자는, 트랜지스터(11)의 제 1 단자, 스위치(12)의 제 1 단자, 스위치(14)의 제 1 단자에 접속된다. 스위치(12p)의 제 2 단자는, 배선(18p)에 접속된다.
- [0152] 이어서 도 15에 도시하는 반도체 장치(10h)의 동작에 관해서 설명한다. 도 15에 도시하는 반도체 장치(10h)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작으로 나눌 수 있다.

- [0153] 또한, 도 15에 도시하는 회로 구성의 동작을 설명하기 위해서, 도 16에는 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 나타내고 있다. 또한 도 16에는 트랜지스터(11)의 주로 소스가 되는 한쪽의 단자와 게이트 사이의  $V_{gs}$ , 용량 소자(17)의 전극간의  $V_c$ 를 도시하고 있다. 또한 도 16의 스위치(12p)의 스위칭은, 배선(31p)에 의해 제어된다. 또한 도 16에서는, 회로(26)가 배선(31p)에 접속되고, H 레벨 또는 L 레벨의 신호를 공급하는 기능을 가지고 있다. 회로(26)의 예로서는, 게이트 드라이버(주사전 구동 회로) 등이 있다. 또한 도 16에서는, 회로(21p)가 배선(18p)에 접속되고, 배선(18p)에  $V_{init}$ 를 공급하는 기능을 가지고 있다. 회로(21p)의 예로서는, 전원 회로, 전압 폴로어 회로 등이 있다.
- [0154] 도 16에 도시하는 각 노드 및 각 배선에 해당하는 것은, node A, node B, node C, node D, node E, node F, node G, 및 node H이다. node A의 전위는, 배선(18)의 전위에 상당한다. 또한 node B의 전위는, 트랜지스터(11)의 제 1 단자, 스위치(12)의 제 1 단자, 스위치(14)의 제 1 단자 및 스위치(12p)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node C의 전위는, 스위치(14)의 제 2 단자, 부하(16)의 한쪽의 단자 및 용량 소자(17)의 다른쪽의 전극을 접속하는 배선의 전위에 상당한다. 또한 node D의 전위는, 배선(19)의 전위에 상당한다. 또한 node E의 전위는, 트랜지스터(11)의 게이트, 용량 소자(17)의 한쪽의 전극 및 스위치(13)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node F의 전위는, 트랜지스터(11)의 제 2 단자, 스위치(13)의 제 2 단자 및 스위치(15)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node G의 전위는, 배선(20)의 전위에 상당한다. 또한 node H의 전위는, 배선(18p)의 전위에 상당한다.
- [0155] 우선 제 1 동작에 관해서 도 17a에 도시하고 설명한다. 또한 도 17a의 도면 중의 각 소자의 부호에 관해서는 생략하고, 각 스위치의 도통 상태 및 비도통 상태를 ON 및 OFF로 나타내고 있다. 또한 도 16에서 설명한  $V_{gs}$ ,  $V_c$ , node A, node B, node C, node D, node E, node F, node G 및 node H의 인가 상태에 관해서 나타내고 있다.
- [0156] 제 1 동작은, 각 노드의 전위를 초기화하는 동작이다. 구체적으로는 node A를 임의의 전위, node D를  $V_{cat}$ , node G를 VDD, node H를  $V_{init}$ 로 한다. 그리고 스위치(12p), 스위치(13), 스위치(14) 및 스위치(15)를 도통 상태로 하고, 스위치(12)를 비도통 상태로 한다. 그러자, node B가  $V_{init}$ , node C가  $V_{init}$ , node E가 VDD, node F가 VDD가 된다. 그리고  $V_{gs}$ 는  $(VDD - V_{init})$ 이 되고,  $V_c$ 는  $(VDD - V_{init})$ 이 된다.
- [0157] 도 17a에 도시하는 제 1 동작이 실시형태 1의 도 3a와 상이한 점은, node B 및 node C에 공급하는  $V_{init}$ 를 배선(18p)으로부터 스위치(12p)를 통하여 공급하는 점에 있다. 상기 구성으로 함으로써, 배선(18)의 전위를 전환하지 않고 초기화를 행할 수 있고, 각 노드의 초기화를 고속으로 행할 수 있다. 또는, 배선(18)에 접속되어 있는 다른 반도체 장치(10p)에 대해, 배선(18)으로부터 전위를 공급하면서, 각 노드의 초기화를 행할 수 있다. 이로 인해, 초기화를 위한 동작 기간을 길게 확보할 수 있다.
- [0158] 이어서 제 2 동작에 관해서 도 17b에 도시하고, 도 17a와 같이 하여 설명한다.
- [0159] 제 2 동작은, 트랜지스터(11)의 게이트의 전위(용량 소자(17)의 전하)를 방전함으로써, 트랜지스터(11)의 임계값 전압을  $V_{gs}$ 로 취득시키는 동작이다. 구체적으로는 node A를  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD, node H는 임의적이지만, 예를 들면,  $V_{init}$ 로 한다. 그리고 스위치(12) 및 스위치(13)를 도통 상태로 하고, 스위치(14), 스위치(12p) 및 스위치(15)를 비도통 상태로 한다. 그러자, node B가  $V_{sig}$ , node C가  $(V_{init} - V_x)$ , node E가  $(V_{sig} + V_{th})$ , node F가  $(V_{sig} + V_{th})$ 이 된다. 그리고  $V_{gs}$ 는  $V_{th}$ 가 되고,  $V_c$ 는  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 된다.
- [0160] 도 17b에 도시하는 제 2 동작이 실시형태 1의 도 3b와 상이한 점은, 스위치(12p)를 비도통 상태로 하는 점이다. 따라서 제 2 동작에 관해서는, 본 실시형태의 구성과 도 3b의 구성은 동일하다. 따라서 제 2 동작에 의해, 트랜지스터(11)의 게이트의 전위에 해당하는 node E의 전위는,  $(V_{sig} + V_{th})$ 와 같이 트랜지스터(11)의 임계값 전압을 포함하는 값으로 할 수 있다.
- [0161] 또한, 제 2 동작에 있어서, 스위치(14), 스위치(15), 및, 스위치(12p)를 비도통 상태로 하고, 스위치(12)를 도통 상태로 하고 있지만, 이들 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.
- [0162] 예를 들면, 스위치(12)를 도통 상태로 하는 것은, 스위치(12p)를 비도통 상태로 하는 것과 동시, 또는, 스위치(12p)를 비도통 상태로 한 후에 행하는 것이 바람직하다. 그것에 의해, node A와 node H 사이에서, 쇼트해 버리는 것을 방지하기 쉬워지기 때문이다.
- [0163] 이어서 제 3 동작에 관해서 도 17c에 도시하고, 도 17a 및 도 17b와 같이 하여 설명한다.
- [0164] 제 3 동작은, 트랜지스터(11)를 전류원의 일부로서 사용하고, 부하(16)에 전류를 출력하는 동작이다. 구체적으

로는 node A는 임의적이지만, 예를 들면, Vsig, node D를 Vcat, node G를 VDD, node H는 임의적이지만, 예를 들면, Vinit로 한다. 그리고 스위치(14) 및 스위치(15)를 도통 상태로 하고, 스위치(12), 스위치(12p) 및 스위치(13)를 비도통 상태로 한다. 그러자, node B 및 node C가 Vel, node E가 (Vsig+Vth-Vinit+Vx+Vel), node F가 VDD가 된다. 그리고 Vgs는 (Vsig+Vth-Vinit+Vx)이 되고, Vc는 (Vsig+Vth-Vinit+Vx)이 된다.

[0165] 도 17c에 도시하는 제 3 동작이 실시형태 1의 도 3c와 상이한 점은, 스위치(12p)를 비도통 상태로 하는 점이다. 따라서 제 3 동작에 관해서는, 본 실시형태의 구성과 도 3c의 구성은 동일하다. 따라서 제 3 동작에 의해, 트랜지스터(11)의 Vgs는, (Vsig+Vth-Vinit+Vx)이 되고, 트랜지스터(11)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다.

[0166] 또한, 본 실시형태의 회로 구성을 도 15에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 도 17a 내지 도 17c에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.

[0167] 예를 들면, 구체적으로는 스위치(12), 스위치(12p), 스위치(13), 스위치(14) 및 스위치(15)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 17a에서의 제 1 동작으로 말하자면, 도 18a에 도시하는 접속 관계이면 좋다. 또한 상기 도 17b에서의 제 2 동작으로 말하자면, 도 18b에 도시하는 접속 관계이면 좋다. 또한 상기 도 17c에서의 제 3 동작으로 말하자면, 도 18c에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.

[0168] 이상 설명한 바와 같이, 본 실시형태에서 나타내는 회로 구성에서는, 배선(18p)을 추가하고, 배선(18p)으로부터 스위치(12p)를 통하여 Vinit에 의한 초기화를 행할 수 있다. 따라서 각 노드의 전위를 초기화하는 동작을 긴 기간을 사용하여 행할 수 있다. 또는, 배선(18)을 사용하여, Vinit에 의한 초기화를 행하지 않아도 되기 때문에, 그 만큼, 제 2 동작을 행하는 기간을 길게 할 수 있다. 또한 본 실시형태에서 나타내는 회로 구성에서는, 제 3 동작에 있어서 트랜지스터(11)의 Vgs는, (Vsig+Vth-Vinit+Vx)이 되고, 트랜지스터(11)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 부하에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다.

[0169] 또한, 도 5c, 도 6c, 도 13a, 도 13b와 같이, 도 15, 도 16의 회로를 사용하여, 이동도를 보정하는 동작을 행하는 것은 가능하다.

[0170] 또한, 도 15 등은, 회로 구성의 일례이기 때문에, 또한, 트랜지스터를 추가하여 형성하는 것이 가능하다. 반대로, 도 15 등의 각 노드에 있어서, 추가로 트랜지스터, 스위치, 수동 소자 등을 형성하지 않도록 하는 것도 가능하다. 예를 들면, node A, node B, node C, node D, node E, node F, 또는/및, node G에 있어서, 직접적으로 접속된 트랜지스터를, 이 이상은 형성하지 않도록 하는 것이 가능하다. 따라서, 예를 들면, node C에 있어서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(14T)뿐이며, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않은 구성으로 하는 것이 가능하다.

[0171] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.

[0172] (실시형태 4)

[0173] 상기 실시형태 1 내지 실시형태 3에서 설명한 구성에서는, 부하(16)의 기생 용량을 이용하는 것을 전제로 하여, 각 회로 구성의 동작을 설명했지만, 다른 구성으로 하는 것도 가능하다. 본 실시형태에서는, 상기 실시형태의 회로 구성에 있어서의 부하(16)에 전기적으로 병렬로 접속한 용량 소자를 추가한 구성에 관해서 나타낸다.

[0174] 도 19에는 반도체 장치(10c)를 도시하고 있고, 도 1a와는 달리, 반도체 장치(10c)에 접속되는 부하(16)에 전기적으로 병렬로 접속한 용량 소자(17c)를 추가한 구성이다. 또한, 용량 소자(17c)는, 도 78에 도시하는 바와 같이, 배선(20)과 접속시키는 것도 가능하다. 또는, 용량 소자(17c)는, 배선(32), 배선(33), 배선(34), 배선(31p), 배선(18p) 등에 접속시키는 것도 가능하다. 또는, 다른 반도체 장치(10c)의 배선(32), 배선(33), 배선(34), 배선(31p) 등에 접속시키는 것도 가능하다. 또한 도 20에는 반도체 장치(10hc)를 도시하고 있고, 도 14와는 달리, 반도체 장치(10hc)에 접속되는 부하(16)에 전기적으로 병렬로 접속한 용량 소자(17c)를 추가한 구성이다. 또한, 용량 소자(17c)는, 도 79 또는 도 80에 도시하는 바와 같이, 배선(20A), 또는, 배선(20B)과 접속



시키는 것도 가능하다. 또한 도 21에는 반도체 장치(10pc)를 도시하고 있고, 도 15와는 달리, 반도체 장치(10hc)에 접속되는 부하(16)에 전기적으로 병렬로 접속된 용량 소자(17c)를 추가한 구성이다. 또한, 용량 소자(17c)는, 도 81에 도시하는 바와 같이, 배선(18p)과 접속시키는 것도 가능하다.

- [0175] 도 19 내지 도 21에 도시하는 바와 같이 부하(16)에 전기적으로 용량 소자(17c)를 추가하는 구성으로 함으로써, 상기 실시형태에서 설명한 초기화의 동작 및 임계값 전압의 취득 동작시에 있어서, node C의 전하의 변동, 또는,  $V_x$ 를 작게 할 수 있다.  $V_x$ 를 작게 할 수 있으면, 반도체 장치는, 부하(16)에 공급하는 전류량을 보다 정확하게 할 수 있다.
- [0176] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0177] (실시형태 5)
- [0178] 본 실시형태에 있어서는 실시형태 1 내지 실시형태 4에서 서술한 반도체 장치의 회로 구성과는 다른 구성에 관해서 설명한다.
- [0179] 도 22에는, 도 1a의 반도체 장치(10)와 같은 회로 구성을 갖는 반도체 장치(10hm)를 도시한다. 도 22에 도시하는 반도체 장치(10hm)가 도 1a에 도시하는 반도체 장치(10)와 상이한 점은, 회로(22m)가 접속되어 있는 점에 있다. 회로(22m)가 배선(19)에  $V_{up}$ 과  $V_{cat}$ 를 전환하여 공급하는 기능을 가진다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0180] 여기에서,  $V_{up}$ 는,  $V_{cat}$ 보다도 높은 전위이다.  $V_{up}$ 를 높은 전위로 함으로써,  $V_{init}$ 를 지나치게 낮게 하는 것을 방지할 수 있다.
- [0181] 이어서 도 22에 도시하는 반도체 장치(10hm)의 동작에 관해서 설명한다. 도 22에 도시하는 반도체 장치(10hm)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작으로 나눌 수 있다.
- [0182] 또한, 도 22에 도시하는 회로 구성의 동작은, 도 2b와 같이 하여, 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 설명한다. 또한 도 23에 도시하는 회로 구성의 동작은, 도 2b와 같이 하여,  $V_{gs}$ ,  $V_c$ 를 나타내어 설명한다.
- [0183] 도 23a에 도시하는 제 1 동작은, node D의 전위를  $V_{up}$ 로 하는 점을 제외하고, 도 3a에서 설명한 제 1 동작과 동일하고, 동일한 개소에 관한 설명을 생략한다. node D의 전위를  $V_{up}$ 으로 함으로써, 제 1 동작시에 있어서의 부하(16)에 흐르는 전류를 보다 확실하게 저감시킬 수 있다. 또는,  $V_{init}$ 를 지나치게 낮게 하지 않아도, 정상적으로 동작하기 쉬워진다. 이로 인해, 다른 전위에 관해서도, 진폭을 작게 할 수 있고, 소비 전력을 저감시킬 수 있다.
- [0184] 또한  $V_{up}$ 는  $V_{init}$  및  $V_{sig}$ 보다 큰 전위이다. 또는,  $V_{up}$ 는  $V_{init}$ 와 대략 동일한 전위이다. 단 부하(16)를 절연 파괴하지 않을 정도의 전위로 설정해 두는 것이 바람직하다.
- [0185] 또한 도 23b에 도시하는 제 2 동작은, node D의 전위를  $V_{up}$ 로 하는 점을 제외하고, 도 3b에서 설명한 제 2 동작과 동일하여, 동일한 개소에 관한 설명을 생략한다. node D의 전위를  $V_{up}$ 으로 함으로써, 제 2 동작시에 있어서의 부하(16)에 흐르는 전류를 보다 확실하게 저감시킬 수 있다.
- [0186] 또한 도 23c에 도시하는 제 3 동작은, 도 31c에서 설명한 제 3 동작과 동일하여 설명을 생략한다. 또한 도 23a 및 도 23b에서 설명한 제 1 동작 및 제 2 동작과는 달리, node D의 전위를  $V_{cat}$ 로 하고 부하에 전류가 흐르도록 하고 있다.
- [0187] 상기 설명한 도 23a 내지 도 23c의 구성으로 함으로써, 트랜지스터(11)를 사용하여 반도체 장치를 전류원으로 기능시키는 설정 동작을 완료시켰을 때만, 오동작없이 전류를 흘려보내도록 할 수 있다.
- [0188] 또한, 도 5c, 도 6c, 도 13a, 도 13b와 같이, 도 22의 회로를 사용하여, 이동도를 보정하는 동작을 행하는 것은 가능하다.
- [0189] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.

- [0190] (실시형태 6)
- [0191] 본 실시형태에 있어서는, 상기 실시형태에서 설명한 반도체 장치를 구비하는 표시 장치의 신호선 구동 회로의 일부에 사용하는 구성에 관해서, 설명한다.
- [0192] 상기 실시형태에서 설명한 반도체 장치가 적용되는 표시 장치(41)는, 도 24에 도시하는 바와 같이, 화소 영역(42), 게이트선 구동 회로(43), 신호선 구동 회로(44)를 가지고 있다. 게이트선 구동 회로(43)는, 화소 영역(42)에 선택 신호를 순차 출력한다. 신호선 구동 회로(44)는, 화소 영역(42)으로 비디오 신호를 순차 출력한다. 화소 영역(42)에서는, 비디오 신호에 따라, 광의 상태를 제어함으로써, 화상을 표시한다. 신호선 구동 회로(44)로부터 화소 영역(42)에 입력하는 비디오 신호는, 전류이다. 즉, 각 화소에 배치된 표시 소자나 표시 소자를 제어하는 소자는, 신호선 구동 회로(44)로부터 입력되는 비디오 신호(전류)에 의해, 상태를 변화시킨다. 화소에 배치하는 표시 소자의 예로서는, EL 소자, FED(필드 에미션 디스플레이)에서 사용하는 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV) 등을 들 수 있다. 액정 소자를 사용한 표시 장치의 일례로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는, 전자 페이퍼 등이 있다.
- [0193] 또한, 게이트선 구동 회로(43)나 신호선 구동 회로(44)는, 복수 배치되어 있어도 좋다.
- [0194] 신호선 구동 회로(44)는, 구성을 복수의 부분으로 나눌 수 있다. 대략적으로는, 일례로서, 시프트 레지스터(45), 제 1 래치 회로(46)(LAT1), 제 2 래치 회로(47)(LAT2), 디지털·아날로그 변환 회로(48)로 나뉘어진다. 디지털·아날로그 변환 회로(48)에는, 전압을 전류로 변환하는 기능도 가지고 있으며, 감마 보정을 행하는 기능도 갖고 있어도 좋다. 즉, 디지털·아날로그 변환 회로(48)에는, 화소에 전류(비디오 신호)를 출력하는 회로, 즉, 전류원 회로를 가지고 있고, 거기에 상기 실시형태에서 설명한 반도체 장치를 적용할 수 있다.
- [0195] 또한, 화소는, EL 소자 등의 표시 소자를 가지고 있다. 그 표시 소자에 전류(비디오 신호)를 출력하는 회로, 즉, 전류원 회로를 가지고 있고, 거기에, 상기 실시형태에서 설명한 반도체 장치를 적용할 수 있다.
- [0196] 여기서, 신호선 구동 회로(44)의 동작을 간단하게 설명한다. 시프트 레지스터(45)는, 플립 플롭 회로(FF) 등을 복수열 사용하여 구성되고, 클록 신호(S-CLK), 스타트 펄스(SP), 클록 반전 신호(S-CLKb)가 입력되는, 이들 신호의 타이밍에 따라, 순차 샘플링 펄스가 출력된다.
- [0197] 시프트 레지스터(45)로부터 출력된 샘플링 펄스는, 제 1 래치 회로(46)(LAT1)에 입력된다. 제 1 래치 회로(46)(LAT1)에는, 비디오 신호선으로부터, 비디오 신호(VS)가 입력되어 있고, 샘플링 펄스가 입력되는 타이밍에 따라, 각 열에서 비디오 신호를 유지해 간다. 또한, 디지털·아날로그 변환 회로(48)를 배치하고 있는 경우에는, 비디오 신호는 디지털치이다. 또한, 이 단계에서의 비디오 신호는, 전압인 경우가 많다.
- [0198] 단, 제 1 래치 회로(46)나 제 2 래치 회로(47)가, 아날로그치를 보존할 수 있는 회로인 경우에는, 디지털·아날로그 변환 회로(48)는 생략할 수 있는 경우가 많다. 그 경우, 비디오 신호는, 전류인 경우도 많다. 또한, 화소 영역(42)으로 출력하는 데이터가 2치, 즉, 디지털치인 경우에는, 디지털·아날로그 변환 회로(48)는 생략할 수 있는 경우가 많다.
- [0199] 제 1 래치 회로(46)(LAT1)에 있어서, 최종열까지 비디오 신호의 유지가 완료되면, 수평 귀선 시간 중에, 래치 제어선으로부터 래치 펄스 LP(Latch Pulse)가 입력되고, 제 1 래치 회로(46)(LAT1)에 유지되고 있었던 비디오 신호는, 일제히 제 2 래치 회로(47)(LAT2)로 전송된다. 그 후, 제 2 래치 회로(47)(LAT2)에 유지된 비디오 신호는, 1행분이 동시에, 디지털·아날로그 변환 회로(48)로 입력된다. 그리고, 디지털·아날로그 변환 회로(48)로부터 출력되는 신호는, 화소 영역(42)으로 입력된다.
- [0200] 제 2 래치 회로(47)(LAT2)에 유지된 비디오 신호가 디지털·아날로그 변환 회로(48)에 입력되고, 그리고, 화소 영역(42)에 입력되고 있는 동안에, 시프트 레지스터(45)에 있어서는 다시 샘플링 펄스가 출력된다. 즉, 동시에 2개의 동작이 행해진다. 이것에 의해, 선 순차 구동이 가능해진다. 이후, 이 동작을 반복한다.
- [0201] 또한, 디지털·아날로그 변환 회로(48)가 가지고 있는 전류원 회로가, 설정 동작과 출력 동작을 행하는 회로인 경우, 전류원 회로에, 전류를 흘려보내는 회로가 필요해진다. 그러한 경우, 레퍼런스용 전류원 회로(49)가 배치되어 있다.
- [0202] 또한, 신호선 구동 회로나 그 일부는, 화소 영역(42)과 동일 기판 위에 존재하지 않고, 예를 들면, 외장형의 IC 칩을 사용하여 구성되는 경우도 있다. 그 경우, IC칩과 기판에는 COG(Chip On Glass)나 TAB(Tape Auto

Bonding)나 프린트 기판 등을 사용하여 접속된다.

- [0203] 또한, 신호선 구동 회로 등의 구성은, 도 24로 한정되지 않는다.
- [0204] 예를 들면, 제 1 래치 회로(46)나 제 2 래치 회로(47)가, 아날로그치를 보존할 수 있는 회로인 경우, 도 25에 도시하는 바와 같이, 레퍼런스용 전류원 회로(50)로부터 제 1 래치 회로(46)(LAT1)로, 비디오 신호(VS)(아날로그 전류)가 입력되는 경우도 있다. 또한, 도 25에 있어서, 제 2 래치 회로(47)가 존재하지 않는 경우도 있다.
- [0205] 이어서 신호선 구동 회로(44)에 상기 실시형태에서 설명한 반도체 장치를 적용할 때의 구체적인 구성에 관해서 설명한다.
- [0206] 우선, 신호선 구동 회로에 적용하는 상기 실시형태에서 설명한 반도체 장치의 회로 구성의 예를 도 26에 도시한다. 도 26에 도시하는 반도체 장치(10\_1)는, 실시형태 1의 도 1a에서 설명한 반도체 장치(10)의 구성이다. 또한, 도 1a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다. 도 26에 도시하는 반도체 장치(10\_1)는, 트랜지스터(11)의 임계값 전압의 편차를 저감시킬 수 있기 때문에, 회로(21)의  $V_{sig}$ 에 따른 전류를 부하로 출력할 수 있다.
- [0207] 또한 반도체 장치(10\_1)에서 설정되는  $V_{sig}$ 에 따른 전류는, 부하(16)와의 사이에 형성되는 스위치(60\_1)에 의한 도통 상태 또는 비도통 상태의 제어에 의해, 공급이 제어되는 구성으로 한다. 이 경우, 예를 들면 복수의 반도체 장치(10\_1)를 배치하고, 스위치(60\_1)에 의한 제어에 의해 부하로 흘려보내는 전류량을 제어하는 것이 가능하다.
- [0208] 예를 들면, 도 27에 도시하는 바와 같이, 복수의 반도체 장치로서 반도체 장치(10\_1) 내지 반도체 장치(10\_3)를 형성하고, 스위치(60\_1) 내지 스위치(60\_3)에 의한 제어에 의해 부하(16)로 흘려보내는 전류량을 전환하는 구성으로 할 수 있다. 그리고 반도체 장치(10\_1) 내지 반도체 장치(10\_3)에서 흘려보내는 전류량을 다르게 하거나 또는 동일하게 하도록 회로(21)에 의해 설정하고, 스위치의 도통 상태에 따라 부하(16)로 흐르는 전류량을 제어하는 구성으로 하면 좋다.
- [0209] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0210] (실시형태 7)
- [0211] 본 실시형태에서는 본 발명의 일 형태인 회로 구성을 표시 장치의 화소에 적용한 경우의 일례에 관해서 설명한다.
- [0212] 우선 화소의 회로 구성에 관해서 도 28a에 도시한다. 또한, 본 실시형태에 있어서는, 트랜지스터의 도전형이 n 채널형인 예에 관해서 설명을 행한다. 또한 이하의 구성에서는, 화소가 갖는 표시 소자로서, 발광 소자를 사용하는 구성에 관해서 설명하는 것으로 한다.
- [0213] 도 28a에 도시하는 회로 구성은, 트랜지스터의 임계값 전압 등의 전류 특성의 편차를 보정하기 위해서, 트랜지스터의 게이트에 유지되고 있는 전하를 방전하기 위한 회로를 가지고 있다. 실제로는, 본 화소 회로는, 배선간에 형성되는 복수의 스위치의 온 또는 오프를 제어함으로써, 트랜지스터의 전류 특성의 편차를 보정할 수 있는 회로 내의 접속 관계를 가지고 있다.
- [0214] 도 28a에 있어서, 화소(100)는, 스위치(102), 스위치(103), 스위치(104), 스위치(105), 발광 소자(106), 용량 소자(107), 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)를 가진다. 또한 본 실시형태에 있어서, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)는, 일례로서, n채널형의 트랜지스터로서 설명을 행한다.
- [0215] 계속해서 화소(100) 내의 각 구성의 접속 관계에 관해서 설명한다.
- [0216] 트랜지스터(101)는, 게이트가 용량 소자(107)의 한쪽의 전극 및 스위치(103)의 한쪽의 단자에 접속된다. 트랜지스터(101)는, 제 1 단자(소스 또는 드레인)가 스위치(102)의 한쪽의 단자 및 스위치(104)의 한쪽의 단자에 접속된다. 트랜지스터(101)는, 제 2 단자(소스 또는 드레인)가 스위치(103)의 다른쪽의 단자 및 스위치(105)의 한쪽의 단자에 접속된다.

- [0217] 스위치(102)의 다른쪽의 단자는, 배선(108)에 접속된다.
- [0218] 스위치(105)의 다른쪽의 단자는 배선(110)에 접속된다.
- [0219] 발광 소자(106)의 한쪽의 전극은, 스위치(104)의 다른쪽의 단자 및 용량 소자(107)의 다른쪽의 전극에 접속된다. 발광 소자(106)의 다른쪽의 전극은, 배선(109)에 접속된다.
- [0220] 또한 본 명세서에 있어서 화소는, 1개의 색요소(예를 들면 R(적)G(녹)B(청)중 어느 하나)의 밝기를 제어할 수 있는 표시 단위에 상당하는 것으로 한다. 따라서, 컬러 표시 장치의 경우에는, 컬러 화상의 최소 표시 단위는, R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다. 단, 컬러 화상을 표시하기 위한 색요소는, 3색으로 한정되지 않고, 3색 이상을 사용해도 좋고, RGB 이외의 색을 사용해도 좋다.
- [0221] 또한 발광 소자는, 일레로서 EL 소자를 사용하면 좋다. EL 소자의 일레로서는, 양극과, 음극과, 양극과 음극 사이에 개재된 EL층을 갖는 소자 등이 있다. EL 층의 일레로서는, 1중향 여기자로부터의 발광(형광)을 이용하는 것, 3중향 여기자로부터의 발광(인광)을 이용하는 것, 1중향 여기자로부터의 발광(형광)을 이용하는 것과 3중향 여기자로부터의 발광(인광)을 이용하는 것을 포함하는 것, 유기물에 의해 형성된 것, 무기물에 의해 형성된 것, 유기물에 의해 형성된 것과 무기물에 의해 형성된 것을 포함하는 것, 고분자 재료를 포함하는 것, 저분자 재료를 포함하는 것, 또는 고분자 재료와 저분자 재료를 포함하는 것, 등이 있다. 단, 이것으로 한정되지 않고, EL 소자로서 여러 가지 것을 사용할 수 있다.
- [0222] 또한 배선(108)은, 도 28b에 도시하는 바와 같이, 적어도, Vinit와 Vsig를 전환하여 공급하는 기능을 갖는 회로(121)에 접속된다. 회로(121)의 예로서는, 소스 드라이버(신호선 구동 회로) 등이 있다. 따라서, 배선(108)은, Vinit, 및/또는, Vsig를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다.
- [0223] Vinit는, 일레로서는, 비디오 신호가 되는 Vsig를 공급하기 전에 있어서, 화소내의 각 노드의 전위를 초기화하기 위한 전위이다. 또한 Vinit는, 화소마다, 행마다, 또는 열마다 상이한 전위로 하는 구성, 또는 각 색의 화소에서 상이한 Vinit으로 하는 구성으로 해도 좋다.
- [0224] Vsig는, 일레로서는, 비디오 신호이다. 이로 인해, 표시하는 화상에 따라 각 화소에 공급하는 전위가 상이하다. 또한 표시하는 화상이 동영상이면, 시간의 경과에 의해 공급하는 전위가 상이한 경우도 있다. 또한 표시하는 화상이 정지 화상이면, 동일한 전위를 공급하는 경우도 있다.
- [0225] 또한 배선(109)은, 일레로서는, 도 28b에 도시하는 바와 같이, 적어도, Vcat를 공급하는 기능을 갖는 회로(122)에 접속된다. 회로(122)의 예로서는, 전원 회로 등이 있다. 따라서, 배선(109)은, Vcat를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다.
- [0226] Vcat는, 발광 소자(106)를 발광시키는 기간에 있어서, 예를 들면, 발광 소자(106)의 한쪽의 전극(여기에서는 양극)측으로부터 다른쪽의 전극(여기에서는 음극)측을 향하여 전류가 흐르도록, 설정되는 전위이다. 또한 발광 소자(106)의 음극이 각 화소에서 공통적이면, 각 화소의 배선에는 동일한 Vcat가 공급되게 된다. 또한 Vcat는, 화소마다, 행마다, 또는 열마다 상이한 전위로 하는 구성, 또는 각 색의 화소에서 상이한 Vcat로 하는 구성으로 해도 좋다.
- [0227] 또한 배선(110)은, 일레로서는, 도 28b에 도시하는 바와 같이, 적어도, VDD를 공급하는 회로(123)에 접속된다. 회로(123)의 예로서는, 전원 회로 등이 있다. 따라서, 배선(110)은, VDD를, 전할 수 있는 기능, 또는, 공급할 수 있는 기능을 가지고 있다. 또는, 배선(110)은, 트랜지스터(101)에 전류를 공급할 수 있는 기능을 가지고 있다. 또는, 배선(110)은, 발광 소자(106)에 전류를 공급할 수 있는 기능을 가지고 있다.
- [0228] VDD는, 트랜지스터(101)를 통하여, 발광 소자(106)의 한쪽의 전극측으로부터 다른쪽의 전극측을 향하여 전류가 흐르도록 설정되는 전위이다. 이로 인해, 일레로서는, VDD는 Vcat보다 높은 전위가 된다. 또한 VDD는, 각 화소의 발광 소자(106)의 특성이 동일하면, 각 화소의 배선에는 동일한 VDD를 공급할 수도 있다. 또한 VDD는, 화소마다, 행마다, 또는 열마다 상이한 전위로 하는 구성, 또는 각 색의 화소에서 상이한 VDD로 하는 구성으로 해도 좋다.
- [0229] 또한 도 28a에 있어서의 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)에는 트랜지스터를 적용할 수 있다. 따라서, 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)에, 일레로서, n채널형의 트랜지스터를 적용한 경우에 관해서 도 29a에 도시한다. 또한, 도 28a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다. 도 29a와 같이, 모두 동일한 극성의 트랜지스터를 사용함으로써, 적은 공정수로 제조할 수



있다. 이로 인해, 제조 비용을 저감시킬 수 있다.

- [0230] 도 29a에 있어서, 트랜지스터(102T)가 스위치(102)에 상당한다. 트랜지스터(103T)가 스위치(103)에 상당한다. 트랜지스터(104T)가 스위치(104)에 상당한다. 트랜지스터(105T)가 스위치(105)에 상당한다.
- [0231] 트랜지스터(102T)는 게이트가 배선(131)에 접속되고, 제 1 단자가 트랜지스터(101)의 제 1 단자 및 트랜지스터(104T)의 제 1 단자에 접속되고, 제 2 단자가 배선(108)에 접속되어 있다. 따라서, 배선(131)의 전위가 H 레벨일 때에 트랜지스터(102T)는 도통 상태가 되고, 배선(131)의 전위가 L 레벨일 때에 트랜지스터(102T)는 비도통 상태가 된다.
- [0232] 또한, 트랜지스터(103T)는 게이트가 배선(132)에 접속되고, 제 1 단자가 트랜지스터(101)의 게이트 및 용량 소자(107)의 한쪽의 전극에 접속되고, 제 2 단자가 트랜지스터(105T)의 제 1 단자 및 트랜지스터(101)의 제 2 단자에 접속되어 있다. 따라서, 배선(132)의 전위가 H 레벨일 때에 트랜지스터(103T)는 도통 상태가 되고, 배선(132)의 전위가 L 레벨일 때에 트랜지스터(103T)는 비도통 상태가 된다.
- [0233] 또한, 트랜지스터(104T)는 게이트가 배선(133)에 접속되고, 제 1 단자가 트랜지스터(101)의 제 1 단자 및 트랜지스터(102T)의 제 1 단자에 접속되고, 제 2 단자가 발광 소자(106)의 제 1 전극 및 용량 소자(107)의 다른쪽의 전극에 접속되어 있다. 따라서, 배선(133)의 전위가 H 레벨일 때에 트랜지스터(104T)는 도통 상태가 되고, 배선(133)의 전위가 L 레벨일 때에 트랜지스터(104T)는 비도통 상태가 된다.
- [0234] 또한, 트랜지스터(105T)는 게이트가 배선(134)에 접속되고, 제 1 단자가 트랜지스터(101)의 제 2 단자 및 트랜지스터(103T)의 제 2 단자에 접속되고, 제 2 단자가 배선(110)에 접속되어 있다. 따라서, 배선(134)의 전위가 H 레벨일 때에 트랜지스터(105T)는 도통 상태가 되고, 배선(134)의 전위가 L 레벨일 때에 트랜지스터(105T)는 비도통 상태가 된다.
- [0235] 또한, 배선(131), 배선(132), 배선(133), 배선(134)은, 각각, 개별적인 배선으로서 구성시킬 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않으며, 복수개의 배선을 1개의 배선으로 통합하는 것이 가능하다. 이로 인해, 적은 배선수로 회로를 구성할 수 있다.
- [0236] 예를 들면, 배선(131)과 배선(132)은, 1개의 배선으로 통합하는 것이 가능하다. 따라서, 배선(131)과 배선(132)을 접속하여, 1개의 배선으로 하는 것이 가능하다. 이 때, 트랜지스터(102T)와 트랜지스터(103T)는, 동일한 극성인 것이 바람직하다. 그 경우의 회로도들 도 96에 도시한다.
- [0237] 예를 들면, 배선(133)과 배선(134)은, 1개의 배선으로 통합하는 것이 가능하다. 따라서, 배선(133)과 배선(134)을 접속하여, 1개의 배선으로 하는 것이 가능하다. 이 때, 트랜지스터(104T)와 트랜지스터(105T)는, 동일한 극성인 것이 바람직하다. 그 경우의 회로도들 도 97에 도시한다.
- [0238] 또한, 배선(131)과 배선(132)을, 1개의 배선으로 통합하고, 배선(133)과 배선(134)을, 1개의 배선으로 통합하는 것도 가능하다. 그 경우의 회로도들 도 98에 도시한다.
- [0239] 또한, 트랜지스터(101)는, 전류를 흘려보낼 때에는, 포화 영역에서 동작하는 경우가 많다. 따라서, 채널 길이 또는 게이트 길이를, 트랜지스터(102T), 트랜지스터(103T), 트랜지스터(104T), 트랜지스터(105T)보다도 길게 하는 것이 바람직하다. 채널 길이 또는 게이트 길이를 길게 함으로써, 포화 영역에서의 특성이 플랫폼해져 킹크 효과를 저감시킬 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다.
- [0240] 또한, 트랜지스터(101)는, 전류를 흘려보낼 때에는, 포화 영역에서 동작하는 경우가 많다. 따라서, 채널 폭 또는 게이트 폭을, 트랜지스터(102T), 트랜지스터(103T), 트랜지스터(104T), 트랜지스터(105T)보다도 길게 하는 것이 바람직하다. 채널 폭 또는 게이트 폭을 길게 함으로써, 포화 영역에 있어서도, 많은 전류를 흘릴 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다.
- [0241] 여기에서, 화소(100)를 갖는 표시 장치에 관해서 블록도인 도 30을 사용하여 설명한다.
- [0242] 표시 장치는, 신호선 구동 회로(201), 주사선 구동 회로(202A), 주사선 구동 회로(202B), 주사선 구동 회로(202C), 주사선 구동 회로(202D), 및 화소 영역(203)을 가지고, 화소 영역(203)에는, 신호선 구동 회로(201)로부터 열방향으로 신장하여 배치된 복수의 신호선(S1 내지 Sn)(n은 자연수)과, 주사선 구동 회로(202A)로부터 행방향으로 신장하여 배치된 복수의 주사선(Ga1 내지 Gam)(m은 자연수)과, 주사선 구동 회로(202B)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gb1 내지 Gbm)과, 주사선 구동 회로(202C)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gc1 내지 Gcm)과, 주사선 구동 회로(202D)로부터 행방향으로 신장하여 배치된 복수의 주사

선(Gd1 내지 Gdm)과, 신호선(S1 내지 Sn)과 주사선(Ga1 내지 Gam, Gb1 내지 Gbm, Gc1 내지 Gcm, 및 Gd1 내지 Gdm)에 대응하여 매트릭스로 배치된 복수의 화소(100)를 가진다. 또한, 신호선(S1 내지 Sn)과 평행하게 전원선(P1 내지 Pn)을 가지고 있다. 그리고, 각 화소(100)는, 각각, 신호선(Sj)(신호선(S1 내지 Sn) 중 어느 하나), 주사선(Gai)(주사선(Ga1 내지 Gam) 중 어느 하나), 주사선(Gbi)(주사선(Gb1 내지 Gbm) 중 어느 하나), 주사선(Gci)(주사선(Gc1 내지 Gcm) 중 어느 하나), 주사선(Gdi)(주사선(Gd1 내지 Gdm) 중 어느 하나), 및 전원선(Pj)(전원선(P1 내지 Pn) 중 어느 하나)과 접속되어 있다. 또한, i와 j는 자연수이다.

[0243] 또한, 주사선(Gai)은 도 29a의 배선(131)에 상당한다. 주사선(Gbj)은 도 29a의 배선(132)에 상당한다. 주사선(Gcj)은 도 29a의 배선(133)에 상당한다. 주사선(Gdj)은 도 29a의 배선(134)에 상당한다. 신호선(Sj)은 도 29a의 배선(108)에 상당한다. 전원선(Pj)은 도 29a의 배선(110)에 상당한다. 또한 도 30에서는 도시하고 있지 않지만 각 화소에는 각 화소 공통의 캐소드선이 형성되어 있고, 상기 캐소드선이 배선(109)에 상당한다.

[0244] 주사선 구동 회로(202A 내지 202D)로부터 출력되는 신호에 의해 각 주사선을 선택한다. 그리고, 선택된 주사선에 접속되어 있는 화소(100)의 각 노드의 전위의 초기화(제 1 동작)를 행한다. 그리고, 초기화를 끝낸 화소(100)에 비디오 신호를 기록하고, 트랜지스터의 임계값 전압을 취득한다(제 2 동작). 비디오 신호의 기록에 의한 트랜지스터의 임계값 전압의 취득을 끝내면 발광 동작으로 옮겨가고, 그 화소에 기록된 비디오 신호에 따라서 발광한다(제 3 동작). 이와 같이 하여, 차례 차례로 화소(100)의 초기화, 임계값 전압의 취득, 및 발광 동작을 행한다.

[0245] 이어서 도 28a에 도시하는 화소(100)의 동작에 관해서 설명한다. 도 28a에 도시하는 화소(100)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작으로 나눌 수 있다. 단, 이것으로 한정되지 않고, 더 동작이 추가되거나, 일부 동작이 삭제되는 것도 가능하다.

[0246] 또한, 도 28a에 도시하는 회로 구성의 동작을 설명하기 위해서, 도 29b에는 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 나타내고 있다. 또한 도 29b에는 트랜지스터(101)의 주로 소스가 되는 한쪽의 단자와 게이트 사이의 Vgs, 용량 소자(107)의 전극간의 Vc를 나타내고 있다.

[0247] 도 29b에 도시하는 각 노드 및 각 배선에 해당하는 것은, node A, node B, node C, node D, node E, node F 및 node G이다. node A의 전위는, 배선(108)의 전위에 상당한다. 또한 node B의 전위는, 트랜지스터(101)의 제 1 단자, 스위치(102)의 제 1 단자 및 스위치(104)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node C의 전위는, 스위치(104)의 제 2 단자, 발광 소자(106)의 한쪽의 전극 및 용량 소자(107)의 다른쪽의 전극을 접속하는 배선의 전위에 상당한다. 또한 node D의 전위는, 배선(109)의 전위에 상당한다. 또한 node E의 전위는, 트랜지스터(101)의 게이트, 용량 소자(107)의 한쪽의 전극 및 스위치(103)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node F의 전위는, 트랜지스터(101)의 제 2 단자, 스위치(103)의 제 2 단자 및 스위치(105)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node G의 전위는, 배선(110)의 전위에 상당한다.

[0248] 우선 제 1 동작에 관해서 도 31a에 도시하여 설명한다. 또한 도 31a의 도면 중의 각 소자의 부호에 관해서는 생략하고, 각 스위치의 도통 상태 및 비도통 상태를 ON 및 OFF로 나타내고 있다. 또한 도 29b에서 설명한 Vgs, Vc, node A, node B, node C, node D, node E, node F 및 node G의 인가 상태에 관해서 나타내고 있다.

[0249] 제 1 동작은, 화소(100)의 각 노드의 전위를 초기화하는 동작이다. 구체적으로는 node A를 Vinit, node D를 Vcat, node G를 VDD로 한다. 그리고 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)를 도통 상태로 한다. 그러자, node B가 Vinit, node C가 Vinit, node E가 VDD, node F가 VDD가 된다. 그리고 Vgs는 (VDD-Vinit)이 되고, Vc는 (VDD-Vinit)이 된다.

[0250] 또한 상기한 바와 같이 제 1 동작에 있어서, node B 및 node C의 Vinit는, 일례로서는, node D의 Vcat과 동일하거나, 또는, 그것보다 작게 해 둔다. 상기 구성에 의해 제 1 동작시에 있어서, 발광 소자(106)에 흐르는 전류를 없앨 수 있다. 따라서, 발광 소자(106)에 전류가 흘러버리는 것에 의한 문제를 저감시킬 수 있다. 또한, Vinit가 Vcat보다 작은 경우, 발광 소자(106)를 역바이어스 상태로 하는 것이 가능하다. 그 경우, 발광 소자(106)의 열화 저감이나 리페어 등을 행하는 것이 가능해진다.

[0251] 또한 제 1 동작에 있어서, node E 및 node F의 VDD는, 일례로서는, node D의 Vcat보다 크다. 상기 구성에 의해 제 1 동작시에 있어서, Vgs를 트랜지스터(101)의 임계값 전압보다 큰 전압으로 해 둘 수 있다. 또는, 용량 소자(107)에 전하를 충전할 수 있다.

- [0252] 이어서 제 2 동작에 관해서 도 31b에 도시하고, 도 31a와 같이 하여 설명한다.
- [0253] 제 2 동작은, 트랜지스터(101)의 게이트의 전위(또는 용량 소자(107)에 충전된 전하)를 방전함으로써, 트랜지스터(101)의 임계값 전압을  $V_{gs}$ 로 취득시키는 동작이다. 구체적으로는 node A를  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD로 한다. 그리고 스위치(102) 및 스위치(103)를 도통 상태로 하고, 스위치(104) 및 스위치(105)를 비도통 상태로 한다. 그러자, node B가  $V_{sig}$ , node C가  $(V_{init}-V_x)$ , node E가  $(V_{sig}+V_{th})$ , node F가  $(V_{sig}+V_{th})$ 이 된다. 그리고  $V_{gs}$ 는  $V_{th}$ 가 되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 된다.
- [0254] 또한 상기한 바와 같이 제 2 동작에 있어서, node B의  $V_{sig}$ 는, 제 3 동작에 있어서 배선(110)과 배선(109) 사이를 흐르는 전류량을 트랜지스터(101)로 제어하기 위한 전위이다. 제 2 동작에 의해, 트랜지스터(101)의 게이트의 전위에 해당하는 node E의 전위는,  $(V_{sig}+V_{th})$ 와 같이 트랜지스터(101)의 임계값 전압을 포함하는 값으로 할 수 있다.
- [0255] 또한 제 2 동작에서, node C의 전위( $V_{init}-V_x$ )에 있어서의  $V_x$ 는, node C가 전기적으로 부유 상태(플로팅 상태)가 됨으로써 변동되는 전위이다. 이 때  $V_x$ 는, 발광 소자(106)의 정전 용량과 용량 소자(107)의 정전 용량의 비에 따라 변동의 크기가 바뀐다. 또한 상기 구성에 있어서, 미리  $V_x$ 가 작아지도록 설계하는 것이 바람직하다. 구체적으로는, 발광 소자(106)의 정전 용량을 용량 소자(107)의 정전 용량보다 충분히 크게 설계해 둠으로써,  $V_x$ 를 작게 할 수 있다. 또한 발광 소자(106)의 정전 용량은, 용량 소자(107)의 정전 용량의 2배 이상, 보다 바람직하게는 4배 이상으로 하는 것이 바람직하다.
- [0256] 또한 제 1 동작시에 있어서의 node D 및 node E의 VDD는, 제 2 동작에 의해 방전된다. 상기 방전에 의해,  $V_{gs}$ 는 트랜지스터(101)의 임계값 전압( $V_{th}$ )까지 저하되어 정상 상태가 된다. 이로 인해, 상기의 방전에 의해 node D 및 node E는,  $(V_{sig}+V_{th})$ 에서 정상 상태가 된다. 그리고, 제 2 동작 종료시에  $V_c$ 는,  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 유지된 상태가 된다.
- [0257] 또한,  $V_{gs}$ 가 트랜지스터(101)의 임계값 전압( $V_{th}$ )과 동일해질 때까지, 매우 긴 시간이 필요한 경우가 있다. 따라서,  $V_{gs}$ 는, 임계값 전압( $V_{th}$ )까지 완전히 저하시키지 않고, 동작시키는 경우도 많다. 즉,  $V_{gs}$ 는, 임계값 전압( $V_{th}$ )보다도, 조금 큰 값이 된 상태에서, 제 2 동작이 종료되는 경우도 많다. 즉, 제 2 동작이 종료된 시점에서는, 임계값 전압에 따른 크기의 전압으로 되어 있다, 라고 할 수도 있다.
- [0258] 또한, 제 2 동작에 있어서, 스위치(104) 및 스위치(105)를 비도통 상태로 하고, node B의 전위를  $V_{sig}$ 로 하고 있지만, 이들의 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.
- [0259] 예를 들면, node B의 전위를  $V_{init}$ 로부터  $V_{sig}$ 로 하는 것은, 스위치(104)를 비도통 상태로 하는 것과 동시, 또는, 스위치(104)를 비도통 상태로 한 후에 행하는 것이 바람직하다. 그것에 의해, node C의 전위를 적절한 상태로 유지하기 쉬워지기 때문이다.
- [0260] 또는, 예를 들면, node B의 전위를  $V_{init}$ 로부터  $V_{sig}$ 로 하는 것은, 스위치(105)를 비도통 상태로 하기 전, 또는, 스위치(105)를 비도통 상태로 하는 것과 동시에 행하는 것이 바람직하다. 그것에 의해, 트랜지스터(101)의 게이트 전위를 신속하게 저하시키는 것이 가능해지기 때문이다.
- [0261] 이어서 제 3 동작에 관해서 도 31c에 도시하고, 도 31a 및 도 31b와 같이 하여 설명한다.
- [0262] 제 3 동작은, 트랜지스터(101)를 전류원의 일부로서 사용하여, 발광 소자(106)로 전류를 출력하고, 발광 동작을 행하는 동작이다. 구체적으로는 node A는 임의적이지만, 예를 들면  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD로 한다. 그리고 스위치(104) 및 스위치(105)를 도통 상태로 하고, 스위치(102) 및 스위치(103)를 비도통 상태로 한다. 그러자, node B 및 node C가  $V_{el}$ , node E가  $(V_{sig}+V_{th}-V_{init}+V_x+V_{el})$ , node F가 VDD가 된다. 그리고  $V_{gs}$ 는  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 된다.
- [0263] 또한 제 3 동작에 있어서, node B, node C 및 node F의 전위는, node E를 전기적으로 부유 상태로 한 상태 그대로, 상승한다. 따라서  $V_c$ 의  $(V_{sig}+V_{th}-V_{init}+V_x)$ 를 유지한 상태에서, 용량 결합에 의해 node E의 전위는 상승하고,  $(V_{sig}+V_{th}-V_{init}+V_x+V_{el})$ 이 된다. 즉, node C의 전위가 상승함으로써, 부트스트랩 동작에 의해, node E의 전위도 상승한다.
- [0264] 이와 같이, node C의 전위가 상승해도, 동작할 수 있기 때문에, 발광 소자(106)의 전압 전류 특성이 열화되어도, 그 영향을 저감시킬 수 있다.
- [0265] 또한 node B 및 node C의 전위인  $V_{el}$ 은, node F가 VDD로 상승하고, 제 3 동작에 의해 반도체 장치를 전류원으로

서 기능시킬 수 있는 트랜지스터(101)를 통하여, 발광 소자(106)로 전류를 흘려보낼 때에 설정되는 전위이다. 구체적으로는, VDD와 Vcat 사이의 전위로 설정되게 된다.

- [0266] 제 3 동작에 있어서 트랜지스터(101)의  $V_{gs}$ 는,  $(V_{sig}+V_{th}-V_{init}+V_x)$ 이 되고, 트랜지스터(101)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 트랜지스터(101)의 전류의 크기는,  $V_{gs}-V_{th}$ 에 따라 변화된다. 따라서, 본 실시의 구성에 의해, 발광 소자에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다. 또는, 트랜지스터가 열화되어, 임계값 전압이 변화되어 가도, 그 영향을 저감시킬 수 있다. 이로 인해, 표시 얼룩을 저감시킬 수 있어 질이 양호한 표시를 행할 수 있다.
- [0267] 또한, 제 3 동작에 있어서, 스위치(102) 및 스위치(103)를 비도통 상태로 하고, 스위치(104) 및 스위치(105)를 도통 상태로 하고 있지만, 이들 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.
- [0268] 예를 들면, 스위치(102) 및 스위치(103)를 비도통 상태로 한 후에, 스위치(104) 및 스위치(105)를 도통 상태로 하는 것이 바람직하다. 그것에 의해,  $V_c$ 의 전압을 적절한 상태로 유지하기 쉬워지기 때문이다.
- [0269] 또는, 예를 들면, 스위치(103)를 비도통 상태로 한 후에, 스위치(102)를 비도통 상태로 하는 것이 바람직하다. 그것에 의해,  $V_c$ 의 전압을 적절한 상태로 유지하기 쉬워지기 때문이다.
- [0270] 또한, 본 실시형태의 회로 구성을 도 28a에 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 도 31a 내지 도 31c에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0271] 예를 들면, 구체적으로는 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 31a에서의 제 1 동작으로 말하자면, 도 32a에 도시하는 접속 관계이면 좋다. 또한 상기 도 31b에서의 제 2 동작으로 말하자면, 도 32b에 도시하는 접속 관계이면 좋다. 또한 상기 도 31c에서의 제 3 동작으로 말하자면, 도 32c에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0272] 또한 트랜지스터의 임계값 전압을 보정하는 동작에 관해서 도 31a 내지 도 31c에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 예를 들면, 상기 도 31b에서의 제 2 동작과 상기 도 31c에서의 제 3 동작 사이에 트랜지스터(101)의 이동도의 편차를 보정하기 위한 동작을 행해도 좋다. 도 31a 내지 도 31c에서 설명한 제 1 동작 내지 제 3 동작에, 트랜지스터(101)의 이동도를 보정하는 동작을 추가한 동작을 도 33a 내지 도 33d에 도시한다.
- [0273] 또한 도 33a에 도시하는 제 1 동작은, 도 31a에서 설명한 제 1 동작과 동일하여 설명을 생략한다. 또한 도 33b에 도시하는 제 2 동작은, 도 31b에서 설명한 제 2 동작과 동일하여 설명을 생략한다.
- [0274] 이어서 제 3 동작에 관해서 도 33c에 도시하고, 도 31a 및 도 31b와 같이 하여 설명한다.
- [0275] 제 3 동작은, 트랜지스터(101)의 게이트에 유지된 전위(용량 소자(107)에 보존된 전하)를 이용하여 트랜지스터(101)를 도통 상태로 하고, 흐르는 전류량의 크기를 이용하여 트랜지스터(101)의 이동도를 보정하는 동작이다. 구체적으로는 node A는 임의적이지만, 예를 들면  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD로 한다. 그리고 스위치(103) 및 스위치(104)를 도통 상태로 하고, 스위치(102) 및 스위치(105)를 비도통 상태로 한다. 그러자, node B 및 node C가  $-\Delta V_{el}$ , node E 및 node F가  $(V_{sig}+V_{th}-\Delta V_{el})$ 이 된다. 그리고  $V_{gs}$ 는  $(V_{th}+\Delta V_{el})$ 이 되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x-\Delta V_{el})$ 이 된다.
- [0276] 또한 제 3 동작에 있어서, node B 및 node C의 전위는, 스위치(104)를 도통 상태로 함으로써 변화된다. 상기 전위의 변화가  $-\Delta V_{el}$ 에 상당한다. node B 및 node C의 전위의 변화가  $-\Delta V_{el}$ 이 되면,  $V_{gs}$ 는  $(V_{th}+\Delta V_{el})$ 이 되어 임계값 전압( $V_{th}$ )보다 커지기 때문에, 트랜지스터(101)를 통해 전류가 흘러 나간다. 트랜지스터(101)를 통해 전류가 흐르면, node E 및 node F가  $(V_{sig}+V_{th}-\Delta V_{el})$ 로 저하되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{init}+V_x-\Delta V_{el})$ 이 된다.
- [0277] 상기의 트랜지스터(101)의 전류량은, 트랜지스터의 이동도에 따라 변화량이 변화된다. 따라서 트랜지스터(101)의 이동도에 따른 전위의 변동분을 미리 트랜지스터의 게이트의 전위에 상당하는 node E에, 포함하는 값으로 설정할 수 있다.
- [0278] 제 3 동작에 있어서 트랜지스터(101)의 게이트의 전위는,  $(V_{sig}+V_{th}-\Delta V_{el})$ 이 되고, 트랜지스터(101)의 이동도



를 고려한 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 발광 소자로 공급하는 전류량에 대한, 트랜지스터의 이동도의 편차의 영향을 저감시킬 수 있다. 또는, 트랜지스터가 열화되어, 이동도가 변화되어 가도, 그 영향을 저감시킬 수 있다.

- [0279] 이어서 제 4 동작에 관해서 도 33d에 도시하고, 도 31a 및 도 31b와 같이 하여 설명한다. 또한 도 33d에 도시하는 제 4 동작은, 도 31c에서 설명한 제 3 동작과 같아 상이한 점만 설명한다.
- [0280] 제 4 동작에 의해, node B 및 node C가  $V_{el}$ , node E가  $(V_{sig}+V_{th}-V_{nit}+V_x-\Delta V_{el}+V_{el})$ , node F가 VDD가 된다. 그리고  $V_{gs}$ 는  $(V_{sig}+V_{th}-V_{nit}+V_x+\Delta V_{el})$ 이 되고,  $V_c$ 는  $(V_{sig}+V_{th}-V_{nit}+V_x)$ 이 된다.
- [0281] 제 4 동작에 있어서 트랜지스터(101)의  $V_{gs}$ 는,  $(V_{sig}+V_{th}-V_{nit}+V_x+\Delta V_{el})$ 이 되고, 트랜지스터(101)의 임계값 전압 및 이동도를 고려한 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 발광 소자에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압 및 이동도의 편차의 영향을 저감시킬 수 있다.
- [0282] 또한 도 33a 내지 도 33d에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0283] 예를 들면, 구체적으로는 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 33a에서의 제 1 동작으로 말하자면, 도 34a에 도시하는 접속 관계이면 좋다. 또한 상기 도 33b에서의 제 2 동작으로 말하자면, 도 34b에 도시하는 접속 관계이면 좋다. 또한 상기 도 33c에서의 제 3 동작으로 말하자면, 도 34c에 도시하는 접속 관계이면 좋다. 또한 상기 도 33d에서의 제 4 동작으로 하면, 도 34d에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0284] 또한, 본 실시형태의 회로 구성을 도 28a에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 트랜지스터(101)의 수나 배치를 변경함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0285] 예를 들면, 도 35에 도시하는 화소(100A)와 같이, 반도체 장치를 전류원으로 기능시킬 수 있는 트랜지스터로서 트랜지스터(101A)와 트랜지스터(101B)를 게이트를 공통화하여 직렬 접속한 구성으로 할 수도 있다. 또한, 도 28a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0286] 또한 다른 구성으로서 예를 들면, 도 36에 도시하는 화소(100B)와 같이, 반도체 장치를 전류원으로 기능시킬 수 있는 트랜지스터로서 트랜지스터(101A)와 트랜지스터(101B)를 게이트를 공통화하여 병렬 접속한 구성으로 할 수도 있다. 또한, 도 28a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0287] 또한 다른 구성으로서 예를 들면, 도 37에 도시하는 화소(100C)와 같이, 반도체 장치를 전류원으로 기능시킬 수 있는 트랜지스터로서 트랜지스터(101A), 트랜지스터(101B), 트랜지스터(101C), 트랜지스터(101D)를 게이트를 공통화하여 직렬 접속 및 병렬 접속한 구성으로 할 수도 있다. 또한, 도 28a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0288] 도 35 내지 도 37의 구성을 적용함으로써, 트랜지스터(101)의 채널 폭 및/또는 채널 길이를 가변할 수 있다. 도 35 내지 도 37의 구성에 도시하는 바와 같이 복수의 트랜지스터를 조합하여 채널 폭 및/또는 채널 길이를 가변하는 구성으로 함으로써, 처음부터 채널 폭 및/또는 채널 길이가 큰 트랜지스터를 형성하는 구성에 비해, 트랜지스터 특성의 편차의 영향을 작게 할 수 있다.
- [0289] 또한, 도 28a, 도 29a 등은, 회로 구성의 일례이기 때문에, 또한, 트랜지스터를 추가하여 형성하는 것이 가능하다. 반대로, 도 28a, 도 29a 등의 각 노드에 있어서, 추가로 트랜지스터, 스위치, 수동 소자 등을 형성하지 않도록 하는 것도 가능하다. 예를 들면, node A, node B, node C, node D, node E, node F, 또는/및, node G에 있어서, 직접적으로 접속된 트랜지스터를, 이 이상은 형성하지 않도록 하는 것이 가능하다. 따라서, 예를 들면, node C에 있어서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(104T)뿐이며, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않은 구성으로 하는 것이 가능하다.
- [0290] 이로 인해, 트랜지스터를 추가하지 않는 경우에는, 적은 트랜지스터수로 회로를 구성하는 것이 가능해진다.
- [0291] 또한, 본 실시형태에 있어서, 트랜지스터의 임계값 전압 등의 편차를 보정하는 동작을 행했지만, 본 발명의 실시형태의 일 형태는, 이것으로 한정되지 않는다. 예를 들면, 임계값 전압의 편차를 보정하는 동작을 행하지 않고, 발광 소자(106)에 전류를 공급시켜 동작시키는 것도 가능하다.
- [0292] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는,

하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.

- [0293] (실시형태 8)
- [0294] 본 실시형태에 있어서는 실시형태 7에서 서술한 표시 장치의 화소의 회로 구성과는 다른 구성의 일례에 관해서 설명한다.
- [0295] 도 38에는, 도 30의 화소(100)와 동일한 회로 구성을 갖는 화소(100h)를 도시한다. 도 38에 도시하는 화소(100h)가 도 30에 도시하는 화소(100)와 상이한 점은, 배선(110)을 배선(131) 내지 배선(134)에 평행하게 배치한 배선(110h)으로 하고, 배선(108)으로부터 Vsig 및 Vinit를 공급하고, 배선(110h)으로부터 적어도 Vinit와 VDD를 전환하여 공급하는 점에 있다. 또한, 도 30의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0296] 여기에서, 화소(100h)를 갖는 표시 장치에 관해서 블록도인 도 39를 사용하여 설명한다.
- [0297] 표시 장치는, 신호선 구동 회로(201), 주사선 구동 회로(202A), 주사선 구동 회로(202B), 주사선 구동 회로(202C), 주사선 구동 회로(202D), 화소 영역(203), 및 전원선 제어 회로(204)를 가지고, 화소 영역(203)에는, 신호선 구동 회로(201)로부터 열방향으로 신장하여 배치된 복수의 신호선(S1 내지 Sn)과, 주사선 구동 회로(202A)로부터 행방향으로 신장하여 배치된 복수의 주사선(Ga1 내지 Gam)과, 주사선 구동 회로(202B)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gb1 내지 Gbm)과, 주사선 구동 회로(202C)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gc1 내지 Gcm)과, 주사선 구동 회로(202D)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gd1 내지 Gdm)과, 신호선(S1 내지 Sn)과 주사선(Ga1 내지 Gam, Gb1 내지 Gbm, Gc1 내지 Gcm, 및 Gd1 내지 Gdm)에 대응하여 매트릭스로 배치된 복수의 화소(100)를 가진다. 또한, 주사선(Ga1 내지 Gam), 주사선(Gb1 내지 Gbm), 주사선(Gc1 내지 Gcm) 및 주사선(Gd1 내지 Gdm)과 평행하게 전원선(P1 내지 Pn)을 가지고 있다. 그리고, 각 화소(100h)는, 각각, 신호선(Sj)(신호선(S1 내지 Sn) 중 어느 하나), 주사선(Gai)(주사선(Ga1 내지 Gam) 중 어느 하나), 주사선(Gbi)(주사선(Gb1 내지 Gbm) 중 어느 하나), 주사선(Gci)(주사선(Gc1 내지 Gcm) 중 어느 하나), 주사선(Gdi)(주사선(Gd1 내지 Gdm) 중 어느 하나), 및 전원선(Pj)(전원선(P1 내지 Pn) 중 어느 하나)과 접속되어 있다.
- [0298] 또한, 주사선(Gai)은 도 38의 배선(131)에 상당한다. 주사선(Gbj)은 도 38의 배선(132)에 상당한다. 주사선(Gcj)은 도 38의 배선(133)에 상당한다. 주사선(Gdj)은 도 38의 배선(134)에 상당한다. 신호선(Sj)은 도 38의 배선(108)에 상당한다. 전원선(Pj)은 도 38의 배선(110h)에 상당한다. 또한 도 39에서는 도시하고 있지 않지만 각 화소에는 각 화소 공통의 캐소드선이 형성되어 있고, 상기 캐소드선이 배선(109)에 상당한다.
- [0299] 주사선 구동 회로(202A 내지 202D)로부터 출력되는 신호에 의해 각 주사선을 선택한다. 그리고 선택된 주사선에 접속되어 있는 화소(100)의 각 노드의 전위를 초기화하기 전에 어느 정도 초기화의 전위를 각 노드에 설정해 두는 동작(초기화 전의 초기화)을 행한다(제 1 동작). 그리고, 선택된 주사선에 접속되어 있는 화소(100)의 각 노드의 전위의 초기화(제 2 동작)를 행한다. 그리고, 초기화를 끝낸 화소(100)에 비디오 신호를 기록하고, 트랜지스터의 임계값 전압을 취득한다(제 3 동작). 비디오 신호의 기록에 의한 트랜지스터의 임계값 전압의 취득을 끝내면 발광 동작으로 옮겨가고, 그 화소에 기록된 비디오 신호에 따라서 발광한다(제 4 동작). 이와 같이 하여, 차례 차례로 화소(100)의 초기화 전의 초기화, 초기화, 임계값 전압의 취득, 및 발광 동작을 행한다.
- [0300] 이어서 도 38에 도시하는 화소(100h)의 동작에 관해서 설명한다. 도 38에 도시하는 화소(100h)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작, 제 4 동작으로 나눌 수 있다. 도 31a 등에 도시한 화소(100)의 동작에 대해, 1개의 동작을 추가한 형태로 되어 있고, 도 40b 내지 도 40d에 도시하는 반도체 장치(10h)의 제 2 동작, 제 3 동작, 제 4 동작이, 각각, 도 31a에 도시한 화소(100)의 제 1 동작, 제 2 동작, 제 3 동작에 상당한다.
- [0301] 또한, 도 38에 도시하는 회로 구성의 동작은, 도 29b와 같이 하여, 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 설명한다. 또한 도 38에 도시하는 회로 구성의 동작은, 도 29b와 같이 하여, Vgs, Vc를 붙여서 설명한다.
- [0302] 우선 제 1 동작에 관해서 도 40a에 도시하여 설명한다. 이 제 1 동작은, 도 29a 등에 도시한 화소(100)의 동작에 대해, 추가된 동작이 된다. 또한 도 40a의 도면 중의 각 소자의 부호에 관해서는 생략하고, 각 스위치의 도통 상태 및 비도통 상태를 ON 및 OFF로 나타내고 있다. 또한 도 29b에서 설명한 Vgs, Vc, node A, node B, node C, node D, node E, node F 및 node G의 인가 상태에 관해서 나타내고 있다.

- [0303] 제 1 동작은, 각 노드의 전위를 초기화하기 전에 어느 정도 초기화의 전위를 각 노드에 설정해 두기(초기화 전의 초기화) 위한 동작이다. 구체적으로는 node G를 Vinit, node D를 Vcat로 한다. 또한 node A의 전위는, 임의적이라도 좋다. 그리고 스위치(104) 및 스위치(105)를 도통 상태로 하고, 스위치(102) 및 스위치(103)를 비도통 상태로 한다. 그러자, node B 및 node C가 Vinit, 또는, Vinit에 가까운 전위인  $\Delta V_{init}$ , node E가  $V_y$ , node F가 Vinit가 된다. 또한  $V_{gs}$  및  $V_c$ 는, 제 1 동작이 앞의 동작의 신호인  $V_y$ 를 사용하는 동작이기 때문에, 여기에서는 생략하고 있다.
- [0304] 여기에서  $V_y$ 는 제 1 동작 전에 입력된 전위이다. 여기에서는 전위( $V_y$ )에 의해 트랜지스터(101)가 전류원의 일부로서 동작하고 있는 경우에 관해서 설명하기 때문에, 전위( $V_y$ )는 제 1 동작시에 있어서 트랜지스터(101)의 제 1 단자와 제 2 단자 사이에 전류가 흐르도록 설정되는 전위이다. 통상, Vinit는 매우 낮은 전위이기 때문에, 전위( $V_y$ )에 의해 트랜지스터(101)는 온하는 경우가 많다.
- [0305] 이로 인해 제 1 동작에 의해 node F를 Vinit로 해 두고, 트랜지스터(101)의 제 1 단자와 제 2 단자 사이에 전류가 흐름으로써 node B 및 node C가 Vinit, 또는, Vinit에 가까운 전위인  $\Delta V_{init}$ 가 된다.
- [0306] 즉 제 1 동작은, node B 및 node C의 전위를 저하시켜 두는 동작이다. 제 1 동작에 의해, node B 및 node C의 전위를 저하시켜 둠으로써, 다음 제 2 동작에서의, 각 노드의 전위를 초기화하는 동작을 고속으로 행할 수 있다. 특히, 발광 소자(106)의 정전 용량이 큰 경우, 사전에, node B 및 node C의 전위를 저하시킴으로써, 그 후의 동작을 스무스하게 진행시킬 수 있다. 단, 가령, 충분히 node B 및 node C의 전위를 저하시킬 수 없어도, 그 후의 동작에 영향이 없으면 문제 없다.
- [0307] 이어서 도 40b에 도시하는 제 2 동작은, 도 31a에서 설명한 제 1 동작과 동일하여 설명을 생략한다.
- [0308] 또한, 제 2 동작에 있어서, 스위치(102) 및 스위치(103)를 도통 상태로 하고, node G의 전위를 VDD로 하고 있지만, 이들의 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.
- [0309] 예를 들면, node G의 전위를 Vinit로부터 VDD로 하는 것은, 스위치(103)를 도통 상태로 하기 전, 또는, 스위치(103)를 도통 상태로 하는 것과 동시에 행하는 것이 바람직하다. 그것에 의해, node E의 전위를 높게 하기 쉬워지기 때문이다.
- [0310] 또한 도 40c에 도시하는 제 3 동작은, 도 31b에서 설명한 제 2 동작과 동일하여 설명을 생략한다. 또한 도 40d에 도시하는 제 4 동작은, 도 31c에서 설명한 제 3 동작과 동일하여 설명을 생략한다.
- [0311] 또한 도 40a 내지 도 40d에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0312] 예를 들면, 구체적으로는 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 40a에서의 제 1 동작으로 말하자면, 도 41a에 도시하는 접속 관계이면 좋다. 또한 상기 도 40b에서의 제 2 동작으로 말하자면, 도 41b에 도시하는 접속 관계이면 좋다. 또한 상기 도 40c에서의 제 3 동작으로 말하자면, 도 41c에 도시하는 접속 관계이면 좋다. 또한 상기 도 40d에서의 제 4 동작으로 하면, 도 41d에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0313] 또한 트랜지스터의 임계값 전압을 보정하는 동작에 관해서 도 40a 내지 도 40d에 도시하였지만, 본 발명의 형태는 이것으로 한정되지 않는다. 예를 들면, 상기 도 40c에서의 제 3 동작과 상기 도 40d에서의 제 4 동작 사이에 트랜지스터(101)의 이동도의 편차를 보정하기 위한 동작을 행해도 좋다.
- [0314] 트랜지스터(101)의 이동도를 보정하는 동작에 관해서 도 42a에 도시한다.
- [0315] 트랜지스터(101)의 이동도를 보정하는 동작은, 도 33c에서 설명한 제 3 동작과 동일하여 설명을 생략한다.
- [0316] 트랜지스터(101)의 이동도를 보정하는 동작에 있어서 트랜지스터(101)의 게이트의 전위는, ( $V_{sig} + V_{th} - \Delta V_{el}$ )이 되고, 트랜지스터(101)의 이동도를 고려한 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 발광 소자에 공급하는 전류량에 대한, 트랜지스터의 이동도의 편차의 영향을 저감시킬 수 있다.
- [0317] 또한 도 42a에서 설명한 트랜지스터의 이동도를 보정하는 동작과 같은 동작이 되도록, 스위치의 배치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.
- [0318] 예를 들면, 구체적으로는 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)는, 노드간의 도통 상태와 비

도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 42a에서의 트랜지스터의 이동도를 보정하는 동작으로 말하자면, 도 42b에 도시하는 접속 관계이면 좋다.

- [0319] 또한 도 38에 도시하는 회로 구성에서는, 배선(110h)의 전위를 Vinit와 VDD로 전환하는 회로 구성에 관해서 설명했지만, 다른 구성으로 하는 것도 가능하다. 예를 들면, 도 43에 도시하는 바와 같이, 배선(110h) 대신에, 배선(110A) 및 배선(110B)을 형성하고, 배선(110A)에 Vinit를 공급하고, 배선(110B)에 VDD를 공급하는 구성으로 해도 좋다. 이 때, 배선(110A)과 node F 사이에는 스위치(105A), 배선(110B)과 node F 사이에는 스위치(105B)를 형성하고, 각각 전환하여 도 40a 내지 도 40d와 같이 동작시키면 좋다.
- [0320] 도 43에 관해서 추가로 도 82에서 설명한다. 도 82에서는, 도 43의 배선(110A)에 접속된 회로(113A), 배선(110B)에 접속된 회로(113B)를 도시하고 있다. 또한 도 82에서는 스위치(105A)에 접속된 배선(135A)과, 배선(135A)에 접속된 주사선 구동 회로(202E)를 도시하고 있다. 또한, 도 82에서는 스위치(105B)에 접속된 배선(135B)과, 배선(135B)에 접속된 주사선 구동 회로(202F)를 도시하고 있다.
- [0321] 회로(113A)는, Vinit를 공급하는 기능을 가지고, 그 예로서는, 전원 회로, 전압 폴로어 회로 등이 있다. 회로(113B)는, VDD를 공급하는 기능을 가지며, 그 예로서는, 전원 회로 등이 있다. 또한, 스위치(105A)의 도통 상태와 비도통 상태의 전환은, 배선(135A)에 의해 제어되고, 스위치(105B)의 도통 상태와 비도통 상태의 전환은, 배선(135B)에 의해 제어된다. 또한, 일례로서, 배선(135A)은, 주사선 구동 회로(202E)에 접속되고, 배선(135B)은, 주사선 구동 회로(202F)에 접속된다. 주사선 구동 회로(202E) 및 주사선 구동 회로(202F)는, 일례로서는, 적어도, H 레벨 또는 L 레벨의 신호를 공급하는 기능을 가지고 있다.
- [0322] 또한 도 43 및 도 82의 회로 구성의 경우, 열방향에 인접하는 화소간에 배선을 공유하여 동작시키는 구성으로 하는 것도 가능하다. 구체적으로는 도 83에 도시하는 바와 같이, 도 43 또는 도 82의 구성을 갖는 n번째 행의 화소(100\_n)와, (n+1)번째 행의 화소(100\_n+1)에 주목하면, 1개의 배선을 n번째 행의 배선(133)과 (n+1)번째 행의 배선(135A)으로 분기시키는 구성으로 할 수 있다. 상기 구성으로 함으로써, 화소 영역에서의 배선이 차지하는 면적을 삭감할 수 있다.
- [0323] 또한 화소 영역의 밖에서, 도 83에서 설명한 배선을 공통 배선으로 하는 것도 가능하다. 구체적으로는, 도 84에 도시하는 바와 같이 주사선 구동 회로(202D)의 배선을 화소 영역으로 연결하기 전에 분기시켜 두고, 분기된 배선을 화소(100\_n)의 배선(133\_n) 및 화소(100\_n+1)의 배선(135A\_n+1)으로서 기능하는 구성으로 할 수도 있다. 상기 구성으로 함으로써, 주사선 구동 회로(202D)의 출력 단자의 수를 삭감할 수 있다.
- [0324] 이상 설명한 바와 같이, 본 실시형태에서 나타내는 회로 구성에서는, 배선(110h)의 전위를 Vinit와 VDD로 전환함으로써 초기화 전의 초기화를 행할 수 있다. 따라서 각 노드의 전위를 초기화하는 동작을 고속으로 행할 수 있다. 또한 본 실시형태에서 나타내는 회로 구성에서는, 제 4 동작에 있어서 트랜지스터(101)의 Vgs는, (Vsig+Vth-Vinit+Vx)이 되고, 트랜지스터(101)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 발광 소자에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다.
- [0325] 또한, 도 43 등은, 회로 구성의 일레이기 때문에, 또한, 트랜지스터를 추가하여 형성하는 것이 가능하다. 반대로, 도 43 등의 각 노드에 있어서, 추가로 트랜지스터, 스위치, 수동 소자 등을 형성하지 않도록 하는 것도 가능하다. 예를 들면, node A, node B, node C, node D, node E, node F, 또는/및, node G에 있어서, 직접적으로 접속된 트랜지스터를, 이 이상은 형성하지 않도록 하는 것이 가능하다. 따라서, 예를 들면, node C에 있어서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(104T)뿐이며, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않은 구성으로 하는 것이 가능하다.
- [0326] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0327] (실시형태 9)
- [0328] 본 실시형태에 있어서는 실시형태 7 및 실시형태 8에서 서술한 표시 장치의 화소의 회로 구성과는 다른 구성의 예에 관해서 설명한다.
- [0329] 도 44에는, 도 28a의 화소(100)와 유사한 회로 구성을 갖는 화소(100p)를 도시한다. 도 44에 도시하는 화소(100p)가 도 28a에 도시하는 화소(100)와 상이한 점은, 배선(108)에 전위를 공급하는 전위를 Vsig로 하고, 배선



(108p) 및 스위치(102p)를 추가하여 상기 배선(108p)으로부터 Vinit를 공급하는 회로 구성으로 하는 점에 있다. 또한, 도 28a의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.

- [0330] 도 44에 도시하는 화소(100p)의 스위치(102), 스위치(102p), 스위치(103), 스위치(104) 및 스위치(105)에는 트랜지스터를 적용할 수 있다. 따라서 도 45에 도시하는 바와 같이, 스위치(102), 스위치(103), 스위치(104) 및 스위치(105)에 n채널형의 트랜지스터를 적용한 경우, 배선(131) 내지 배선(134) 및 배선(131p)에 의해, 도통 상태 또는 비도통 상태가 제어된다.
- [0331] 도 44에 있어서, 스위치(102p)의 제 1 단자는, 트랜지스터(101)의 제 1 단자, 스위치(102)의 제 1 단자, 스위치(104)의 제 1 단자에 접속된다. 스위치(102p)의 제 2 단자는, 배선(108p)에 접속된다. 스위치(102p)의 도통 상태와 비도통 상태의 전환은, 배선(131p)에 의해 제어된다.
- [0332] 또한 도 44에 도시하는 화소(100p)의 동작을 설명하기 위한, 도 45에는 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 도시하고 있다. 또한 도 45에는 트랜지스터(101)의 주로 소스가 되는 한쪽의 단자와 게이트 사이의  $V_{gs}$ , 용량 소자(107)의 전극간의  $V_c$ 를 나타내고 있다.
- [0333] 도 45에 도시하는 각 노드 및 각 배선에 해당하는 것은, node A, node B, node C, node D, node E, node F, node G, 및 node H이다. node A의 전위는, 배선(108)의 전위에 상당한다. 또한 node B의 전위는, 트랜지스터(101)의 제 1 단자, 스위치(102)의 제 1 단자, 스위치(104)의 제 1 단자 및 스위치(102p)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node C의 전위는, 스위치(104)의 제 2 단자, 발광 소자(106)의 한쪽의 전극 및 용량 소자(107)의 다른쪽의 전극을 접속하는 배선의 전위에 상당한다. 또한 node D의 전위는, 배선(109)의 전위에 상당한다. 또한 node E의 전위는, 트랜지스터(101)의 게이트, 용량 소자(107)의 한쪽의 전극 및 스위치(103)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node F의 전위는, 트랜지스터(101)의 제 2 단자, 스위치(103)의 제 2 단자 및 스위치(105)의 제 1 단자를 접속하는 배선의 전위에 상당한다. 또한 node G의 전위는, 배선(110)의 전위에 상당한다. 또한 node H의 전위는, 배선(108p)의 전위에 상당한다.
- [0334] 여기에서, 화소(100p)를 갖는 표시 장치에 관해서 블록도인 도 46을 사용하여 설명한다.
- [0335] 표시 장치는, 신호선 구동 회로(201), 주사선 구동 회로(202A), 주사선 구동 회로(202B), 주사선 구동 회로(202C), 주사선 구동 회로(202D), 주사선 구동 회로(202E), 화소 영역(203), 초기화 신호선 구동 회로(205)를 가지고, 화소 영역(203)에는, 신호선 구동 회로(201)로부터 열방향으로 신장하여 배치된 복수의 신호선(S1 내지 Sn)과, 초기화 신호선 구동 회로(205)로부터 열방향으로 신장하여 배치된 복수의 초기화 신호선(Si1 내지 Sin)과, 주사선 구동 회로(202A)로부터 행방향으로 신장하여 배치된 복수의 주사선(Ga1 내지 Gam)과, 주사선 구동 회로(202B)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gb1 내지 Gbm)과, 주사선 구동 회로(202C)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gc1 내지 Gcm)과, 주사선 구동 회로(202D)로부터 행방향으로 신장하여 배치된 복수의 주사선(Gd1 내지 Gdm)과, 주사선 구동 회로(202E)로부터 행방향으로 신장하여 배치된 복수의 주사선(Ge1 내지 Gem)과, 신호선(S1 내지 Sn)과 주사선(Ga1 내지 Gam, Gb1 내지 Gbm, Gc1 내지 Gcm, Gd1 내지 Gdm, 및 Ge1 내지 Gem)에 대응하여 매트릭스로 배치된 복수의 화소(100p)를 가진다. 또한, 신호선(S1 내지 Sn)과 평행하게 전원선(P1 내지 Pn)을 가지고 있다. 그리고, 각 화소(100)는, 각각, 신호선(Sj)(신호선(S1 내지 Sn) 중 어느 하나), 초기화 신호선(Sij)(초기화 신호선(Si1 내지 Sin) 중 어느 하나), 주사선(Gai)(주사선(Ga1 내지 Gam) 중 어느 하나), 주사선(Gbi)(주사선(Gb1 내지 Gbm) 중 어느 하나), 주사선(Gci)(주사선(Gc1 내지 Gcm) 중 어느 하나), 주사선(Gdi)(주사선(Gd1 내지 Gdm) 중 어느 하나), 주사선(Gei)(주사선(Ge1 내지 Gem) 중 어느 하나), 및 전원선(Pj)(전원선(P1 내지 Pn) 중 어느 하나)과 접속되어 있다.
- [0336] 또한, 주사선(Gai)은 도 45의 배선(131)에 상당한다. 주사선(Gbj)은 도 45의 배선(132)에 상당한다. 주사선(Gcj)은 도 45의 배선(133)에 상당한다. 주사선(Gdj)은 도 45의 배선(134)에 상당한다. 주사선(Gej)은 도 45의 배선(131p)에 상당한다. 신호선(Sj)은 도 45의 배선(108)에 상당한다. 초기화 신호선(Sij)은 도 45의 배선(108p)에 상당한다. 전원선(Pj)은 도 45의 배선(110)에 상당한다. 또한 도 46에서는 도시하고 있지 않지만 각 화소에는 각 화소 공통의 캐소드선이 형성되어 있고, 상기 캐소드선이 배선(109)에 상당한다.
- [0337] 주사선 구동 회로(202A 내지 202E)로부터 출력되는 신호에 의해 각 주사선을 선택한다. 그리고, 선택된 주사선에 접속되어 있는 화소(100)의 각 노드의 전위의 초기화(제 1 동작)를 행한다. 그리고, 초기화를 끝낸 화소(100)에 비디오 신호를 기록하고, 트랜지스터의 임계값 전압을 취득한다(제 2 동작). 비디오 신호의 기록에 의한 트랜지스터의 임계값 전압의 취득을 끝내면 발광 동작으로 옮겨가고, 그 화소에 기록된 비디오 신호에 따라서 발광한다(제 3 동작). 이와 같이 하여, 차례 차례로 화소(100)의 초기화, 임계값 전압의 취득, 및 발광 동

작을 행한다.

- [0338] 이어서 도 44에 도시하는 화소(100h)의 동작에 관해서 설명한다. 도 44에 도시하는 화소(100h)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작으로 나눌 수 있다.
- [0339] 우선 제 1 동작에 관해서 도 47a에 도시하여 설명한다. 또한 도 47a의 도면 중의 각 소자의 부호에 관해서는 생략하고, 각 스위치의 도통 상태 및 비도통 상태를 ON 및 OFF로 나타내고 있다. 또한 도 45에서 설명한  $V_{gs}$ ,  $V_c$ , node A, node B, node C, node D, node E, node F, node G 및 node H의 인가 상태에 관해서 나타내고 있다.
- [0340] 제 1 동작은, 각 노드의 전위를 초기화하는 동작이다. 구체적으로는 node A를 임의의 전위, 예를 들면  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD, node H를  $V_{init}$ 로 한다. 그리고 스위치(102p), 스위치(103), 스위치(104) 및 스위치(105)를 도통 상태로 하고, 스위치(102)를 비도통 상태로 한다. 그러자, node B가  $V_{init}$ , node C가  $V_{init}$ , node E가 VDD, node F가 VDD가 된다. 그리고  $V_{gs}$ 는  $(VDD - V_{init})$ 이 되고,  $V_c$ 는  $(VDD - V_{init})$ 이 된다.
- [0341] 도 47a에 도시하는 제 1 동작이 실시형태 7의 도 31a와 상이한 점은, node B 및 node C에 공급하는  $V_{init}$ 를 배선(108p)으로부터 스위치(102p)를 통하여 공급하는 점에 있다. 상기 구성으로 함으로써, 배선(108)의 전위를 전환하지 않고 초기화를 행할 수 있어 각 노드의 초기화를 고속으로 행할 수 있다. 또는, 배선(108)에 접속되어 있는 다른 화소(100p)에 대해, 배선(108)으로부터 전위를 공급하면서, 각 노드의 초기화를 행할 수 있다. 이로 인해, 초기화를 위한 동작 기간을 길게 확보할 수 있다.
- [0342] 이어서 제 2 동작에 관해서 도 47b에 도시하고, 도 47a와 같이 하여 설명한다.
- [0343] 제 2 동작은, 트랜지스터(101)의 게이트의 전위(용량 소자(107)의 전하)를 방전함으로써, 트랜지스터(101)의 임계값 전압을  $V_{gs}$ 로 취득시키는 동작이다. 구체적으로는 node A를  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD, node H는 임의적이지만, 예를 들면  $V_{init}$ 로 한다. 그리고 스위치(102) 및 스위치(103)를 도통 상태로 하고, 스위치(104), 스위치(102p) 및 스위치(105)를 비도통 상태로 한다. 그러자, node B가  $V_{sig}$ , node C가  $(V_{init} - V_x)$ , node E가  $(V_{sig} + V_{th})$ , node F가  $(V_{sig} + V_{th})$ 이 된다. 그리고  $V_{gs}$ 는  $V_{th}$ 가 되고,  $V_c$ 는  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 된다.
- [0344] 도 47b에 도시하는 제 2 동작이 실시형태 7의 도 31b와 상이한 점은, 스위치(102p)를 비도통 상태로 하는 점이다. 따라서 제 2 동작에 관해서는, 본 실시형태의 구성과 도 31b의 구성은 동일하다. 따라서 제 2 동작에 의해, 트랜지스터(101)의 게이트의 전위에 해당하는 node E의 전위는,  $(V_{sig} + V_{th})$ 와 같이 트랜지스터(101)의 임계값 전압을 포함하는 값으로 할 수 있다.
- [0345] 또한, 제 2 동작에 있어서, 스위치(104), 스위치(105), 및, 스위치(102p)를 비도통 상태로 하고, 스위치(102)를 도통 상태로 하고 있지만, 이들 동작을 동시에 행해도 좋고, 시간을 달리하여 행해도 좋다.
- [0346] 예를 들면, 스위치(102)를 도통 상태로 하는 것은, 스위치(102p)를 비도통 상태로 하는 것과 동시, 또는, 스위치(102p)를 비도통 상태로 한 후에 행하는 것이 바람직하다. 그것에 의해, node A와 node H 사이에서, 쇼트해버리는 것을 방지하기 쉬워지기 때문이다.
- [0347] 이어서 제 3 동작에 관해서 도 47c에 도시하고, 도 47a 및 도 47b와 같이 하여 설명한다.
- [0348] 제 3 동작은, 트랜지스터(101)를 전류원의 일부로서 사용하여, 발광 소자(106)로 전류를 출력하는 동작이다. 구체적으로는 node A는 임의적이지만, 예를 들면  $V_{sig}$ , node D를  $V_{cat}$ , node G를 VDD, node H는 임의적이지만, 예를 들면  $V_{init}$ 로 한다. 그리고 스위치(104) 및 스위치(105)를 도통 상태로 하고, 스위치(102), 스위치(102p) 및 스위치(103)를 비도통 상태로 한다. 그러자, node B 및 node C가  $V_{el}$ , node E가  $(V_{sig} + V_{th} - V_{init} + V_x + V_{el})$ , node F가 VDD가 된다. 그리고  $V_{gs}$ 는  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 되고,  $V_c$ 는  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 된다.
- [0349] 도 47c에 도시하는 제 3 동작이 실시형태 7의 도 31c와 상이한 점은, 스위치(102p)를 비도통 상태로 하는 점이다. 따라서 제 3 동작에 관해서는, 본 실시형태의 구성과 도 31c의 구성은 동일하다. 따라서 제 3 동작에 의해, 트랜지스터(101)의  $V_{gs}$ 는,  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 되고, 트랜지스터(101)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 발광 소자에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다.
- [0350] 또한, 본 실시형태의 회로 구성을 도 44에서 도시하였지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 도 47a 내지 도 47c에서 설명한 트랜지스터의 임계값 전압을 보정하는 동작과 같은 동작이 되도록, 스위치의 배

치나 수를 변경하거나, 적절한 전압을 공급함으로써, 여러 가지 회로를 사용하여 구성할 수 있다.

- [0351] 예를 들면, 구체적으로는 스위치(102), 스위치(102p), 스위치(103), 스위치(104) 및 스위치(105)는, 노드간의 도통 상태와 비도통 상태를 제어할 수 있으면, 장소 또는 수는 어떻게 배치해도 좋다. 상기 도 47a에서의 제 1 동작으로 말하자면, 도 48a에 도시하는 접속 관계이면 좋다. 또한 상기 도 47b에서의 제 2 동작으로 말하자면, 도 48b에 도시하는 접속 관계이면 좋다. 또한 상기 도 47c에서의 제 3 동작으로 말하자면, 도 48c에 도시하는 접속 관계이면 좋다. 각 노드의 전위에 관해서도, 각 동작에 영향을 주지 않는 노드에 관해서, 임의의 크기의 전위로 하는 것이 가능하다.
- [0352] 이상 설명한 바와 같이, 본 실시형태에서 나타내는 회로 구성에서는, 배선(108p)을 추가하고, 배선(108p)으로부터 스위치(102p)를 통하여 Vinit에 의한 초기화를 행할 수 있다. 따라서 각 노드의 전위를 초기화하는 동작을 긴 시간을 사용하여 행할 수 있다. 또는, 배선(108)을 사용하여 Vinit에 의한 초기화를 행하지 않아도 되기 때문에, 그 만큼, 제 2 동작을 행하는 기간을 길게 할 수 있다. 또한 본 실시형태에서 나타내는 회로 구성에서는, 제 3 동작에 있어서 트랜지스터(101)의 Vgs는,  $(V_{sig} + V_{th} - V_{init} + V_x)$ 이 되고, 트랜지스터(101)의 임계값 전압을 포함하는 값으로 설정할 수 있다. 따라서, 본 실시의 구성에 의해, 발광 소자에 공급하는 전류량에 대한, 트랜지스터의 임계값 전압의 편차의 영향을 저감시킬 수 있다.
- [0353] 또한 도 44 및 도 45의 회로 구성의 경우, 열방향에 인접하는 화소간에 배선을 공유하여 동작시키는 구성으로 하는 것도 가능하다. 구체적으로는 도 85에 도시하는 바와 같이, 도 44 및 도 45의 구성을 갖는 n번째 행의 화소(100\_n)와, (n+1)번째 행의 화소(100\_n+1)에 주목하면, 1개의 배선을 n번째 행의 배선(133)과 (n+1)번째 행의 배선(131p)으로 분기시키는 구성으로 할 수 있다. 상기 구성으로 함으로써, 화소 영역에서의 배선이 차지하는 면적을 삭감할 수 있다.
- [0354] 또한 화소 영역의 밖에서, 도 85에서 설명한 배선을 공통 배선으로 하는 것도 가능하다. 구체적으로는, 도 86에 도시하는 바와 같이, 주사선 구동 회로(202D)의 배선을 화소 영역으로 연결하기 전에 분기시켜 두고, 분기된 배선을 화소(100\_n)의 배선(133\_n) 및 화소(100\_n+1)의 배선(131p\_n+1)으로서 기능하는 구성으로 할 수도 있다. 상기 구성으로 함으로써, 주사선 구동 회로(202D)의 출력 단자의 수를 삭감할 수 있다.
- [0355] 또한, 도 33c, 도 34c, 도 42a, 도 42b와 같이, 도 44, 도 45의 회로를 사용하여, 이동도를 보정하는 동작을 행하는 것은 가능하다.
- [0356] 또한, 도 44 등은, 회로 구성의 일레이기 때문에, 또한, 트랜지스터를 추가하여 형성하는 것이 가능하다. 반대로, 도 44 등의 각 노드에 있어서, 추가로 트랜지스터, 스위치, 수동 소자 등을 형성하지 않도록 하는 것도 가능하다. 예를 들면, node A, node B, node C, node D, node E, node F, 또는/및, node G에 있어서, 직접적으로 접속된 트랜지스터를, 이 이상은 형성하지 않도록 하는 것이 가능하다. 따라서, 예를 들면, node C에 있어서, 직접적으로 접속되어 있는 트랜지스터는 트랜지스터(104T)뿐이며, 다른 트랜지스터는 node C와 직접적으로 접속되어 있지 않은 구성으로 하는 것이 가능하다.
- [0357] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0358] (실시형태 10)
- [0359] 상기 실시형태 7 내지 실시형태 9에서 설명한 구성에서는, 발광 소자(106)의 기생 용량을 이용하는 것을 전체로 하여, 각 회로 구성의 동작을 설명했지만, 다른 구성으로 하는 것도 가능하다. 본 실시형태에서는, 상기 실시형태의 회로 구성에 있어서의 발광 소자(106)에 전기적으로 병렬로 접속한 용량 소자를 추가한 구성에 관해서 나타낸다.
- [0360] 도 49에는 화소(100C)를 도시하고 있고, 도 28a와는 달리, 화소(100C)에 접속되는 발광 소자(106)에 전기적으로 병렬로 접속한 용량 소자(107C)를 추가한 구성이다. 또한, 용량 소자(107C)는, 도 87에 도시하는 바와 같이, 배선(110)과 접속시키는 것도 가능하다. 또는, 용량 소자(107C)는, 다른 배선에 접속시키는 것도 가능하다. 또한 도 50에는 화소(100hC)를 도시하고 있고, 도 43과는 달리, 화소(100hC)에 접속되는 발광 소자(106)에 전기적으로 병렬로 접속한 용량 소자(107C)를 추가한 구성이다. 또한, 용량 소자(107C)는, 도 88 또는 도 89에 도시하는 바와 같이, 배선(110A), 또는, 배선(110B)과 접속시키는 것도 가능하다. 또한 도 51에는 화소(100pC)를 도시하고 있고, 도 44와는 달리, 화소(100hC)에 접속되는 발광 소자(106)에 전기적으로 병렬로 접속한 용량 소자(107C)를 추가한 구성이다. 또한, 용량 소자(107C)는, 도 90에 도시하는 바와 같이, 배선(108p)과 접속시키

는 것도 가능하다.

- [0361] 도 49 내지 도 51에 도시하는 바와 같이 발광 소자(106)에 전기적으로 용량 소자(107C)를 추가하는 구성으로 함으로써, 상기 실시형태에서 설명한 초기화의 동작 및 임계값 전압의 취득의 동작시에 있어서, node C의 전하의 변동, 또는  $V_x$ 를 작게 할 수 있다.  $V_x$ 를 작게 할 수 있으면, 반도체 장치는, 발광 소자(106)에 공급하는 전류량을 보다 정확하게 할 수 있다.
- [0362] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0363] (실시형태 11)
- [0364] 본 실시형태에 있어서는 실시형태 7 내지 실시형태 10에서 서술한 화소의 회로 구성과는 다른 구성에 관해서 설명한다.
- [0365] 도 52에는, 도 29b의 화소(100)와 동일한 회로 구성을 갖는 화소(100hm)를 도시한다. 도 52에 도시하는 화소(100hm)가 도 29b에 도시하는 화소(100)와 상이한 점은, 배선(109m)이 접속되어 있는 점에 있다. 배선(109m)에는  $V_{up}$ 과  $V_{cat}$ 를 전환하여 공급된다. 또한, 도 29b의 구성과 공통되는 부분은 공통의 부호를 사용하고 그 설명을 생략한다.
- [0366]  $V_{up}$ 는,  $V_{cat}$ 보다도 높은 전위이다.  $V_{up}$ 를 높은 전위로 함으로써,  $V_{init}$ 를 지나치게 낮게 하는 것을 방지할 수 있다.
- [0367] 여기에서, 화소(100hm)를 갖는 표시 장치에 관해서 블록도인 도 53을 사용하여 설명한다.
- [0368] 표시 장치는, 신호선 구동 회로(201), 주사선 구동 회로(202A), 주사선 구동 회로(202B), 주사선 구동 회로(202C), 주사선 구동 회로(202D), 화소 영역(203), 캐소드선 구동 회로(206)를 가지고, 화소 영역(203)에는, 신호선 구동 회로(201)로부터 열방향으로 신장하여 배치된 복수의 신호선( $S_1$  내지  $S_n$ )과, 주사선 구동 회로(202A)로부터 행방향으로 신장하여 배치된 복수의 주사선( $Ga_1$  내지  $Ga_m$ )과, 주사선 구동 회로(202B)로부터 행방향으로 신장하여 배치된 복수의 주사선( $Gb_1$  내지  $Gb_m$ )과, 주사선 구동 회로(202C)로부터 행방향으로 신장하여 배치된 복수의 주사선( $Gc_1$  내지  $Gc_m$ )과, 주사선 구동 회로(202D)로부터 행방향으로 신장하여 배치된 복수의 주사선( $Gd_1$  내지  $Gd_m$ )과, 캐소드선 구동 회로(206)로부터 행방향으로 신장하여 배치된 복수의 캐소드선( $C_1$  내지  $C_m$ )과, 신호선( $S_1$  내지  $S_n$ )과 주사선( $Ga_1$  내지  $Ga_m$ ,  $Gb_1$  내지  $Gb_m$ ,  $Gc_1$  내지  $Gc_m$ , 및  $Gd_1$  내지  $Gd_m$ )에 대응하여 매트릭스로 배치된 복수의 화소(100hm)를 가진다. 또한, 신호선( $S_1$  내지  $S_n$ )과 평행하게 전원선( $P_1$  내지  $P_n$ )을 가지고 있다. 그리고, 각 화소(100)는, 각각, 신호선( $S_j$ )(신호선( $S_1$  내지  $S_n$ ) 중 어느 하나), 주사선( $Ga_i$ )(주사선( $Ga_1$  내지  $Ga_m$ ) 중 어느 하나), 주사선( $Gb_i$ )(주사선( $Gb_1$  내지  $Gb_m$ ) 중 어느 하나), 주사선( $Gc_i$ )(주사선( $Gc_1$  내지  $Gc_m$ ) 중 어느 하나), 주사선( $Gd_i$ )(주사선( $Gd_1$  내지  $Gd_m$ ) 중 어느 하나), 캐소드선( $C_i$ )(캐소드선( $C_1$  내지  $C_m$ ) 중 어느 하나), 및 전원선( $P_j$ )(전원선( $P_1$  내지  $P_n$ ) 중 어느 하나)과 접속되어 있다.
- [0369] 또한, 주사선( $Ga_i$ )은 도 52의 배선(131)에 상당한다. 주사선( $Gb_j$ )은 도 52의 배선(132)에 상당한다. 주사선( $Gc_j$ )은 도 52의 배선(133)에 상당한다. 주사선( $Gd_j$ )은 도 52의 배선(134)에 상당한다. 신호선( $S_j$ )은 도 52의 배선(108)에 상당한다. 전원선( $P_j$ )은 도 52의 배선(110)에 상당한다. 캐소드선( $C_i$ )은 도 52의 배선(109)에 상당한다.
- [0370] 주사선 구동 회로(202A 내지 202D)로부터 출력되는 신호에 의해 각 주사선을 선택한다. 그리고, 선택된 주사선에 접속되어 있는 화소(100hm)의 각 노드의 전위의 초기화(제 1 동작)를 행한다. 그리고, 초기화를 끝낸 화소(100hm)에 비디오 신호를 기록하고, 트랜지스터의 임계값 전압을 취득한다(제 2 동작). 비디오 신호의 기록에 의한 트랜지스터의 임계값 전압의 취득을 끝내면 발광 동작으로 옮겨가고, 그 화소에 기록된 비디오 신호에 따라서 발광한다(제 3 동작). 이와 같이 하여, 차례 차례로 화소(100hm)의 초기화, 임계값 전압의 취득, 및 발광 동작을 행한다.
- [0371] 이어서 도 52에 도시하는 화소(100hm)의 동작에 관해서 설명한다. 도 52에 도시하는 화소(100hm)의 동작은, 주로 제 1 동작, 제 2 동작, 제 3 동작으로 나눌 수 있다.
- [0372] 또한, 도 52에 도시하는 회로 구성의 동작은, 도 29b와 같이 하여, 각 소자 사이의 노드(절점)의 전위 및 각 배선의 전위를 설명하기 위한 부호를 붙여 설명한다. 또한 도 52에 도시하는 회로 구성의 동작은, 도 29b와 같이



하여, Vgs, Vc를 붙여 설명한다.

- [0373] 도 54a에 도시하는 제 1 동작은, node D의 전위를 Vup로 하는 점을 제외하고, 도 31a에서 설명한 제 1 동작과 동일하고, 동일한 개소에 관한 설명을 생략한다. node D의 전위를 Vup으로 함으로써, 제 1 동작시에 있어서의 발광 소자(106)에 흐르는 전류를 보다 확실하게 저감시킬 수 있다. 또는, Vinit를 지나치게 낮게 하지 않아도, 정상적으로 동작하기 쉬워진다. 이로 인해, 다른 전위에 관해서도, 진폭을 작게 할 수 있고, 소비 전력을 저감시킬 수 있다.
- [0374] 또한 Vup는 Vinit 및 Vsig보다 큰 전위이다. 또는, Vup는 Vinit와 대략 동일한 전위이다. 단, 발광 소자(106)를 절연 파괴하지 않을 정도의 전위로 설정해 두는 것이 바람직하다.
- [0375] 또한 도 54b에 도시하는 제 2 동작은, node D의 전위를 Vup으로 하는 점을 제외하고, 도 31b에서 설명한 제 2 동작과 동일하고, 동일한 개소에 관한 설명을 생략한다. node D의 전위를 Vup으로 함으로써, 제 2 동작시에 있어서의 발광 소자(106)에 흐르는 전류를 보다 확실하게 저감시킬 수 있다.
- [0376] 또한 도 54c에 도시하는 제 3 동작은, 도 31c에서 설명한 제 3 동작과 동일하여, 설명을 생략한다. 또한 도 54a 및 도 54b에서 설명한 제 1 동작 및 제 2 동작과는 달리, node D의 전위를 Vcat로 하여 발광 소자(106)에 전류가 흐르도록 하고 있다.
- [0377] 상기 설명한 도 54a 내지 도 54c의 구성으로 함으로써, 트랜지스터(101)가 반도체 장치를 전류원으로 기능시키는 설정 동작을 완료시켰을 때만, 오동작없이 전류를 흘려보내도록 할 수 있다.
- [0378] 또한, 도 33c, 도 34c, 도 42a, 도 42b와 같이, 도 52의 회로를 사용하여, 이동도를 보정하는 동작을 행하는 것은 가능하다.
- [0379] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0380] (실시형태 12)
- [0381] 본 실시형태에서는, 상기 실시형태 7의 도 28a에서 설명한 표시 장치의 화소의 회로 구성에 대응하는 상면도 및 단면도의 구성에 관해서 설명한다.
- [0382] 도 55에 도시하는 상면도에서는, 상기 실시형태 7의 도 28a에서 설명한 구성을 나타낸 것이다. 또한 도 55에 도시하는 상면도에서는, 각 트랜지스터를 역스태거형의 트랜지스터로서 나타낸 것이다.
- [0383] 도 55에 도시하는 표시 장치에 적용할 수 있는 화소의 상면도에서는, 도 28a에 대응하는 구성으로서, 트랜지스터(101), 스위치(102), 스위치(103), 스위치(104), 스위치(105), 발광 소자(106)(한쪽 전극만 도시), 용량 소자(107), 배선(108), 배선(110), 배선(131), 배선(132), 배선(133), 및 배선(134)을 나타내고 있다.
- [0384] 도 55에 도시하는 각 구성은, 도전층(851), 반도체층(852), 도전층(853), 도전층(854), 도전층(855), 콘택트 홀(856), 콘택트 홀(857) 및 콘택트 홀(858)에 의해 구성된다. 또한 각 층에 있는 절연층은, 여기에서는 도시하고 있지 않다.
- [0385] 도전층(851)은, 게이트 전극, 또는 주사선으로서 기능하는 영역을 가진다. 또한 도전층(851)은 트랜지스터 등의 각 소자를 형성하는 기관 위에 형성된다. 또한 기관과 도전층(851) 사이에 하지가 되는 절연층을 형성하는 구성으로 해도 좋다.
- [0386] 또한 기관에 사용할 수 있는 기관에 큰 제한은 없지만, 유리 기관을 사용하는 것이 바람직하다. 또한 하지가 되는 절연층은, 기관으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘층, 산화실리콘층, 질화산화실리콘층, 또는 산화질화실리콘층으로부터 선택된 하나 또는 복수의 층에 의한 단층 또는 적층 구조에 의해 형성할 수 있다.
- [0387] 기관의 예로서는, 반도체 기관(예를 들면 단결정 기관 또는 실리콘 기관), SOI 기관, 석영 기관, 플라스틱 기관, 금속 기관, 스테인리스·스틸 기관, 스테인리스·스틸·호일을 갖는 기관, 텅스텐 기관, 텅스텐·호일을 갖는 기관, 가요성 기관, 첩합 필름, 섬유상의 재료를 함유하는 종이, 또는 기재 필름 등이 있다. 유리 기관의 일례로서는, 바륨boro실리케이트 유리, 알루미늄boro실리케이트 유리, 또는 소다석회 유리 등이 있다. 가요성 기관의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로

대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지 등이 있다. 첩합 필름의 일례로서는, 폴리프로필렌, 폴리에스테르, 폴리불화비닐, 또는 폴리염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 사이즈, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터에 의해 회로를 구성하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

- [0388] 또한, 어떤 기판을 사용하여 트랜지스터를 형성하고, 그 후, 다른 기판으로 트랜지스터를 전치하고, 다른 기판 위에 트랜지스터를 배치해도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 상기한 트랜지스터를 형성하는 것이 가능한 기판에 더하여, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리에스테르, 폴리아미드) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함한다), 피혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 특성이 양호한 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.
- [0389] 도전층(851)의 재료는, 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr), 탄탈(Ta), 텅스텐(W), 알루미늄(Al), 구리(Cu), 네오디뮴(Nd), 스칸듐(Sc) 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0390] 반도체층(852)은, 트랜지스터의 반도체층으로서 기능하는 영역을 가진다.
- [0391] 반도체층(852)은, 비정질(아모퍼스) 실리콘을 포함하고 있어도 좋다. 반도체층(852)은, 다결정 실리콘을 포함하고 있어도 좋다. 또는, 반도체층(852)은, 유기 반도체, 산화물 반도체 등을 포함하고 있어도 좋다.
- [0392] 도전층(853)은, 배선, 트랜지스터의 소스 또는 드레인으로서 기능하는 영역을 가진다.
- [0393] 도전층(853)으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상기한 원소를 성분으로 하는 합금이나, 상기한 원소를 조합한 합금막 등을 사용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용점 금속층을 적층시킨 구성으로 해도 좋다. 또한, Al막에 발생하는 힐록이나 위스커의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 Al 재료를 사용함으로써 내열성을 향상시키는 것이 가능해진다.
- [0394] 또한, 도전층(853)으로서, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐( $\text{In}_2\text{O}_3$ ), 산화주석( $\text{SnO}_2$ ), 산화아연( $\text{ZnO}$ ), 산화인듐 산화주석( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO라고 약기한다), 산화인듐산화아연( $\text{In}_2\text{O}_3\text{-ZnO}$ ) 또는 이들의 금속 산화물 재료에 산화실리콘을 포함시킨 것을 사용할 수 있다.
- [0395] 도전층(854)은, 배선으로서 기능하는 영역을 가진다. 또한 도전층(854)은, 나중에 형성하는 투명 도전층에 접하는 절연층의 평탄성을 높이기 위해 형성하는 구성이며, 없애는 것도 가능하다.
- [0396] 도전층(855)은, 발광 소자의 한쪽의 전극으로서 기능하는 영역을 가진다. 도전층(855)은, 발광 소자가 발하는 광을 대향 기판측으로부터 추출하는 경우에는 광을 반사하는 기능을 가지고, 발광 소자가 발하는 광을 소자 기판측으로부터 추출하는 경우에는 광을 투과하는 기능을 가진다.
- [0397] 콘택트 홀(856)은, 도전층(851)과 도전층(853)을 접속하는 기능을 가진다. 도전층(851)과 도전층(853) 사이에는 게이트 절연층으로서 기능하는 절연층을 가진다. 게이트 절연층으로서 기능하는 절연층은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 또는 산화하프늄층을 단층으로 또는 적층하여 형성할 수 있다.
- [0398] 콘택트 홀(857)은, 도전층(853)과 도전층(854)을 접속하는 기능을 가진다. 도전층(853)과 도전층(854) 사이에는 패시베이션층으로서 기능하는 절연층을 가진다. 패시베이션층은, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 질화산화알루미늄막 등의 무기 절연막을 사용할 수 있다.
- [0399] 콘택트 홀(858)은, 도전층(854)과 도전층(855)을 접속하는 기능을 가진다. 도전층(854)과 도전층(855) 사이에는 표면의 평탄성을 부여하는 절연층을 가진다. 표면의 평탄성을 부여하는 절연층으로서, 폴리이미드, 아크릴, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 이외에, 저유전율 재료(low-k 재료) 등을 사용할 수 있다.

- [0400] 다음에 도 55에서 설명한 상면도에 있어서의 스위치(105)로서 기능하는 트랜지스터(도 55 중, 2점 쇄선 A-A' 사이)와 용량 소자(107)(도 55 중, 2점 쇄선 B-B' 사이)의 단면도의 구성에 관해서 도 91a, 도 91b를 사용하여 설명한다.
- [0401] 도 91a에 도시하는 스위치(105)로서 기능하는 트랜지스터는, 일례로서, 보텀 게이트 구조의 트랜지스터의 하나이며, 역스태거형 트랜지스터라고도 한다. 또한 트랜지스터의 구조는 특별히 한정되지 않으며, 예를 들면 톱 게이트 구조, 또는 보텀 게이트 구조의 스테거형 및 플레이너형 등을 사용할 수 있다. 또한, 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도, 두개 형성되는 더블 게이트 구조 또는 세개 형성되는 트리플 게이트 구조라도 좋다. 또한, 채널 영역의 상하에 게이트 절연층을 개재하여 배치된 2개의 게이트 전극층을 갖는, 듀얼 게이트형이라도 좋다.
- [0402] 도 91a에 도시하는 스위치(105)로서 기능하는 트랜지스터는, 기관(400) 위에, 게이트가 되는 도전층(851), 게이트 절연층으로서 기능하는 절연층(401), 반도체층(852), 소스 및 드레인이 되는 도전층(853)을 포함한다. 또한, 스위치(105)로서 기능하는 트랜지스터를 덮고, 패시베이션층으로서 절연층(402)이 형성되어 있다. 또한 절연층(402) 위에, 표면의 평탄성을 부여하는 절연층(403)이 형성되어 있다.
- [0403] 또한 도 91b에 도시하는 용량 소자(107)는, 기관(400) 위에, 한쪽의 전극이 되는 도전층(851), 절연층(401), 반도체층(852), 다른쪽의 전극이 되는 도전층(853)을 포함한다. 또한, 용량 소자(107)를 덮고, 패시베이션층으로서 절연층(402)이 형성되어 있다. 또한 절연층(402) 위에, 표면의 평탄성을 부여하는 절연층(403)이 형성되어 있다.
- [0404] 또한 도 55에 도시하는 표시 장치에 적용할 수 있는 화소의 상면도는, 상기상면도로 한정되지 않고, 다른 구성으로 하는 것도 가능하다.
- [0405] 일례로서는, 도 28a에서 설명한 화소의 상면도로서는, 도 56에 도시하는 상면도와 같이 할 수 있다. 도 56이 도 55와 상이한 점으로서, 화소를 구성하는 트랜지스터의 채널을 사이에 개재하도록 형성되는 소스와 드레인의 방향을 일치시켜 형성되는 점에 있다. 상기 구성으로 함으로써, 화소를 구성하는 트랜지스터간의 특성의 편차를 저감시킬 수 있다.
- [0406] 또한 다른 상면도의 구성으로서, 도 57에 도시하는 상면도와 같이 할 수 있다. 도 57이 도 55와 상이한 점으로서, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)의 트랜지스터 사이즈를 스위치로서 기능하는 트랜지스터의 트랜지스터 사이즈보다 크게 하는 점에 있다. 상기 구성으로 함으로써, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)가 흘러보낼 수 있는 전류량을 증가시킬 수 있다.
- [0407] 또한 다른 상면도의 구성으로서, 도 58에 도시하는 상면도와 같이 할 수 있다. 도 58이 도 55와 상이한 점으로서, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)의 한쪽의 단자가 되는 전극을 둘러싸도록, 다른쪽의 단자가 되는 전극의 형상을 U자상으로 하는 점에 있다. 상기 구성으로 함으로써, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)가 흘릴 수 있는 전류량을 증가시킬 수 있다.
- [0408] 또한 다른 상면도의 구성으로서, 도 59에 도시하는 상면도와 같이 할 수 있다. 도 59가 도 55와 상이한 점으로서, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)의 다른쪽의 단자가 되는 전극을 둘러싸도록, 한쪽의 단자가 되는 전극의 형상을 U자상으로 하는 점에 있다. 상기 구성으로 함으로써, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)가 흘릴 수 있는 전류량을 증가시킬 수 있고, 또한 트랜지스터(101)의 게이트의 전위를 용량 결합에 의해 상승시킬 때의 기생 용량을 크게 할 수 있다.
- [0409] 또한 다른 상면도의 구성으로서, 도 60에 도시하는 상면도와 같이 할 수 있다. 도 60이 도 55와 상이한 점으로서, 화소를 구성하는 트랜지스터의 게이트 전극을 채널 형성 영역을 덮도록 형성하는 점에 있다. 상기 구성으로 함으로써, 채널 형성 영역으로의 광의 입사를 저감시킬 수 있고, 트랜지스터 특성의 광열화를 저감시킬 수 있다.
- [0410] 또한, 상기의 도 28a에서 설명한 화소가, 각각 상이한 색을 발광하는 발광 소자를 포함하고, 상기 화소를 병치(並置)한 경우에 있어서, 각 색에서 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)의 크기를 다르게 하는 구성으로 해도 좋다. 각 색에서 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터(101)의 크기를 다르게 한 구성의 상면도를 도 61에 도시한다. 도 61에 있어서, 트랜지스터(101R)는, 적색의 발광을 행하는 발광 소자를 갖는 화소에 있어서의, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터이다. 또한 도 61에 있어서, 트랜지스터(101G)는, 녹색의 발광을 행하는 발광 소자를 갖는 화소에 있어서의, 반도체 장치를

전류원으로서 기능시킬 수 있는 트랜지스터이다. 또한 도 61에 있어서, 트랜지스터(101B)는, 청색의 발광을 행하는 발광 소자를 갖는 화소에 있어서의, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터이다. 상기 구성으로 함으로써, 각 색의 발광 소자에 적절한 양의 전류를 공급할 수 있다.

[0411] 또한, 상기의 도 28a에서 설명한 바와 같이, 상이한 색을 발광하는 발광 소자를 포함하는 화소를 병치한 경우에 있어서, 각 색에서 전원선으로서 기능하는 배선(110)의 굵기를 다르게 하는 구성으로 해도 좋다. 각 색에서 전원선으로서 기능하는 배선(110)의 크기를 다르게 한 구성의 상면도를 도 62에 도시한다. 도 62에 있어서, 배선(110R)은, 적색의 발광을 행하는 발광 소자에 전류를 공급하기 위한 배선에 대응한다. 또한 도 62에 있어서, 배선(110G)은, 녹색의 발광을 행하는 발광 소자에 전류를 공급하기 위한 배선에 대응한다. 또한 도 62에 있어서, 배선(110B)은, 청색의 발광을 행하는 발광 소자에 전류를 공급하기 위한 배선에 대응한다. 상기 구성으로 함으로써, 각 색의 발광 소자에 적절한 양의 전류를 공급할 수 있다.

[0412] 또한 상기한 상면도에서는, 각 트랜지스터를 역스태거형의 트랜지스터로서 나타냈지만, 톱 게이트형의 트랜지스터로 해도 좋다. 화소를 구성하는 각 트랜지스터를 톱 게이트형으로 한 경우의 상면도에 관해서 도 63에 도시한다. 또한 톱 게이트형의 트랜지스터로 하는 경우에 도 55에 도시한 상면도와 비교하여, 콘택트 홀(859)이 증가하는 구성이 된다.

[0413] 콘택트 홀(859)은, 반도체층(852)과 도전층(853)을 접속하는 기능을 가진다.

[0414] 또한 도 63에 도시하는 바와 같이 화소를 구성하는 트랜지스터를 톱 게이트형으로 한 경우, 반도체층을 비정질 실리콘 또는 다결정 실리콘으로 하는 구성으로 하는 것이 바람직하다. 상기 구성으로 함으로써 반도체층에 인 또는 붕소 등의 불순물 원소를 도입하여 도전성을 높임으로써 반도체층을 트랜지스터간의 배선으로서 사용할 수 있다.

[0415] 여기에서 도 63에서 설명한 상면도에 있어서의 스위치(105)로서 기능하는 트랜지스터(도 63 중, 2점 쇄선 A-A' 사이)와 용량 소자(107)(도 63 중, 2점 쇄선 B-B' 사이)의 단면도의 구성에 관해서 도 92a, 도 92b를 사용하여 설명한다.

[0416] 도 92a에 도시하는 스위치(105)로서 기능하는 트랜지스터는, 일례로서, 톱 게이트 구조의 트랜지스터의 하나이다. 또한, 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도, 두개 형성되는 더블 게이트 구조 또는 세개 형성되는 트리플 게이트 구조라도 좋다. 또한, 채널 영역의 상하에 게이트 절연층을 개재하여 배치된 2개의 게이트 전극층을 갖는, 듀얼 게이트형이라도 좋다.

[0417] 도 92a에 도시하는 스위치(105)로서 기능하는 트랜지스터는, 기관(410) 위에, 불순물이 도입되어 도전성이 향상된 불순물 영역(852<sub>n</sub>)을 갖는 반도체층(852), 게이트 절연층으로서 기능하는 절연층(411), 게이트가 되는 도전층(851), 층간 절연층으로서 기능하는 절연층(412), 소스 및 드레인이 되는 도전층(853)을 포함한다. 또한, 절연층(412) 및 도전층(853)을 덮고, 표면의 평탄성을 부여하는 절연층(413)이 형성되어 있다.

[0418] 또한 도 92b에 도시하는 용량 소자(107)는, 기관(410) 위에, 한쪽의 전극이 되는, 불순물이 도입되어 도전성이 향상된 불순물 영역(852<sub>n</sub>)을 갖는 반도체층(852), 절연층(411), 다른쪽의 전극이 되는 도전층(851)을 포함한다. 또한, 절연층(411) 및 절연층(412)에 형성된 콘택트 홀을 통하여 반도체층(852)에 접속되는 도전층(853)이 형성되어 있다. 또한, 절연층(412) 및 도전층(853)을 덮고, 표면의 평탄성을 부여하는 절연층(413)이 형성되어 있다.

[0419] 도 64에 반도체층을 비정질 실리콘 또는 다결정 실리콘으로 하고, 반도체층에 인 또는 붕소 등의 불순물 원소를 도입하여 도전성을 높임으로써 트랜지스터간의 배선으로서 이용하는 상면도의 구성에 관해서 도시한다. 또한 도 64에 있어서, 불순물 원소를 도입하여 도전성을 높인 도전층을 반도체층(860)으로 나타내고 있다.

[0420] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.

[0421] (실시형태 13)

[0422] 상기 실시형태에서는 표시 장치의 화소를 구성하는 각 트랜지스터를 n채널형의 트랜지스터를 사용하는 것으로 하여 설명을 하고 있다. 이것에 대해 본 실시형태에서는, 표시 장치의 화소의 회로 구성에 p채널형의 트랜지스터를 사용할 때의 회로 구성에 관해서 말한다.



- [0423] 도 28a에 있어서 화소(100)의 트랜지스터(101)는 n채널형 트랜지스터로서 설명했지만, 도 65에 도시하는 바와 같이 화소의 트랜지스터는 p채널형 트랜지스터로 할 수도 있다(화소(500)의 p채널형 트랜지스터(501)).
- [0424] 도 28a와 도 65를 비교하면 알 수 있는 바와 같이, 흐르는 전류의 방향이 발광 소자(106)와 역방향이 되도록 발광 소자를 접속한다. 구체적으로는 도 65의 발광 소자(506)와 같이 접속하면 좋다.
- [0425] 또한 도 28a에서는 배선(109)에 Vcat, 및 배선(110)에 VDD를 공급하고 있는데, 도 65에서는 이들의 전위를 교체하는 구성으로 하면 좋다. 구체적으로는 도 65에서는 배선(109)에 공급하는 VDD, 및 배선(110)에 공급하는 Vcat로 하면 좋다. 그리고, 화소내의 각 노드의 전위를 초기화하기 위한 Vinit를 VDD 및 Vcat보다 높은 전위로 하면 좋다.
- [0426] 이와 같이, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터에 p채널형 트랜지스터를 적용할 수 있다.
- [0427] 또한 도 28a에 있어서 화소(100)를 구성하는 각 스위치를 p채널형 트랜지스터로 구성하는 것도 가능하다. 구체적으로는 도 66에 도시하는 바와 같이, 각 스위치로서 p채널형 트랜지스터인 트랜지스터(502T), 트랜지스터(503T), 트랜지스터(504T), 트랜지스터(505T)를 사용하면 좋고, 도통 상태 및 비도통 상태를 전환하여 화소를 제어하면 좋다. 또한 배선(131) 내지 배선(134)에 공급하는 도통 상태 및 비도통 상태를 전환하는 신호는, 도 31a 내지 도 31c와 동일한 동작이 되도록 적절히 동작시키면 좋다.
- [0428] 또한 도 28a에 있어서, 화소(100)를 구성하는 각 스위치의 도전형을 n채널형 트랜지스터로 구성하고, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터만 p채널형 트랜지스터로 하는 것도 가능하다. 구체적으로는 도 67에 도시하는 바와 같이, 각 스위치로서 n채널형 트랜지스터, 반도체 장치를 전류원으로서 기능시킬 수 있는 트랜지스터로서 p채널형 트랜지스터를 사용하여 구성하면 좋다.
- [0429] 또한 도 66 및 도 67에서 설명한 화소를 구성하는 각 스위치의 도전형은 동일하지만, 상이하도록 형성하는 구성으로 하는 것도 가능하다. 구체적으로는, 도 68에 도시하는 바와 같이, 화소(500)를 구성하는 스위치를 p채널형 트랜지스터인 트랜지스터(502T), n채널형 트랜지스터인 트랜지스터(103T), n채널형 트랜지스터인 트랜지스터(104T), p채널형 트랜지스터인 트랜지스터(505T)로 하는 것도 가능하다.
- [0430] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0431] (실시형태 14)
- [0432] 상기 실시형태에서는 표시 장치의 화소를 구성하는 각 트랜지스터를, 주로 n채널형의 트랜지스터라고 하여 설명을 하고 있다. 특히 본 실시형태에서는, 표시 장치의 화소의 회로 구성에 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터를 사용하는 경우에 관해서 서술한다.
- [0433] 도 28a에 있어서 화소(100)의 트랜지스터(101)는 단순히 n채널형 트랜지스터로서 설명했지만, 도 69에 도시하는 화소(600)와 같이, 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터(601)로 할 수도 있다. 또한 도면에 있어서, 도 69에 있어서의 트랜지스터(601)와 같이, 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터에는, OS의 부호를 붙이고 있다.
- [0434] 도 69의 구성에서는, 트랜지스터(601)로서, 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터를 사용하기 때문에, 트랜지스터의 오프 전류를 저감시킬 수 있다. 따라서 오동작이 적은 화소의 회로 구성으로 할 수 있다.
- [0435] 또한 화소(600)를 구성하는 각 스위치를 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터로 구성하는 것도 가능하다. 구체적으로는 도 70에 도시하는 바와 같이, 각 스위치로서 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터(602) 내지 트랜지스터(605)로 구성하면 좋다.
- [0436] 또한 본 명세서에서 설명하는 오프 전류란, 트랜지스터가 비도통 상태일 때에, 소스와 드레인 사이에 흐르는 전류를 말한다. n채널형의 트랜지스터(예를 들면, 임계값 전압이 0 내지 2V 정도)에서는, 게이트와 소스 사이에 인가되는 전압이 음의 전압인 경우에, 소스와 드레인 사이를 흐르는 전류를 말한다.
- [0437] 이어서 채널 형성 영역이 형성되는 산화물 반도체층의 재료에 관해서 이하에 설명한다. 상기한 바와 같이 본 실시형태의 구성에서는, 일례로서, 산화물 반도체로 이루어지는 층(산화물 반도체층)을 포함하고 있어도 좋다.



- [0438] 산화물 반도체로서는, 예를 들면, 4원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속의 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, Hf-In-Zn-O계 산화물 반도체나, 2원계 금속의 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-Ga-O계의 재료 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 In과 Ga와 Sn과 Zn 이외의 원소, 예를 들면 SiO<sub>2</sub>을 함유시켜도 좋다.
- [0439] 예를 들면, In-Sn-Zn-O계 산화물 반도체란, 인듐(In), 주석(Sn), 아연(Zn)을 갖는 산화물 반도체라는 의미이며, 그 조성비는 상관하지 않는다. 또한 예를 들면, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체라는 의미이며, 그 조성비는 상관하지 않는다. In-Ga-Zn-O계 산화물 반도체는, IGZO라고 부를 수 있다.
- [0440] 또한, 산화물 반도체층은, 산화물 반도체막을 사용하여 형성할 수 있다. In-Sn-Zn-O계 산화물 반도체막을 스퍼터링법에 의해 형성하는 경우, 타깃의 조성비는, 원자수비로 In:Sn:Zn이, 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35 등을 사용한다.
- [0441] 또한, In-Zn-O계 산화물 반도체막을 스퍼터링법에 의해 형성하는 경우, 타깃의 조성비는, 원자수비로, In:Zn=50:1 내지 1:2(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=10:1 내지 1:2), 더욱 바람직하게는 In:Zn=1.5:1 내지 15:1(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=3:4 내지 15:2)로 한다. 예를 들면, 타깃은, 원자수비가 In:Zn:O=X:Y:Z일 때, Z>1.5X+Y로 한다.
- [0442] 또한, In-Ga-Zn-O계 산화물 반도체막을 스퍼터링법에 의해 형성하는 경우, 타깃의 조성비는, 원자수비로, In:Ga:Zn=1:1:0.5, In:Ga:Zn=1:1:1, 또는 In:Ga:Zn=1:1:2로 할 수 있다.
- [0443] 또한, 타깃의 순도를, 99.99% 이상으로 함으로써, 산화물 반도체막에 혼입되는 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기, 또는 수소화물 등을 저감시킬 수 있다. 또한, 상기 타깃을 사용함으로써, 산화물 반도체막에 있어서, 리튬, 나트륨, 칼륨 등의 알칼리 금속의 농도를 저감시킬 수 있다.
- [0444] 또한, 산화물 반도체는 불순물에 대해 둔감하여, 막 중에는 상당한 금속 불순물이 함유되어 있어도 문제가 없으며, 나트륨(Na)과 같은 알칼리 금속이 다량으로 함유되는 염가의 소다석회 유리도 사용할 수 있다고 지적되고 있다(카미야, 노무라, 호소노, 「아모포스 산화물 반도체의 물성과 디바이스 개발의 현상」, 고체 물리, 2009년 9월호, Vol. 44, pp. 621-633.). 그러나, 이러한 지적은 적절하지 않다. 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에, 불순물이다. 알칼리 토금속도, 산화물 반도체를 구성하는 원소가 아닌 경우에 있어서, 불순물이 된다. 특히, 알칼리 금속 중 Na는, 산화물 반도체층에 접하는 절연막이 산화물인 경우, 상기 절연막 중으로 확산되어 Na<sup>+</sup>가 된다. 또한, Na는, 산화물 반도체층 내에 있어서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나, 또는, 그 결합 중으로 끼어든다. 그 결과, 예를 들면, 임계값 전압이 마이너스 방향으로 시프트하는 것에 의한 노멀리온화, 이동도의 저하 등의, 트랜지스터의 특성의 열화가 일어나고, 또한 특성의 편차도 발생한다. 이 불순물에 의해 초래되는 트랜지스터의 특성의 열화와, 특성의 편차는, 산화물 반도체층 중의 수소 농도가 충분히 낮은 경우에 있어서 현저하게 나타난다. 따라서, 산화물 반도체층 중의 수소 농도가 1×10<sup>18</sup>/cm<sup>3</sup> 이하, 보다 바람직하게는 1×10<sup>17</sup>/cm<sup>3</sup> 이하인 경우에는, 상기 불순물의 농도를 저감시키는 것이 바람직하다. 구체적으로, 2차 이온 질량 분석법에 의한 Na 농도의 측정값은, 5×10<sup>16</sup>/cm<sup>3</sup> 이하, 바람직하게는 1×10<sup>16</sup>/cm<sup>3</sup> 이하, 더욱 바람직하게는 1×10<sup>15</sup>/cm<sup>3</sup> 이하로 하면 좋다. 마찬가지로, Li 농도의 측정값은, 5×10<sup>15</sup>/cm<sup>3</sup> 이하, 바람직하게는 1×10<sup>15</sup>/cm<sup>3</sup> 이하로 하면 좋다. 마찬가지로, K 농도의 측정값은, 5×10<sup>15</sup>/cm<sup>3</sup> 이하, 바람직하게는 1×10<sup>15</sup>/cm<sup>3</sup> 이하로 하면 좋다.
- [0445] 또한, 산화물 반도체막은, 단결정, 다결정(폴리크리스탈이라고도 말한다.) 또는 비정질 등의 상태를 취한다.
- [0446] 바람직하게는, 산화물 반도체층은, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.
- [0447] CAAC-OS막은, 완전한 단결정이 아니며, 완전한 비정질도 아니다. CAAC-OS막은, 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는, 1변이 100nm 미만인 입방체 안

에 들어가는 크기인 경우가 많다. 또한, 투과형 전자현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지는 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리라고도 한다.)는 확인할 수 없다. 이로 인해, CAAC-OS막은, 입계에 기인하는 전자 이동도의 저하가 억제된다.

- [0448] CAAC-OS막에 포함되는 결정부는, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직한 방향에서 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 가지고, c축에 수직한 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부간에서, 각각 a축 및 b축의 방향이 상이해도 좋다. 본 명세서에 있어서, 단순히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0449] 또한, CAAC-OS막에 있어서, 결정부의 분포가 일정하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면 근방에 대해 표면 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막으로 불순물을 첨가함으로써, 상기 불순물 첨가 영역에 있어서 결정부가 비정질화되는 경우도 있다.
- [0450] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.
- [0451] CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감시키는 것이 가능하다. 따라서, 상기 트랜지스터는, 신뢰성이 높다.
- [0452] CAAC-OS막에 포함되는 결정 구조의 일례에 관해서 도 71 내지 도 74를 사용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 71 내지 도 74는 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단지 상반분, 하반분이라고 하는 경우, ab면을 경계로 한 경우의 상반분, 하반분을 말한다. 또한, 도 71에 있어서 원으로 둘러싸인 0는 4배위의 0를 나타내고, 2중원으로 둘러싸인 0는 3배위의 0를 나타낸다.
- [0453] 도 71a에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0)를 갖는 구조를 도시한다. 여기에서는, 금속 원자 1개에 대해, 근접한 산소 원자만 나타낸 구조를 소그룹이라고 부른다. 도 71a의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 나타내고 있다. 또한, 도 71a의 상반분 및 하반분에는 각각 3개씩 4배위의 0가 있다. 도 71a에 도시하는 소그룹은 전하가 0이다.
- [0454] 도 71b에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, Ga에 근접한 2개의 4배위의 0를 갖는 구조를 도시한다. 3배위의 0는, 모두 ab면에 존재한다. 도 71b의 상반분 및 하반분에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하기 때문에, 도 71b에 도시하는 구조를 취할 수 있다. 도 71b에 도시하는 소그룹은 전하가 0이다.
- [0455] 도 71c에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 0를 갖는 구조를 도시한다. 도 71c의 상반분에는 1개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있다. 또는, 도 71c의 상반분에 3개의 4배위의 0가 있고, 하반분에 1개의 4배위의 0가 있어도 좋다. 도 71c에 도시하는 소그룹은 전하가 0이다.
- [0456] 도 71d에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 0를 갖는 구조를 도시한다. 도 71d의 상반분에는 3개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있다. 도 71d에 도시하는 소그룹은 전하가 +1이 된다.
- [0457] 도 71e에, 2개의 Zn을 포함하는 소그룹을 도시한다. 도 71e의 상반분에는 1개의 4배위의 0가 있고, 하반분에는 1개의 4배위의 0가 있다. 도 71e에 도시하는 소그룹은 전하가 -1이 된다.
- [0458] 여기에서는, 복수의 소그룹의 집합체를 중그룹이라고 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 말한다.)이라고 부른다.
- [0459] 여기에서, 이들 소그룹끼리가 결합하는 규칙에 관해서 설명한다. 6배위의 In의 상반분의 3개의 0는, 하방향을 각각 3개의 근접 In을 가지고, 하반분의 3개의 0는, 상방향을 각각 3개의 근접 In을 가진다. 5배위의 Ga의 상

반분의 1개의 0는, 하방향에 1개의 근접 Ga를 가지고, 하반분의 1개의 0는, 상방향에 1개의 근접 Ga를 가진다. 4배위의 Zn의 상반분의 1개의 0는, 하방향에 1개의 근접 Zn을 가지고, 하반분의 3개의 0는, 상방향에 각각 3개의 근접 Zn을 가진다. 이와 같이, 금속 원자의 상방향의 4배위의 0의 수와, 그 0의 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자의 하방향의 4배위의 0의 수와, 그 0의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0는 4배위이기 때문에, 하방향에 있는 근접 금속 원자의 수와, 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 0의 수와, 다른 금속 원자의 하방향에 있는 4배위의 0의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 그 이유를 이하에 나타낸다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하반분의 4배위의 0를 통하여 결합하는 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In), 4배위의 금속 원자(Zn) 중 어느 하나와 결합하게 된다.

[0460] 이러한 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 0를 통하여 결합한다. 또한, 이것 외에도, 층 구조의 합계 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.

[0461] 도 72a에, In-Sn-Zn-O계의 층 구조를 구성하는 중그룹의 모델도를 도시한다. 도 72b에, 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 72c는, 도 72b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한다.

[0462] 도 72a에 있어서는, 간단하게 하기 위해, 3배위의 0는 생략하고, 4배위의 0는 개수만 나타내고, 예를 들면, Sn의 상반분 및 하반분에는 각각 3개씩 4배위의 0가 있는 것을 동그라미 3으로서 나타내고 있다. 마찬가지로, 도 72a에 있어서, In의 상반분 및 하반분에는 각각 1개씩 4배위의 0가 있고, 동그라미 1로서 나타내고 있다. 또한, 마찬가지로, 도 72a에 있어서, 하반분에는 1개의 4배위의 0가 있고, 상반분에는 3개의 4배위의 0가 있는 Zn과, 상반분에는 1개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있는 Zn을 나타내고 있다.

[0463] 도 72a에 있어서, In-Sn-Zn-O계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn이, 4배위의 0가 1개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹의 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0464] 여기에서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당의 전하는 각각 -0.667, -0.5로 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다. 이로 인해, Sn을 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, 도 71e에 도시하는 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들면, Sn을 포함하는 소그룹 1개에 대해, 2개의 Zn을 포함하는 소그룹이 1개 있으면, 전하가 상쇄되기 때문에, 층 구조의 합계 전하를 0으로 할 수 있다.

[0465] 구체적으로는, 도 72b에 도시한 대그룹이 반복됨으로써, In-Sn-Zn-O계의 결정( $\text{In}_2\text{SnZn}_3\text{O}_8$ )을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-O계의 층 구조는,  $\text{In}_2\text{SnZn}_3\text{O}_7(\text{ZnO})_m$ (m은 0 또는 자연수.)로 하는 조성식으로 표시할 수 있다.

[0466] 또한, 이 외에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn-O계 산화물(IGZO라고도 표기한다.), In-Al-Zn-O계 산화물, Sn-Ga-Zn-O계 산화물, Al-Ga-Zn-O계 산화물, Sn-Al-Zn-O계 산화물이나, In-Hf-Zn-O계 산화물, In-La-Zn-O계 산화물, In-Ce-Zn-O계 산화물, In-Pr-Zn-O계 산화물, In-Nd-Zn-O계 산화물, In-Sm-Zn-O계 산화물, In-Eu-Zn-O계 산화물, In-Gd-Zn-O계 산화물, In-Tb-Zn-O계 산화물, In-Dy-Zn-O계 산화물, In-Ho-Zn-O계 산화물, In-Er-Zn-O계 산화물, In-Tm-Zn-O계 산화물, In-Yb-Zn-O계 산화물, In-Lu-Zn-O계 산화물이나, 2원계 금속의 산화물인 In-Zn-O계 산화물, Sn-Zn-O계 산화물, Al-Zn-O계 산화물, Zn-Mg-O계 산화물, Sn-Mg-O계 산화물, In-Mg-O계 산화물이나, In-Ga-O계의 재료 등을 사용한 경우도 마찬가지로 있다.

[0467] 예를 들면, 도 73a에, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹의 모델도를 도시한다.

[0468] 도 73a에 있어서, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반분 및 하반분에 있는 In이, 하나의 4배위의 0가 상반분에 있는 Zn과 결합하고, 그 Zn의 하반분의 3개의 4배위

의 0를 통하여, 4배위의 0가 1개씩 상반분 및 하반분에 있는 Ga와 결합하고, 그 Ga의 하반분의 1개의 4배위의 0를 통하여, 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

- [0469] 도 73b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 73c는, 도 73b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 나타내고 있다.
- [0470] 여기에서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은, 전하가 0이 된다. 이로 인해, 이들 소그룹의 조합이면 중그룹의 합계 전하는 항상 0이 된다.
- [0471] 또한, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 도 73a에 도시한 중그룹으로 한정되지 않고, In, Ga, Zn의 배열이 상이한 중그룹을 조합한 대그룹도 취할 수 있다.
- [0472] 구체적으로는, 도 73b에 도시한 대그룹이 반복됨으로써, In-Ga-Zn-O계의 결정을 얻을 수 있다. 또한, 얻어지는 In-Ga-Zn-O계의 층 구조는,  $\text{InGaO}_3(\text{ZnO})_n$  (n은 자연수.)라는 조성식으로 나타낼 수 있다.
- [0473]  $n=1(\text{InGaZnO}_4)$ 의 경우에는, 예를 들면, 도 74a에 도시하는 결정 구조를 취할 수 있다. 또한, 도 74a에 도시하는 결정 구조에 있어서, 도 71b에서 설명한 바와 같이, Ga 및 In은 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.
- [0474] 또한,  $n=2(\text{InGaZn}_2\text{O}_5)$ 인 경우에는, 예를 들면, 도 74b에 도시하는 결정 구조를 취할 수 있다. 또한, 도 74b에 도시하는 결정 구조에 있어서, 도 71b에서 설명한 바와 같이, Ga 및 In은 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.
- [0475] CAAC-OS막은, 스퍼터링법에 의해 제작할 수 있다. 타깃 재료는 상기한 바와 같은 재료를 사용할 수 있다. 스퍼터링법을 사용하여 CAAC-OS막을 성막하는 경우에는, 분위기 중의 산소 가스비가 높은 편이 바람직하다. 예를 들면, 아르곤 및 산소의 혼합 가스 분위기 중에서 스퍼터링법을 행하는 경우에는, 산소 가스비를 30% 이상으로 하는 것이 바람직하며, 40% 이상으로 하는 것이 보다 바람직하다. 분위기 중에서의 산소의 보충에 의해, CAAC-OS막의 결정화가 촉진되기 때문이다.
- [0476] 또한, 스퍼터링법을 사용하여 CAAC-OS막을 성막하는 경우에는, CAAC-OS막이 성막되는 기판을 150℃ 이상으로 가열해 두는 것이 바람직하며, 170℃ 이상으로 가열해 두는 것이 보다 바람직하다. 기판 온도의 상승에 따라, CAAC-OS막의 결정화가 촉진되기 때문이다.
- [0477] 또한, CAAC-OS막에 대해, 질소 분위기중 또는 진공 중에 있어서 열처리를 행한 후에는, 산소 분위기중 또는 산소와 다른 가스의 혼합 분위기 중에 있어서 열처리를 행하는 것이 바람직하다. 상기의 열처리에서 발생하는 산소 결손을 나중의 열처리에 있어서의 분위기 중으로부터의 산소 공급에 의해 복원할 수 있기 때문이다.
- [0478] 또한, CAAC-OS막이 성막되는 막 표면(피성막면)은 평탄한 것이 바람직하다. CAAC-OS막은, 상기 피성막면에 개략 수직이 되는 c축을 가지기 때문에, 상기 피성막면에 존재하는 요철은, CAAC-OS막에 있어서의 결정립계의 발생을 유발하게 되기 때문이다. 따라서, CAAC-OS막이 성막되기 전에 상기 피성막 표면에 대해 화학 기계 연마 (Chemical Mechanical Polishing: CMP) 등의 평탄화 처리를 행하는 것이 바람직하다. 또한, 상기 피성막면의 평균 거칠기는, 0.5nm 이하인 것이 바람직하며, 0.3nm 이하인 것이 보다 바람직하다.
- [0479] 또한, 스퍼터링 등으로 성막된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소(수산기를 포함한다)가 포함되어 있는 경우가 있다. 본 발명의 일 형태에서는, 산화물 반도체막(또는, 산화물 반도체막에 의해 형성된 산화물 반도체층) 중의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)시키기 위해, 산화물 반도체막(산화물 반도체층)에 대해, 감압 분위기하, 질소나 희가스 등의 불활성가스 분위기하, 산소 가스 분위기하, 또는 조건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 이슬점계를 사용하여 측정한 경우의 수분량이 20ppm(이슬점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기하에서, 산화물 반도체막(산화물 반도체층)에 가열 처리를 가한다.
- [0480] 산화물 반도체막(산화물 반도체층)에 가열 처리를 가함으로써, 산화물 반도체막(산화물 반도체층) 중의 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는, 250℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만의 온도로 가열 처리를 행하면 좋다. 예를 들면, 500℃, 3분 이상 6분 이하로 행하면 좋다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기판의 변형점을 초과하는 온



도로도 처리할 수 있다.

- [0481] 이와 같이 하여 산화물 반도체막(산화물 반도체층) 중의 수분 또는 수소를 탈리시킨 후, 산소를 첨가한다. 이와 같이 하여, 산화물 반도체막(산화물 반도체층) 중 등에 있어서의 산소 결함을 저감시키고, 산화물 반도체막(산화물 반도체층)을 i형화 또는 i형에 매우 가깝게 할 수 있다.
- [0482] 산소의 첨가는, 예를 들면, 산화물 반도체막(산화물 반도체층)에 접하여 화학량론적 조성비보다 산소가 많은 영역을 갖는 절연막을 형성하고, 그 후 가열함으로써 행할 수 있다. 이와 같이 하여, 절연막 중의 과잉한 산소를 산화물 반도체막(산화물 반도체층)에 공급할 수 있다. 이와 같이 하여, 산화물 반도체막(산화물 반도체층)을 산소를 과잉으로 함유하는 상태로 할 수 있다. 과잉으로 함유되는 산소는, 예를 들면, 산화물 반도체막(산화물 반도체층)을 구성하는 결정의 격자간에 존재한다.
- [0483] 또한, 화학량론적 조성비보다 산소가 많은 영역을 갖는 절연막은, 산화물 반도체막(산화물 반도체층)에 접하는 절연막 중, 상층에 위치하는 절연막 또는 하층에 위치하는 절연막 중, 어느 한쪽에만 사용해도 좋지만, 양쪽 절연막에 사용하는 편이 바람직하다. 화학량론적 조성비보다 산소가 많은 영역을 갖는 절연막을, 산화물 반도체막(산화물 반도체층)에 접하는 절연막의, 상층 및 하층에 위치하는 절연막에 사용하고, 산화물 반도체막(산화물 반도체층)을 사이에 개재하는 구성으로 함으로써, 상기 효과를 보다 높일 수 있다.
- [0484] 여기에서, 화학량론적 조성비보다 산소가 많은 영역을 갖는 절연막은, 단층의 절연막이라도 좋고, 적층된 복수의 절연막으로 구성되어 있어도 좋다. 또한, 상기 절연막은, 수분이나, 수소 등의 불순물을 최대한 함유하지 않는 것이 바람직하다. 절연막에 수소가 함유되면, 그 수소가 산화물 반도체막(산화물 반도체층)으로 침입하고, 또는 수소가 산화물 반도체막(산화물 반도체층) 중의 산소를 추출하여 산화물 반도체막이 저저항화(n형화)되어 버려 기생 채널이 형성될 우려가 있다. 따라서, 절연막은 가능한 한 수소를 함유하지 않는 막이 되도록, 성막 방법에 수소를 사용하지 않는 것이 중요하다. 또한, 절연막에는, 배리어성이 높은 재료를 사용하는 것이 바람직하다. 예를 들면, 배리어성이 높은 절연막으로서, 질화규소막, 질화산화규소막, 질화알루미늄막, 산화알루미늄막, 또는 질화산화알루미늄막 등을 사용할 수 있다. 복수의 적층된 절연막을 사용하는 경우, 질소의 함유 비율이 낮은 산화규소막, 산화질화규소막 등의 절연막을, 상기 배리어성이 높은 절연막보다도, 산화물 반도체막(산화물 반도체층)에 가까운 측에 형성한다. 그리고, 질소의 함유 비율이 낮은 절연막을 사이에 개재하여, 산화물 반도체막(산화물 반도체층)과 중첩되도록, 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 사용함으로써, 산화물 반도체막(산화물 반도체층) 내나 다른 절연막의 계면과 그 근방에, 수분 또는 수소 등의 불순물이 들어가는 것을 방지할 수 있다. 또한, 산화물 반도체막(산화물 반도체층)에 접하도록 질소의 비율이 낮은 산화규소막, 산화질화규소막 등의 절연막을 형성함으로써, 배리어성이 높은 재료를 사용한 절연막이 직접 산화물 반도체막(산화물 반도체층)에 접하는 것을 방지할 수 있다.
- [0485] 또한, 산화물 반도체막(산화물 반도체층) 중의 수분 또는 수소를 탈리시킨 후의 산소 첨가는, 산소 분위기 하에서 산화물 반도체막(산화물 반도체층)에 가열 처리를 가함으로써 행해도 좋다. 가열 처리의 온도는, 예를 들면 100℃ 이상 350℃ 미만, 바람직하게는 150℃ 이상 250℃ 미만으로 행한다. 상기 산소 분위기하의 가열 처리에 사용되는 산소 가스에는, 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 산소 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0486] 또는, 산화물 반도체막(산화물 반도체층) 중의 수분 또는 수소를 탈리시킨 후의 산소 첨가는, 이온 주입법 또는 이온 도핑법 등을 사용하여 행해도 좋다. 예를 들면, 2.45GHz의 마이크로파로 플라즈마화한 산소를 산화물 반도체막(산화물 반도체층)에 첨가하면 좋다.
- [0487] 이와 같이 형성한 산화물 반도체층을 트랜지스터(601)의 반도체층으로서 사용할 수 있다. 이와 같이 하여, 오프 전류를 현저하게 저감시킨 트랜지스터(601)가 얻어진다.
- [0488] 또는 트랜지스터(601)의 반도체층은, 미결정 실리콘을 포함하고 있어도 좋다. 미결정 실리콘이란, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체이다. 미결정 실리콘은, 결정 입경이 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 보다 바람직하게는 20nm 이상 50nm 이하, 더욱 바람직하게는 25nm 이상 33nm 이하의 기동상 결정 또는 침상 결정이 기판 표면에 대해 법선 방향으로 성장하고 있다. 이로 인해, 기동상 결정 또는 침상 결정의 계면에는, 입계가 형성되는 경우도 있다.
- [0489] 또는 트랜지스터(601)의 반도체층은, 비정질(아모포스) 실리콘을 포함하고 있어도 좋다. 또는 트랜지스터(601)의 반도체층은, 다결정 실리콘을 포함하고 있어도 좋다. 또는 트랜지스터(601)의 반도체층은, 유기 반도체,



카본 나노 튜브 등을 포함하고 있어도 좋다.

- [0490] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0491] (실시형태 15)
- [0492] 본 실시형태에서는, 상기 실시형태 7 내지 실시형태 14에서 나타난 화소 구성을 갖는 표시 패널 셀의 구성에 관해서 도 75a, 도 75b를 사용하여 설명한다.
- [0493] 또한, 도 75a는, 표시 패널 셀을 도시하는 상면도, 도 75b는 도 75a를 A-A'에서 절단한 단면도이다. 점선으로 나타난 신호선 구동 회로(6701), 화소부(6702), 제 1 주사선 구동 회로(6703), 제 2 주사선 구동 회로(6706)를 가진다. 또한, 봉지 기관(6704), 셀재(6705)를 가지고, 셀재(6705)로 둘러싸인 내측은, 공간(6707)이 된다.
- [0494] 또한, 배선(6708)은 제 1 주사선 구동 회로(6703), 제 2 주사선 구동 회로(6706) 및 신호선 구동 회로(6701)에 입력되는 신호를 전송하기 위한 배선이며, 외부 입력 단자가 되는 FPC(6709)(플렉시블 프린트 서킷)로부터 비디오 신호, 클럭 신호, 스타트 신호 등을 수취한다. FPC(6709)와 표시 패널 셀의 접속부 위에는 IC칩(6719)(메모리 회로나, 버퍼 회로 등이 형성된 반도체 칩)이 COG(Chip On Glass) 등으로 실장되어 있다. 또한, 여기에서는 FPC(6709)밖에 도시되어 있지 않지만, 이 FPC(6709)에는 프린트 배선 기관(PWB)이 장착되어 있어도 좋다. 본 명세서에 있어서의 표시 장치란, 표시 패널 셀 본체뿐만 아니라, 거기에 FPC 또는 PWB가 장착된 상태도 포함하는 것으로 한다. 또한, IC칩 등이 실장된 것을 포함하는 것으로 한다.
- [0495] 다음에, 단면 구조에 관해서 도 75b를 사용하여 설명한다. 기관(6710) 위에는 화소부(6702)와 그 주변 구동 회로(제 1 주사선 구동 회로(6703), 제 2 주사선 구동 회로(6706) 및 신호선 구동 회로(6701))가 형성되어 있지만, 여기에서는, 신호선 구동 회로(6701)와, 화소부(6702)가 나타나 있다.
- [0496] 또한, 신호선 구동 회로(6701)는 n채널형 트랜지스터(6720)이나 n채널형 트랜지스터(6721)와 같이 단극성의 트랜지스터로 구성되어 있다. 또한, 화소 구성에는 도 28a나 도 43이나 도 44의 화소 구성을 적용함으로써 단극성의 트랜지스터로 화소를 구성할 수 있다. 따라서, 주변 구동 회로를 n채널형 트랜지스터로 구성하면 단극성 표시 패널 셀을 제작할 수 있다. 물론, 단극성의 트랜지스터뿐만 아니라 p채널형 트랜지스터도 사용하여 CMOS 회로를 형성해도 좋다. 또한, 본 실시형태에서는, 기관 위에 주변 구동 회로를 일체 형성한 표시 패널 셀을 나타내지만, 반드시 그럴 필요는 없고, 주변 구동 회로의 전부 또는 일부를 IC칩 등에 형성하고, COG 등으로 실장해도 좋다. 그 경우에는 구동 회로는 단극성으로 할 필요가 없어 p채널형 트랜지스터를 조합하여 사용할 수 있다.
- [0497] 또한, 화소부(6702)는 트랜지스터(6711)와, 트랜지스터(6712)를 가지고 있다. 또한, 트랜지스터(6712)의 소스 전극은 제 1 전극(6713)(화소 전극)과 접속되어 있다. 또한, 제 1 전극(6713)의 단부를 덮고 절연물(6714)이 형성되어 있다. 여기에서는, 포지티브형의 감광성 아크릴 수지막을 사용함으로써 형성한다.
- [0498] 또한, 커버리지를 양호한 것으로 하기 위해서, 절연물(6714)의 상단부 또는 하단부에 곡률을 갖는 곡면이 형성되도록 절연물(6714)을 형성한다. 예를 들면, 절연물(6714)의 재료로서 포지티브형의 감광성 아크릴을 사용한 경우, 절연물(6714)의 상단부에만 곡률 반경(0.2 $\mu$ m 내지 3 $\mu$ m)을 갖는 곡면을 갖게 하는 것이 바람직하다. 또한, 절연물(6714)로서, 감광성의 광에 의해 에천트에 불용해성이 되는 네가티브형, 또는 광에 의해 에천트에 용해성이 되는 포지티브형 모두 사용할 수 있다.
- [0499] 제 1 전극(6713) 위에는, 유기 화합물을 포함하는 층(6716), 및 제 2 전극(6717)(대향 전극)이 각각 형성되어 있다. 여기에서, 양극으로서 기능하는 제 1 전극(6713)에 사용하는 재료로서는, 일함수가 큰 재료를 사용하는 것이 바람직하다. 예를 들면, 인듐주석 산화물막, 인듐아연 산화물막, 질화티타늄막, 크롬막, 텅스텐막, Zn막, Pt막 등의 단층막 외에, 질화티타늄과 알루미늄을 주성분으로 하는 막과의 적층, 질화티타늄막과 알루미늄을 주성분으로 하는 막과 질화티타늄막의 3층 구조 등을 사용할 수 있다. 또한, 적층 구조로 하면, 배선으로서의 저항도 낮아 양호한 오믹 콘택트가 얻어지고, 또한 양극으로서 기능시킬 수 있다.
- [0500] 또한, 유기 화합물을 포함하는 층(6716)은, 증착 마스크를 사용한 증착법, 또는 잉크젯법에 의해 형성된다. 유기 화합물을 포함하는 층(6716)에는, 원소주기표 제4족 금속 착체를 그 일부에 사용하는 것으로 하고, 그 외, 조합하여 사용할 수 있는 재료로서는, 저분자계 재료라도 고분자계 재료라도 좋다. 또한, 유기 화합물을 포함하는 층에 사용하는 재료로서는, 통상, 유기 화합물을 단층 또는 적층으로 사용하는 경우가 많지만, 본 실시형

태에 있어서는, 유기 화합물로 이루어지는 막의 일부에 무기 화합물을 사용하는 구성도 포함시키는 것으로 한다. 또한, 공지의 3중항 재료를 사용하는 것도 가능하다.

- [0501] 또한, 유기 화합물을 포함하는 층(6716) 위에 형성되는, 음극으로서 기능하는 제 2 전극(6717)에 사용하는 재료로서는, 일함수가 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF<sub>2</sub>, 또는 Ca<sub>3</sub>N<sub>2</sub>)를 사용하면 좋다. 또한, 유기 화합물을 포함하는 층(6716)에서 발생한 광이 제 2 전극(6717)을 투과시키는 경우에는, 제 2 전극(6717)(음극)으로서, 막 두께를 얇게 한 금속 박막과, 투명 도전층(인듐주석 산화물, 산화인듐산화아연(In<sub>2</sub>O<sub>3</sub>-ZnO), 산화아연(ZnO) 등)의 적층을 사용하는 것이 좋다.
- [0502] 또한 셀재(6705)로 봉지 기관(6704)을 기관(6710)과 접합함으로써, 기관(6710), 봉지 기관(6704), 및 셀재(6705)로 둘러싸인 공간(6707)에 발광 소자(6718)가 구비된 구조로 되어 있다. 또한, 공간(6707)에는, 불활성 기체(질소나 아르곤 등)가 충전되는 경우 외에, 셀재(6705)로 충전되는 구성도 포함하는 것으로 한다.
- [0503] 또한, 셀재(6705)에는 에폭시계 수지를 사용하는 것이 바람직하다. 또한, 이러한 재료는 가능한 한 수분이나 산소를 투과하지 않는 재료인 것이 바람직하다. 또한, 봉지 기관(6704)에 사용하는 재료로서 유리 기관이나 석영 기관 외에, FRP(Fiberglass-Reinforced Plastics), PVF(폴리비닐플루오라이드), 폴리에스테르 또는 아크릴 등으로 이루어지는 플라스틱 기관을 사용할 수 있다.
- [0504] 이상과 같이 하여, 상기 실시형태 7 내지 실시형태 14의 화소 구성을 갖는 표시 패널 셀을 얻을 수 있다.
- [0505] 다음에, 도 99를 참조하여, 도 75a, 도 75b에서 설명한 표시 패널 셀을 구비하는 표시 모듈의 구성예에 관해서 설명한다.
- [0506] 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널 셀(8004), FPC(8005)에 접속된 표시 패널 셀(8006), 프레임(8007), 프린트 기관(8008)을 가진다.
- [0507] 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널 셀(8004) 및 표시 패널 셀(8006)의 사이즈에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.
- [0508] 터치 패널 셀(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널 셀(8006)에 중첩하여 사용할 수 있다. 또한, 표시 패널 셀(8006)의 대향 기관(봉지 기관)에, 터치 패널 기능을 갖게 하도록 하는 것도 가능하다. 또한, 표시 패널 셀(8006)의 각 화소내에 광센서를 형성하고, 광학식의 터치 패널로 하는 것도 가능하다.
- [0509] 표시 패널 셀(8006)에 관해서는, 도 75a, 도 75b의 표시 패널 셀을 사용할 수 있다. 즉, 화소 구성에는 도 28a나 도 43이나 도 44의 화소 구성을 적용함으로써 단극성의 트랜지스터로 화소를 구성할 수 있다. 또한, 주변 구동 회로를 n채널형 트랜지스터로 구성하면 단극성 표시 패널 셀을 제작할 수 있다.
- [0510] 프레임(8007)은, 표시 패널 셀(8006)의 보호 기능 외에, 프린트 기관(8008)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 쉴드로서의 기능을 가진다. 또한 프레임(8007)은, 방열판으로서의 기능을 갖고 있어도 좋다.
- [0511] 프린트 기관(8008)은, 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 가진다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이라도 좋고, 별도 형성한 배터리에 의한 전원이라도 좋다.
- [0512] 또한, 표시 모듈(8000)은, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 형성해도 좋다.
- [0513] 본 실시형태는, 다른 실시형태의 일부 또는 전부에 관해서, 변경, 추가, 수정, 삭제, 응용, 상위 개념화, 또는, 하위 개념화한 것에 상당한다. 따라서, 본 실시형태의 일부 또는 전부에 관해서, 다른 실시형태의 일부 또는 전부와 자유롭게 조합하거나, 적용하거나, 치환하여 실시할 수 있다.
- [0514] (실시형태 16)
- [0515] 본 실시형태에 있어서는, 전자 기기의 예에 관해서 설명한다.
- [0516] 도 76a 내지 도 76h, 도 77a 내지 도 77d는, 전자 기기를 도시하는 도면이다. 이들 전자 기기는, 하우스(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함한다), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도(傾度), 진동,

냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0517] 도 76a는 모바일 컴퓨터이며, 상기한 것 이외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 76b는 기록 매체를 구비한 휴대형의 화상 재생 장치(예를 들면, DVD 재생 장치)이며, 상기한 것 이외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 76c는 고글형 디스플레이이며, 상기한 것 이외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 76d는 휴대형 게임기이며, 상기한 것 이외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 76e는 텔레비전 수상 기능 장착 디지털 카메라이며, 상기한 것 이외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 76f는 휴대형 게임기이며, 상기한 것 이외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 76g는 텔레비전 수상기이며, 상기한 것 이외에, 튜너, 화상 처리부 등을 가질 수 있다. 도 76h는 운반형 텔레비전 수상기이며, 상기한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 77a는 디스플레이이며, 상기한 것 이외에, 지지대(5018) 등을 가질 수 있다. 도 77b는 카메라이며, 상기한 것 이외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 77c는 컴퓨터이며, 상기한 것 이외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 가질 수 있다. 도 77d는 휴대 전화기이며, 상기한 것 이외에, 송신부, 수신부, 휴대 전화·이동 단말용 1세그먼트 부분 수신 서비스용 튜너 등을 가질 수 있다.

[0518] 도 76a 내지 도 76h, 도 77a 내지 도 77d에 도시하는 전자 기기는, 여러 가지 기능을 가질 수 있다. 예를 들면, 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜 또는 시각 등을 표시하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 여러 가지 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 여러 가지 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 갖는 전자 기기에 있어서는, 1개의 표시부는 주로 화상 정보를 표시하고, 다른 하나의 표시부는 주로 문자 정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적으로 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 갖는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 76a 내지 도 76h, 도 77a 내지 도 77d에 도시하는 전자 기기가 가질 수 있는 기능은 이들로 한정되지 않고, 여러 가지 기능을 가질 수 있다.

[0519] 본 실시형태에 있어서 말한 전자 기기는, 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다.

[0520] 다음에, 반도체 장치의 응용예를 설명한다.

[0521] 도 77e에, 반도체 장치를, 건조물(建造物)과 일체로 하여 형성한 예에 관해서 도시한다. 도 77e는, 하우스(5022), 표시부(5023), 조작부인 리모트 컨트롤 장치(5024), 스피커(5025) 등을 포함한다. 반도체 장치는, 벽걸이형으로서 건조물과 일체로 되어 있어, 넓은 공간을 필요로 하지 않고 설치 가능하다.

[0522] 도 77f에, 건조물 내에 반도체 장치를, 건조물과 일체로 하여 형성한 다른 예에 관해서 도시한다. 표시 모듈(5026)은, 유닛 베스(5027)와 일체로 장착되어 있어 입욕자는 표시 모듈(5026)의 시청이 가능하게 된다.

[0523] 또한, 본 실시형태에 있어서, 건조물로서 벽, 유닛 베스를 예로 했지만, 본 실시형태는 이것으로 한정되지 않고, 여러 가지 건조물에 반도체 장치를 설치할 수 있다.

[0524] 다음에, 반도체 장치를, 이동체와 일체로 하여 형성한 예에 관해서 나타낸다.

[0525] 도 77g는, 반도체 장치를, 자동차에 설치한 예에 관해서 도시한 도면이다. 표시 모듈(5028)은, 자동차 차체(5029)에 장착되어 있고, 차체의 동작 또는 차체 내외로부터 입력되는 정보를 온디맨드에 표시할 수 있다. 또한, 내비게이션 기능을 갖고 있어도 좋다.

[0526] 도 77h는, 반도체 장치를, 여객용 비행기와 일체로 하여 형성한 예에 관해서 도시한 도면이다. 도 77h는, 여객용 비행기의 좌석 상부의 천정(5030)에 표시 모듈(5031)을 형성했을 때의, 사용시의 형상에 관해서 도시한 도면이다. 표시 모듈(5031)은, 천정(5030)과 힌지부(5032)를 통하여 일체로 장착되어 있고, 힌지부(5032)의 신축에 의해 승객은 표시 모듈(5031)의 시청이 가능하게 된다. 표시 모듈(5031)은 승객이 조작함으로써 정보를 표시하는 기능을 가진다.

[0527] 또한, 본 실시형태에 있어서, 이동체로서는 자동차 차체, 비행기 기체에 관해서 예시했지만 이것으로 한정되지

않고, 자동 2륜차, 자동 4륜차(자동차, 버스 등을 포함한다), 전차(모노 레일, 철도 등을 포함한다), 선박 등, 여러 가지 것에 설치할 수 있다.

[0528] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 그 일부분을 추출하여, 발명의 일 형태를 구성하는 것은 가능하다. 따라서, 어떤 부분을 서술하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 추출한 내용도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 이로 인해, 예를 들면, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면 또는 문장에 있어서, 그 일부분을 추출하여, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 예를 들면, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 가지고 구성되는 회로도로부터, M개(M은 정수로,  $M < N$ )의 회로 소자(트랜지스터, 용량 소자 등)를 추출하여, 발명의 일 형태를 구성하는 것은 가능하다. 다른 예로서는, N개(N은 정수)의 층을 가지고 구성되는 단면도로부터, M개(M은 정수이고,  $M < N$ )의 층을 추출하여, 발명의 일 형태를 구성하는 것은 가능하다. 또 다른 예로서는, N개(N은 정수)의 요소를 가지고 구성되는 플로우 차트로부터, M개(M은 정수이고,  $M < N$ )의 요소를 추출하여, 발명의 일 형태를 구성하는 것은 가능하다.

[0529] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념을 도출하는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.

[0530] 또한, 본 명세서 등에 있어서는, 적어도 도면에 기재한 내용(도면 중의 일부라도 좋다)은, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 따라서, 어떤 내용에 관해서, 도면에 기재되어 있으면, 문장을 사용하여 서술하지 않아도, 그 내용은, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 마찬가지로, 도면의 일부를 추출한 도면에 관해서도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.

## 부호의 설명

[0531]	C1: 캐소드선	Ci: 캐소드선
	Cj: 캐소드선	Cm: 캐소드선
	G1: 주사선	Gm: 주사선
	Gal: 주사선	Gai: 주사선
	Gam: 주사선	Gb1: 주사선
	Gbi: 주사선	Gbj: 주사선
	Gbm: 주사선	Gc1: 주사선
	Gci: 주사선	Gcj: 주사선
	Gcm: 주사선	Gd1: 주사선
	Gdi: 주사선	Gdj: 주사선
	Gdm: 주사선	Ge1: 주사선
	Gei: 주사선	Gej: 주사선
	Gem: 주사선	Pm: 전원선
	P1: 전원선	Pj: 전원선
	Pn: 전원선	S1: 신호선
	Sj: 신호선	Si1: 초기화 신호선

Sij: 초기화 신호선

Sn: 신호선

10\_1: 반도체 장치

10A: 반도체 장치

10C: 반도체 장치

10h: 반도체 장치

10hm: 반도체 장치

10pc: 반도체 장치

11A: 트랜지스터

11C: 트랜지스터

12: 스위치

12T: 트랜지스터

13T: 트랜지스터

14T: 트랜지스터

15A: 스위치

15T: 트랜지스터

17: 용량 소자

18: 배선

19: 배선

20A: 배선

21: 회로

21p: 회로

22m: 회로

23A: 회로

23h: 회로

24B: 회로

24D: 회로

25B: 회로

31: 배선

32: 배선

34: 배선

34B: 배선

42: 화소 영역

44: 신호선 구동 회로

46: 래치 회로

48: 디지털·아날로그 변환 회로

Sin: 초기화 신호선

10: 반도체 장치

10\_3: 반도체 장치

10B: 반도체 장치

10c: 반도체 장치

10hc: 반도체 장치

10p: 반도체 장치

11: 트랜지스터

11B: 트랜지스터

11D: 트랜지스터

12p: 스위치

13: 스위치

14: 스위치

15: 스위치

15B: 스위치

16: 부하

17c: 용량 소자

18p: 배선

20: 배선

20B: 배선

21h: 회로

22: 회로

23: 회로

23B: 회로

24A: 회로

24C: 회로

25A: 회로

26: 회로

31p: 배선

33: 배선

34A: 배선

41: 표시 장치

43: 게이트선 구동 회로

45: 시프트 레지스터

47: 래치 회로

49: 레퍼런스용 전류원 회로



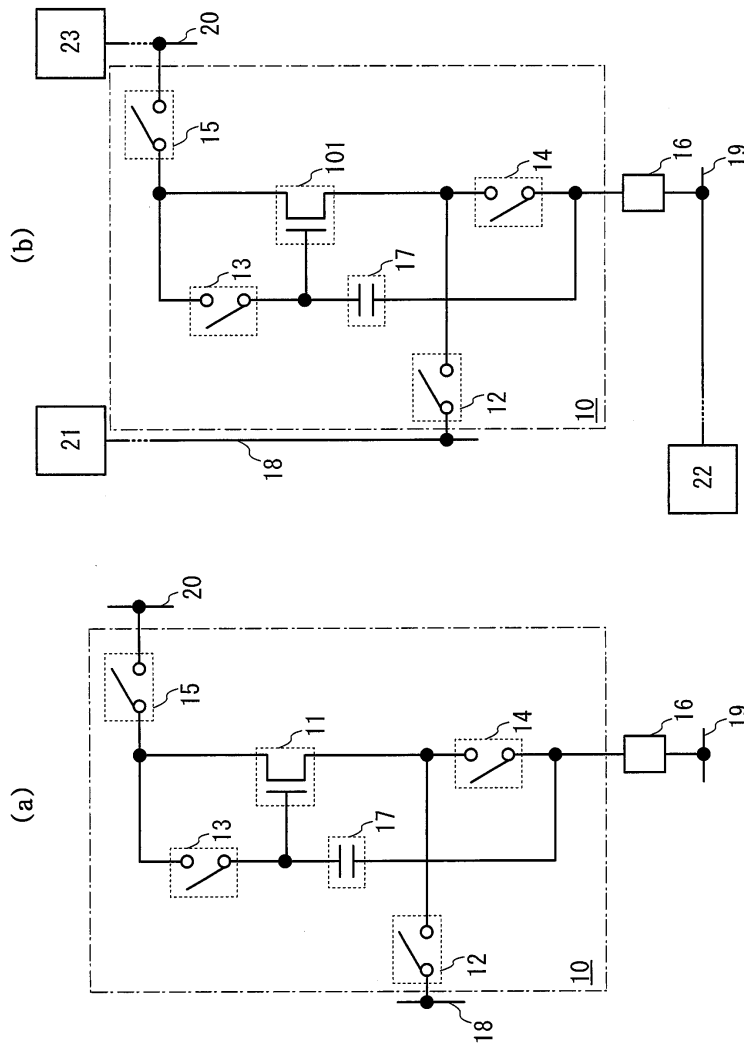
50: 레퍼런스용 전류원 회로	60_1: 스위치
60_3: 스위치	100: 화소
100_n: 화소	100A: 화소
100B: 화소	100C: 화소
100h: 화소	100hc: 화소
100hC: 화소	100hm: 화소
100p: 화소	100pC: 화소
101: 트랜지스터	101A: 트랜지스터
101B: 트랜지스터	101C: 트랜지스터
101D: 트랜지스터	101G: 트랜지스터
101R: 트랜지스터	102: 스위치
102p: 스위치	102T: 트랜지스터
103: 스위치	103T: 트랜지스터
104: 스위치	104T: 트랜지스터
105: 스위치	105A: 스위치
105B: 스위치	105T: 트랜지스터
106: 발광 소자	107: 용량 소자
107c: 용량 소자	107C: 용량 소자
108: 배선	108p: 배선
109: 배선	110: 배선
110A: 배선	110B: 배선
110G: 배선	110h: 배선
110R: 배선	113A: 회로
113B: 회로	121: 회로
122: 회로	123: 회로
131: 배선	131p: 배선
131p_n: 배선	132: 배선
133: 배선	133_n: 배선
134: 배선	135_n: 배선
135A: 배선	135B: 배선
201: 신호선 구동 회로	202A: 주사선 구동 회로
202B: 주사선 구동 회로	202C: 주사선 구동 회로
202D: 주사선 구동 회로	202E: 주사선 구동 회로
202F: 주사선 구동 회로	203: 화소 영역
204: 전원선 제어 회로	205: 초기화 신호선 구동 회로
206: 캐소드선 구동 회로	400: 기관

401: 절연층	402: 절연층
403: 절연층	410: 기관
411: 절연층	412: 절연층
413: 절연층	500: 화소
501: p채널형 트랜지스터	502T: 트랜지스터
503T: 트랜지스터	504T: 트랜지스터
505T: 트랜지스터	506: 발광 소자
600: 화소	601: 트랜지스터
602: 트랜지스터	605: 트랜지스터
851: 도전층	852: 반도체층
852_n: 불순물 영역	853: 도전층
854: 도전층	855: 도전층
856: 콘택트홀	857: 콘택트홀
858: 콘택트홀	859: 콘택트홀
860: 반도체층	5000: 하우징
5001: 표시부	5002: 표시부
5003: 스피커	5004: LED 램프
5005: 조작키	5006: 접속 단자
5007: 센서	5008: 마이크로폰
5009: 스위치	5010: 적외선 포트
5011: 기록 매체 판독부	5012: 지지부
5013: 이어폰	5014: 안테나
5015: 셔터 버튼	5016: 수상부
5017: 충전기	5018: 지지대
5019: 외부 접속 포트	5020: 포인팅 디바이스
5021: 리더/라이터	5022: 하우징
5023: 표시부	5024: 리모트 컨트롤 장치
5025: 스피커	5026: 표시 모듈
5027: 유닛 베스	5028: 표시 모듈
5029: 차체	5030: 천정
5031: 표시 모듈	5032: 힌지부
6701: 신호선 구동 회로	6702: 화소부
6703: 주사선 구동 회로	6704: 봉지 기관
6705: 셀재	6706: 주사선 구동 회로
6707: 공간	6708: 배선
6709: FPC	6710: 기관

6711: 트랜지스터	6712: 트랜지스터
6713: 전극	6714: 절연물
6716: 층	6717: 전극
6718: 발광 소자	6719: IC칩
6720: n채널형 트랜지스터	6721: n채널형 트랜지스터
8000: 표시 모듈	8001: 상부 커버
8002: 하부 커버	8003: FPC
8004: 터치 패널 셀	8005: FPC
8006: 표시 패널 셀	8007: 프레임
8008: 프린트 기관	

## 도면

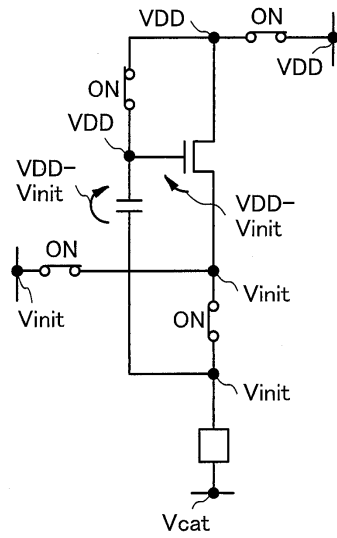
### 도면1



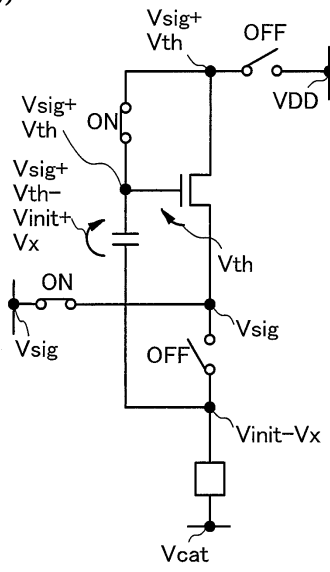


도면3

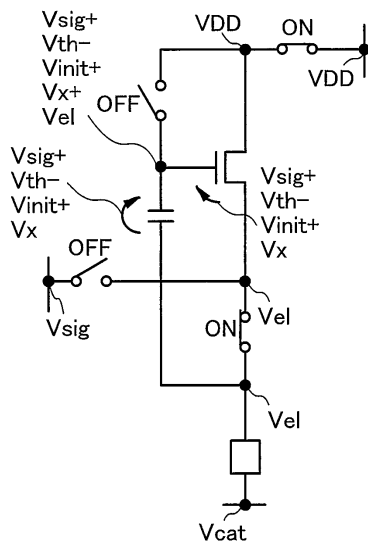
(a)



(b)



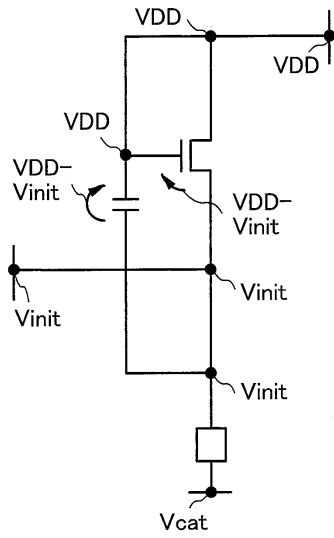
(c)



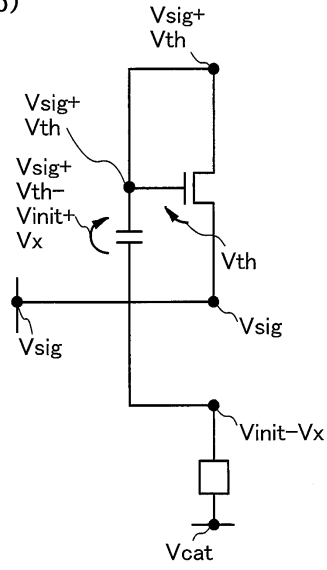


도면4

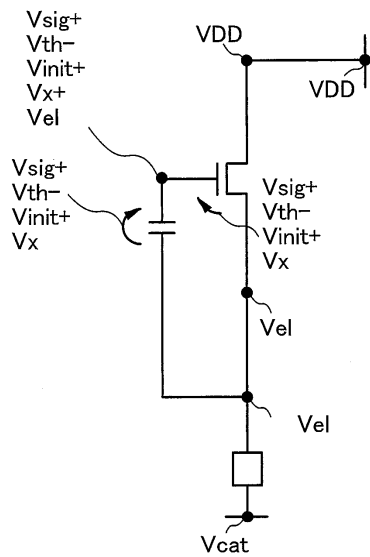
(a)



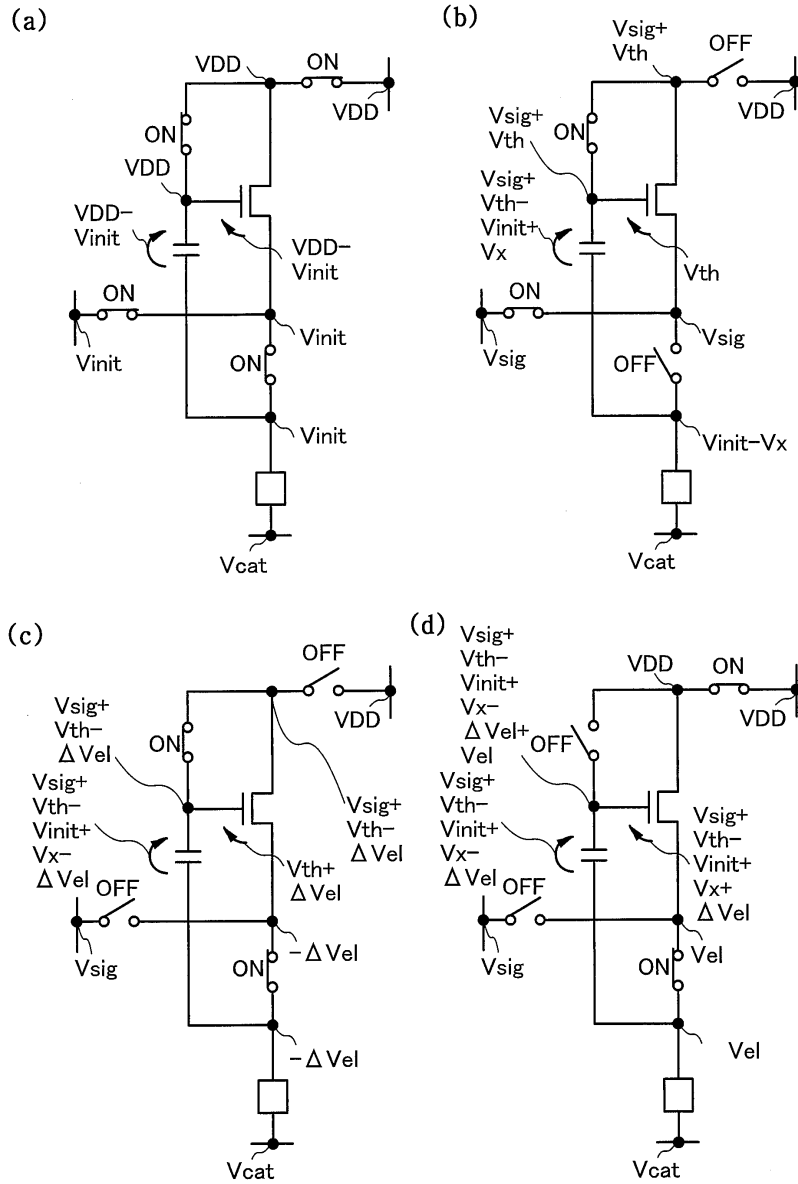
(b)



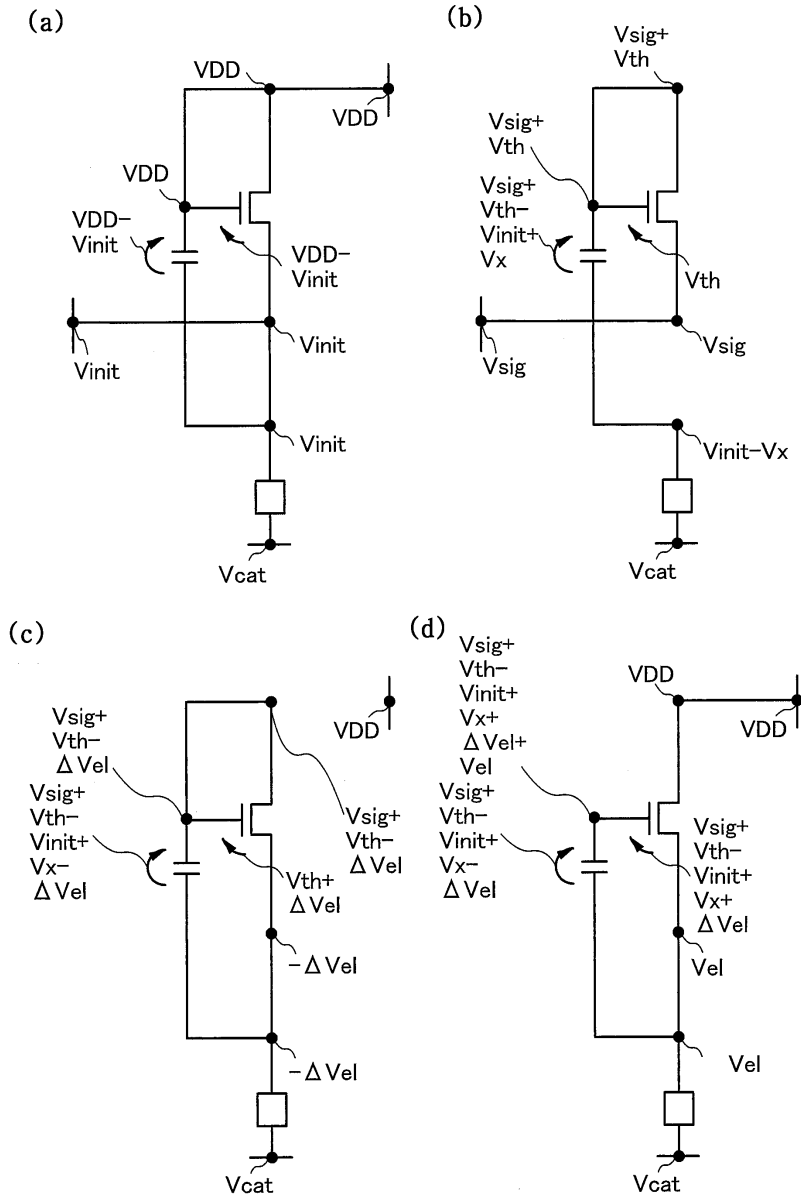
(c)



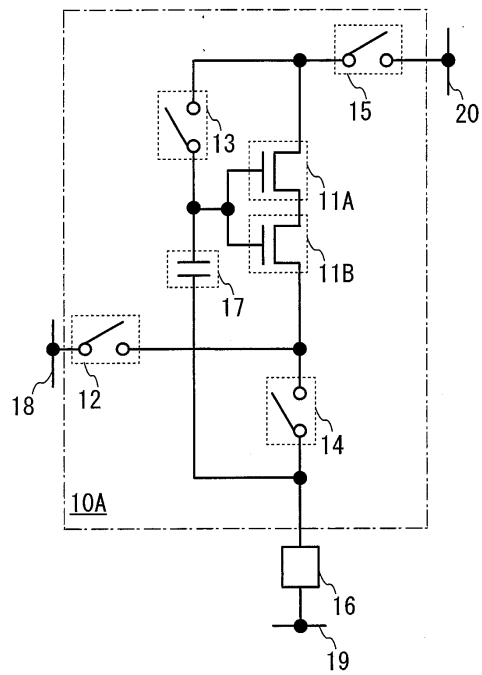
도면5



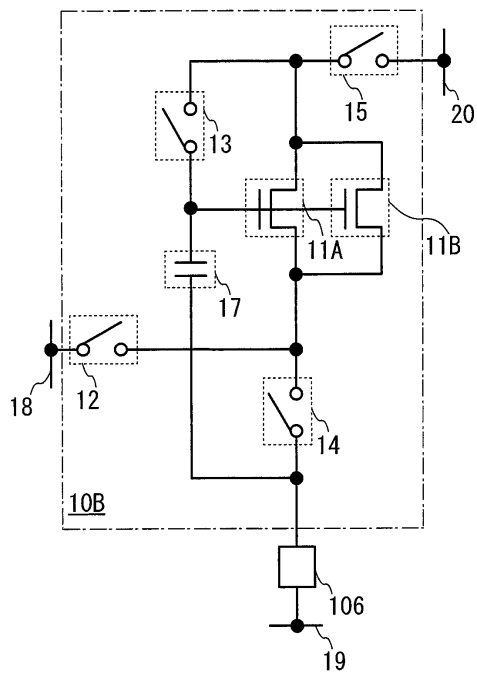
도면6



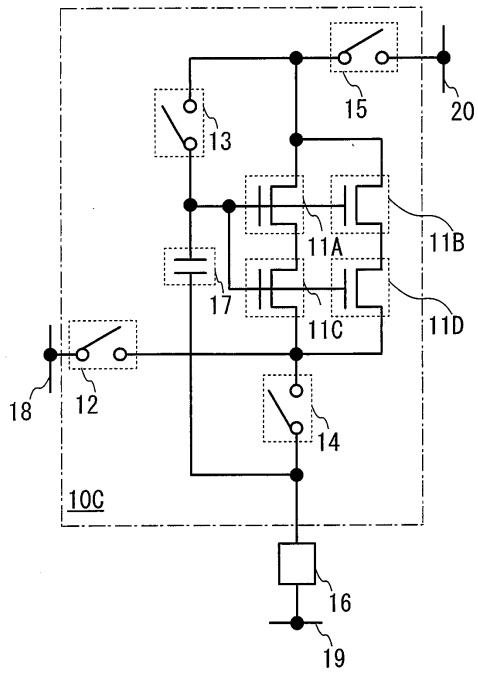
도면7



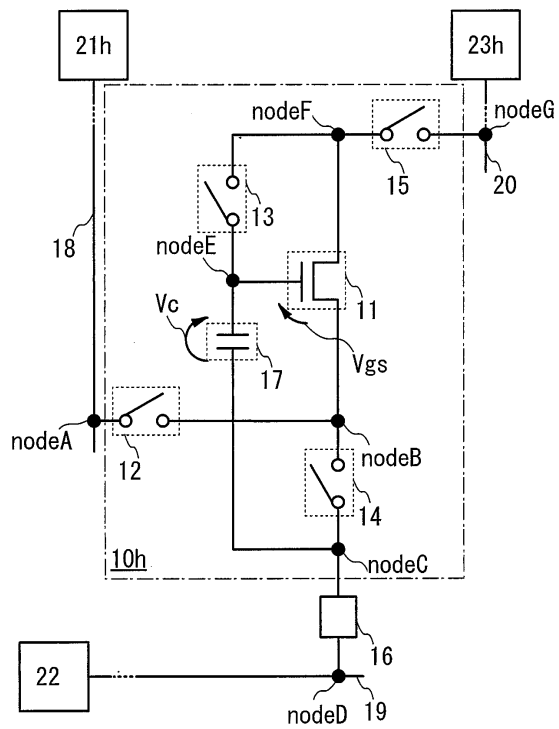
도면8



도면9



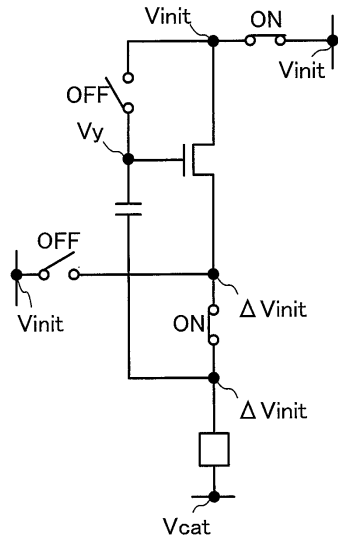
도면10



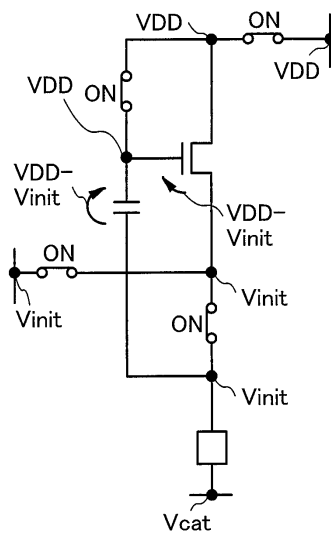


도면11

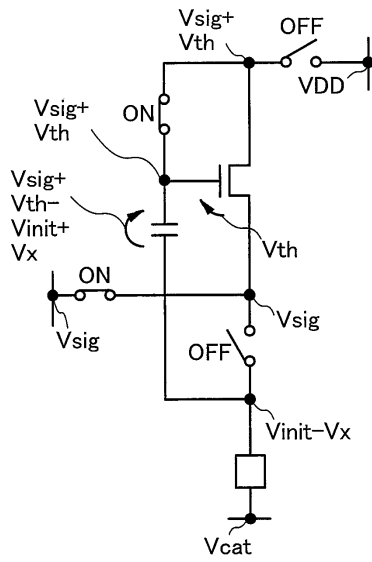
(a)



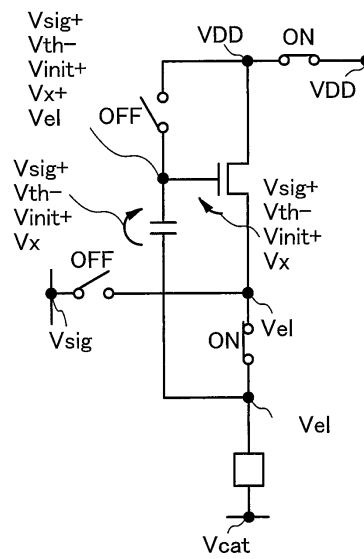
(b)



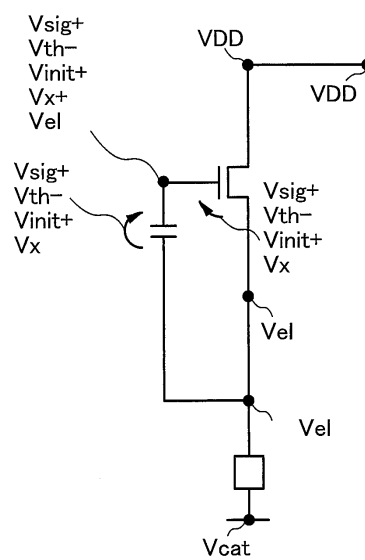
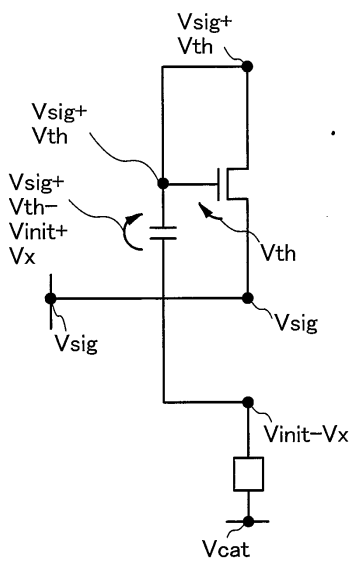
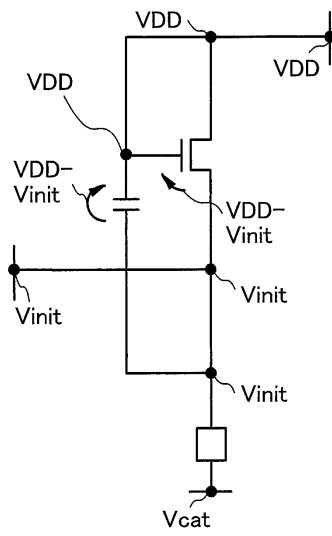
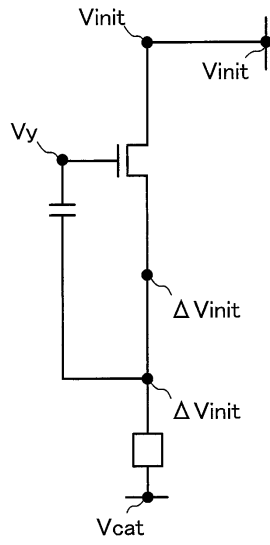
(c)



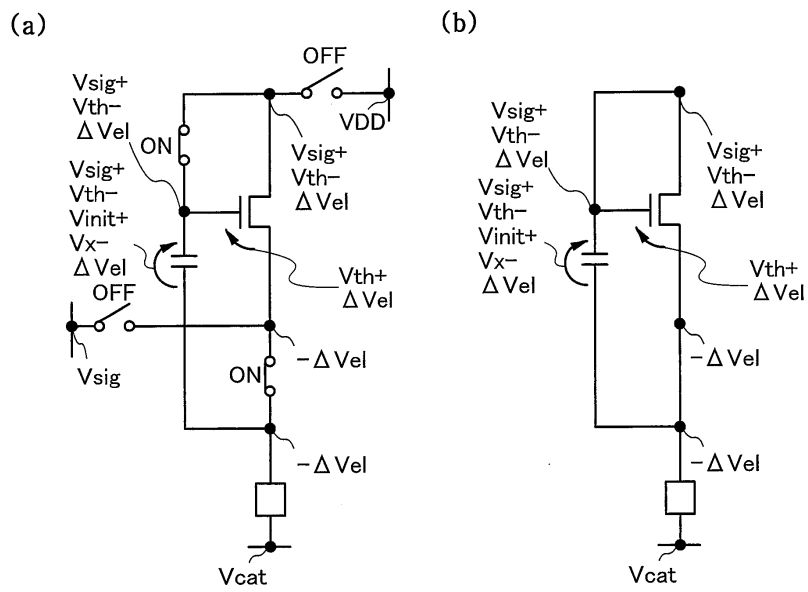
(d)



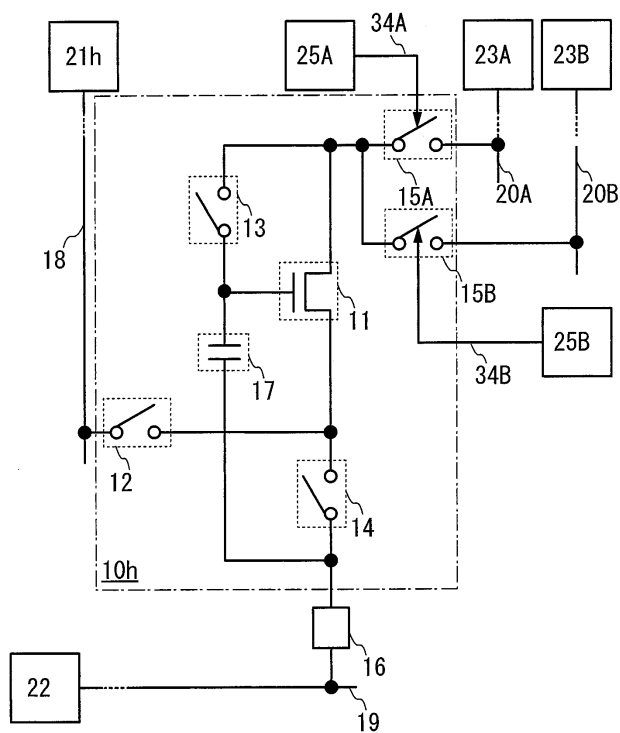
도면12



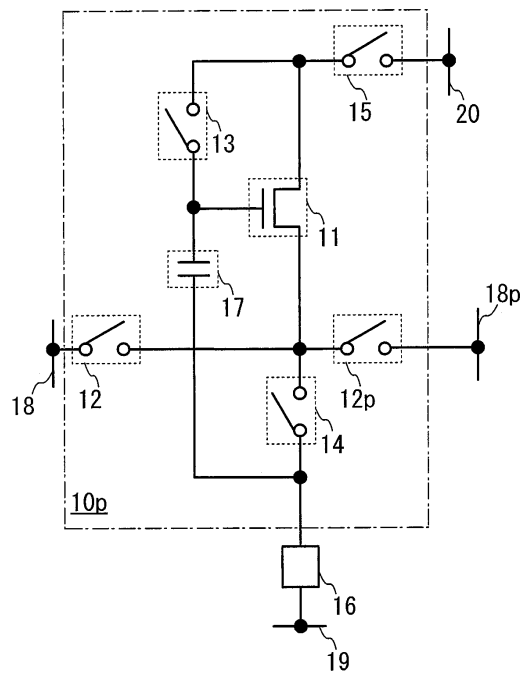
도면13



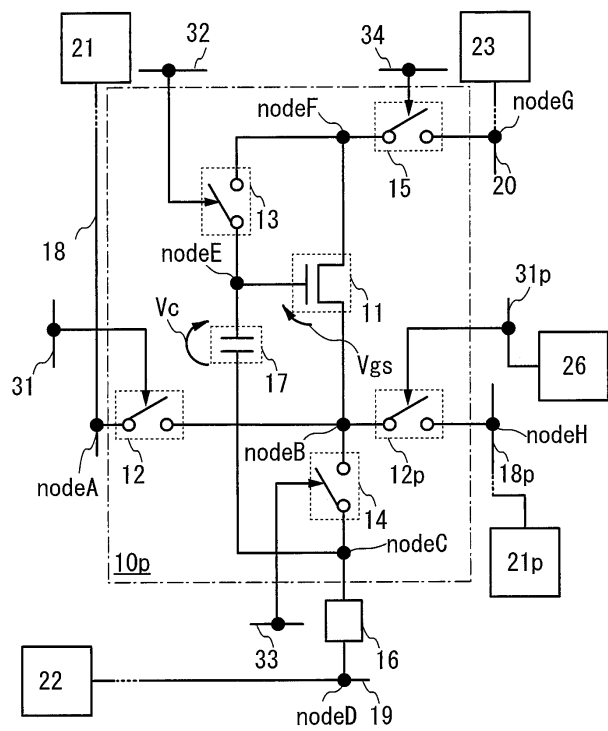
도면14



도면15

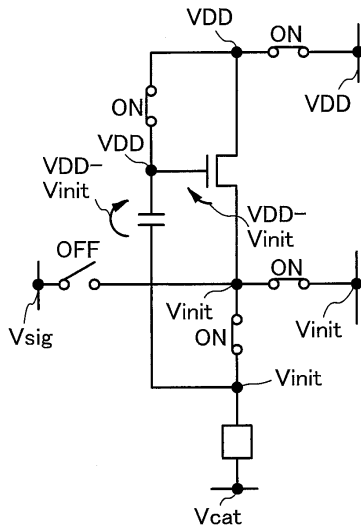


도면16

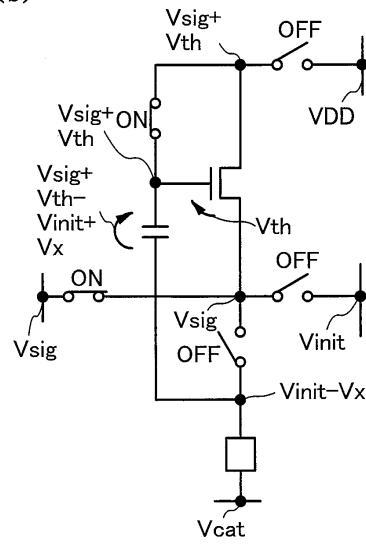


도면17

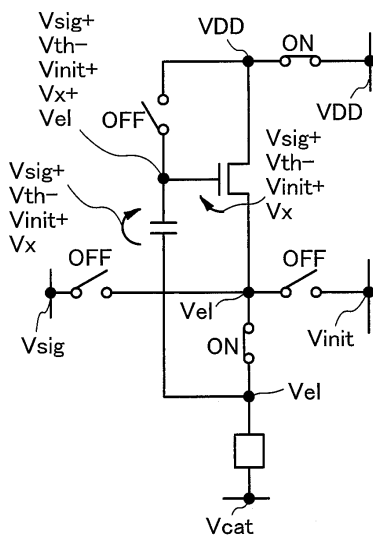
(a)



(b)

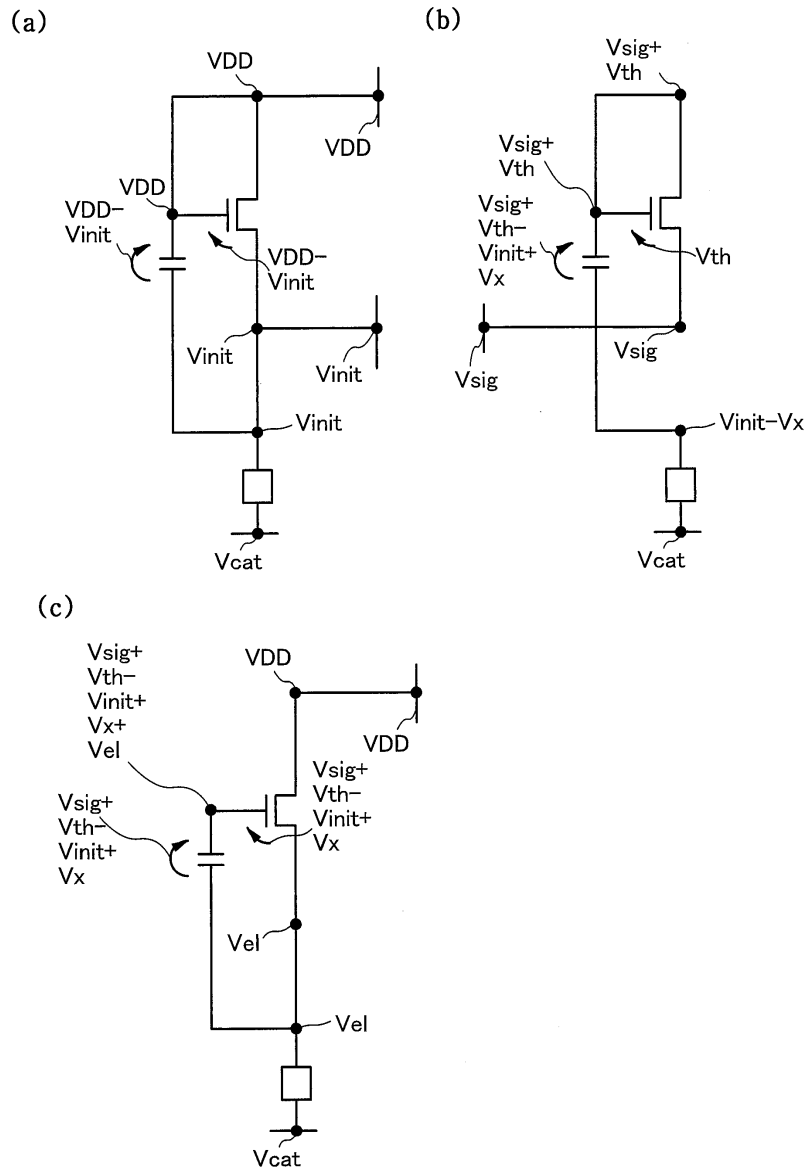


(c)

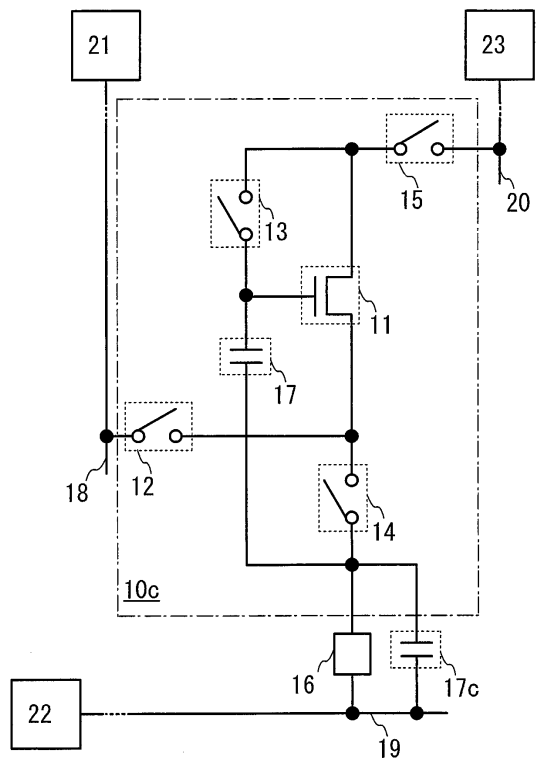




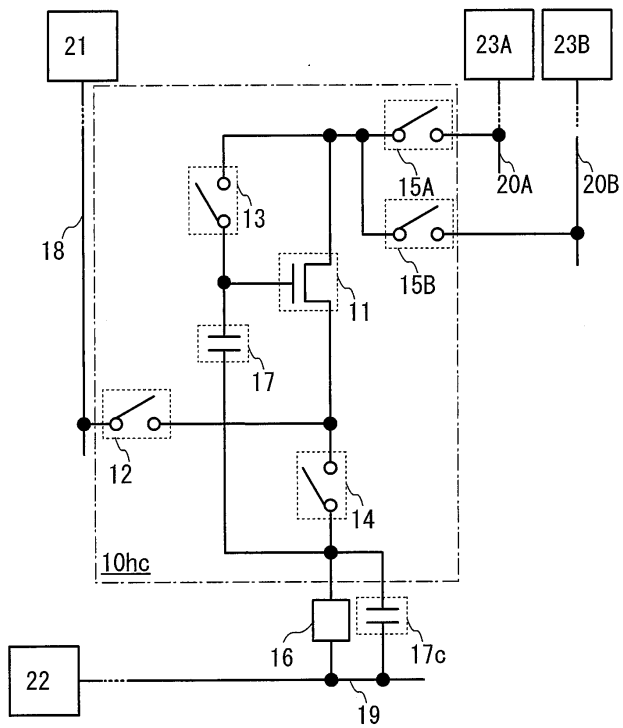
도면18



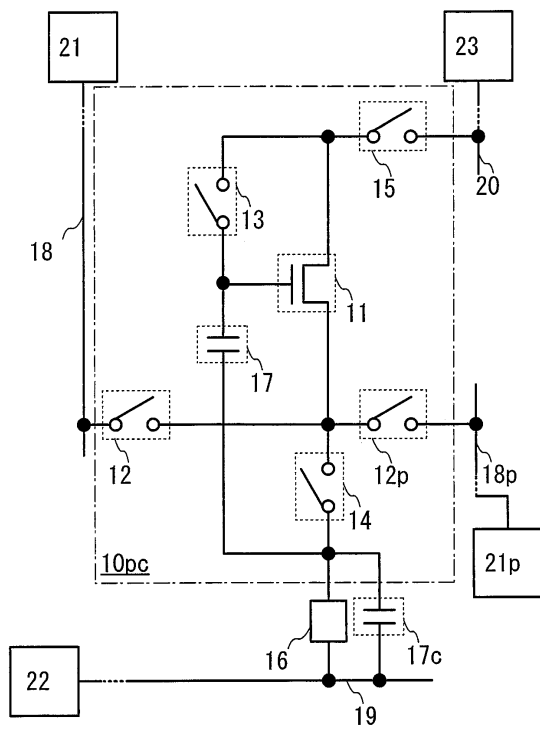
도면19



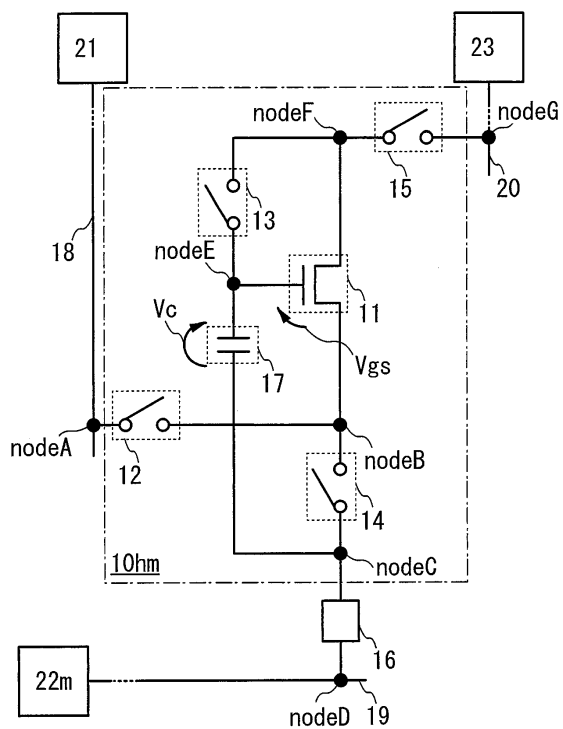
도면20



도면21

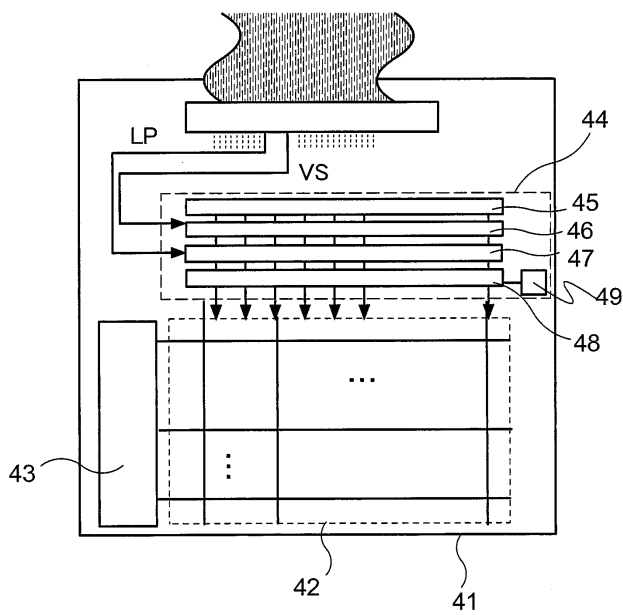


도면22

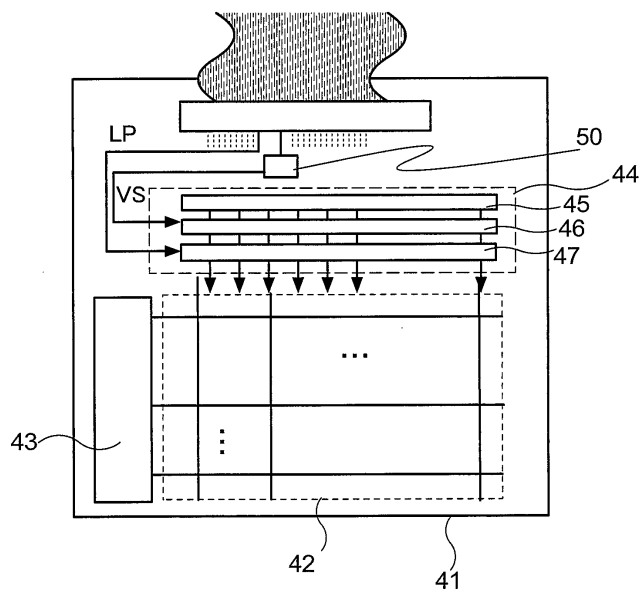




도면24

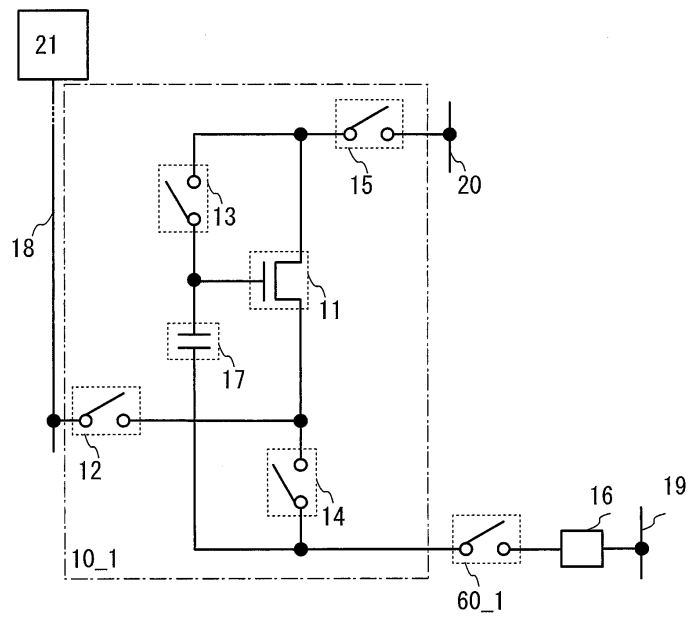


도면25

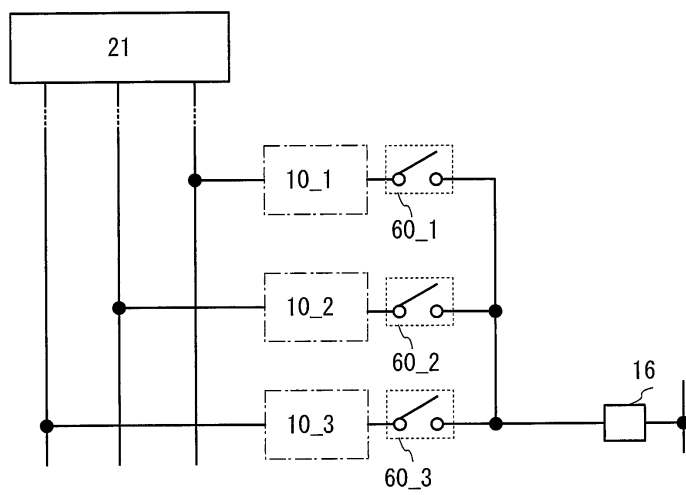




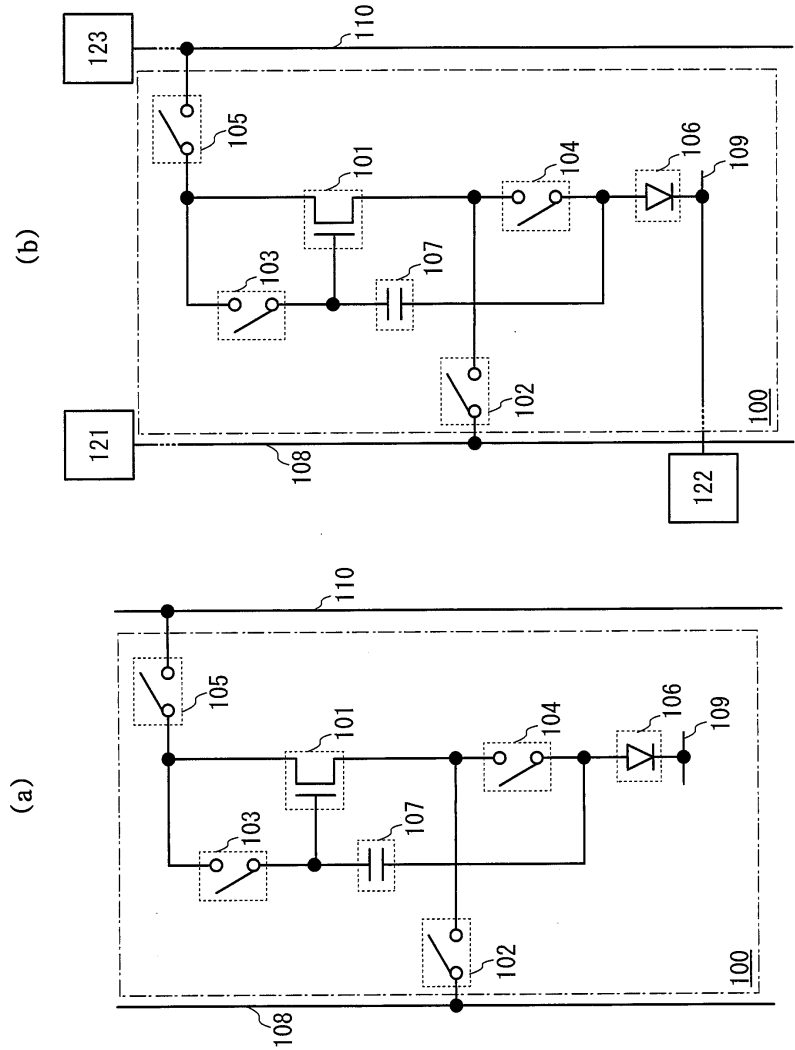
도면26



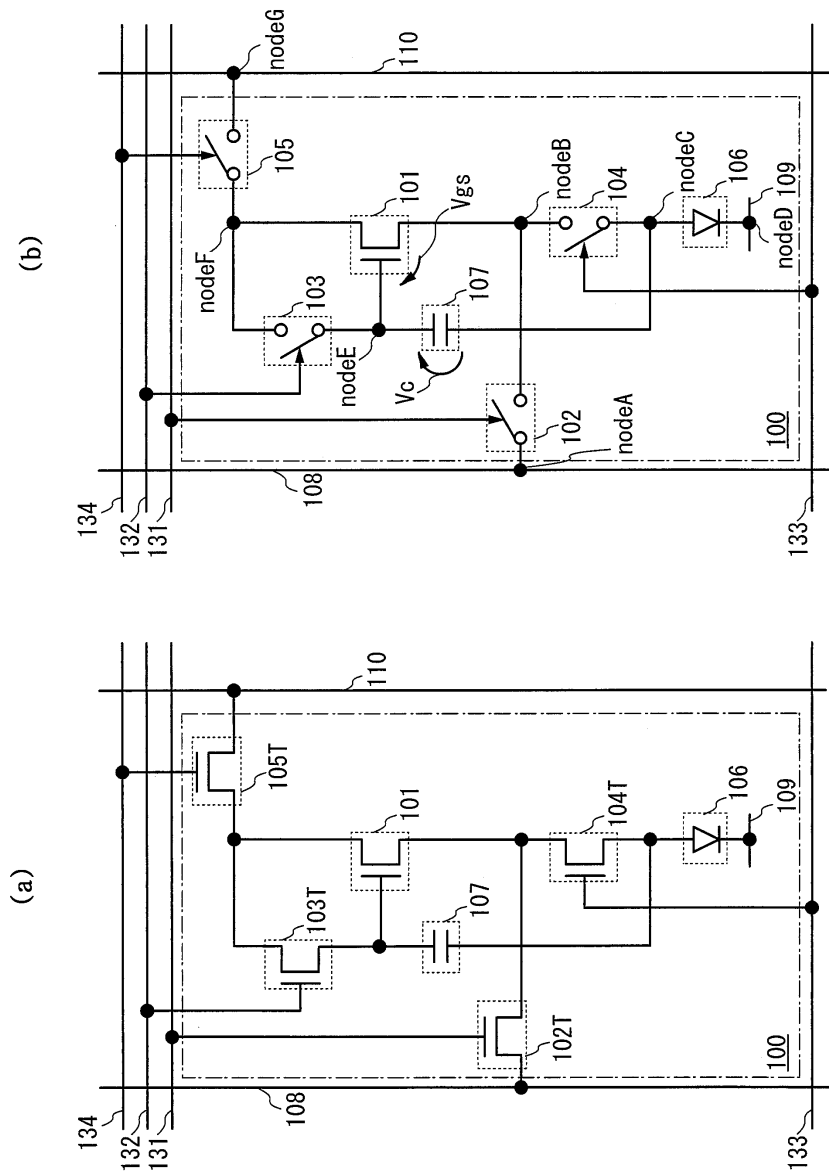
도면27



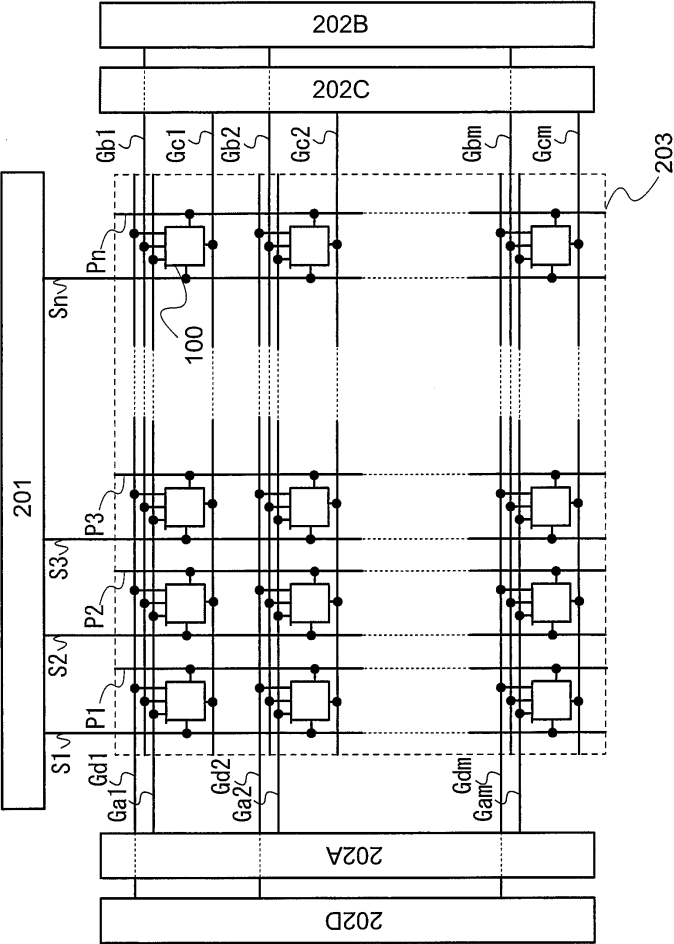
도면28



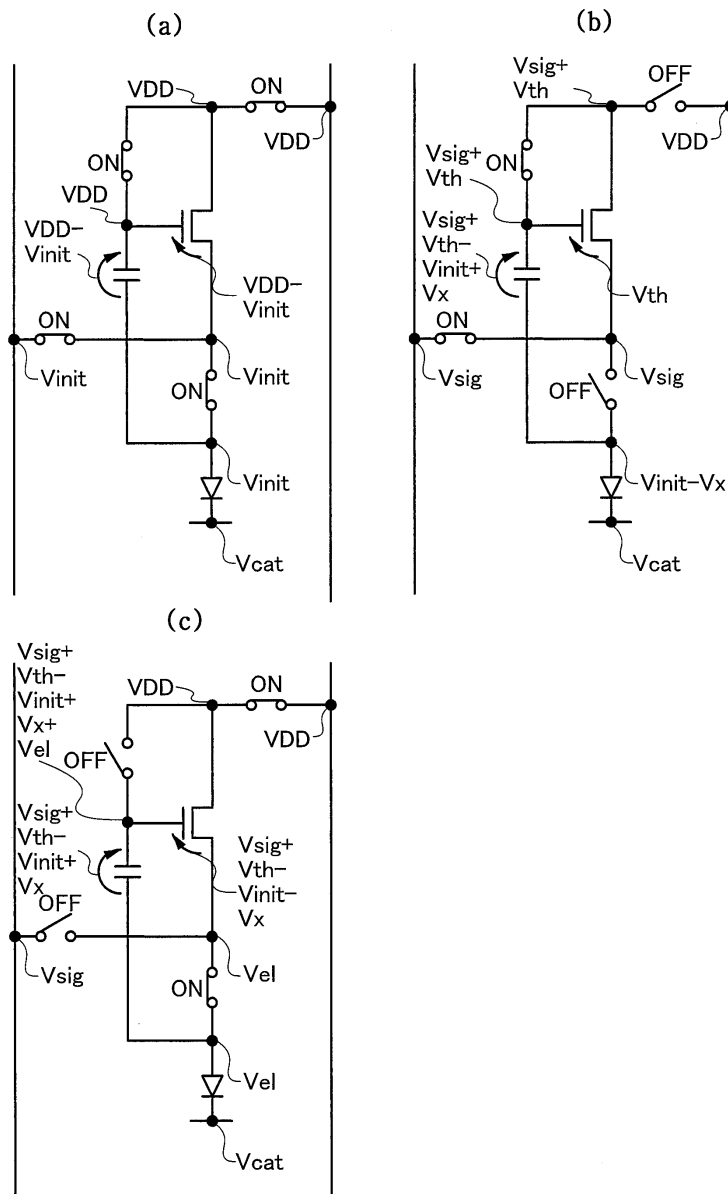
도면29



도면30

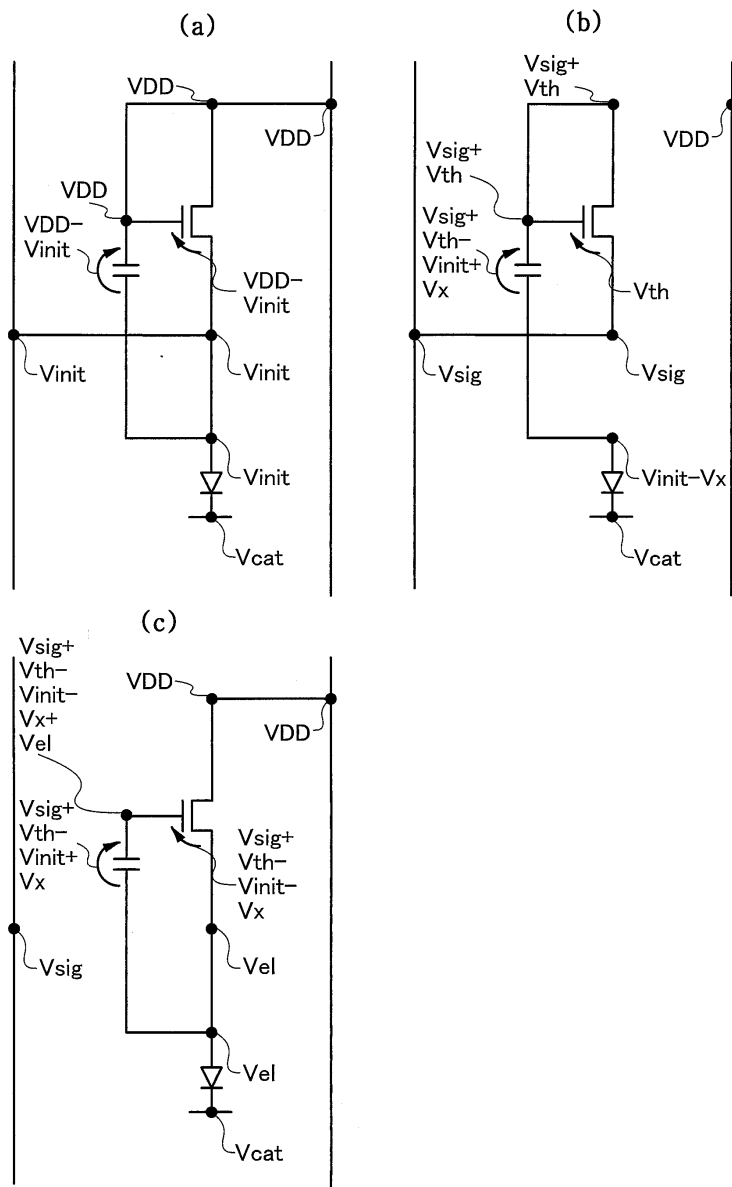


도면31

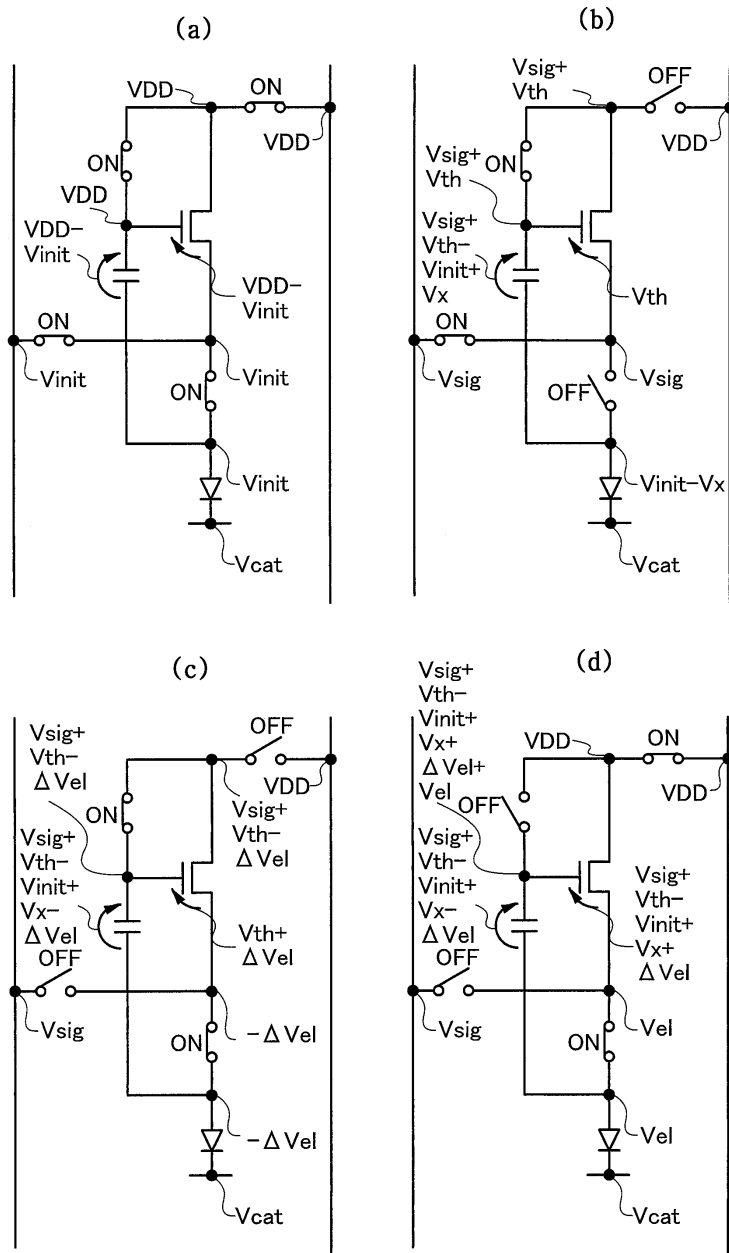




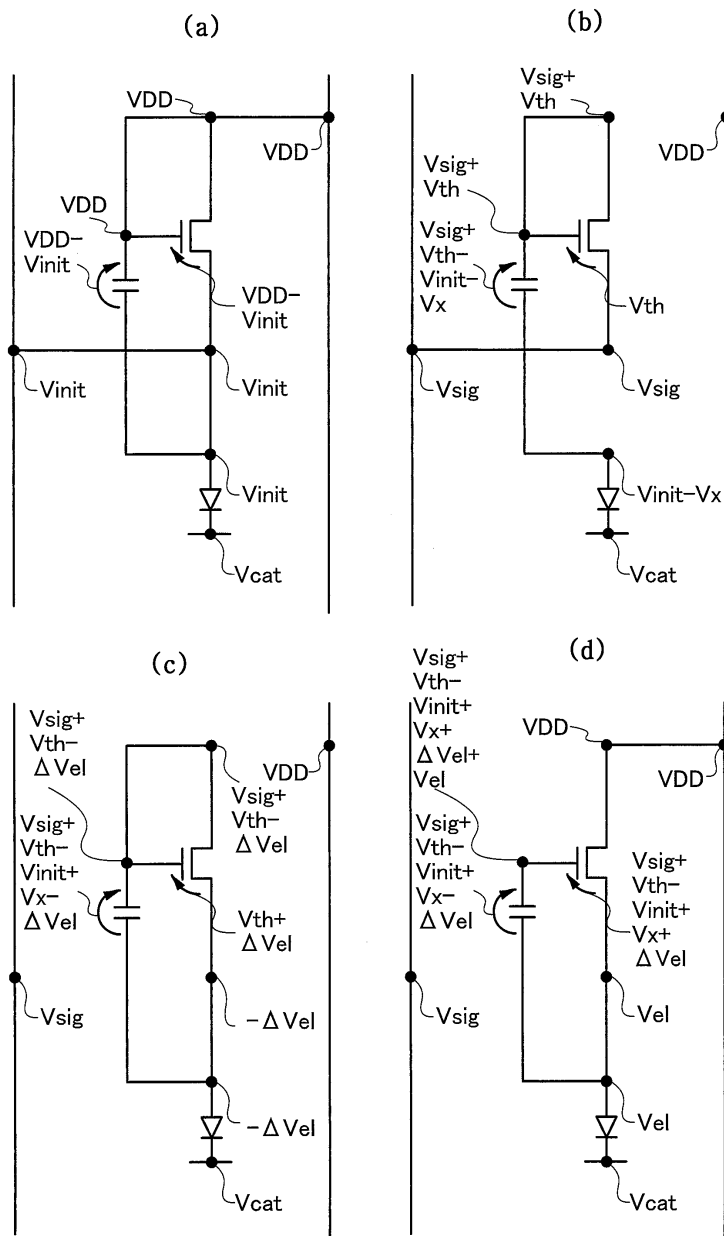
도면32



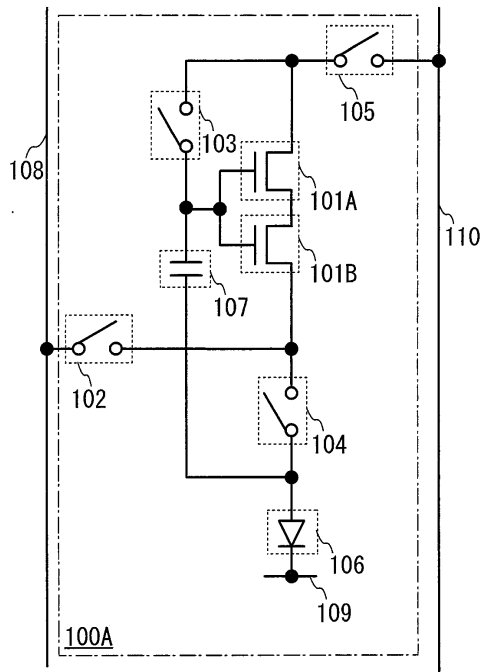
도면33



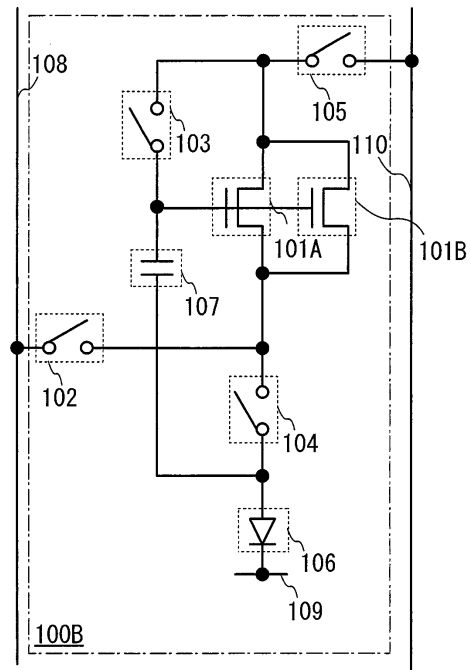
도면34



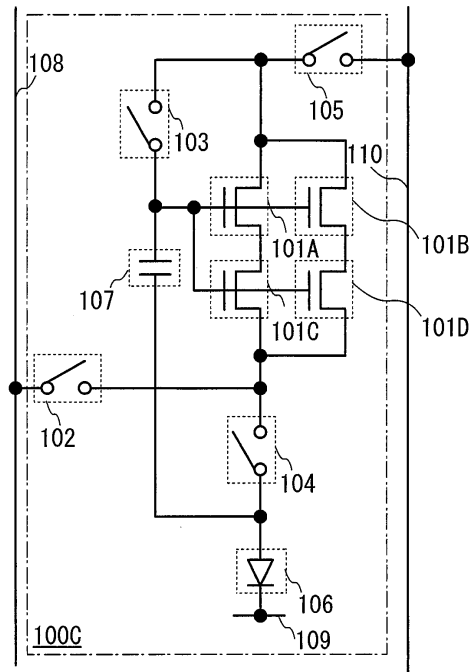
도면35



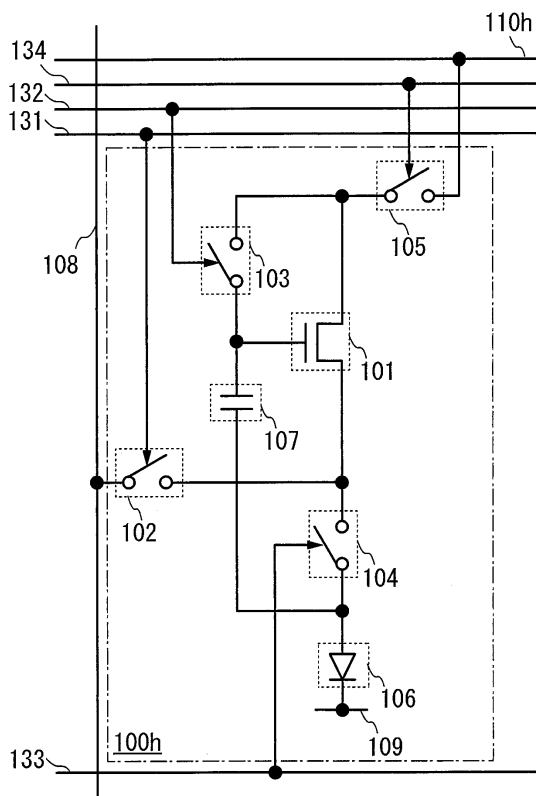
도면36



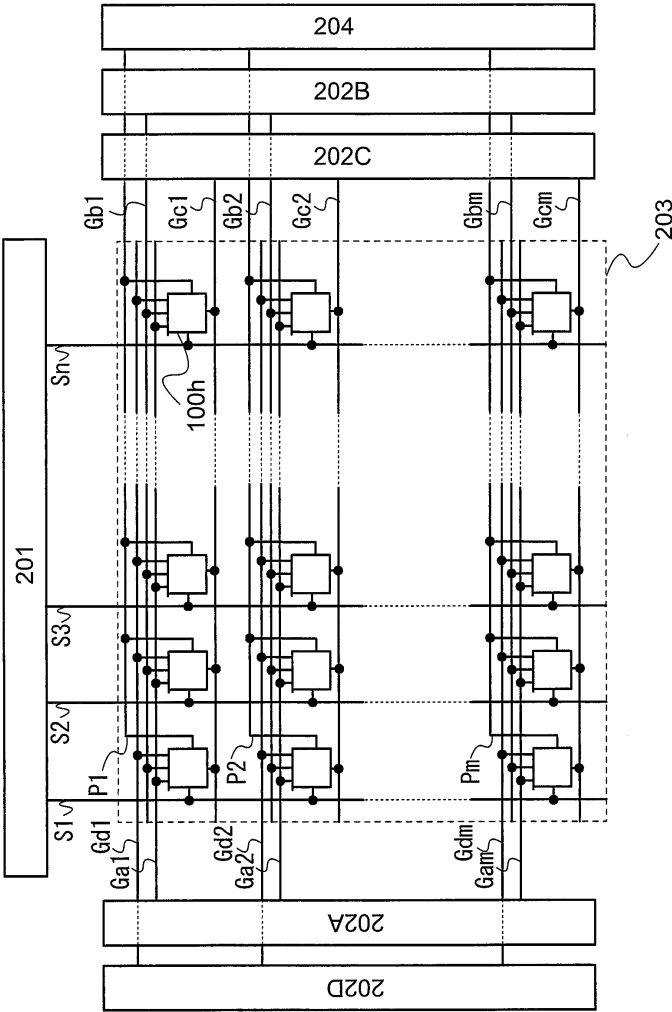
도면37



도면38

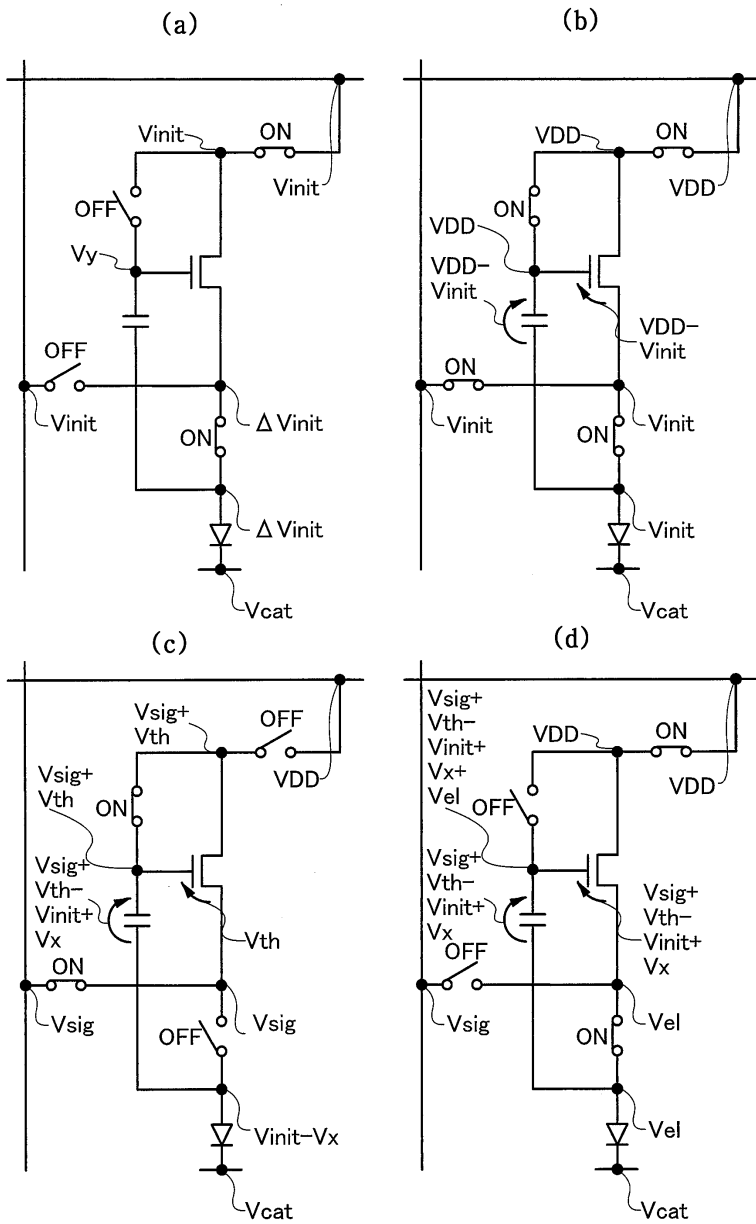


도면39

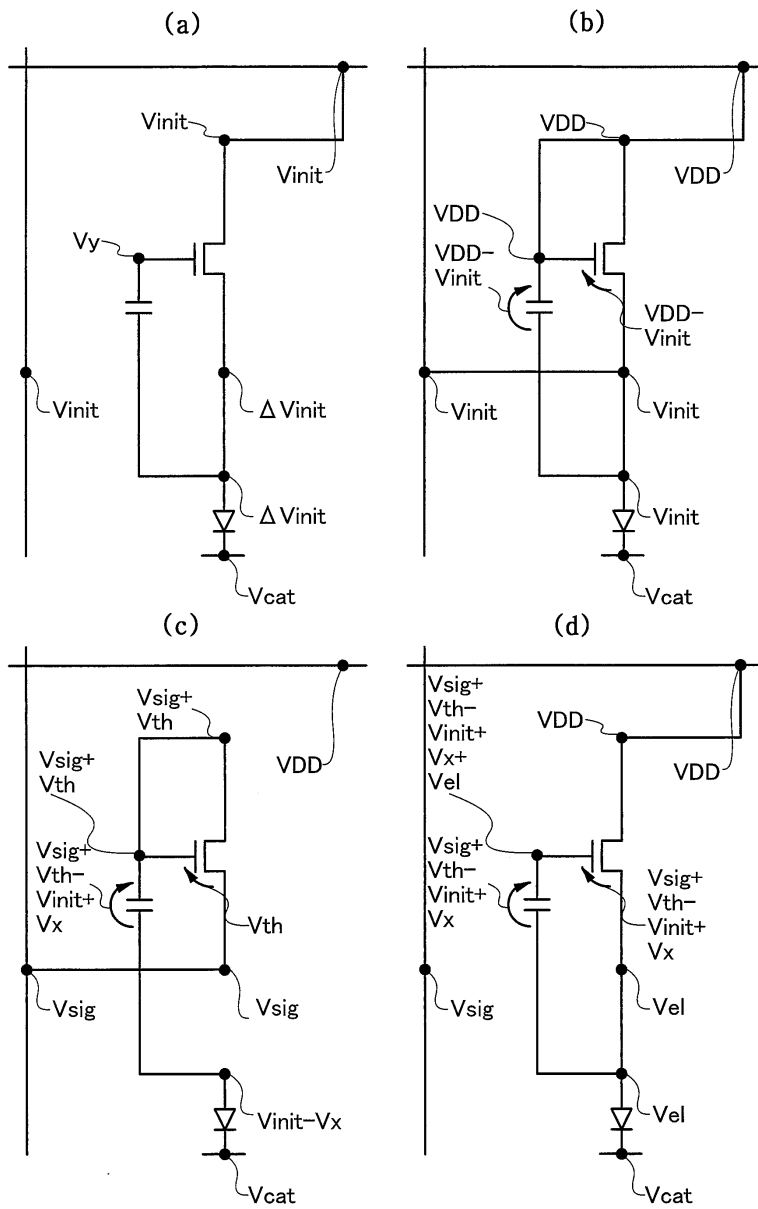




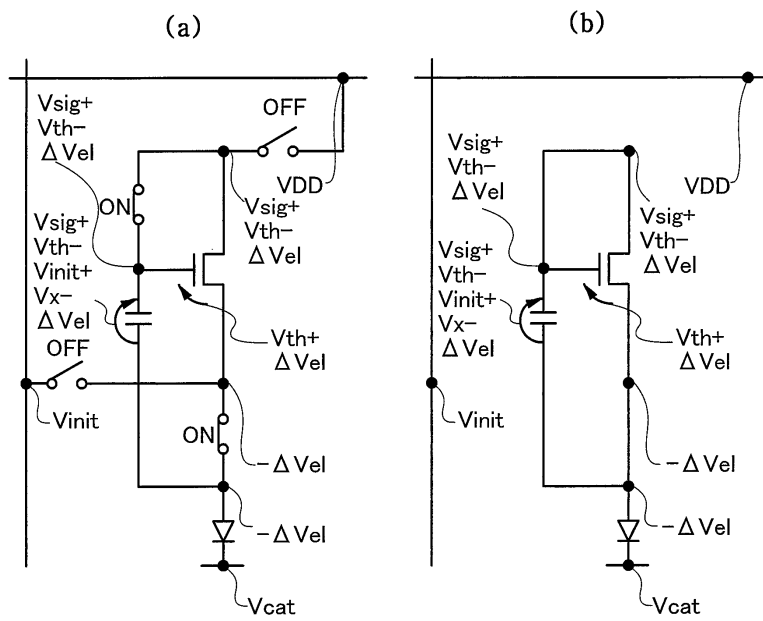
도면40



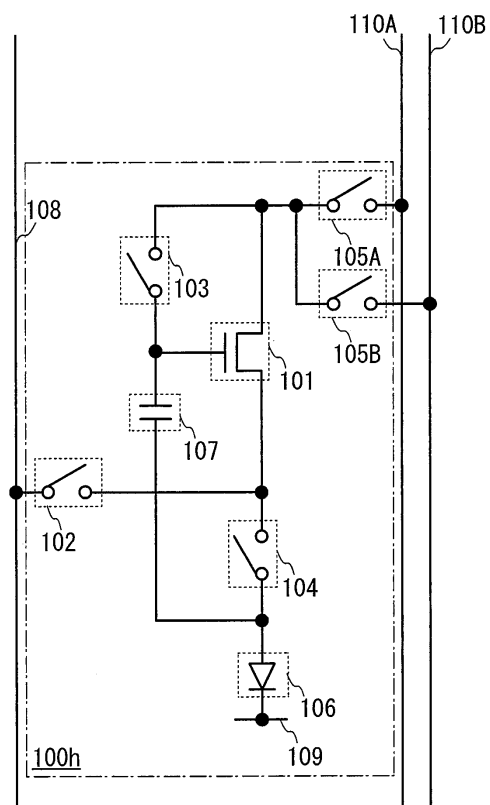
도면41



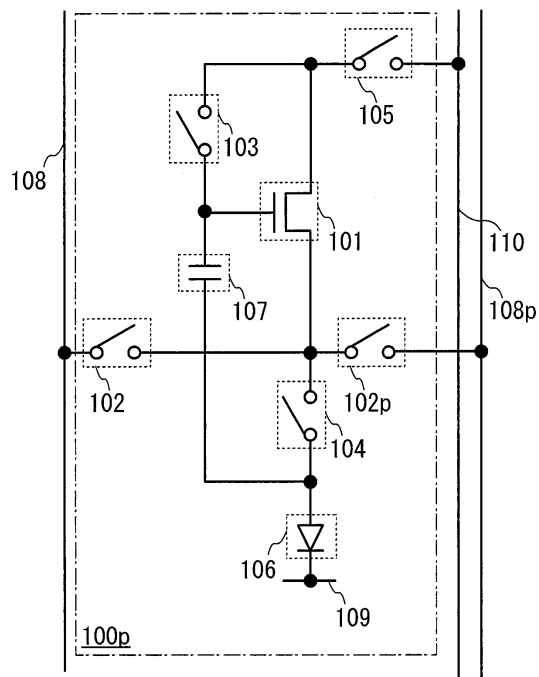
도면42



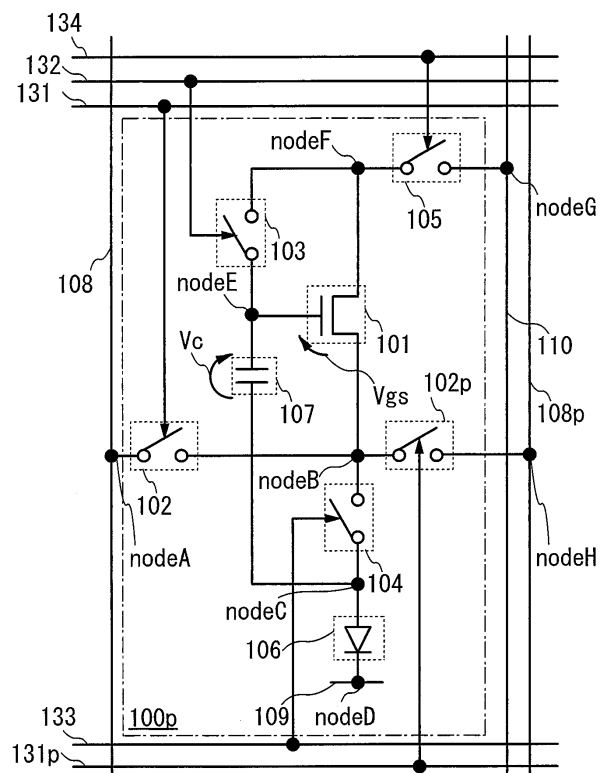
도면43



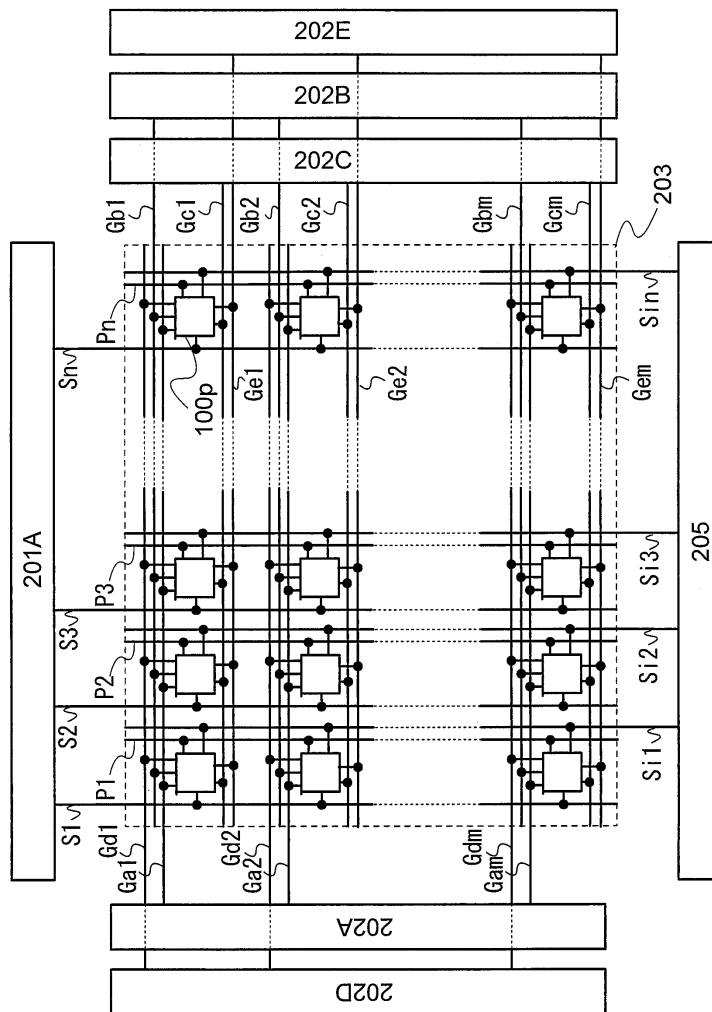
도면44



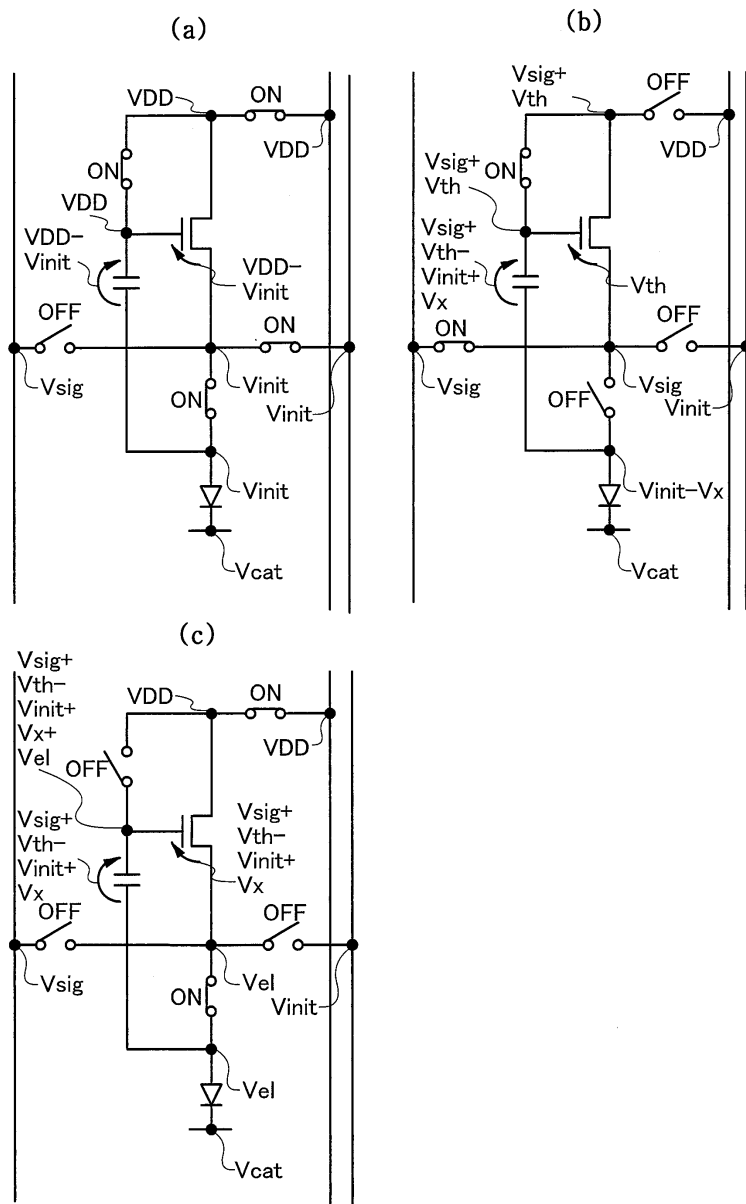
도면45



도면46

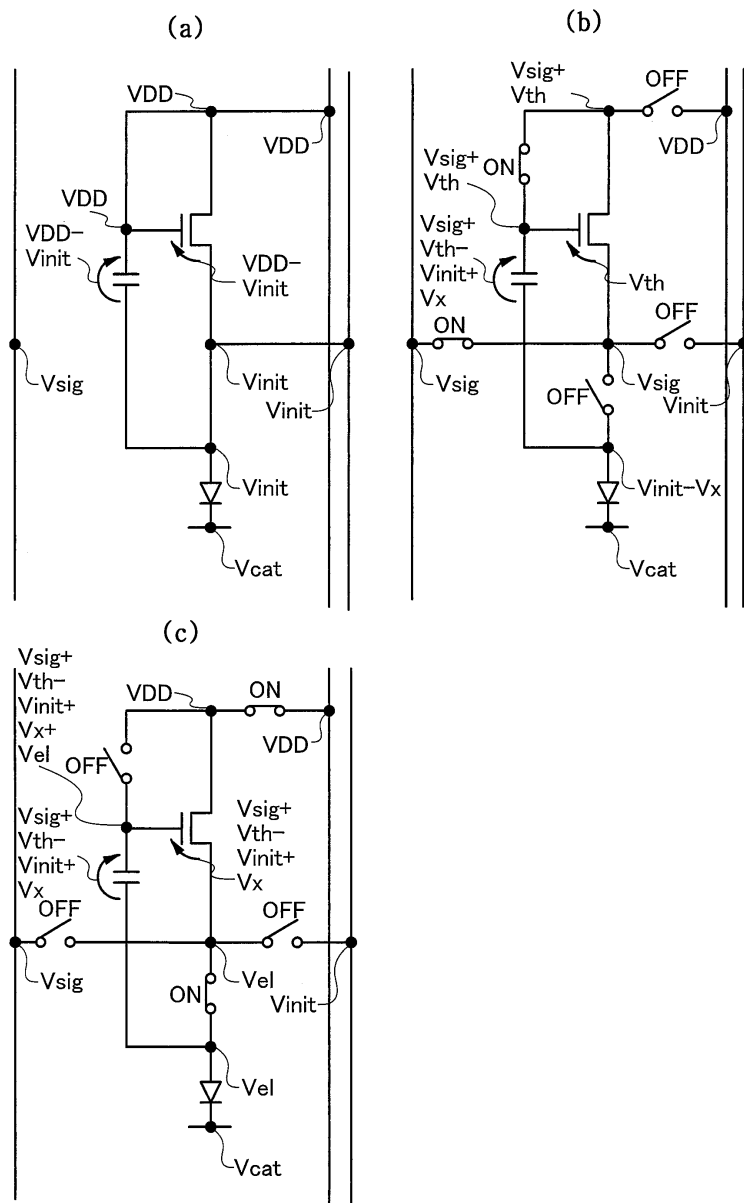


도면47

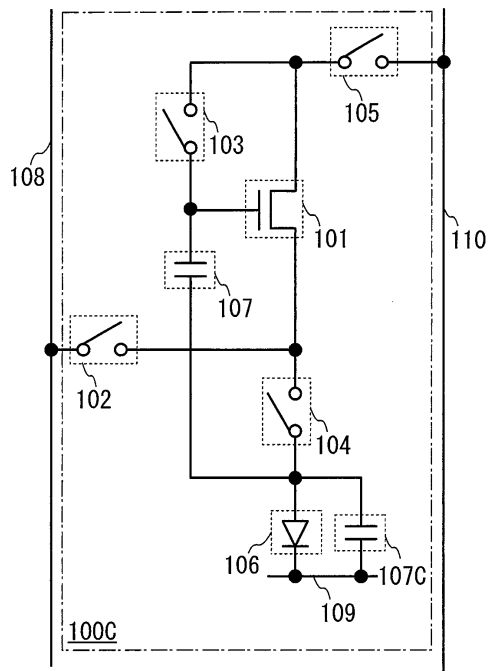




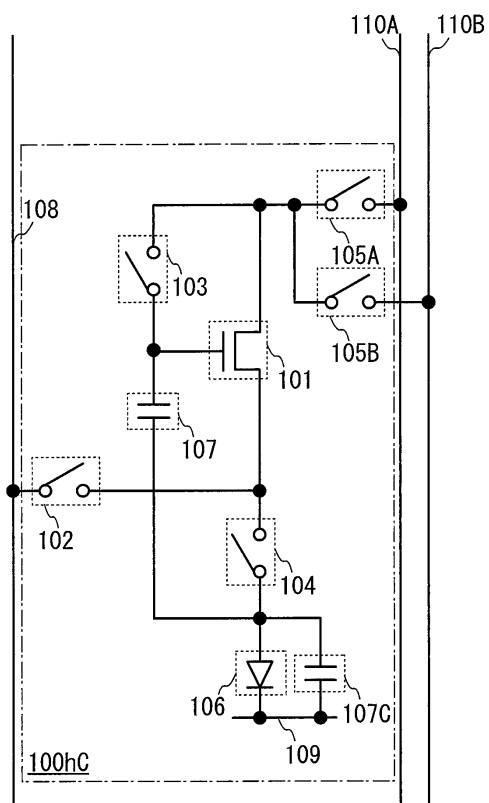
도면48



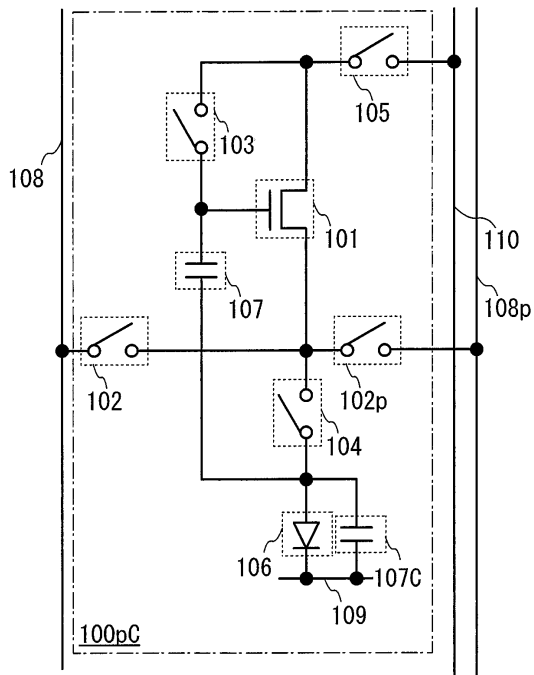
도면49



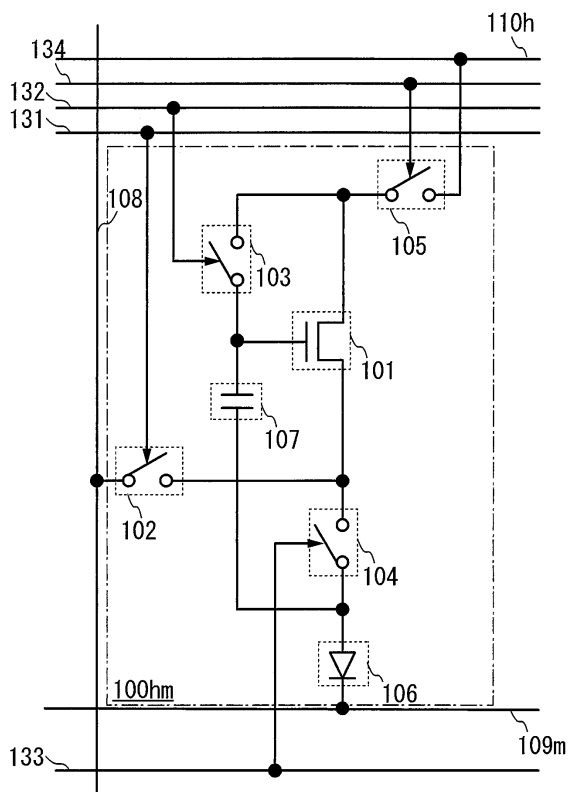
도면50



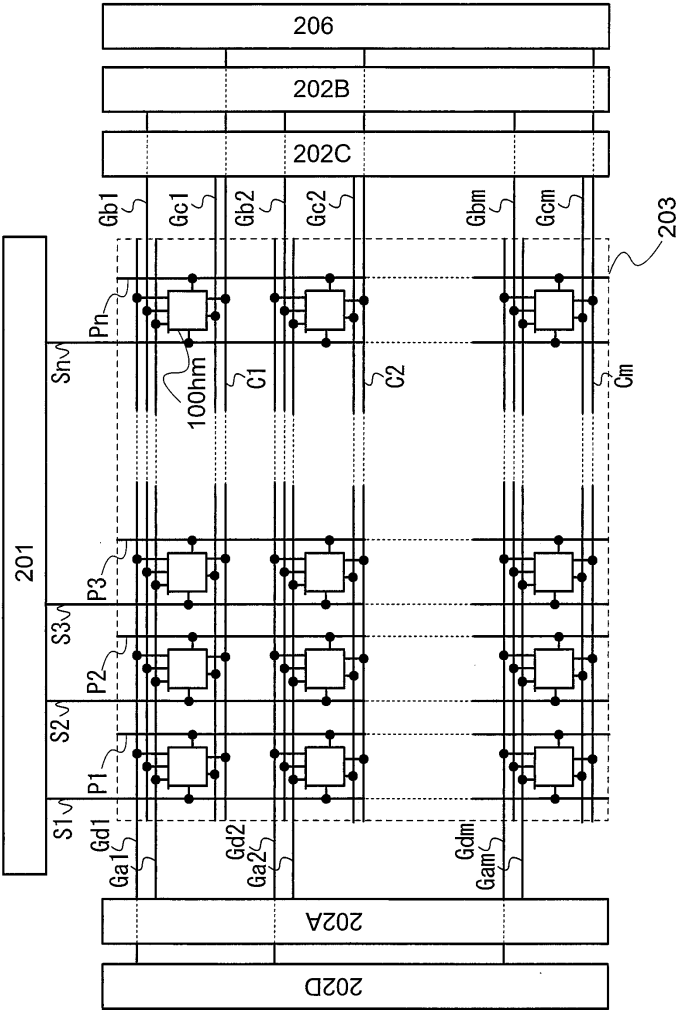
도면51



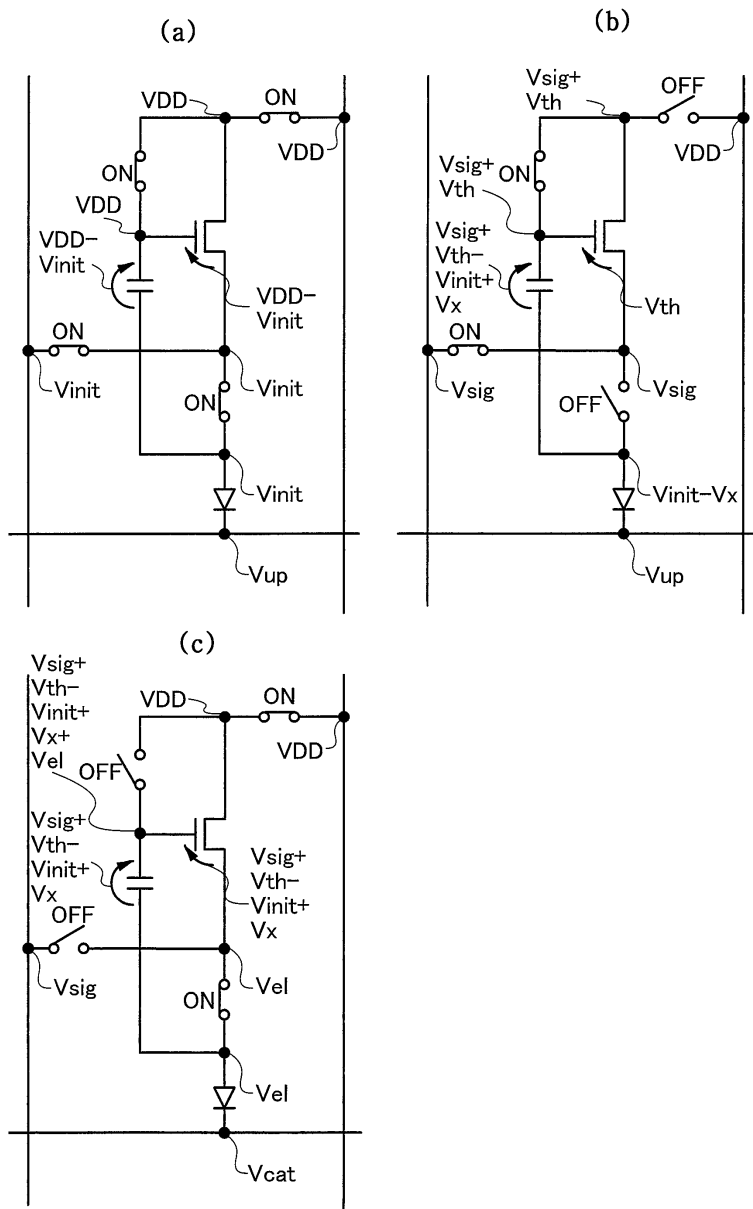
도면52



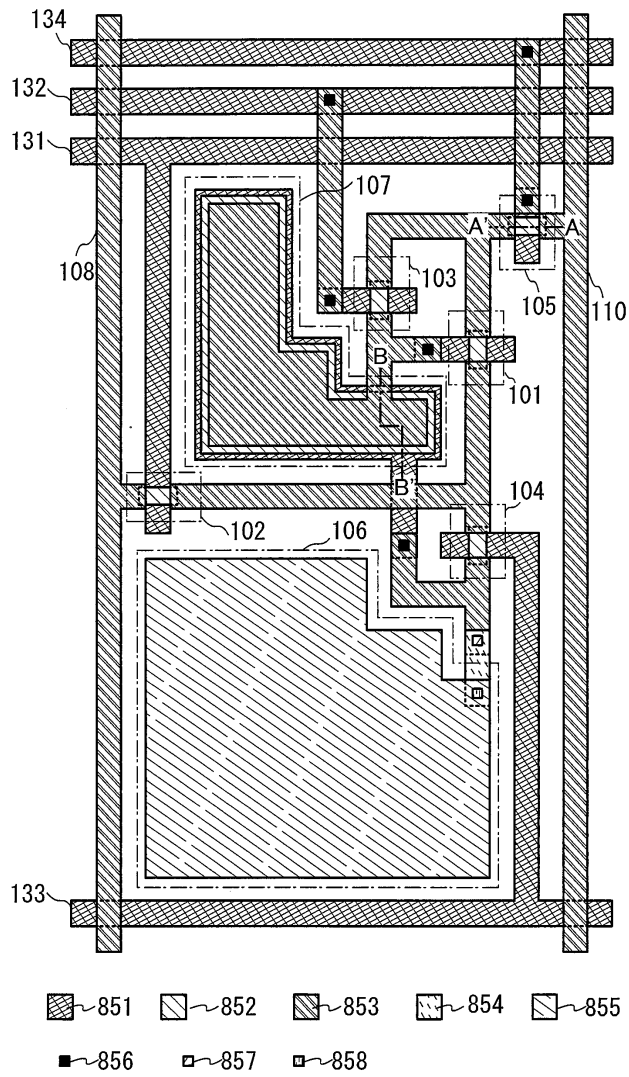
도면53



도면54

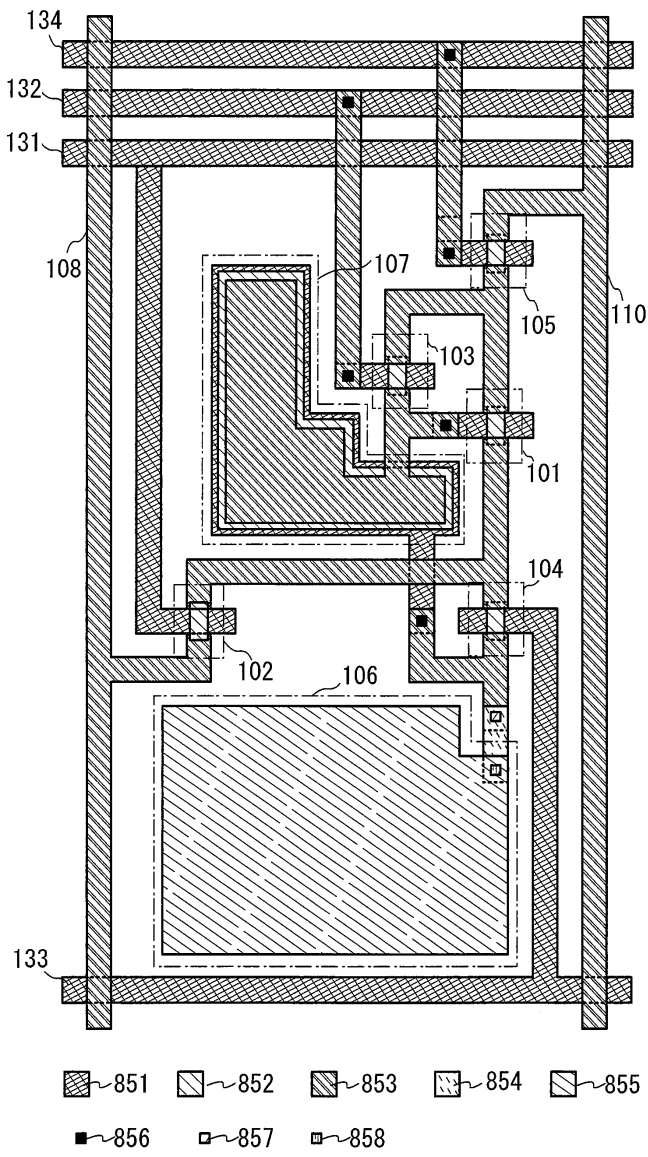


도면55

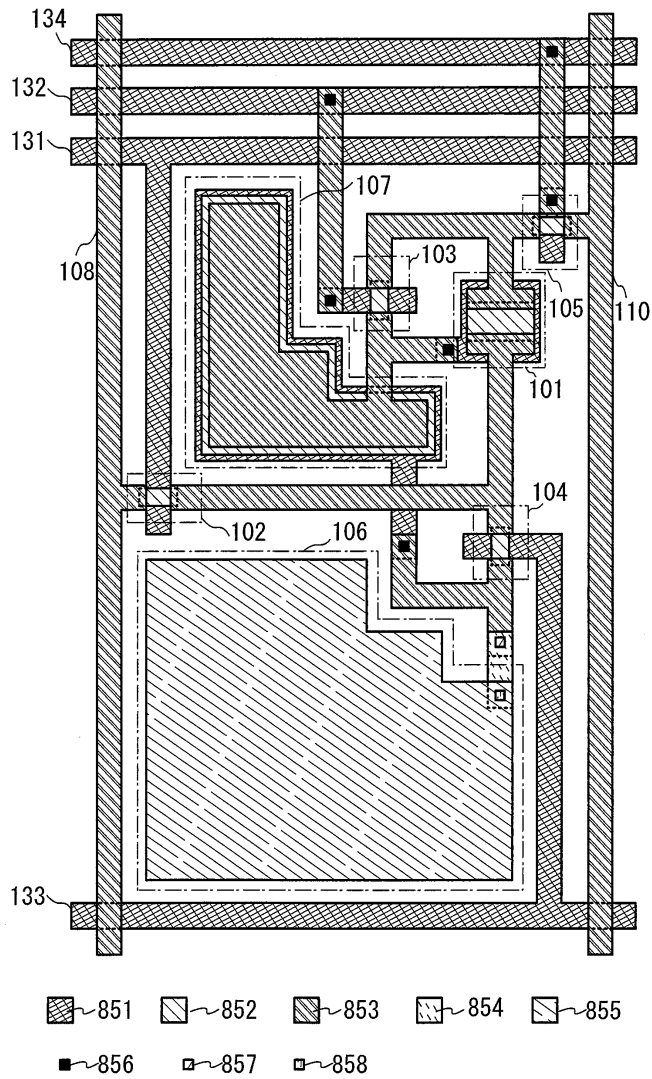




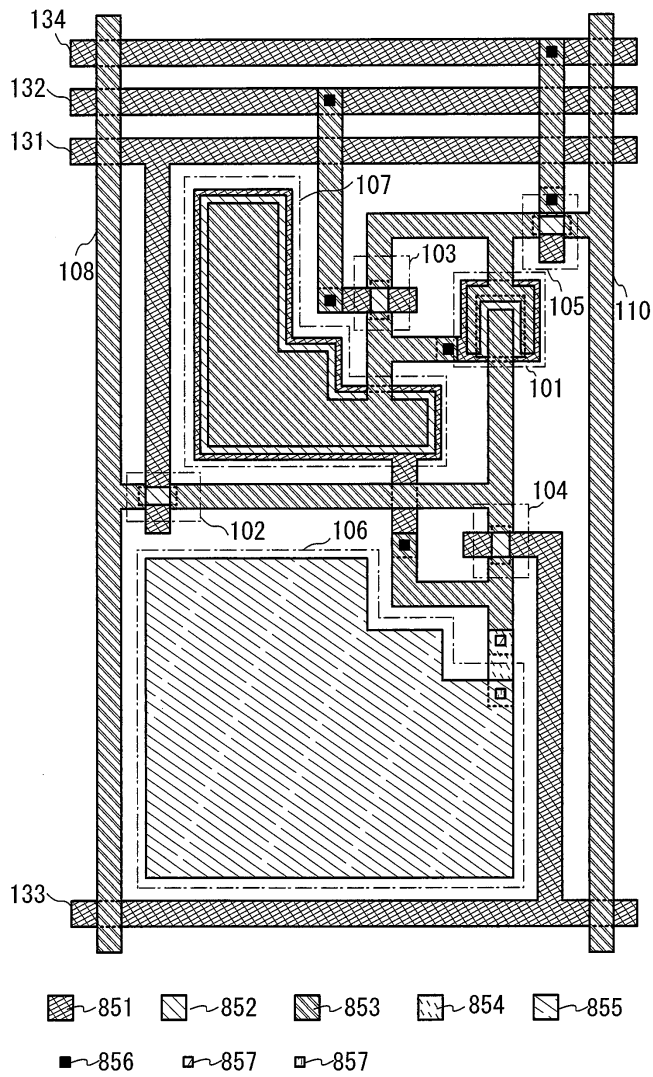
도면56



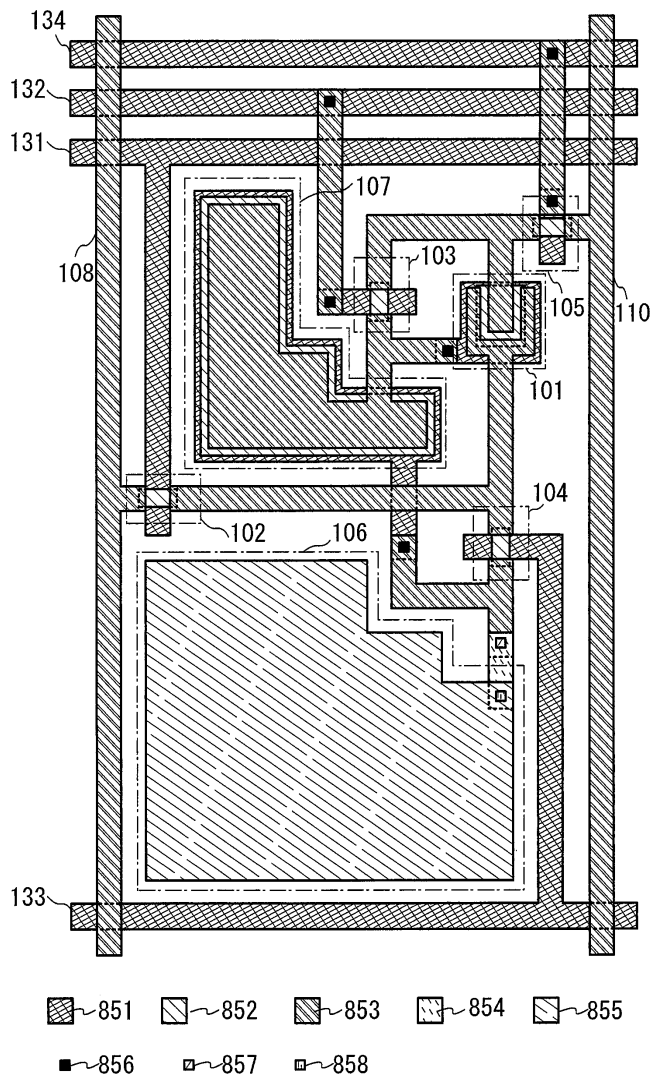
도면57



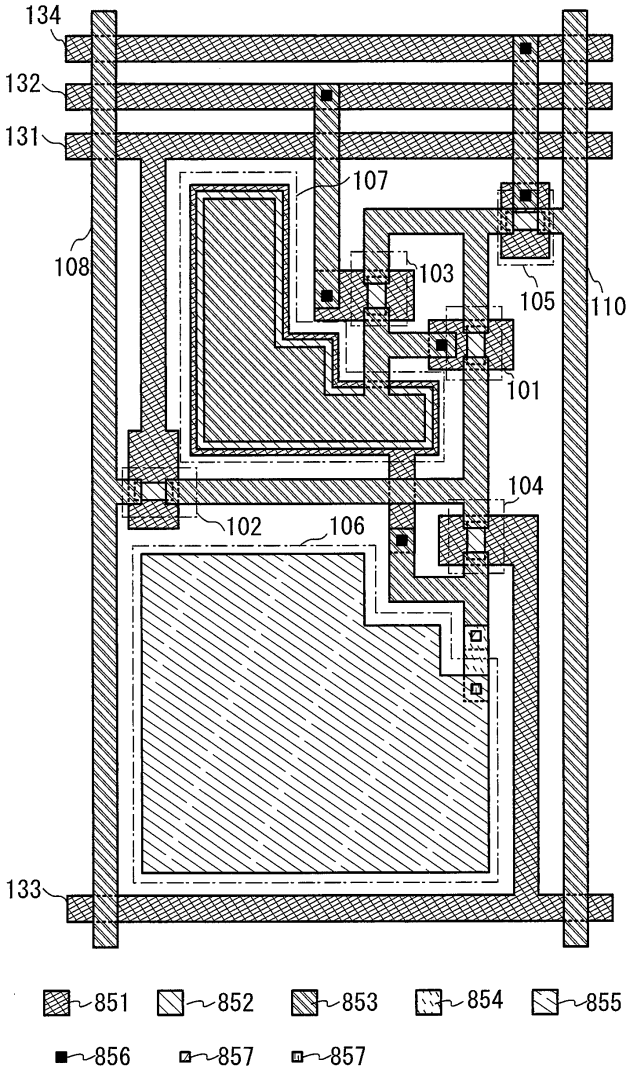
도면58



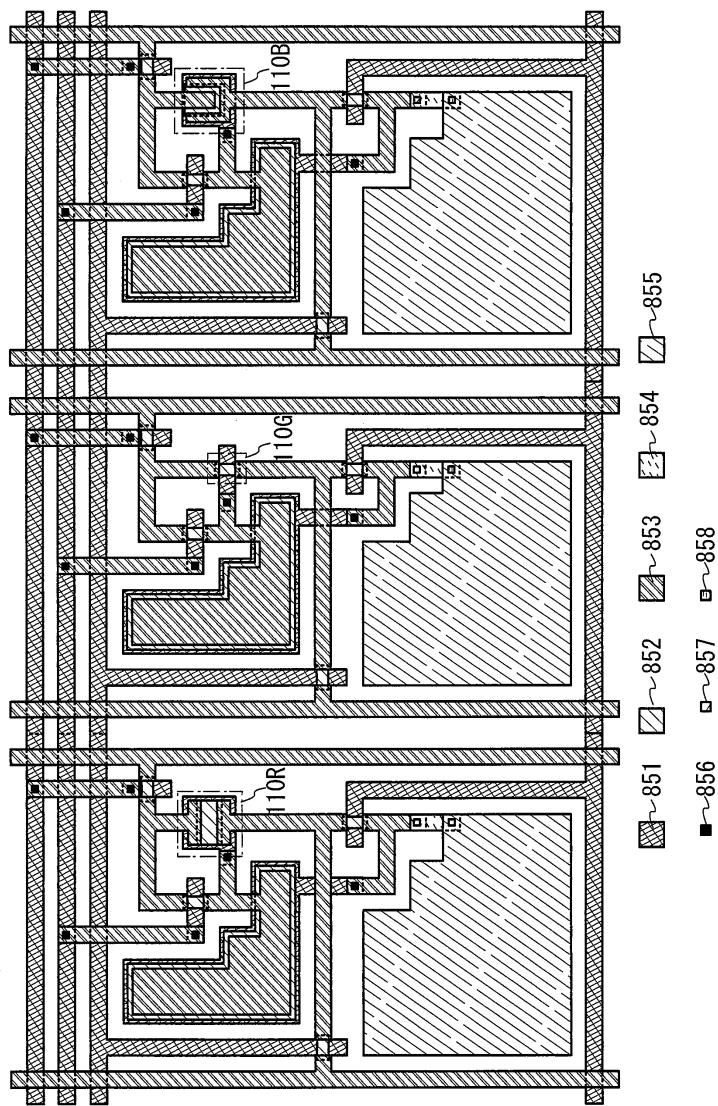
도면59



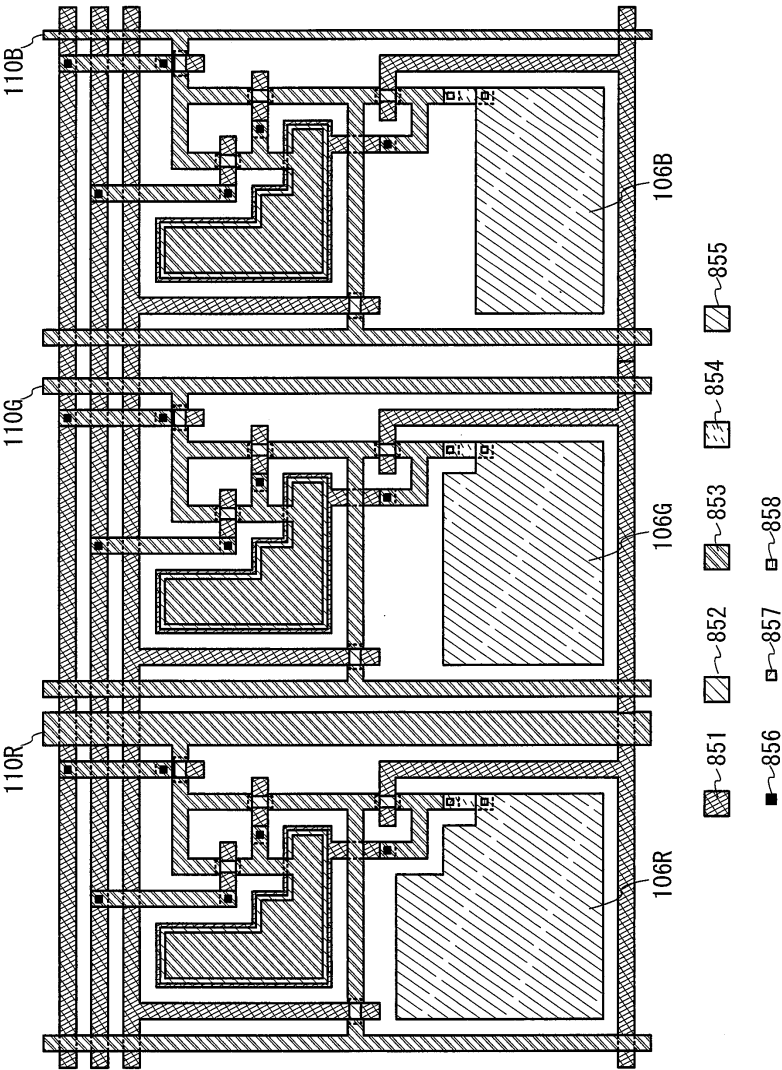
도면60



도면61

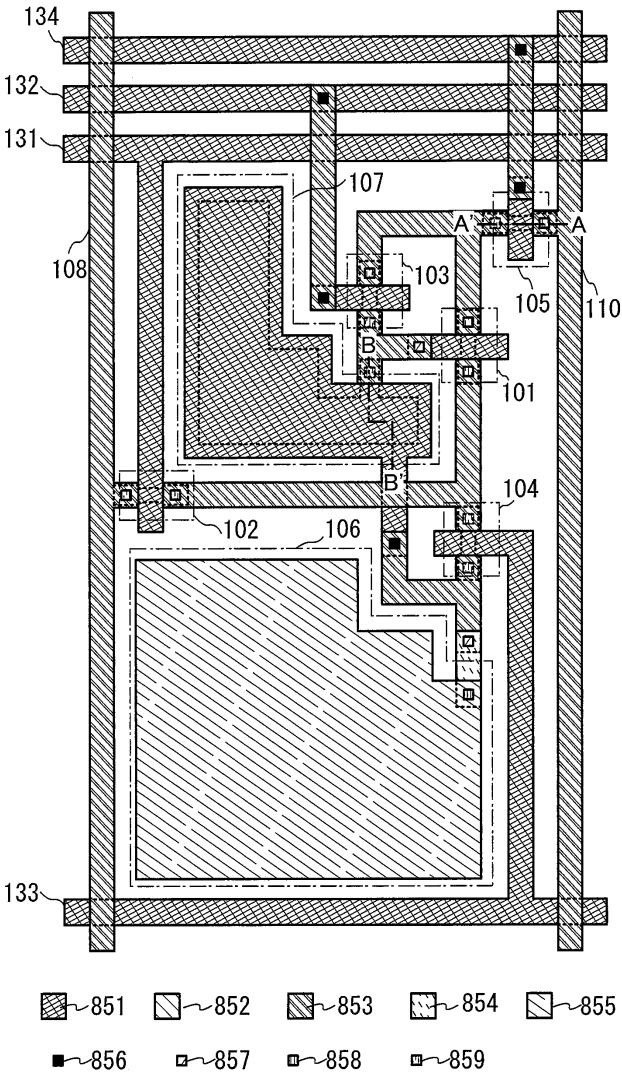


도면62

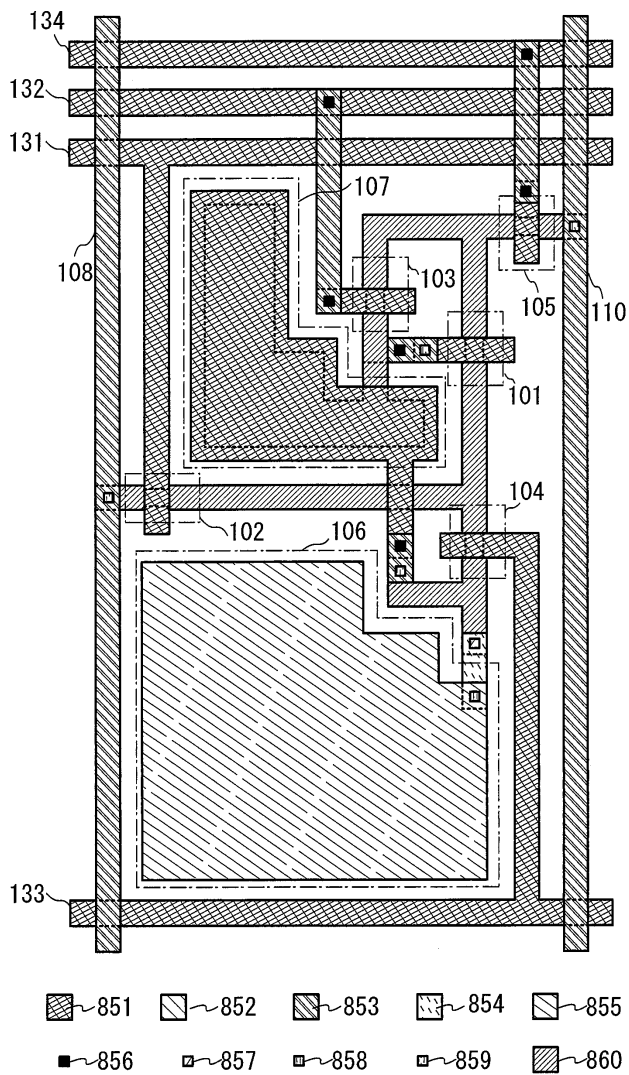




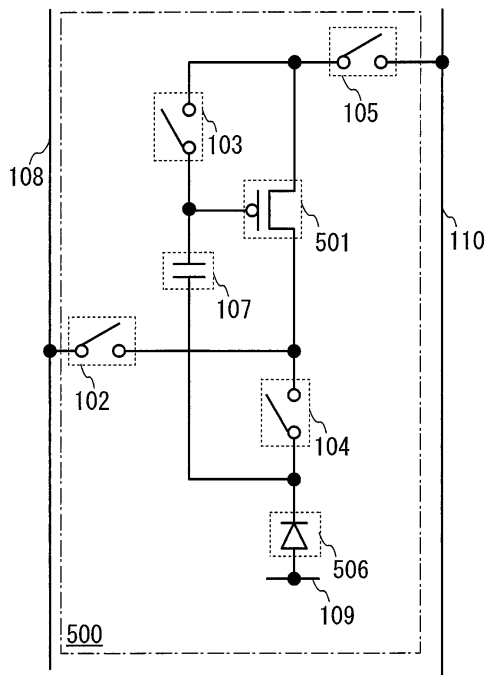
도면63



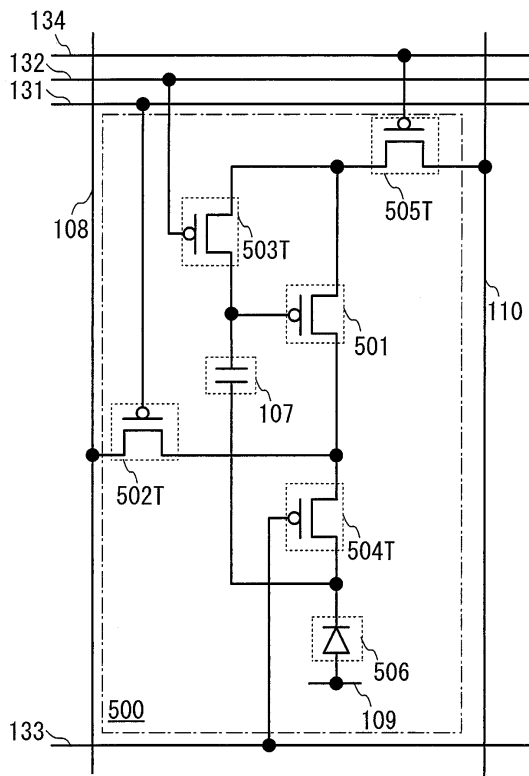
도면64



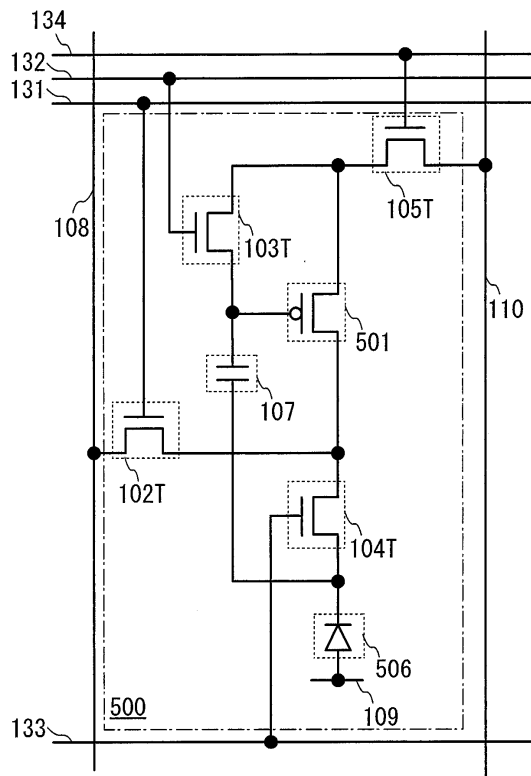
도면65



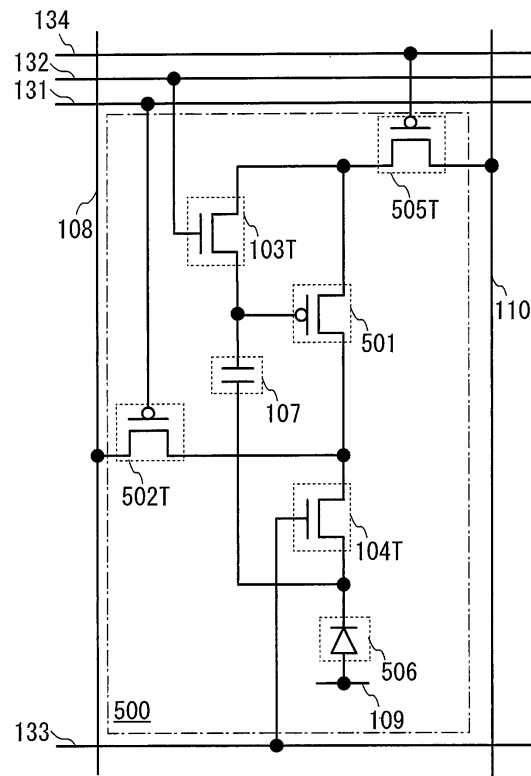
도면66



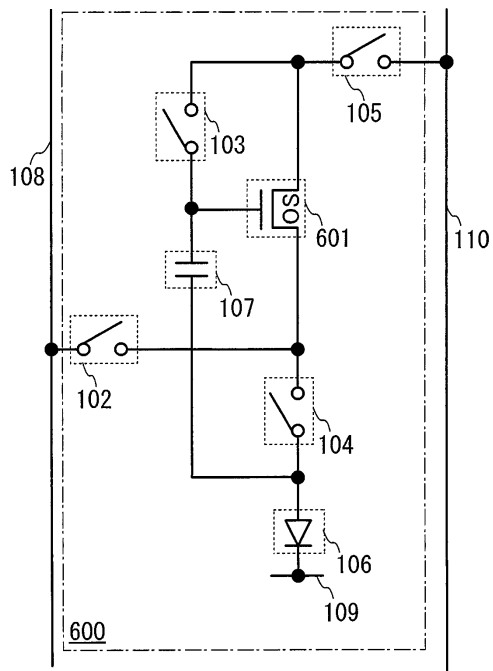
도면67



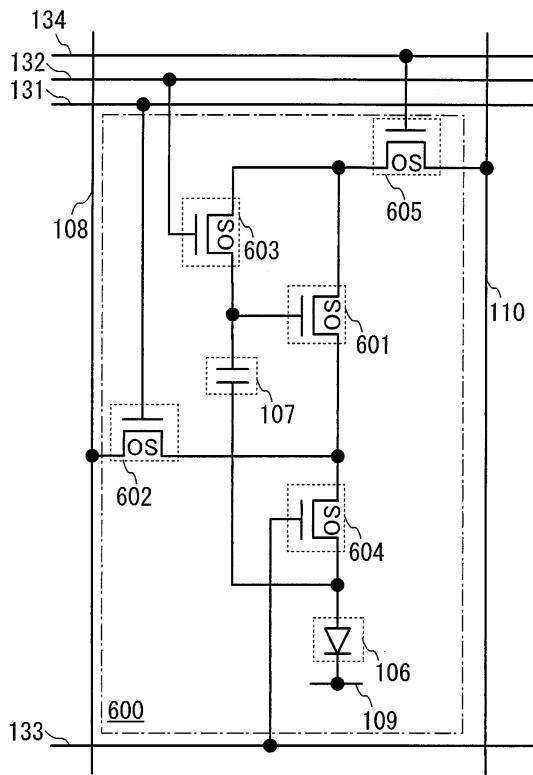
도면68



도면69

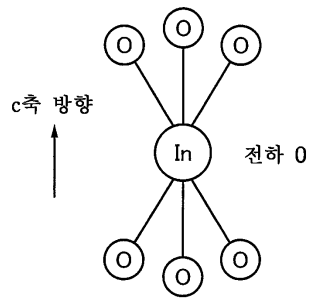


도면70

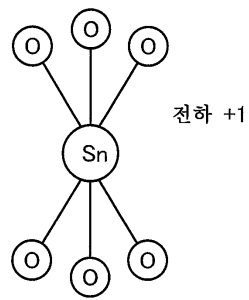


도면71

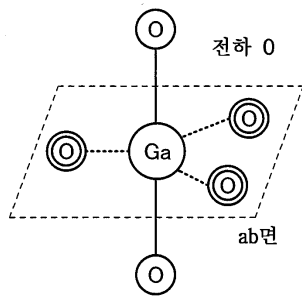
(a)



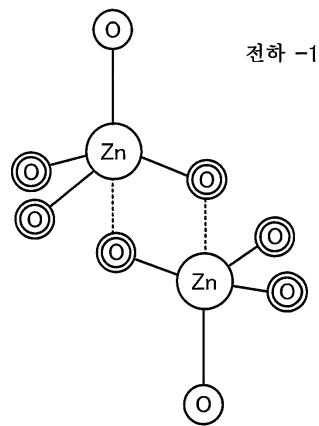
(d)



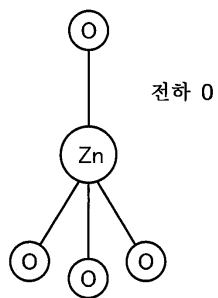
(b)



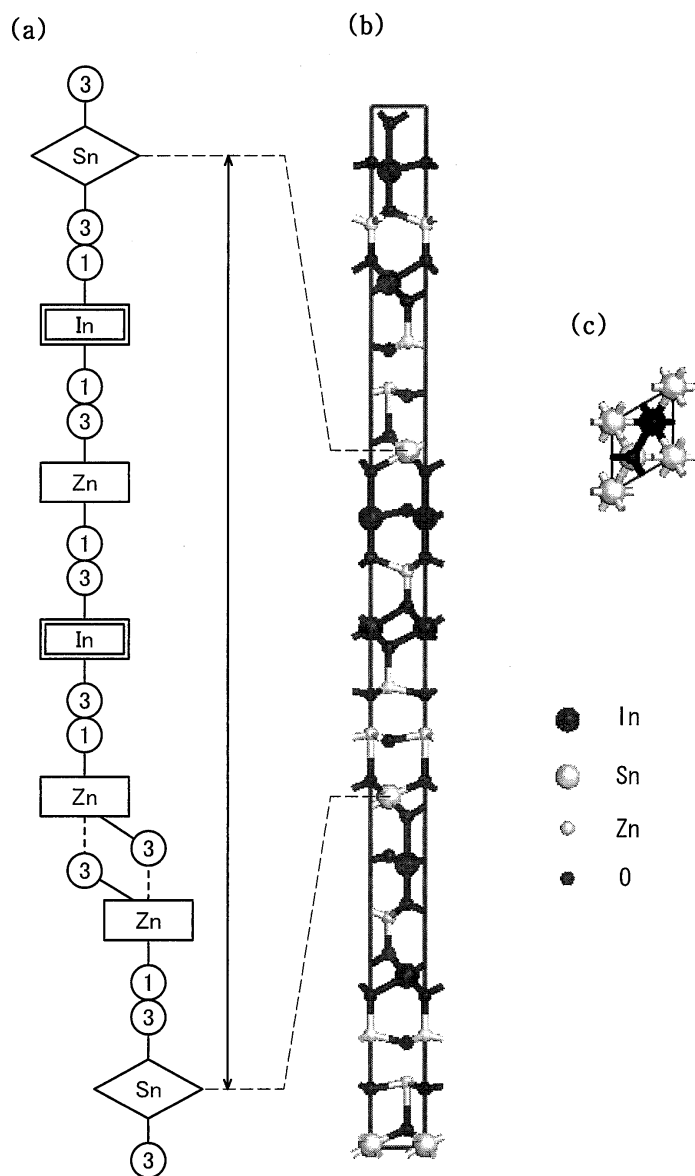
(e)



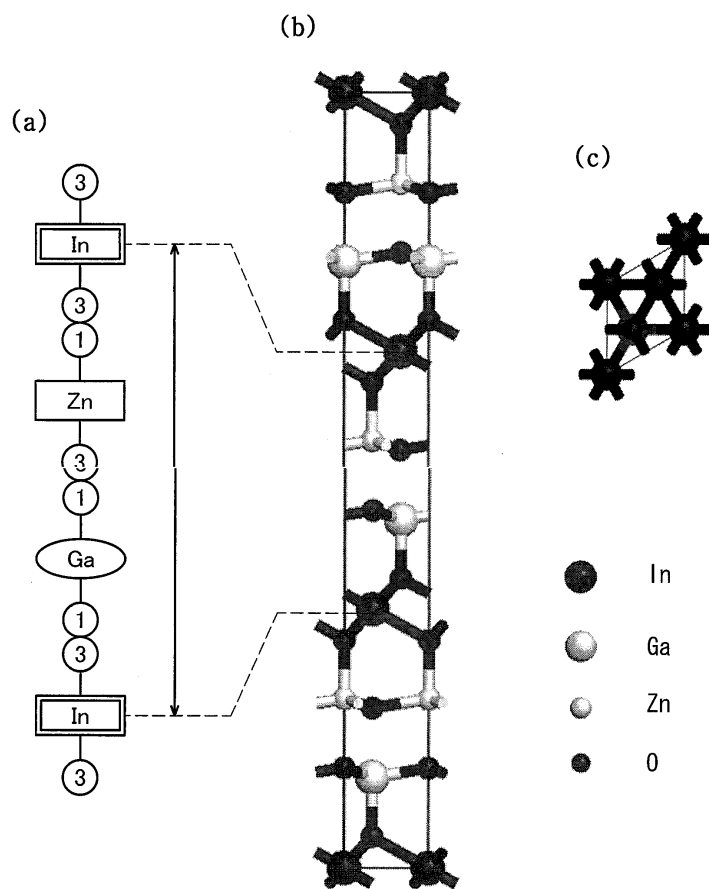
(c)



도면72



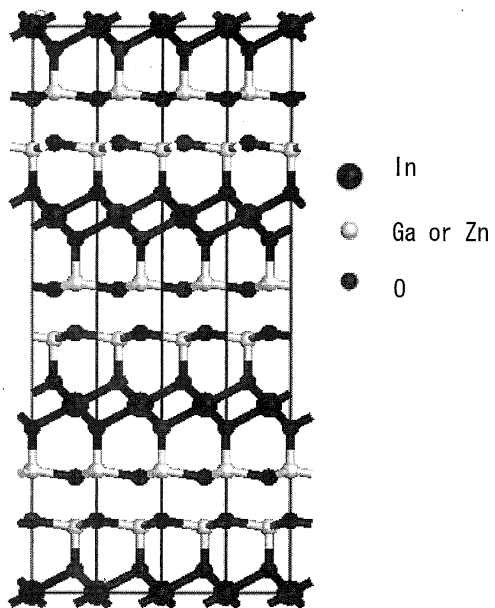
도면73



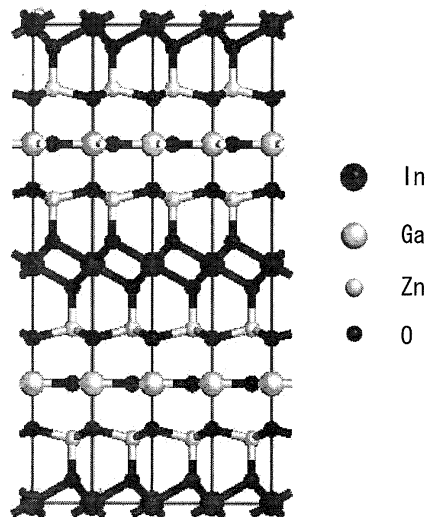


도면74

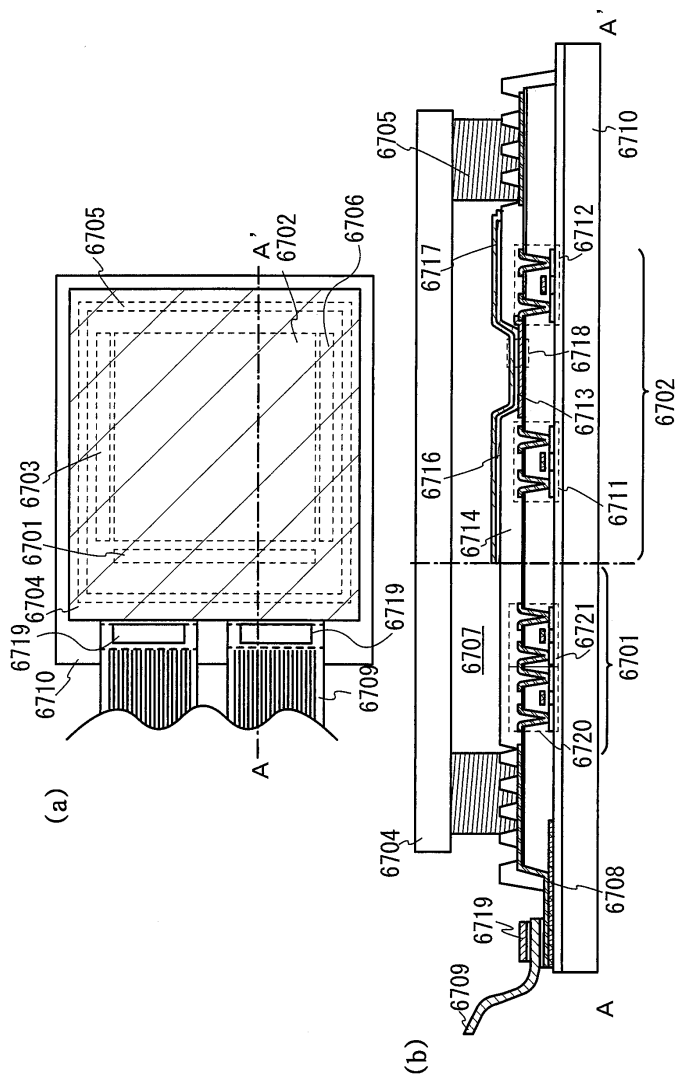
(a)



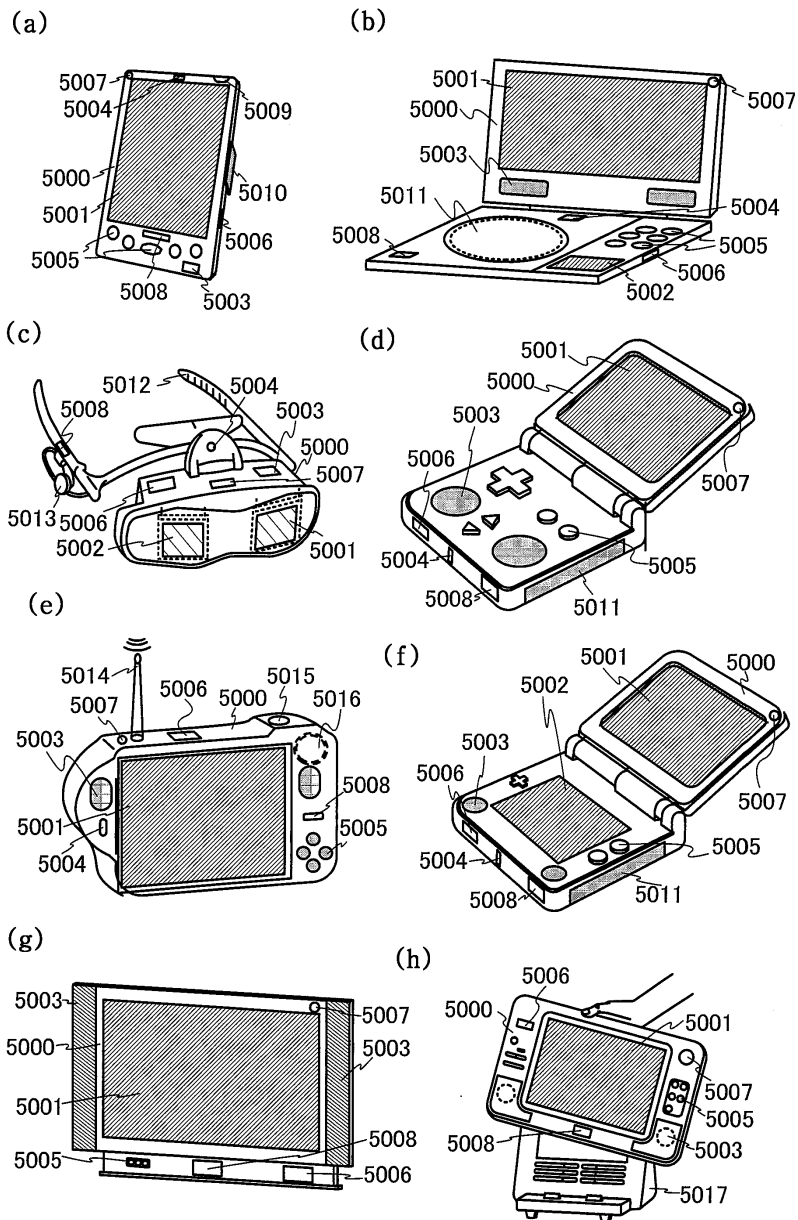
(b)



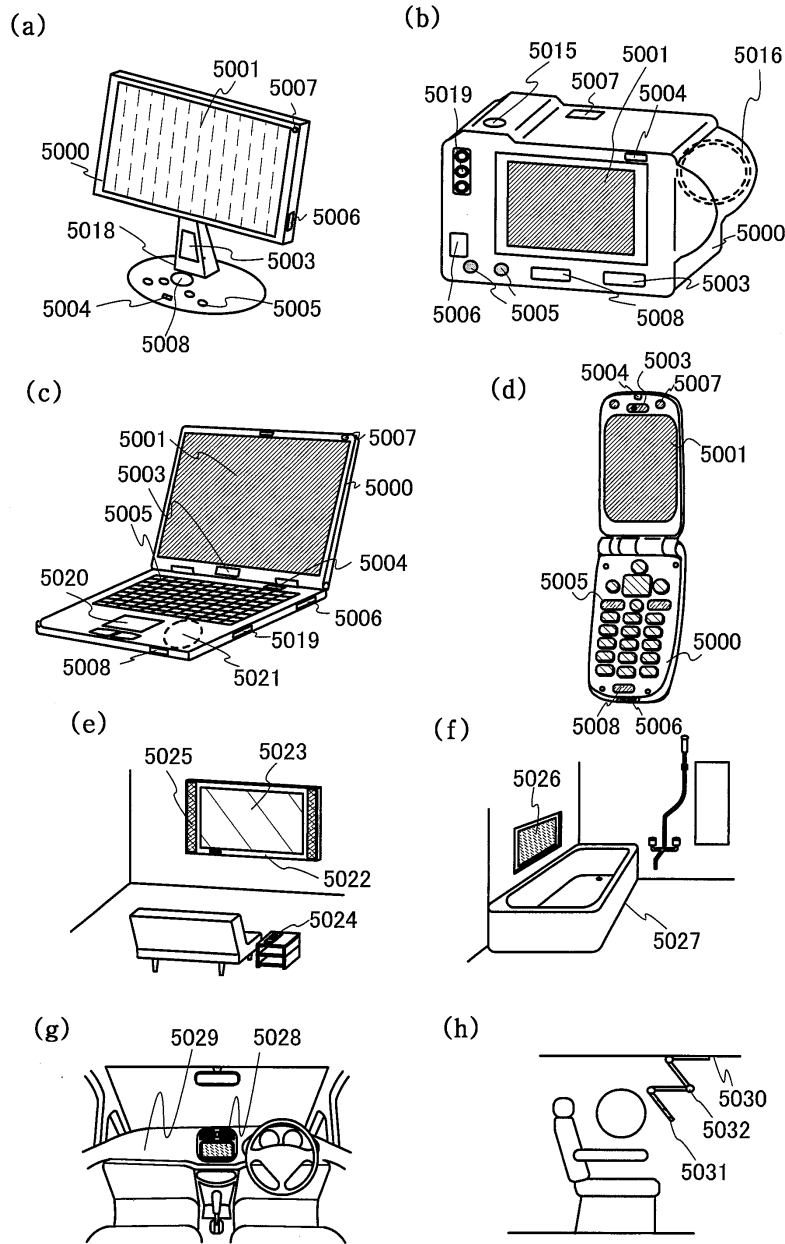
도면75



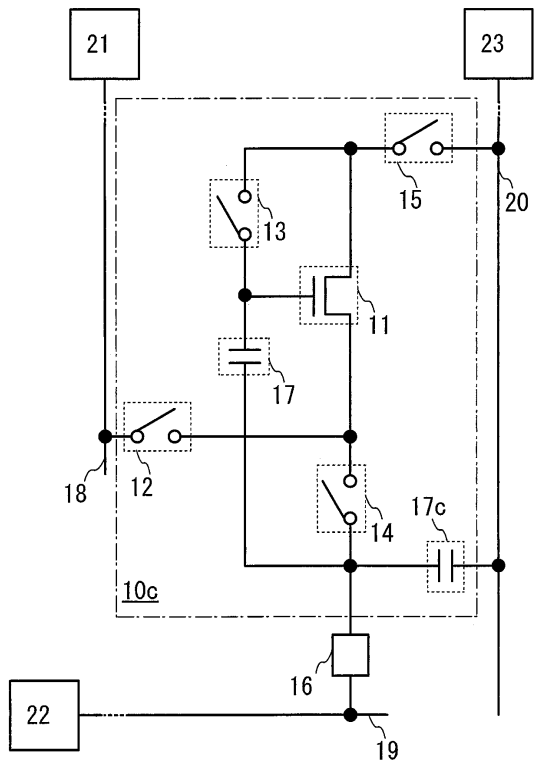
도면76



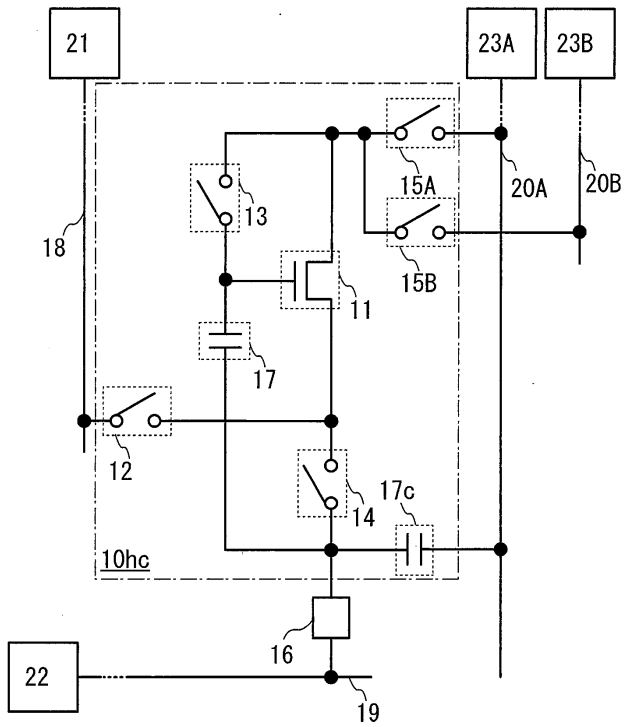
도면77



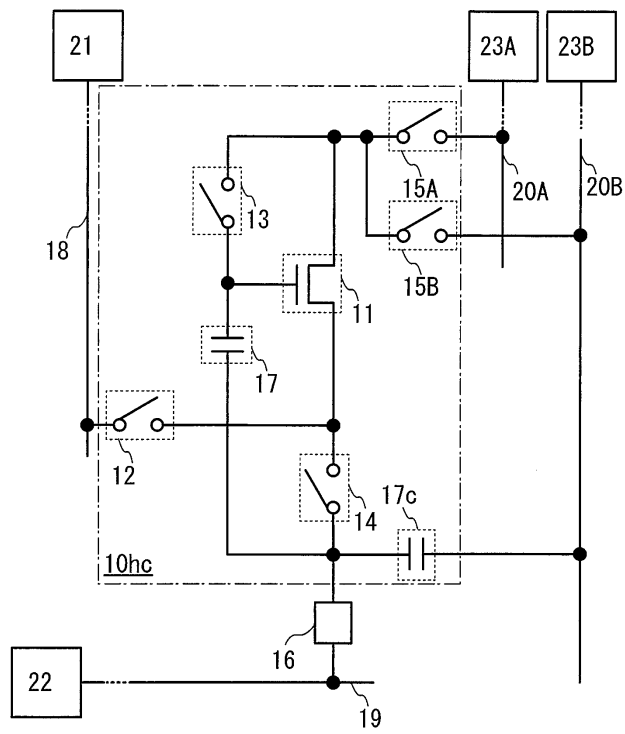
도면78



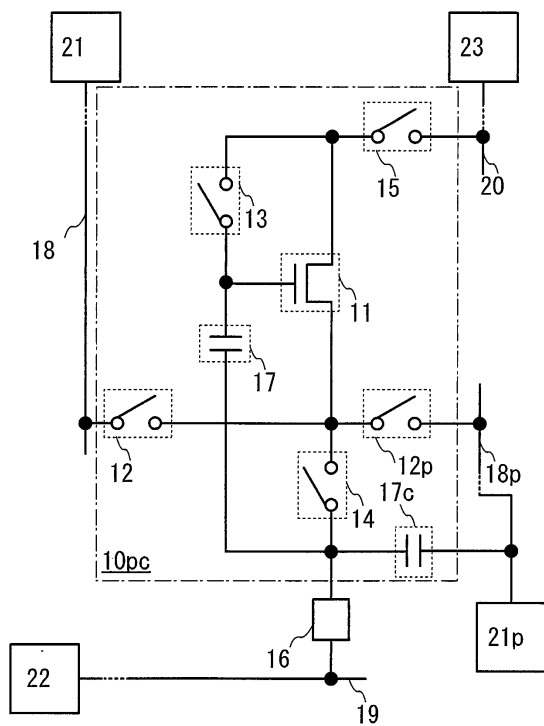
도면79



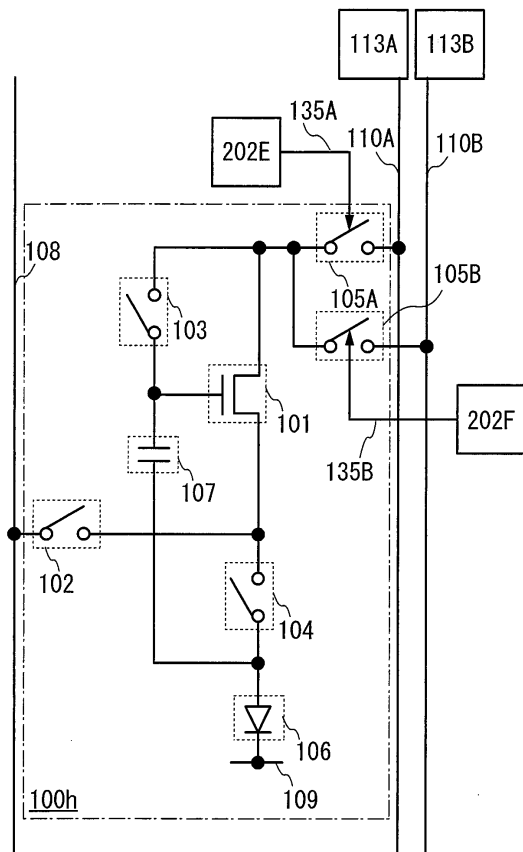
도면80



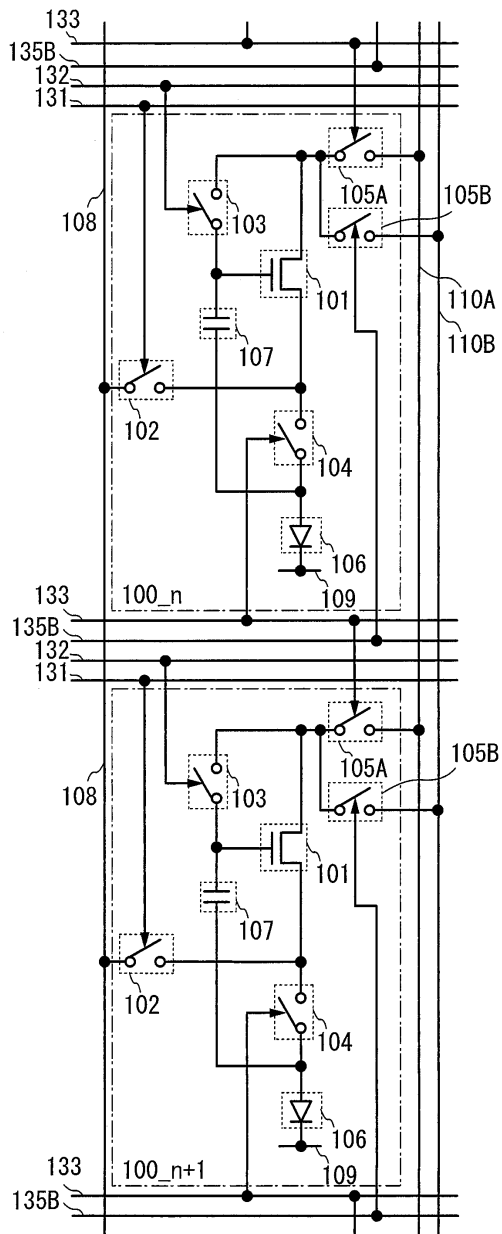
도면81



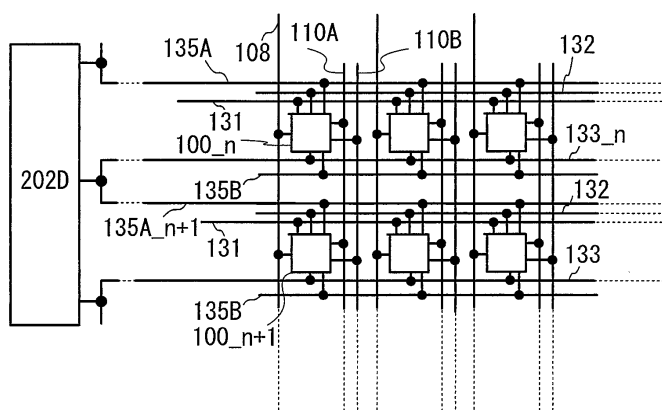
도면82



도면83

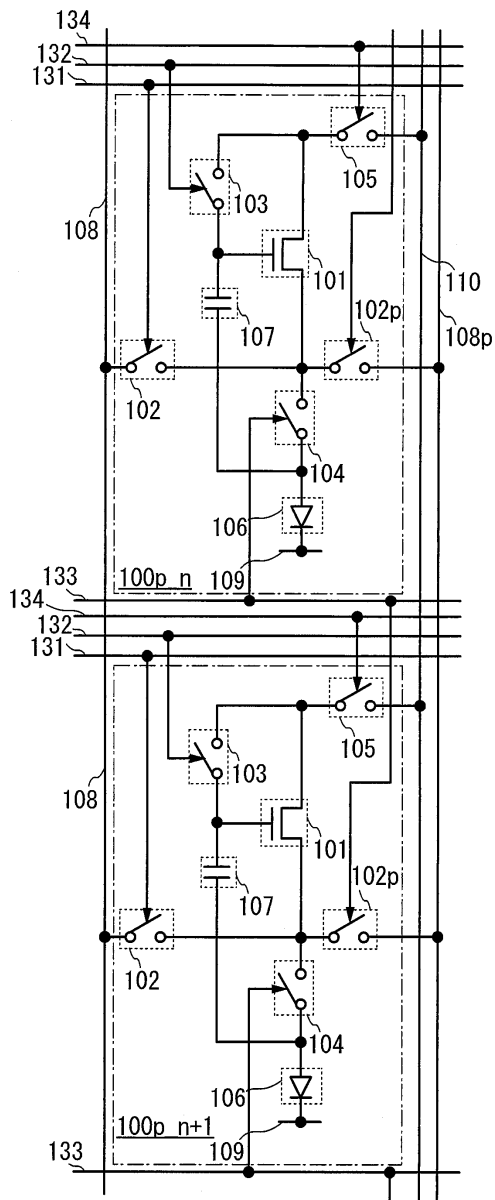


도면84

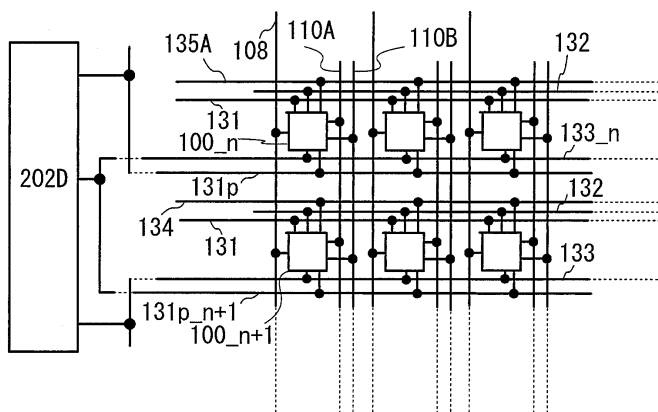




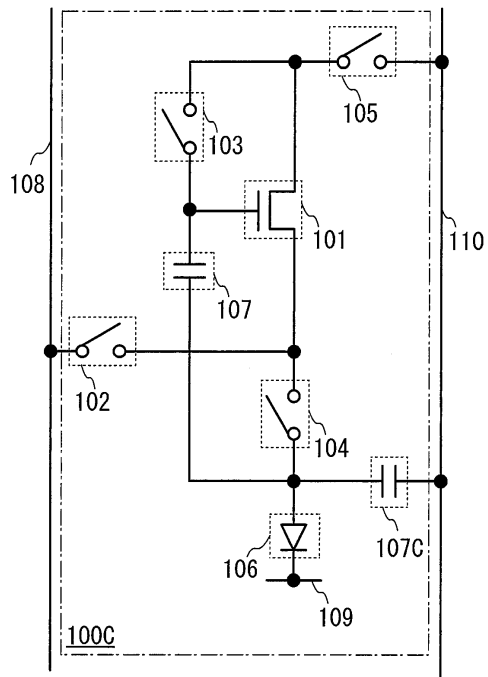
도면85



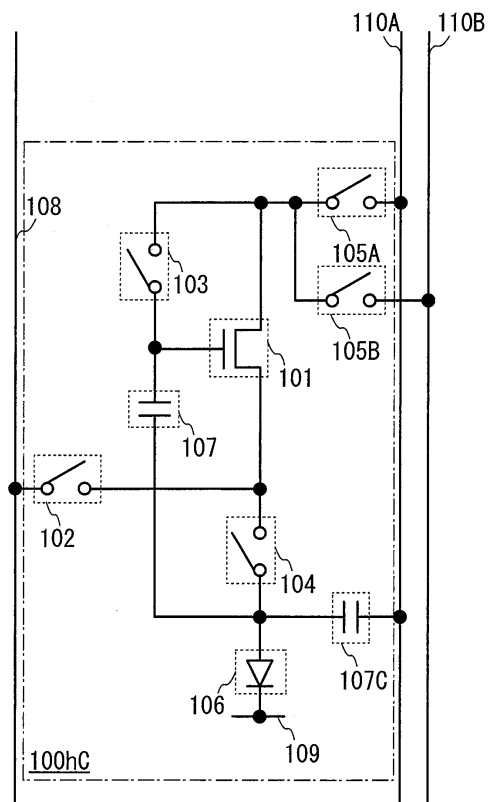
도면86



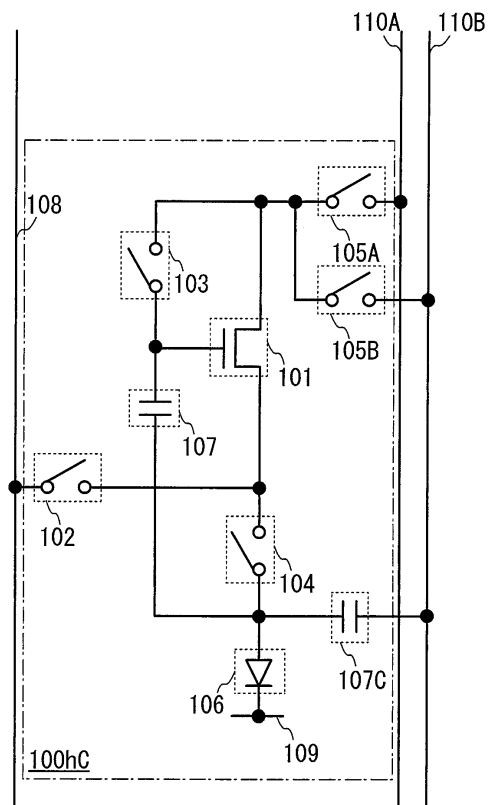
도면87



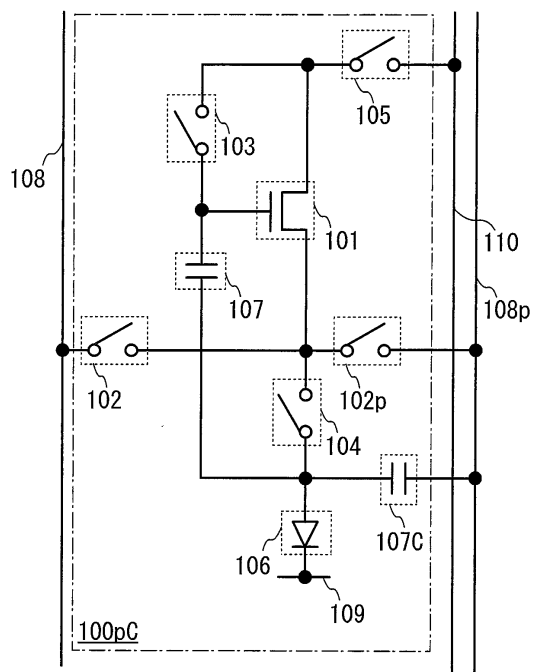
도면88



도면89

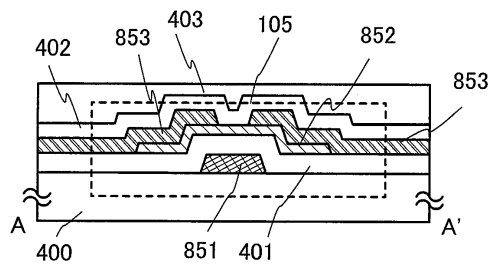


도면90

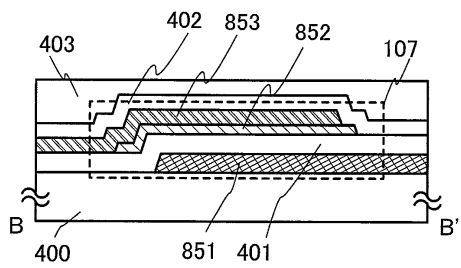


도면91

(a)

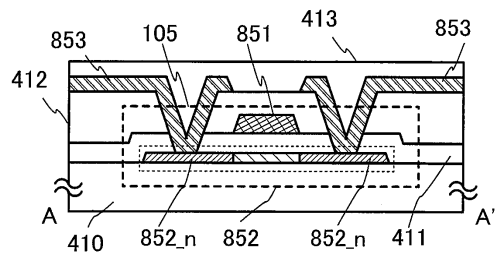


(b)

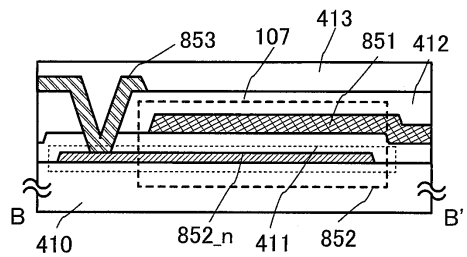


도면92

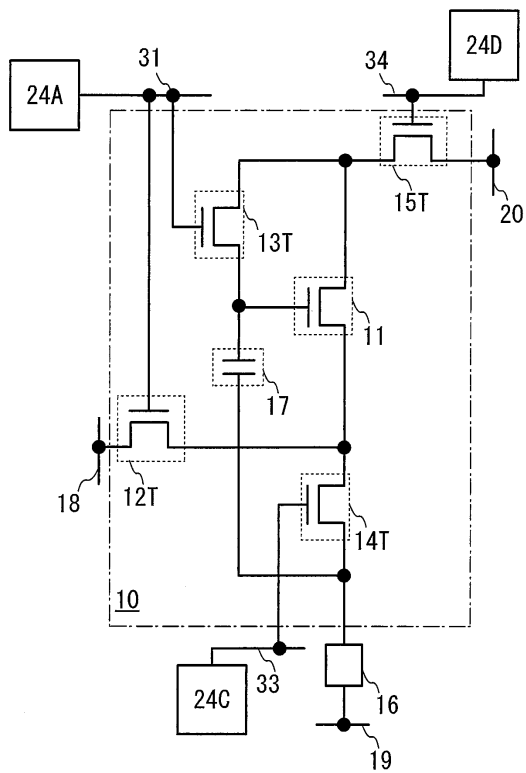
(a)



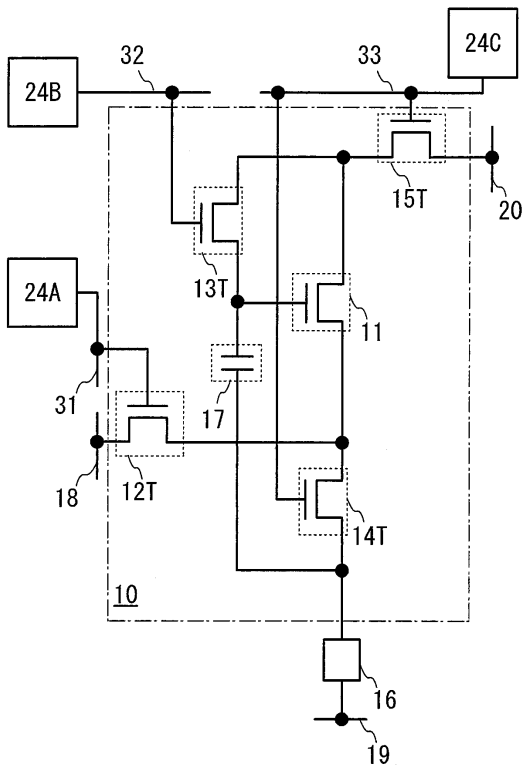
(b)



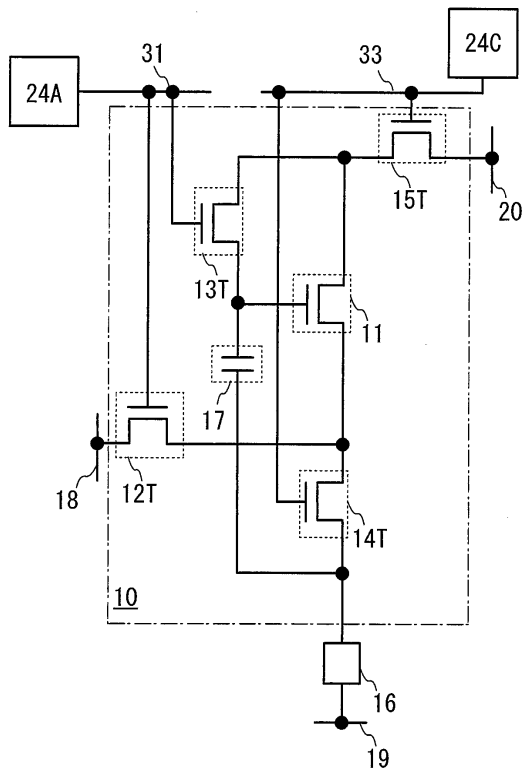
도면93



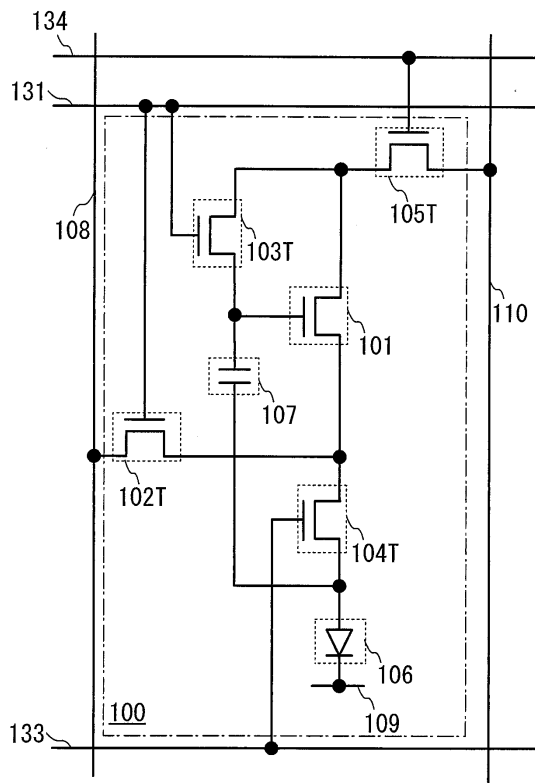
도면94



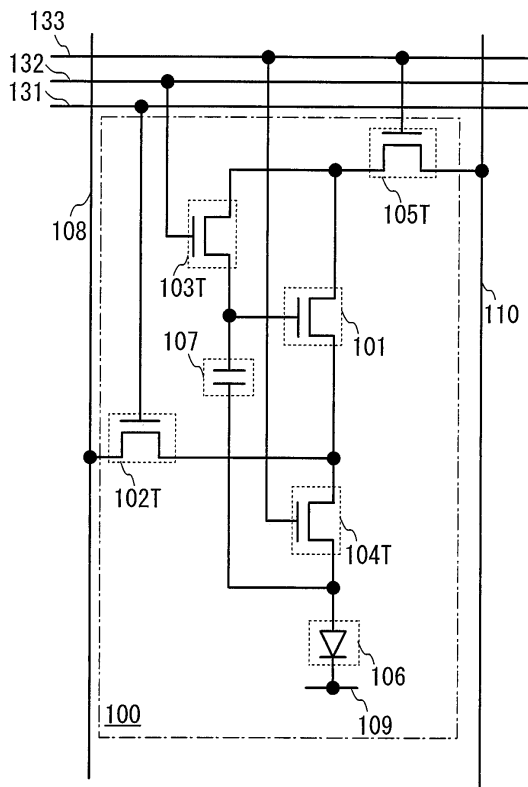
도면95



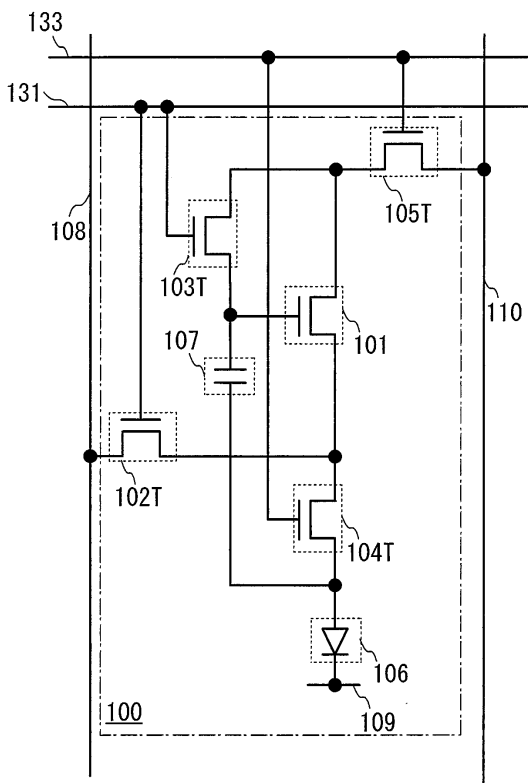
도면96



도면97



도면98



도면99

