

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>5</sup>  
G06F 13/16

(11) 공개번호 특1993-0001078  
(43) 공개일자 1993년01월16일

(21) 출원번호 (22) 출원일자 (30) 우선권주장 (71) 출원인 (72) 발명자 (74) 대리인	특1992-0010807 1992년06월22일 91201610.2 1991년06월24일 유럽(EP) 엔.브이.필립스 글로아이라펜파브리켄 프레데릭 얀 스미트 네델란드왕국, 아인드호펜, 그로네보드세베그 1 프레데릭 잔드벨드 네델란드왕국, 홀스베르그, 베켄호프 8 마티아스 밴트 독일연방공화국, 울셀렌, 파레-툼-스트라세 9 마셀 도미니쿠스 안센 미합중국, 캘리포니아 94304, 팔로 앨로, #407 샌드힐 로드 1742 이병호, 최달용
--	---

**심사청구 : 없음**

**(54) 컴퓨터 시스템**

**요약**

내용 없음

**대표도**

**도1**

**명세서**

[발명의 명칭]

컴퓨터 시스템

[도면의 간단한 설명]

제1도는 다이렉트 메모리 액세스의 제1형의 실시예의 도시도,

제2도는 다이렉트 메모리 액세스의 제2형의 실시예의 도시도.

본 내용은 요부공개건이므로 전문내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**

-캐치 수단(cache means)을 가진 핵심 프로세서, -메모리 관리겸 제어 수단을 갖춘 단일 칩 중앙 처리 장치를 포함하며, 상기 시스템은 또한 데이터 라인, 어드레스 라인, 로우 어드레스 선택 수단(RAS), 컬럼 어드레스 선택 수단(CAS), 출력 인에이블 수단 및 기록 수단을 포함하는 라인 번들에 의하여 상기 메모리 관리겸 제어 수단에 물리적으로 부착된 다이내믹 RAM 메모리를 포함하고, 각종 데이터 교환 수단(33)의 부착을 허용하는 부착 제어 수단을 구비하는 컴퓨터 시스템에 있어서, 상기 부착 제어 수단(32)이 상기 중앙 처리기 외부에 있고 또한 상기 다이내믹 RAM과 병렬로 상기 번들에 접속되며, 상기 중앙 처리기가 결합 데이터 교환 수단에 결합된 부착 제어 수단을 통해 결합 데이터 교환 수단과 상기 메인 메모리 사이에서 제1유형의 직접 메모리 액세스를 제어 소자 마다 수용하는 각 어드레스/길이 기억 장치에 의해 각각의 상기 제어 소자에 의한 다수의 제1직접 메모리 액세스 제어 소자를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

**청구항 2**

제1항에 있어서, 상기 데이터 교환 수단은 데이터 항목 전송을 위한 제1의 요구 신호를 전달하기 위한 결합 메모리 제어 소자에 대해 각 요구 와이어를 가지며, 상기 중앙 처리기는 각 번들 전달 어드레스에 의해 표현되는 바와 같이 결합된 제1인식(acknowledge)을 수신하도록 임의의 제1요청에 대해 애플레이트

하는 애플레이팅(경쟁) 수단을 포함하는 컴퓨터 시스템.

### 청구항 3

제1항 또는 제2항에 있어서, 상기 제어 소자는 상기 번들을 경유 가상 I/O 어드레스의 수신을 받으며, 상기 어느 데이터 교환 수단에 의해 생성되며, 상기 메모리 관리겸 제어 수단은 상기 핵심 프로세서와 번들 트랜스포터블 실제 어드레스로의 트랜스레이션을 위한 상기 코프로세서로부터의 가상 I/O 어드레스의 수신을 수용하는 컴퓨터 시스템.

### 청구항 4

제1항, 제2항, 제3항중 어떤 한항에 있어서, 상기 공통 처리기는 제2의 다수 핸드셰이크 제어 소자를 포함하며, 상기 제어 소자는 핵심 프로세서의 도움없이 상기 결합된 또다른 데이터 교환 수단과 상기 메인 메모리 양단간 제2유형의 DAM를 제2의 제어소자당 수용하는 부착된 또다른 데이터 교환 수단에 대해 상기 부착 제어 수단에 의한 결합 부착 제어 수단에서 중앙 처리기 외부에 놓여지는 제2의 DMA 제어 소자에서 핸드셰이킹을 실행하는 컴퓨터 시스템.

### 청구항 5

제4항에 있어서, 상기 핸드셰이크 제어 소자 각각은 표시된 각각의 비와이어 인퍼에이스를 갖는 것을 특징으로 하는 컴퓨터 시스템.

### 청구항 6

제4항 또는 제5항에 있어서, 상기 핵심 처리기는 상기 번들에 의해 전달된 다른 감쇠/완성 인터럽트 수신 수단을 갖는 것을 특징으로 하는 컴퓨터 시스템.

### 청구항 7

제4항, 제5항 또는 제6항에 있어서, 핵심 처리기 뿐만아니라 번들-변형 실제 어드레스로 변형기 위한 상기 메모리 관리겸 제어 수단에 대해 가상 메모리 어드레스를 발생하기 위해 상기 제2다이렉트 메모리 제어 소자중 어떤 것을 허용하는 것을 특징으로 하는 컴퓨터 시스템.

### 청구항 8

제2항 또는 제7항에 있어서, 이 경우 상기 가상 어드레스 길이는 실제 컬럼 어드레스 길이의 최소 2배를 수용하며 상기 가상 어드레스에 할당된 번들 어드레스 와이어부를 배제하고 상호 제1 및 제2위의 컬럼 어드레스를 디멀티플렉싱하는 뱅크 와이드용 어드레스 시프트 수단을 가지는 컴퓨터 시스템.

### 청구항 9

제1항 또는 제8항중 어떤 한항에 있어서, 상기 중앙 처리기는 각각 제1다이렉트 메모리 액세스 제어 소자와 제2의 다수의 조합된 핸드셰이크 제어 소자로서 제3의 다수의 전달 요구 수신 수단을 가지는 컴퓨터 시스템.

### 청구항 10

제1항 내지 제7항에 있어서, 상기 메모리 관리겸 제어 수단은 또한 적어도 하나의 우선, 패리티 및 상기 번들에 따른 시프팅 제어/실행 수단을 기지는 것을 특징으로 하는 컴퓨터 시스템.

### 청구항 11

제1항 내지 제9항중 하나에 청구된 바와 같은 컴퓨터 시스템에 사용하기 위한 집적된 단일-칩 중앙 처리기.

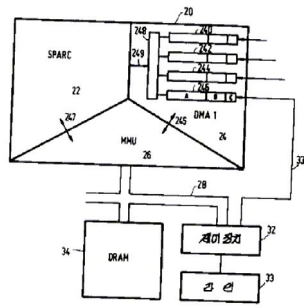
### 청구항 12

제11항에 있어서, 적어도 4개의 제1다이렉트 메모리 액세스 제어 소자와 오프-칩 제2다이렉트 메모리 액세스 제어 소자에 따라 관련된 적어도 4개의 핸드셰이크 제어 소자를 가지는 컴퓨터 시스템.

※참고사항:최초출원 내용에 의하여 공개되는 것임.

도면

도면1



도면2

