



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0058545
(43) 공개일자 2021년05월24일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) H01L 29/51 (2006.01)
H01L 29/66 (2006.01) H01L 29/78 (2006.01)
H01L 29/788 (2006.01)
(52) CPC특허분류
H01L 29/40111 (2019.08)
H01L 27/11585 (2013.01)
(21) 출원번호 10-2019-0146132
(22) 출원일자 2019년11월14일
심사청구일자 2019년11월14일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
이준희
울산광역시 울주군 언양읍 유니스트길 50 울산과
학기술원
이호식
울산광역시 울주군 언양읍 유니스트길 50 울산과
학기술원
(74) 대리인
특허법인지원

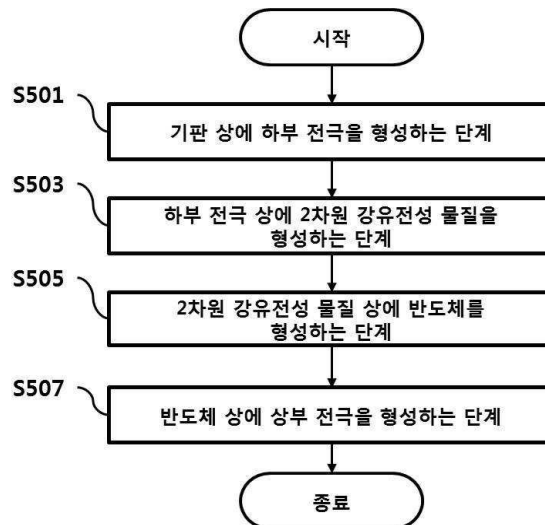
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 2차원 강유전성 물질을 이용한 비휘발성 3진 메모리 소자 및 이의 제조 방법

(57) 요약

본 발명은 2차원 강유전성 물질을 이용한 비휘발성 3진 메모리 소자 및 이의 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따른 비휘발성 3진 메모리 소자의 제조 방법은 (a) 기판 상에 하부 전극을 형성하는 단계; (b) 상기 하부 전극 상에 2차원 강유전성 물질을 형성하는 단계; (c) 상기 2차원 강유전성 물질 상에 반도체를 형성하는 단계; 및 (d) 상기 반도체 상에 상부 전극을 형성하는 단계;를 포함할 수 있다.

대 표 도 - 도5



(52) CPC특허분류

H01L 29/516 (2013.01)

H01L 29/66825 (2013.01)

H01L 29/6684 (2013.01)

H01L 29/78391 (2015.01)

H01L 29/788 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711096829
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	창의소재디스커버리사업
연구과제명	양자물질 계층을 이용한 다중 정전용량 소재군 발굴
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2019.03.01 ~ 2019.12.31

명세서

청구범위

청구항 1

- (a) 기판 상에 하부 전극을 형성하는 단계;
- (b) 상기 하부 전극 상에 2차원 강유전성 물질을 형성하는 단계;
- (c) 상기 2차원 강유전성 물질 상에 반도체를 형성하는 단계; 및
- (d) 상기 반도체 상에 상부 전극을 형성하는 단계;

를 포함하는,

비휘발성 3진 메모리 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 2차원 강유전성 물질은,

SnTe, GeTe 및 GeSnTe₂ 중 적어도 하나를 포함하는,

비휘발성 3진 메모리 소자의 제조 방법.

청구항 3

제1항에 있어서,

상기 상부 전극은,

제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극을 포함하는,

비휘발성 3진 메모리 소자의 제조 방법.

청구항 4

제3항에 있어서,

상기 (d) 단계 이후에,

상기 제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극 중 상기 제1 상부 전극과 상기 하부 전극 사이를 전기적으로 연결하는 단계;

를 더 포함하는,

비휘발성 3진 메모리 소자의 제조 방법.

청구항 5

제4항에 있어서,

상기 (d) 단계 이후에,

상기 제1 상부 전극과 상기 제3 상부 전극 사이를 전기적으로 연결하는 단계; 및
 상기 제2 상부 전극과 상기 제4 상부 전극 사이를 전기적으로 연결하는 단계;
 를 더 포함하는,
 비휘발성 3진 메모리 소자의 제조 방법.

청구항 6

제5항에 있어서,
 상기 제1 상부 전극과 제3 상부 전극은, 상기 2차원 강유전성 물질의 수평 편극 방향으로 배치되고,
 상기 제2 상부 전극과 제4 상부 전극은, 상기 2차원 강유전성 물질의 수직 편극 방향으로 배치되는,
 비휘발성 3진 메모리 소자의 제조 방법.

청구항 7

제6항에 있어서,
 상기 제1 상부 전극과 상기 하부 전극 사이에 인가되는 전압은, 인가 방향에 따라 상기 수평 편극 방향의 양의
 방향 또는 음의 방향을 조절하기 위해 이용되는,
 비휘발성 3진 메모리 소자의 제조 방법.

청구항 8

제6항에 있어서,
 상기 제1 상부 전극과 상기 하부 전극 사이의 터널링 전류(tunneling current)의 크기는, 상기 2차원 강유전성
 물질의 편극 방향에 따라 3진 상태(ternary state)를 나타내기 위해 이용되는,
 비휘발성 3진 메모리 소자의 제조 방법.

청구항 9

제6항에 있어서,
 상기 제1 상부 전극과 상기 제3 상부 전극 사이의 전압과 및 상기 제2 상부 전극과 제4 상부 전극 사이의 전압
 은, 쓰기(writing) 프로세스를 위해 이용되고,
 상기 제1 상부 전극과 상기 하부 전극 사이의 전압은, 읽기(reading) 프로세스를 위해 이용되는,
 비휘발성 3진 메모리 소자의 제조 방법.

청구항 10

제6항에 있어서,
 상기 제1 상부 전극과 상기 제2 상부 전극은 도전선을 통해 전기적으로 연결되는,
 비휘발성 3진 메모리 소자의 제조 방법.

청구항 11

기관;
상기 기관 상에 형성되는 하부 전극;
상기 하부 전극 상에 형성되는 2차원 강유전성 물질;
상기 2차원 강유전성 물질 상에 형성되는 반도체; 및
상기 반도체 상에 형성되는 상부 전극;
을 포함하는,
비휘발성 3진 메모리 소자.

청구항 12

제11항에 있어서,
상기 2차원 강유전성 물질은,
SnTe, GeTe 및 GeSnTe_2 중 적어도 하나를 포함하는,
비휘발성 3진 메모리 소자.

청구항 13

제11항에 있어서,
상기 상부 전극은,
제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극을 포함하는,
비휘발성 3진 메모리 소자.

청구항 14

제13항에 있어서,
상기 제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극 중 상기 제1 상부 전극과 상기 하부 전극
은 전기적으로 연결되는,
비휘발성 3진 메모리 소자.

청구항 15

제14항에 있어서,
상기 제1 상부 전극과 상기 제3 상부 전극은 전기적으로 연결되고,
상기 제2 상부 전극과 상기 제4 상부 전극은 전기적으로 연결되는,
비휘발성 3진 메모리 소자.

청구항 16

제15항에 있어서,

상기 제1 상부 전극과 제3 상부 전극은, 상기 2차원 강유전성 물질의 수평 편극 방향으로 배치되고,

상기 제2 상부 전극과 제4 상부 전극은, 상기 2차원 강유전성 물질의 수직 편극 방향으로 배치되는,

비휘발성 3진 메모리 소자.

청구항 17

제16항에 있어서,

상기 제1 상부 전극과 상기 하부 전극 사이에 인가되는 전압은, 인가 방향에 따라 상기 수평 편극 방향의 양의 방향 또는 음의 방향을 조절하기 위해 이용되는,

비휘발성 3진 메모리 소자.

청구항 18

제16항에 있어서,

상기 제1 상부 전극과 상기 하부 전극 사이의 터널링 전류(tunneling current)의 크기는, 상기 2차원 강유전성 물질의 편극 방향에 따라 3진 상태(ternary state)를 나타내기 위해 이용되는,

비휘발성 3진 메모리 소자.

청구항 19

제16항에 있어서,

상기 제1 상부 전극과 상기 제3 상부 전극 사이의 전압 및 상기 제2 상부 전극과 제4 상부 전극 사이의 전압은, 쓰기(writing) 프로세스를 위해 이용되고,

상기 제1 상부 전극과 상기 하부 전극 사이의 전압은, 읽기(reading) 프로세스를 위해 이용되는,

비휘발성 3진 메모리 소자.

청구항 20

제16항에 있어서,

상기 제1 상부 전극과 상기 제2 상부 전극은 도전선을 통해 전기적으로 연결되는,

비휘발성 3진 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명은 3진 메모리 소자에 관한 것으로, 더욱 상세하게는 2차원 강유전성 물질을 이용한 비휘발성 3진 메모리 소자 및 이의 제조 방법에 관한 것이다.

배경 기술

- [0003] 현대 컴퓨터 기술은 이진 논리 시스템을 기반으로 하고 있다. 그러나 개발 속도가 느려지면 다중 값 논리 (multi-valued logic, MVL) 시스템으로의 전환이 관심 받고 있다.
- [0004] MVL은 동일한 칩 영역에서 저렴한 비용으로 더 밀도 높은 로직 구현을 제공할 수 있다. 더 적은 수의 상호 연결을 통해 동일한 숫자로 더 많은 정보를 전송할 수 있으므로 전력 소비가 줄어들 수 있다.
- [0005] 그러나, MVL은 무어의 법칙에 따라 이진 논리 시스템의 빠른 개발로 인해 이진 논리 시스템에 비해 연구 관심이 훨씬 적었다. 그러나 무어의 법칙의 둔화/종료는 MVL 연구의 관심을 증가시켰다. MVL, 특히 3진(ternary) 논리는 2진(binary) 논리에 비해 상당한 장점을 가지고 있다.
- [0006] 그러나, 종래의 3진 논리가 적용된 메모리는 구조가 복잡하고 휘발성이라는 문제점이 존재하였으나, 이를 해결하기 위한 연구는 미흡한 실정이다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) [특허문헌 1] 한국등록특허 제10-1178997호

발명의 내용

해결하려는 과제

- [0008] 본 발명은 전술한 문제점을 해결하기 위하여 창출된 것으로, 2차원 강유전성 물질을 이용한 비휘발성 3진 메모리 소자 및 이의 제조 방법을 제공하는 것을 그 목적으로 한다.
- [0009] 또한, 본 발명은 2차원 강유전성 물질의 편극 방향에 따라 3진 상태(ternary state)를 나타내기 위한 비휘발성 3진 메모리 소자 및 이의 제조 방법을 제공하는 것을 그 목적으로 한다.
- [0010] 본 발명의 목적들은 이상에서 언급한 목적들로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0012] 상기한 목적들을 달성하기 위하여, 본 발명의 일 실시예에 따른 비휘발성 3진 메모리 소자의 제조 방법은, a) 기판 상에 하부 전극을 형성하는 단계; (b) 상기 하부 전극 상에 2차원 강유전성 물질을 형성하는 단계; (c) 상기 2차원 강유전성 물질 상에 반도체를 형성하는 단계; 및 (d) 상기 반도체 상에 상부 전극을 형성하는 단계;를 포함할 수 있다.
- [0013] 실시예에서, 상기 2차원 강유전성 물질은, SnTe, GeTe 및 GeSnTe_2 중 적어도 하나를 포함할 수 있다.
- [0014] 실시예에서, 상기 상부 전극은, 제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극을 포함할 수 있다.
- [0015] 실시예에서, 상기 비휘발성 3진 메모리 소자의 제조 방법은, 상기 (d) 단계 이후에, 상기 제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극 중 상기 제1 상부 전극과 상기 하부 전극 사이를 전기적으로 연결하는 단계;를 더 포함할 수 있다.
- [0016] 실시예에서, 상기 비휘발성 3진 메모리 소자의 제조 방법은, 상기 (d) 단계 이후에, 상기 제1 상부 전극과 상기 제3 상부 전극 사이를 전기적으로 연결하는 단계; 및 상기 제2 상부 전극과 상기 제4 상부 전극 사이를 전기적으로 연결하는 단계;를 더 포함할 수 있다.
- [0017] 실시예에서, 상기 제1 상부 전극과 제3 상부 전극은, 상기 2차원 강유전성 물질의 수평 편극 방향으로 배치되고, 상기 제2 상부 전극과 제4 상부 전극은, 상기 2차원 강유전성 물질의 수직 편극 방향으로 배치될 수 있다.
- [0018] 실시예에서, 상기 제1 상부 전극과 상기 하부 전극 사이에 인가되는 전압은, 인가 방향에 따라 상기 수평 편극

방향의 양의 방향 또는 음의 방향을 조절하기 위해 이용될 수 있다.

- [0019] 실시예에서, 상기 제1 상부 전극과 상기 하부 전극 사이의 터널링 전류(tunneling current)의 크기는, 상기 2차원 강유전성 물질의 편극 방향에 따라 3진 상태(ternary state)를 나타내기 위해 이용될 수 있다.
- [0020] 실시예에서, 상기 제1 상부 전극과 상기 제3 상부 전극 사이의 전압과 및 상기 제2 상부 전극과 제4 상부 전극 사이의 전압은, 쓰기(writing) 프로세스를 위해 이용되고, 상기 제1 상부 전극과 상기 하부 전극 사이의 전압은, 읽기(reading) 프로세스를 위해 이용될 수 있다.
- [0021] 실시예에서, 상기 제1 상부 전극과 상기 제2 상부 전극은 도전선을 통해 전기적으로 연결될 수 있다.
- [0022] 실시예에서, 비휘발성 3진 메모리 소자는, 기관; 상기 기관 상에 형성되는 하부 전극; 상기 하부 전극 상에 형성되는 2차원 강유전성 물질; 상기 2차원 강유전성 물질 상에 형성되는 반도체; 및 상기 반도체 상에 형성되는 상부 전극;을 포함할 수 있다.
- [0023] 실시예에서, 상기 2차원 강유전성 물질은, SnTe, GeTe 및 GeSnTe_2 중 적어도 하나를 포함할 수 있다.
- [0024] 실시예에서, 상기 상부 전극은, 제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극을 포함할 수 있다.
- [0025] 실시예에서, 상기 제1 상부 전극, 제2 상부 전극, 제3 상부 전극 및 제4 상부 전극 중 상기 제1 상부 전극과 상기 하부 전극은 전기적으로 연결될 수 있다.
- [0026] 실시예에서, 상기 제1 상부 전극과 상기 제3 상부 전극은 전기적으로 연결되고, 상기 제2 상부 전극과 상기 제4 상부 전극은 전기적으로 연결될 수 있다.
- [0027] 실시예에서, 상기 제1 상부 전극과 제3 상부 전극은, 상기 2차원 강유전성 물질의 수평 편극 방향으로 배치되고, 상기 제2 상부 전극과 제4 상부 전극은, 상기 2차원 강유전성 물질의 수직 편극 방향으로 배치될 수 있다.
- [0028] 실시예에서, 상기 제1 상부 전극과 상기 하부 전극 사이에 인가되는 전압은, 인가 방향에 따라 상기 수평 편극 방향의 양의 방향 또는 음의 방향을 조절하기 위해 이용될 수 있다.
- [0029] 실시예에서, 상기 제1 상부 전극과 상기 하부 전극 사이의 터널링 전류(tunneling current)의 크기는, 상기 2차원 강유전성 물질의 편극 방향에 따라 3진 상태(ternary state)를 나타내기 위해 이용될 수 있다.
- [0030] 실시예에서, 상기 제1 상부 전극과 상기 제3 상부 전극 사이의 전압 및 상기 제2 상부 전극과 제4 상부 전극 사이의 전압은, 쓰기(writing) 프로세스를 위해 이용되고, 상기 제1 상부 전극과 상기 하부 전극 사이의 전압은, 읽기(reading) 프로세스를 위해 이용될 수 있다.
- [0031] 실시예에서, 상기 제1 상부 전극과 상기 제2 상부 전극은 도전선을 통해 전기적으로 연결될 수 있다.
- [0032] 상기한 목적들을 달성하기 위한 구체적인 사항들은 첨부된 도면과 함께 상세하게 후술될 실시예들을 참조하면 명확해질 것이다.
- [0033] 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 서로 다른 다양한 형태로 구성될 수 있으며, 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자(이하, "통상의 기술자")에게 발명의 범주를 완전하게 알려주기 위해서 제공되는 것이다.

발명의 효과

- [0035] 본 발명의 일 실시예에 의하면, 2차원 강유전성 물질의 편극 방향에 대한 터널링 전류의 크기에 따라 3진 상태(ternary state)를 나타냄으로써, 3진 메모리 소자의 에너지 효율성과 구조적 단순화를 확보할 수 있다.
- [0036] 본 발명의 효과들은 상술된 효과들로 제한되지 않으며, 본 발명의 기술적 특징들에 의하여 기대되는 잠정적인 효과들은 아래의 기재로부터 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0038] 도 1a는 본 발명의 일 실시예에 따른 SnTe 구조를 도시한 도면이다.
 도 1b는 본 발명의 일 실시예에 따른 GeSnTe₂ 구조를 도시한 도면이다.
 도 1c는 본 발명의 일 실시예에 따른 GeSnTe₂ 구성을 도시한 도면이다.
 도 1d는 본 발명의 일 실시예에 따른 다른 GeSnTe₂ 구성을 도시한 도면이다.
 도 1e는 본 발명의 일 실시예에 따른 또 다른 GeSnTe₂ 구성을 도시한 도면이다.
 도 2는 본 발명의 일 실시예에 따른 GeSnTe₂의 두 가지 편극 상태를 도시한 도면이다.
 도 3은 본 발명의 일 실시예에 따른 편극 상태에 대한 배리어 에너지 그래프를 도시한 도면이다.
 도 4a는 본 발명의 일 실시예에 따른 -1 상태의 GeSnTe₂ 구조를 도시한 도면이다.
 도 4b는 본 발명의 일 실시예에 따른 0 상태의 GeSnTe₂ 구조를 도시한 도면이다.
 도 4c는 본 발명의 일 실시예에 따른 1 상태의 GeSnTe₂ 구조를 도시한 도면이다.
 도 4d는 본 발명의 일 실시예에 따른 비휘발성 3진 메모리 소자를 도시한 도면이다.
 도 4e는 본 발명의 일 실시예에 따른 편극 상태에 대한 상태 전류 그래프를 도시한 도면이다.
 도 5는 본 발명의 일 실시예에 따른 비휘발성 3진 메모리 소자의 제조 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 발명은 다양한 변경을 가할 수 있고, 여러 가지 실시예들을 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 이를 상세히 설명하고자 한다.
- [0040] 청구범위에 개시된 발명의 다양한 특징들은 도면 및 상세한 설명을 고려하여 더 잘 이해될 수 있을 것이다. 명세서에 개시된 장치, 방법, 제법 및 다양한 실시예들은 예시를 위해서 제공되는 것이다. 개시된 구조 및 기능상의 특징들은 통상의 기술자로 하여금 다양한 실시예들을 구체적으로 실시할 수 있도록 하기 위한 것이고, 발명의 범위를 제한하기 위한 것이 아니다. 개시된 용어 및 문장들은 개시된 발명의 다양한 특징들을 이해하기 쉽게 설명하기 위한 것이고, 발명의 범위를 제한하기 위한 것이 아니다.
- [0041] 본 발명을 설명함에 있어서, 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0042] 이하, 본 발명의 일 실시예에 따른 2차원 강유전성 물질을 이용한 비휘발성 3진 메모리 소자 및 이의 제조 방법을 설명한다.
- [0044] 도 1a는 본 발명의 일 실시예에 따른 SnTe 구조를 도시한 도면이다. 도 1b는 본 발명의 일 실시예에 따른 GeSnTe₂ 구조를 도시한 도면이다. 도 1c는 본 발명의 일 실시예에 따른 GeSnTe₂ 구성을 도시한 도면이다. 도 1d는 본 발명의 일 실시예에 따른 다른 GeSnTe₂ 구성을 도시한 도면이다. 도 1e는 본 발명의 일 실시예에 따른 또 다른 GeSnTe₂ 구성을 도시한 도면이다.
- [0045] 도 1a를 참고하면, 종래의 3진 메모리 소자는 18개의 CNTFET로 구성되며 다소 복잡하고 휘발성이다. 이러한 문제를 해결하기 위해 본 발명에 따른 3진 메모리 소자는 2차원(2-dimension) 강유전체 SnTe를 기반으로 단순한 구조를 가지면서도 비휘발성 특성을 가질 수 있다.
- [0046] 이 경우, SnTe는 사방 정계 구조를 가질 수 있으며, 270K의 높은 전이 온도를 갖는 원자 두께의 SnTe는 안정적인 면내 강유전성을 가질 수 있다. 이 경우, 3진 논리를 메모리 소자에 적용시키기 위해, SnTe와 같이 2차원 강유전체 재료가 이방성이면, 강유전체 편극도 이방성이 될 것이며, 방향에 따라 2가지 다른 크기의 전기 편극이 가능할 수 있다.
- [0047] 여기서, 편극은 분극, 편광 또는 이와 동등한 기술적 의미를 갖는 용어로 사용될 수 있다.
- [0048] 종래의 이진 시스템은 단일 강유전성 편극 방향으로 표현될 수 있지만, 본 발명에 따른 2차원 강유전성 물질에서와 같이, 이방성에 의해 제공되는 추가적인 강유전성 편극 방향은 다른 상태를 나타낼 수 있으며, 이는 삼진

논리에 사용될 수 있다.

- [0049] 일 실시예에서, 도 1b를 참고하면, SnTe에서 Sn 원자의 절반이 선행 방식으로 Ge 원자로 치환될 수 있고, 이 경우, GeSnTe_2 물질에서 유도된 이방성 특성이 발생될 수 있다.
- [0050] 따라서, 원자 두께의 2차원 강유전성 물질인 GeSnTe_2 는 밀도 기능 이론(density functional theory, DFT)을 사용하여 직교 방향으로 두 개의 서로 다른 강유전 상태를 가질 수 있다. 2개의 강유전 상태는 상이한 전기 편극 값을 나타낼 수 있다.
- [0051] 일 실시예에서, 상태 사이의 스위칭 배리어(switching barrier)는 2개의 공식 단위(two formula unit, FU) 당 약 54.8meV일 수 있다. 강유전체 전이 온도는 SnTe 및 GeTe의 알려진 전이 온도를 기준으로 실온보다 훨씬 높을 수 있다.
- [0052] 따라서, 본 발명의 다양한 실시예에 따른 2차원 강유전성 물질을 이용한 메모리 소자는 3개의 데이터 세트(예: $\{-1, 0, 1\}$)를 나타내기 위해 두 개의 서로 다른 편극 상태를 사용하는 균형(balanced) 삼진 메모리 시스템을 제안할 수 있다.
- [0053] 또한, 본 발명의 다양한 실시예에 따른 2차원 강유전성 물질을 이용한 메모리 소자를 통한 삼진 메모리에 대한 1회(one-shot) 판독/기록 프로세스가 수행될 수 있다.
- [0054] 일 실시예에서, GeSnTe_2 의 편극 스위칭을 위한 활성화 배리어는 너지 탄성 밴드 방법(nudged elastic band, NEB)을 사용하여 계산될 수 있다.
- [0055] 또한, 도 1c를 참고하면, GeSnTe_2 구조는 Ge 원자의 치환에 따라, 균일 혼합 구조, 수직 체인 구조 및 대각선 체인 구조를 포함할 수 있다. 세 가지 구조 중 수직 체인 구조가 가장 낮은 에너지를 가짐을 확인할 수 있으며, GeSnTe_2 구조의 이방성 특성은 계산 결과로부터 달성되는 것으로 확인할 수 있다.
- [0057] 도 2는 본 발명의 일 실시예에 따른 GeSnTe_2 의 두 가지 편극 상태를 도시한 도면이다.
- [0058] 도 2를 참고하면, 전기 편극 계산은 수직-체인 치환 구조(vertical-chain substitution structure)의 2개의 상이한 편극 방향에 대해 수행될 수 있다. 전기 편극은 Te 원자의 위치에 대한 원자 변위로 표시될 수 있다. 이 경우, 체인 방향은 b축과 평행하고 체인과 직교하는 방향은 a축과 평행할 수 있다.
- [0059] 도 2에서 왼쪽(a축 방향)과 오른쪽(b축 방향)의 형태(figure)는 각각 체인 방향과 전기 편극에 대한 직교 및 평행 원자 변위를 나타낼 수 있다.
- [0060] 편극 방향은 도 2에 황색 화살표로 표시될 수 있다. DFT 계산으로부터 단층 GeSnTe_2 구조에서 4개의 안정된 전기 편극 상태 및 다중 강유전 특성을 확인할 수 있다.
- [0061] 이 경우, 각각의 전기 편극 축에 대해, 양의 상태 및 음의 상태가 가능하다. 2개의 상이한 전기 편극 방향을 고려하면, 4개의 상이한 전기 편극 상태가 가능하며, 이들은 3진 또는 4진 시스템에 이용될 수 있다.
- [0062] 예를 들어, 체인에 평행하고 수직인 방향의 전기 편극 값은 각각 $67.14 \mu\text{C}/\text{cm}^2$ 및 $63.34 \mu\text{C}/\text{cm}^2$ 일 수 있다. 또한, 상이한 전기 편극 상태들 사이의 상대적인 에너지 차이는 2.3 meV/FU일 수 있다. 이러한, 작은 에너지 차이는 4가지 상태가 유사한 안정성을 가짐을 나타낼 수 있다.
- [0064] 도 3은 본 발명의 일 실시예에 따른 편극 상태에 대한 배리어 에너지 그래프를 도시한 도면이다.
- [0065] 도 3을 참고하면, 편극 상태 사이의 스위칭 배리어 에너지를 찾기 위해, 도 3에 도시된 바와 같이 NEB 계산이 수행될 수 있다. 스위칭 배리어 에너지는 편극 상태의 열 안정성 및 편극 상태를 다른 상태로 전환하기 위한 전압의 인가와 관련될 수 있다.
- [0066] 예를 들어, 계산된 결과로부터, P_{-a} 와 P_a 사이의 직접 스위칭 배리어는 174.6meV/2FU이고, P_{-b} 와 P_b 사이의 배리어는 182.4meV/2FU임을 확인할 수 있다.

- [0067] 그러나, P_a 로부터 P_b 를 통한 P_a 로의 회전 스위칭 배리어는 단지 54.8meV/2FU임을 확인할 수 있다. 계산 결과는 54.8meV/2FU의 낮은 회전 스위칭 배리어에서 열 안정성을 고려해야 한다는 것을 나타낼 수 있다.
- [0068] 전기 편극을 스위칭하기 위해 바이어스 전압을 인가할 때, 계산 결과에 따라, 더 낮은 전압이 2-스텝(2-step) 스위칭을 통해 채택될 수 있다. 이러한 유형의 스위칭을 달성하기 위해, 제1 전압은 편극 상태에 직교하게 인가되어야 하고, 제2 전압은 원래의 편극에 반평행(anti-parallel)하게 인가될 수 있다.
- [0069] 일 실시예에서, 직접 스위칭 배리어는 회전 스위칭 배리어보다 3배 이상 높기 때문에, 직접 스위칭에는 더 높은 전압이 필요할 수 있다.
- [0071] 도 4a는 본 발명의 일 실시예에 따른 -1 상태의 GeSnTe_2 구조를 도시한 도면이다. 도 4b는 본 발명의 일 실시예에 따른 0 상태의 GeSnTe_2 구조를 도시한 도면이다. 도 4c는 본 발명의 일 실시예에 따른 1 상태의 GeSnTe_2 구조를 도시한 도면이다. 도 4d는 본 발명의 일 실시예에 따른 비휘발성 3진 메모리 소자를 도시한 도면이다. 도 4e는 본 발명의 일 실시예에 따른 편극 상태에 대한 상태 전류 그래프를 도시한 도면이다.
- [0072] 도 4a 내지 4e를 참고하면, 본 발명의 다양한 실시예에 따른 비휘발성 3진 메모리 소자(400)는 기판(401), 기판(401) 상에 형성되는 하부 전극(403), 하부 전극(403) 상에 형성되는 2차원 강유전성 물질(405), 2차원 강유전성 물질(405) 상에 형성되는 반도체(407) 및 반도체(407) 상에 형성되는 상부 전극(409)을 포함할 수 있다.
- [0073] 일 실시예에서, 2차원 강유전성 물질(405)은 SnTe , GeTe 및 GeSnTe_2 중 적어도 하나를 포함할 수 있다. 예를 들어, 2차원 강유전성 물질(504)은 단일층(single layer) GeSnTe_2 를 포함할 수 있다.
- [0074] 일 실시예에서, 반도체(407)는 미리 결정된 임계값 이상의 밴드갭(bandgap)을 갖는 반도체를 포함할 수 있다.
- [0075] 일 실시예에서, 상부 전극(409)은 제1 상부 전극(409-1), 제2 상부 전극(409-2), 제3 상부 전극(409-3) 및 제4 상부 전극(409-4)을 포함할 수 있다.
- [0076] 이 경우, 제1 상부 전극(409-1), 제2 상부 전극(409-2), 제3 상부 전극(409-3) 및 제4 상부 전극(409-4) 중 어느 하나는 하부 전극(403)과 전기적으로 연결될 수 있다.
- [0077] 예를 들어, 설명의 편의를 위해 제1 상부 전극(409-1), 제2 상부 전극(409-2), 제3 상부 전극(409-3) 및 제4 상부 전극(409-4) 중 제1 상부 전극(409-1)과 하부 전극(403)은 전기적으로 연결될 수 있다.
- [0078] 일 실시예에서, 제1 상부 전극(409-1)과 하부 전극(403)은 전압 측정기를 통해 전기적으로 연결될 수 있다.
- [0079] 일 실시예에서, 제1 상부 전극(409-1)과 제3 상부 전극(409-3)은 전기적으로 연결되고, 제2 상부 전극(409-2)과 제4 상부 전극(409-4)은 전기적으로 연결될 수 있다.
- [0080] 예를 들어, 제1 상부 전극(409-1)과 제3 상부 전극(409-3)은 전류 측정기와 전압을 인가할 수 있도록 도선을 통해 전기적으로 연결될 수 있다. 또한, 제2 상부 전극(409-2)과 제4 상부 전극(409-4)은 전류 측정기와 전압을 인가할 수 있도록 도선을 통해 전기적으로 연결될 수 있다.
- [0081] 예를 들어, 도 4d와 같이, 2차원 강유전성 물질(504)의 전기 편극 방향은 빨간색 화살표로 표시되고, 되며 2차원 강유전성 물질(405)과 제1 상부 전극(409-1) 사이의 터널링 전류(tunneling current)는 녹색 화살표로 표시될 수 있다.
- [0082] 이 때, 제1 상부 전극(409-1)과 제3 상부 전극(409-3)은 2차원 강유전성 물질(405)의 수평 편극 방향으로 배치되고, 제2 상부 전극(409-2)과 제4 상부 전극(409-4)은 2차원 강유전성 물질(405)의 수직 편극 방향으로 배치될 수 있다.
- [0083] 일 실시예에서, 제1 상부 전극(409-1)과 하부 전극(403) 사이에 인가되는 전압(V_R)은 인가 방향에 따라 수평 편극 방향의 양의 방향 또는 음의 방향을 조절하기 위해 이용될 수 있다.
- [0084] 또한, 일 실시예에서, 제1 상부 전극(409-1)과 하부 전극(403) 사이의 터널링 전류의 크기는, 2차원 강유전성 물질의 편극 방향에 따라 3진 상태(ternary state)를 나타내기 위해 이용될 수 있다.
- [0085] 여기서, 터널링 전류는 2차원 강유전성 물질(405)의 편극 상태에 따라 조절될 수 있다. {-1} 상태의 터널링 전

류는 $\{+1\}$ 상태의 터널링 전류보다 낮게 설정될 수 있다. $\{0\}$ 상태는 $\{-1\}$ 및 $\{1\}$ 인 상태들에 해당하는 전기 직교 편극을 갖기 때문에, a 축을 따라 상대 편극이 제로가 될 수 있다.

- [0086] 결과적으로, 도 4e와 같이, $\{0\}$ 상태의 터널링 전류는 $\{-1\}$ 상태와 $\{1\}$ 상태 사이로 설정될 수 있다. 즉, 본 발명에 따른 3진 메모리 소자(400)는 2차원 강유전성 물질(405)을 이용함으로써 3단계의 전류 크기를 구현할 수 있다.
- [0087] 예를 들어, $\{-1, 0, 1\}$ 의 3진 상태는 나노 크기의 단일층 GeSnTe_2 구조로 표현될 수 있다. $\{-1\}$, $\{0\}$ 및 $\{1\}$ 상태 각각은 체인 방향에 수직인 전기 편극 방향($-a$ 축), 체인 방향에 평행한 전기 편극 방향($+b$ 축), 체인 방향에 수직인 전기 편극 방향($+a$ 축)으로 나타낼 수 있다.
- [0088] 즉, $\{-1\}$, $\{0\}$ 및 $\{1\}$ 상태 각각은 수평 편극 방향의 음의 방향, 수직 편극 방향의 음의 방향 및 수평 편극 방향의 양의 방향으로 나타낼 수 있다.
- [0089] 일 실시예에서, 제1 상부 전극(409-1)과 제3 상부 전극(409-3) 사이의 전압($V_{w1,-1}$) 및 제2 상부 전극(409-2)과 제4 상부 전극(409-4) 사이의 전압(V_{w0})은 쓰기(writing) 프로세스를 위해 이용될 수 있다. 여기서, $V_{w1,-1}$ 및 V_{w0} 는 두 가지 방향성 바이어스 전압을 의미할 수 있다.
- [0090] 예를 들어, $\{-1\}$ 또는 $\{1\}$ 상태를 쓰기(write) 위해, 제1 상부 전극(409-1)과 제3 상부 전극(409-3) 사이에 바이어스 전압($V_{w1,-1}$)이 인가될 수 있다. 전압 인가 방향에 따라 양(positive)의 바이어스 전압 또는 음(negative)의 바이어스 전압을 적용하면 2차 강유전성 물질(405)의 편극 방향이 a 축을 따라 포지티브 또는 네거티브로 조절될 수 있다.
- [0091] $\{0\}$ 상태를 쓰기 위해, 제2 상부 전극(409-2)과 제4 상부 전극(409-4) 사이에 바이어스 전압(V_{w0})이 인가될 수 있다. 이 경우, 최종 편극 방향은 b 축을 따라 있으며, a 축을 따라 편극이 나타나지 않을 수 있다. 이러한 모든 쓰기/읽기 프로세스는 1-스텝 프로세스로 수행될 수 있다.
- [0092] 또한, 제1 상부 전극(409-1)과 하부 전극(403) 사이의 전압(V_R)은 읽기(reading) 프로세스를 위해 이용될 수 있다.
- [0093] 즉, 쓰기 프로세스는 제1 상부 전극(409-1)과 제3 상부 전극(409-3) 사이의 전압($V_{w1,-1}$) 및 제2 상부 전극(409-2)과 제4 상부 전극(409-4) 사이의 전압(V_{w0})을 측정함으로써 수행될 수 있다. 또한, 읽기 프로세스는 제1 상부 전극(409-1)과 하부 전극(403) 사이의 전압(V_R)을 측정함으로써 수행될 수 있다.
- [0094] 즉, 본 발명에 따른 3진 메모리 소자(400)는 전기장 인가 방향에 따라 강유전 편극의 크기가 달라지고, 그에 따른 전류량이 3단계로 나타낼 수 있어 3진 논리 시스템이 적용될 수 있다.
- [0095] 일 실시예에서, 제1 상부 전극(409-1)과 제2 상부 전극(409-2)는 연결될 수 있다. 이 경우, 제1 상부 전극(409-1)과 제2 상부 전극(409-2) 사이를 연결하는 전도선(즉, 도 4d의 대쉬선(dash line))을 통해 연결될 수 있다.
- [0096] 전도선은 3진 논리에 필요하지 않지만 4진 논리에 사용될 수 있다. 전도선을 사용하면 2차 강유전성 물체(405)와 제1 상부 전극(409-1) 사이의 터널링 전류가 b 축을 따라 편극 방향에 영향을 받을 수 있다. 다시 말해, b 축을 따라 양극과 음극이 서로 다른 터널링 전류를 나타낼 수 있다. 이러한 방식으로, 전도선을 추가하여 본 발명의 다양한 실시예에 따른 2차원 강유전성 물질을 이용한 2진 메모리 소자에 4진 논리 시스템을 구현할 수 있다.
- [0097] 일 실시예에서, GeSnTe_2 의 사방 정계 구조(orthorhombic structure)와 안정성에 대하여, SnTe 의 저온 상(temperature phase)는 능면체(rhombohedral)이며, 사방정계 상(orthorhombic phase)는 고압에서 이용될 수 있다.
- [0098] 예를 들어, 강유전체 상전이 온도(ferroelectric phase transition temperature)는 단일층 SnTe 의 경우 270K일 수 있다. GeTe 의 경우, 능면체와 사방정계와 같은 두 가지 저온 상을 가질 수 있다.
- [0099] Te 함량이 51.2%를 초과하는 GeTe 의 경우, 사방정계 상은 최대 630K까지 안정적일 수 있다. 단일층 사방정계 상 SnTe 및 벌크 사방정계(bulk-orthorhombic) GeTe 구조에 따라 GeSnTe_2 가 실온에서 안정적일 수 있다. SnTe 와 GeTe 를 혼합함으로써, GeSnTe_2 의 강유전상의 전이 온도는 270K와 630K 사이 일 수 있다.

- [0100] 선형 관계(linear relationship)를 가정하면, 전이 온도는 450K로 상온보다 높을 수 있다. 또한 합성 과정에서 상 분리(phase segregation) 가능성이 고려될 수 있다.
- [0101] 계산에 따르면, 입자 경계(grain boundary)를 갖는 상 분리 구조는 혼합 GeSnTe_2 구조보다 에너지가 낮을 수 있다. 일 실시예에서, 단일 계층 SnTe 또는 GeTe 에서도 3진 메모리 소자가 구현될 수 있다.
- [0102] 요약하면, GeSnTe_2 의 다중 강유전체 특성으로서 두 개의 상이한 편극 방향 및 강유전체 편극의 양은 원자 두께 2D 구조에서 안정함을 확인할 수 있다. GeSnTe_2 의 강유전 상태는 구현 방법에 따라 $\{-1, 0, 1\}$ 의 균형된 3진 데이터 세트 또는 4진 데이터 세트를 나타내는데 이용될 수 있다.
- [0103] 강유전체 특성으로 인해, GeSnTe_2 는 비휘발성 및 저전력 소비의 장점을 가지고 있습니다.
- [0105] 도 5는 본 발명의 일 실시예에 따른 비휘발성 3진 메모리 소자의 제조 방법을 도시한 도면이다.
- [0106] 도 5를 참고하면, S501 단계는 기판(401) 상에 하부 전극(403)을 형성하는 단계이다.
- [0107] S503 단계는 하부 전극(403) 상에 2차원 강유전성 물질(405)을 형성하는 단계이다. 일 실시예에서, 2차원 강유전성 물질(405)은 SnTe , GeTe 및 GeSnTe_2 중 적어도 하나를 포함할 수 있다.
- [0108] S505 단계는 2차원 강유전성 물질(405) 상에 반도체(407)를 형성하는 단계이다.
- [0109] S507 단계는 반도체(407) 상에 상부 전극(409)을 형성하는 단계이다. 일 실시예에서, 제1 상부 전극(409-1), 제2 상부 전극(409-2), 제3 상부 전극(409-3) 및 제4 상부 전극(409-4)을 포함할 수 있다.
- [0110] 일 실시예에서, S507 단계 이후에, 제1 상부 전극(409-1), 제2 상부 전극(409-2), 제3 상부 전극(409-3) 및 제4 상부 전극(409-4) 중 하나를 하부 전극(403) 사이를 전기적으로 연결할 수 있다.
- [0111] 일 실시예에서, 제1 상부 전극(409-1)과 하부 전극(403) 사이에 인가되는 전압(V_R)은 전압 인가 방향에 따라 수평 편극 방향의 양의 방향 또는 음의 방향을 조절하기 위해 이용될 수 있다.
- [0112] 또한, 제1 상부 전극(409-1)과 하부 전극(403) 사이의 터널링 전류의 크기는 2차원 강유전성 물질(405)의 편극 방향에 따라 3진 상태를 나타내기 위해 이용될 수 있다.
- [0113] 예를 들어, 제1 상부 전극(409-1), 제2 상부 전극(409-2), 제3 상부 전극(409-3) 및 제4 상부 전극(409-4) 중 제1 상부 전극(409-1)과 하부 전극(403) 사이를 전기적으로 연결할 수 있다.
- [0114] 일 실시예에서, 제1 상부 전극(409-1)과 제3 상부 전극(409-3) 사이를 전기적으로 연결하고, 제2 상부 전극(409-2)과 제4 상부 전극(409-4) 사이를 전기적으로 연결할 수 있다.
- [0115] 이 경우, 제1 상부 전극(409-1)과 제3 상부 전극(409-3)은 2차원 강유전성 물질(405)의 수평 편극 방향으로 배치될 수 있다. 또한, 제2 상부 전극(409-2)과 제4 상부 전극(409-4)은 2차원 강유전성 물질(405)의 수직 편극 방향으로 배치될 수 있다.
- [0116] 일 실시예에서, 제1 상부 전극(409-1)과 제3 상부 전극(409-3) 사이의 전압($V_{w1,-1}$)과 제2 상부 전극(409-2)과 제4 상부 전극(409-4) 사이의 전압(V_{w0})은 쓰기 프로세스를 위해 이용될 수 있다. 또한, 제1 상부 전극(409-1)과 하부 전극(403) 사이의 전압(V_R)은 읽기 프로세스를 위해 이용될 수 있다.
- [0117] 일 실시예에서, 제1 상부 전극(409-1)과 제2 상부 전극(409-2)는 도전선을 통해 전기적으로 연결될 수 있다.
- [0119] 이상의 설명은 본 발명의 기술적 사상을 예시적으로 설명한 것에 불과한 것으로, 통상의 기술자라면 본 발명의 본질적인 특성이 벗어나지 않는 범위에서 다양한 변경 및 수정이 가능할 것이다.
- [0120] 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술적 사상을 한정하기 위한 것이 아니라, 설명하기 위한 것이고, 이러한 실시예들에 의하여 본 발명의 범위가 한정되는 것은 아니다.
- [0121] 본 발명의 보호범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본

발명의 권리범위에 포함되는 것으로 이해되어야 한다.

부호의 설명

[0122]

400: 비휘발성 3진 메모리 소자

401: 기판

403: 하부 전극

405: 2차원 강유전성 물질

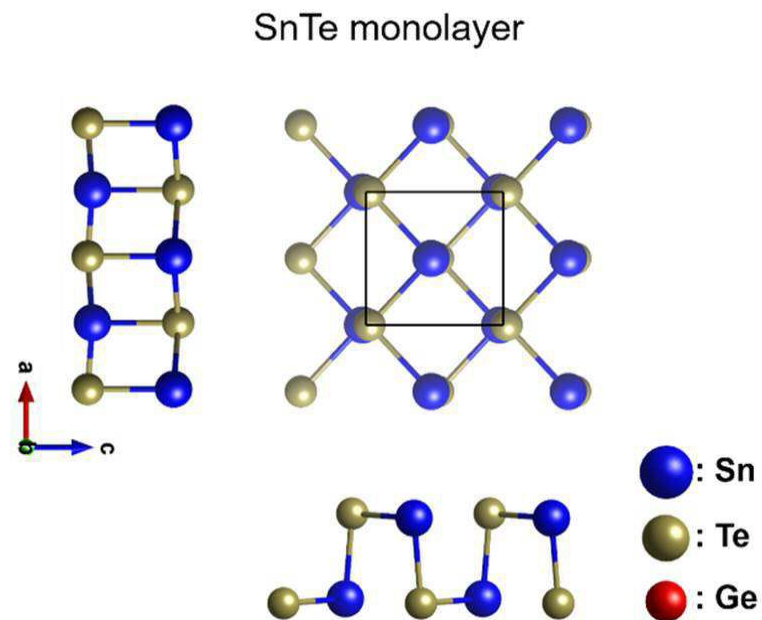
407: 반도체

409: 상부 전극

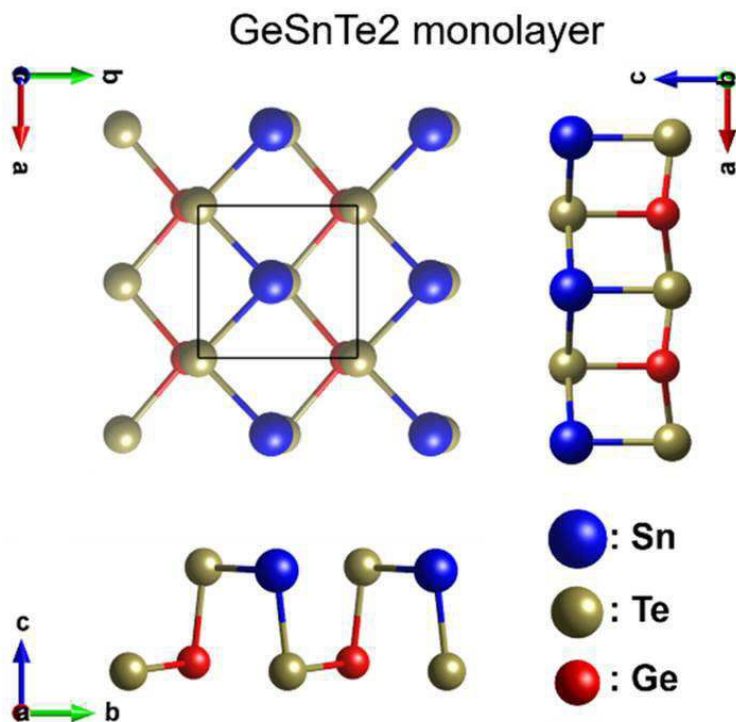
409-1 내지 409-4: 제1 상부 전극 내지 제4 상부 전극

도면

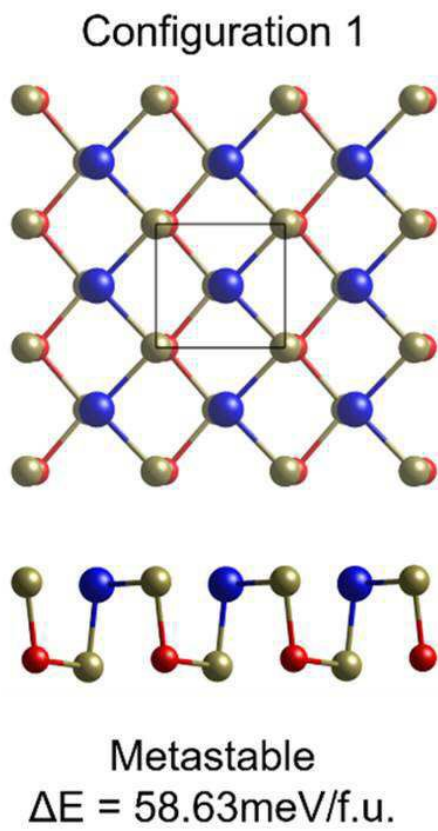
도면1a



도면1b

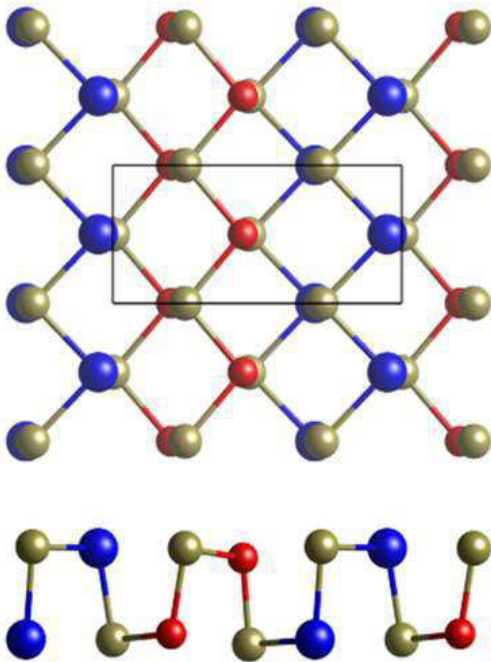


도면1c



도면1d

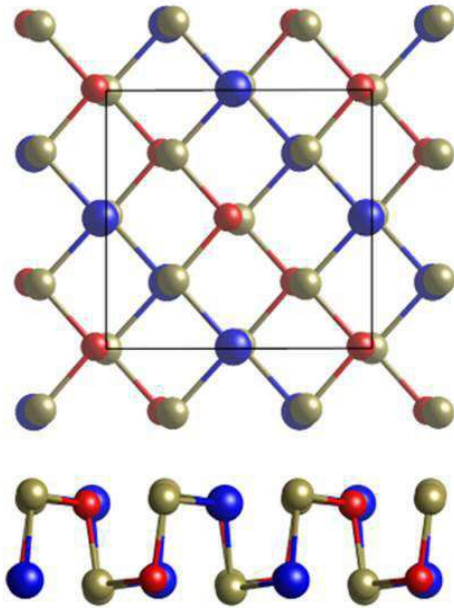
Configuration 2



Ground state
 $\Delta E = 0$

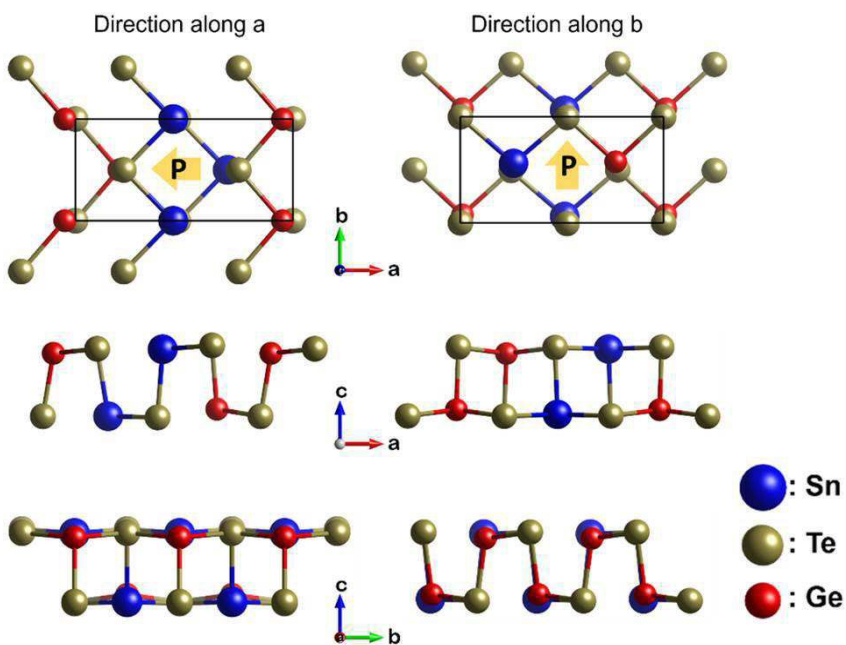
도면1e

Configuration 3

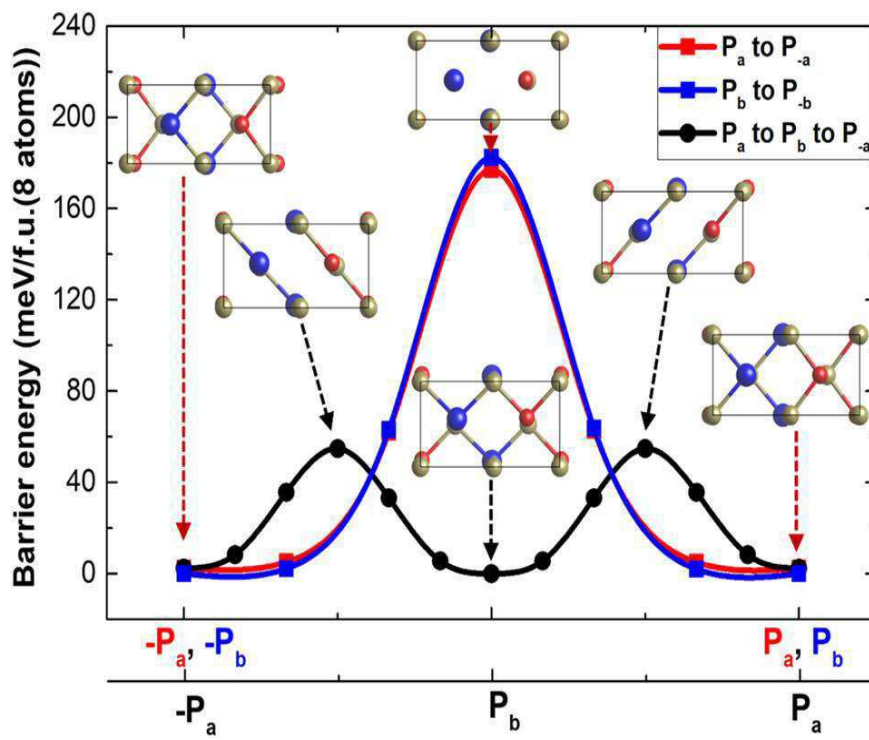


Metastable
 $\Delta E = 23.04 \text{ meV/f.u.}$

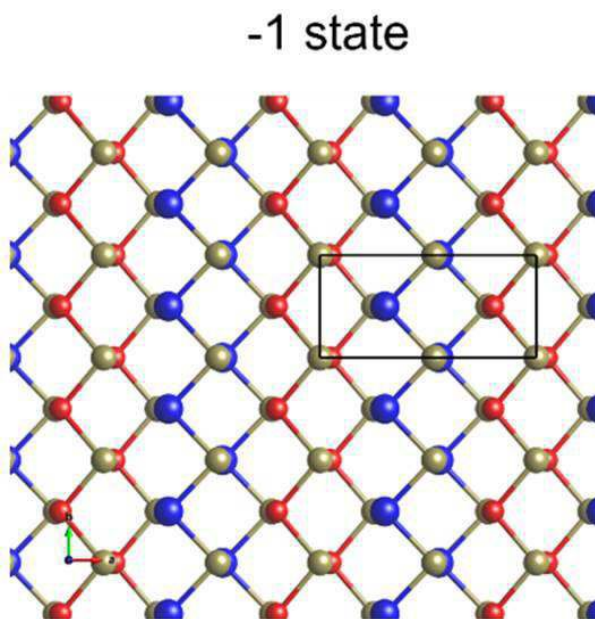
도면2



도면3

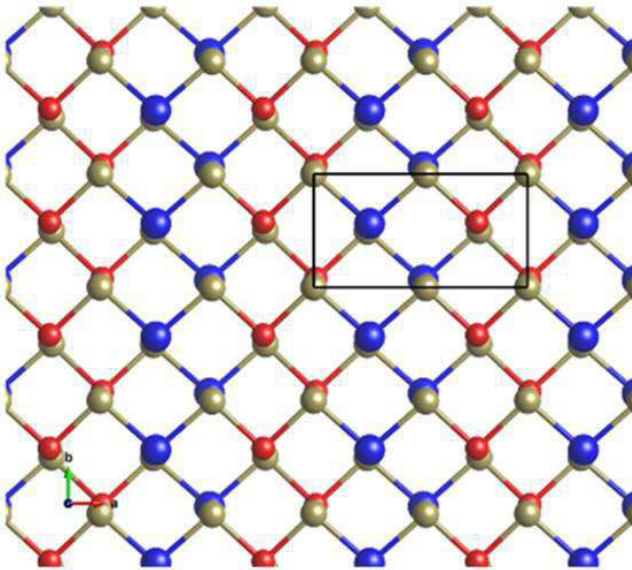


도면4a



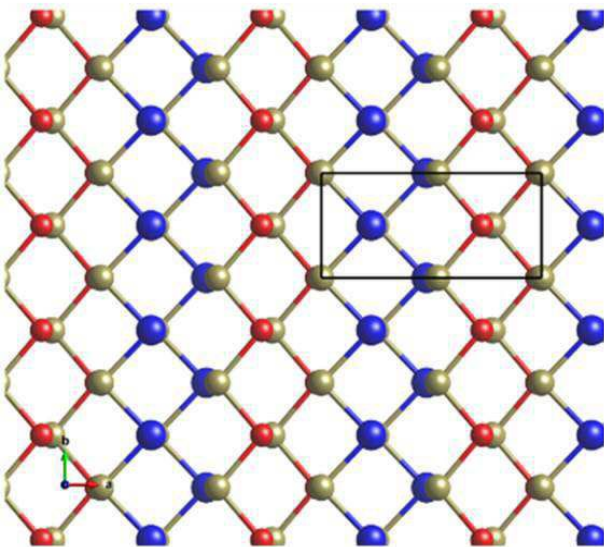
도면4b

0 state

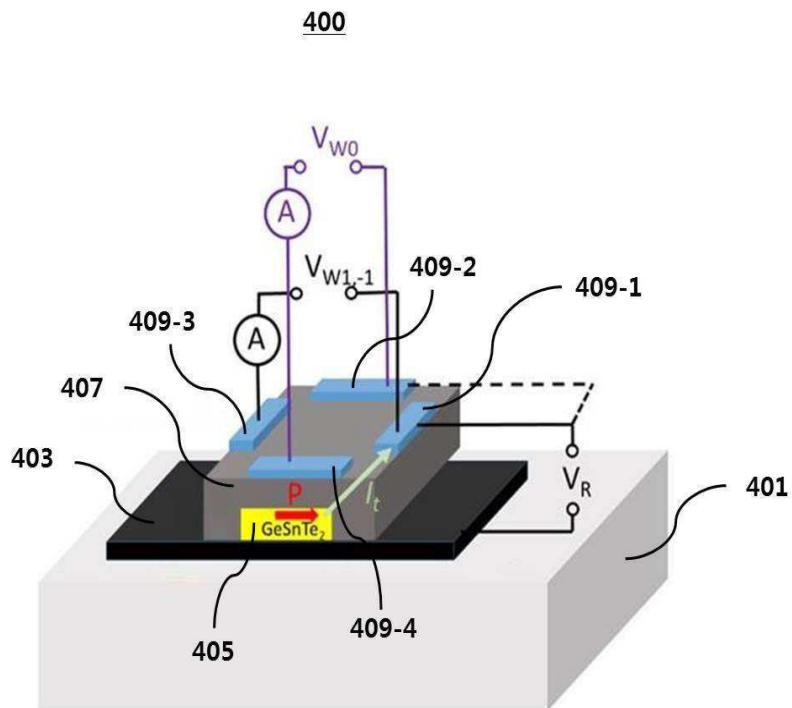


도면4c

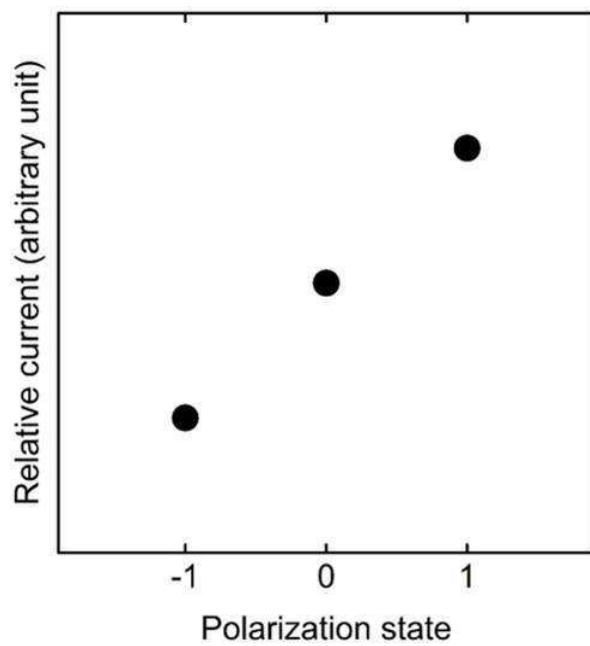
-1 state



도면4d



도면4e



도면5

