

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610084495.6

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477268C

[22] 申请日 2001.4.4

[21] 申请号 200610084495.6

分案原申请号 01810665.X

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 幡手一成 久本好明

[56] 参考文献

JP2001-7322A 2001.1.12

JP1-290265A 1989.11.22

US5313088A 1994.5.17

JP64-22067A 1989.1.25

审查员 白 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 刘宗杰

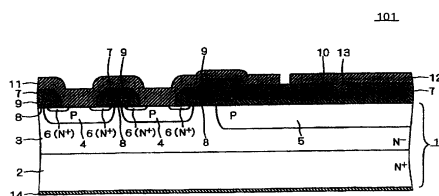
权利要求书 2 页 说明书 25 页 附图 23 页

[54] 发明名称

半导体器件

[57] 摘要

本发明的课题涉及一种半导体器件，其目的是在不使导通电阻增大的前提下提高 di/dt 容量及 dV/dt 容量。并且，为了实现上述目的，在半导体衬底(1)的上主面内，设在栅极焊区(12)正下方区域的焊区下基区(5)不与源电极(11)连接，也不与被连接在源电极(11)上的主基区(4)连接。即，焊区下基区(5)被置于浮置状态。



1. 一种半导体器件，它是备有具有上主面及下主面的半导体衬底的半导体器件，其特征在于：

上述半导体衬底备有：

被形成在上述上主面上的第1导电型的漏层；

在上述漏层中有选择地形成的比上述漏层浅，并露出于上述上主面且被分割成多个区域 of 第2导电型的主基区；

在上述漏层中有选择地形成的比上述漏层浅，并露出于上述上主面的、不与上述主基区连接的第2导电型的焊区下基区；

在上述主基区中有选择地形成的比上述主基区浅，露出于上述上主面并与上述主基区中的上述多个区域对应地被分割配置的第1导电型的源区；以及

在上述漏层中有选择地形成的比上述漏层浅，并露出于上述上主面，且具有位于上述主基区与上述焊区下基区之间的部分及连接到上述主基区中的上述多个区域的每一区域的一端的部分，在内部不设第1导电型的半导体区域，也不连接到上述焊区下基区的第2导电型的周边基区，

上述半导体器件还备有：

被连接在上述主基区、上述源区及上述周边基区上，但不连接在上述焊区下基区的第1主电极；

在上述主基区内，隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；

在上述上主面内，隔着绝缘层与上述焊区下基区的露出面相对置，并被连接在上述栅电极上的导电性的栅极焊区；以及

被连接在上述下主面上的第2主电极。

2. 根据权利要求1所述的半导体器件，其特征在于：

上述周边基区比上述主基区深。

3. 根据权利要求2所述的半导体器件，其特征在于：

关于杂质浓度，上述主基区比上述周边基区的低。

4. 根据权利要求2或3所述的半导体器件，其特征在于：

上述周边基区包括沿着相当于上述上主面内的上述栅极焊区的正下方的区域的外周连续形成的环状部分。

5. 根据权利要求 2 或 3 所述的半导体器件，其特征在于：

还备有在比上述栅极焊区更接近上述上主面的位置处与上述上主面相对置地被埋设在上述绝缘层中的导电层，
上述导电层延伸到上述周边基区的上方。

半导体器件

本申请是下述申请的分案申请：

发明名称：“半导体器件”

申请日：2001年4月4日

申请号：01810665.X(PCT/JP01/02933)

技术领域

本发明涉及一种半导体器件。

背景技术

近年来，MOSFET及IGBT作为开关器件或反向器控制用器件引人注目。图25是以MOSFET构成的现有的具有代表性的半导体器件的平面图。在该半导体器件151中，在半导体衬底71的上主面上形成绝缘层，并在该绝缘层上形成用于与外部进行电连接的栅极焊区86和源极焊区99。图26是把图25中的栅极焊区82附近区域放大后示出的局部放大平面图。在栅极焊区82的周围配置了被连接在源极焊区99上的源电极81。源电极81通过贯穿绝缘层的栓92，被连接在半导体衬底71上。

图27是沿着图26中的C-C剖面线的半导体器件151的剖面图。如图27所示，半导体器件151备有半导体衬底71、绝缘层77、栅电极79、导电层80、源电极81、栅极焊区82及漏电极84。半导体衬底71备有N⁺型的高浓度漏层72、N⁻型的漏层73、P型的主基区74、P型的焊区下基区75及N⁺型的源区76。半导体衬底71是具有上主面及下主面的硅衬底。

漏层73被形成在半导体衬底71的上主面上。主基区74以比漏层73浅的方式有选择地形成在漏层73中，并且露出于上主面。焊区下基区75也以浅于漏层73的方式有选择地形成在漏层73中，并且露出于上主面。焊区下基区75不与主基区74连接、孤立于主基区74之外。

源区76以比主基区74浅的方式有选择地形成在主基区74中，

并且露出于上主面。主基区 74 被分割成多个区域, 同样, 源区 76 也被分割成多个区域, 对应于主基区 74 的多个区域配置。在焊区下基区 75 中不形成源区 76。因而, 在焊区下基区 75 中不存在沟道区。高浓度的漏层 72 连接在漏层 73 的下主面一侧, 并在半导体衬底 71 的下主面露出。

源电极 81 用金属形成, 在与主基区 74 和源区 76 连接的同时, 通过贯穿绝缘层 77 的栓 92 被连接在焊区下基区 75 上。栅电极 79 由多晶硅形成, 被埋设在绝缘层 77 中, 以便隔着作为绝缘层 77 的一部分的栅绝缘膜 78, 与主基区 74 中作为夹在漏层 73 和源区 76 之间的区域的沟道区相对置。

栅极焊区 82 用金属形成, 被配置在绝缘层 77 的上面, 以便隔着绝缘层 77, 与半导体衬底 71 的上主面中的焊区下基区 75 的露出面相对置。栅极焊区 82 通过被埋设在绝缘层 77 中的栓 83 与导电层 80 连接。导电层 80 通过图中未示出的路径被连接在栅电极 79 上。导电层 80 由多晶硅形成, 被埋设在绝缘层 77 中, 以便在比栅极焊区 82 更接近于半导体衬底 71 的上主面的位置, 与上主面对置。漏电极 84 由金属形成, 与半导体衬底 71 的下主面连接。

图 28 示出了半导体衬底 71 的漏层 73 和高浓度漏层 72 中的电阻率分布。如图 28 所示, 电阻率在漏层 73 与高浓度漏层 72 的连接部分呈阶梯状变化, 而在漏层 73 和高浓度漏层 72 各自的内部大体上是均匀的。这种电阻率分布是根据图 29 和图 30 所示的工序图形成半导体衬底 71 而引起的。也就是说, 在半导体衬底 71 的形成工序中, 首先准备相当于高浓度漏层 72 的衬底, 然后, 用外延生长法形成漏层 73。

由于半导体器件 151 如上述那样构成, 所以能进行下述工作。对源电极 81 施加接地电位、对漏电极 84 施加正电位的状态下, 若对栅电极 79 施加阈值电压以上的栅电压, 则主基区 74 的沟道区形成反型层。其结果是, 电流流过沟道区, 所以, 作为 MOSFET 的半导体器件 151 变为导通状态。栅电压一旦返回到阈值电压以下的值, 则反型层消失, 于是, 半导体器件 151 转移到截止状态。

在半导体器件 151 中, 主基区 74 和焊区下基区 75 通过源电极 81 实现电学上的连接。因而, 通过主基区 74 与漏层 73 之间的 PN 结,

以及焊区下基区 75 与漏层 73 之间的 PN 结, 形成了 MOSFET 内置的二极管。在半导体器件 151 处于截止状态时, 对该内置二极管施加反向偏压。施加在源电极 81 与漏电极 84 之间的电压, 即漏电压, 在半导体器件 151 处于截止状态时, 借助于从内置二极管的 PN 结向漏层 73 的内部扩展的耗尽层而被保持。

在源电极 81 与栅电极 79 短路的状态下, 若以漏电极 84 的电位作为基准向源电极 81 施加正电压, 则从被连接在源电极 81 上的主基区 74 及焊区下基区 75 向漏层 73 注入空穴。同时, 从连接到漏电极 84 的高浓度漏层 72 向漏层 73 注入电子。其结果是, 电流从源电极 81 流向漏电极 84。也就是说, 内置二极管变为导通状态。

其次, 如果以漏电极 84 的电位作为基准向源电极 81 施加负电压, 则在漏层 72 中剩余空穴向源电极 81 迁移, 剩余电子向漏电极 84 迁移。其结果是, 瞬态性的电流从漏电极 84 流向源电极 81。因为空穴的迁移率相对于电子的迁移率约为 $1/2$ 大小, 所以, 这个瞬态性的电流值变为零的时间就成为在漏层 73 中剩余空穴直到消灭的时间。瞬态性的流过半导体器件 151 的电流衰减到零的工作相当于内置二极管的反向恢复工作 (即恢复工作)。

使内置二极管导通时产生的空穴依赖于主基区 74 和焊区下基区 75 的面积以及它们的杂质浓度。被设置在为实现与外部的电连接而设置的栅极焊区 82 的正下方的焊区下基区 75 的面积比主基区 74 被分割成的多个区域中的每一个的面积当然要大, 所以, 与主基区 74 的附近区域比较, 剩余空穴多发生在焊区下基区 75 的附近。因而, 以高 di/dt 使内置二极管发生反向恢复工作时, 在焊区下基区 75 的附近的剩余空穴集中流向主基区 74 中靠近焊区下基区 75 的特定部分, 并通过该特定部分流出到源电极 81。这时, 由源区 76、主基区 74 及漏层 73 形成的寄生双极型晶体管有时会导通。也就是说, 在现有的半导体器件 151 中, 存在对反向恢复工作过程中的电流变化率 di/dt 的容量, 即 di/dt 容量低的问题。

而且, 对于半导体器件 151, 在构成内置二极管的基区 74、75 与漏层 73 之间的 PN 结上施加高的 dV/dt (电压随时间的变化率) 的情况下, 例如, 在使源电极 81 与栅电极 79 短路的状态下, 当在漏电极 84 与源电极 81 之间施加约高达 $1\text{kV}/\mu\text{s}$ 以上的 dV/dt 的场

合，基区 74、75 与漏层 73 之间的 PN 结的耗尽层会瞬时地扩展。这时，依赖于 PN 结的面积及耗尽层扩展速度会发生空穴，所以，在占有较宽面积的焊区下基区 75 的周围会发生大量空穴。由发生的空穴所导致的电流在主基区 74 中集中流入靠近焊区下基区 75 的特定部分。其结果是，寄生双极型晶体管有时导通。也就是说，现有的半导体器件 151 不仅 di/dt 容量低，还存在对电压变化率 dV/dt 的容量，即 dV/dt 容量低的问题。

在图 27 所示的半导体器件 151 中，假定通过在主基区 74 与焊区下基区 75 之间形成在内部不具有源区 76 的第 3 基区以抑制寄生双极型晶体管导通的技术也是可能的。但是，伴随着 di/dt 的升高，在焊区下基区 75 附近的剩余空穴不仅流入第 3 基区，还集中地流向接近于主基区 74 中的第 3 基区的特定部分，并通过该特定部分流入源电极 81。据此，能发生寄生双极型晶体管导通的现象。同样，伴随着 dV/dt 的升高，也能发生寄生双极型晶体管导通的现象。

另外，如果为了得到高的 di/dt 容量或者高的 dV/dt 容量而形成多个第 3 基区，则当半导体器件 151 处于导通状态时，电流流过的主基区 74 的面积就减少了。也就是说，通过整个半导体器件 151 的沟道宽度变窄了。其结果是，会引起导通电阻升高之类的其他问题。

发明内容

本发明是为解决上述问题而进行的，其目的在于得到一种既不使导通电阻增大，又能提高 di/dt 容量及 dV/dt 容量的半导体器件。

为实现这一目的，本发明中第 1 实施例的半导体器件是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上的第 1 导电型的漏层；有选择地形成在上述漏层中且比上述漏层浅并露出于上述上主面的第 2 导电型的主基区；有选择地形成在上述漏层中且比上述漏层浅并露出于上述上主面上的、既不与上述主基区连接又比上述主基区深的第 2 导电型的焊区下基区；以及有选择地形成在上述主基区中且比上述主基区浅并露出于上述上主面上的第 1 导电型的源区，上述半导体器件还备有：连接到上述主基区和上述源区但不连接到上述焊区下基区的

第 1 主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相向的栅电极；在上述上主面中隔着绝缘层与上述焊区下基区的露出面相向地被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第 2 主电极。

对于本发明中第 2 实施例的半导体器件，是在第 1 实施例的半导体器件中，上述主基区的杂质浓度比上述焊区下基区的杂质浓度低。

本发明中第 3 实施例的半导体器件是备有具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上的第 1 导电型漏层；在上述漏层中有选择地形成的比上述漏层浅并露出于上述上主面的、在底面具有朝向上述下主面的有选择突出的突起部的第 2 导电型的主基区；在上述漏层中有选择地形成的比上述漏层浅并露出于上述上主面的、不与上述主基区连接的第 2 导电型的焊区下基区；以及在上述主基区中有选择地形成的比上述主基区浅并露出于上述上主面的第 1 导电型的源区，上述半导体器件还备有：连接到上述主基区和上述源区但不连接到上述焊区下基区的第 1 主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；在上述上主面中隔着绝缘膜与上述焊区下基区的露出面相向地被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第 2 主电极。

对于本发明中第 4 实施例的半导体器件，是在第 1 实施例至第 3 实施例的任一实施例的半导体器件中上述半导体衬底还备有有选择地形成在上述漏层中、比上述漏层浅且露出于上述上主面上并位于上述主基区与上述焊区下基区之间的、内部不设置第 1 导电型的半导体区也不与上述焊区下基区连接的第 2 导电型的周边基区，上述第 1 主电极也被连接在上述周边基区上。

本发明中第 5 实施例的半导体器件，是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上的第 1 导电型的漏层；在上述漏层中有选择地形成的比上述漏层浅并露出于上述上主面的、被分割成多个区域的第 2 导电型的主基区；在上述漏层中有选择地形成的比上述漏层浅并露出于上

述上主面但不与上述主基区连接的第2导电型的焊区下基区；以及在上述主基区中有选择地形成的比上述主基区浅并露出于上述上主面且与上述主基区的上述多个区域对应地被分割配置的第1导电型的源区；以及在上述漏层中有选择地形成的比上述漏层浅并露出于上述上主面且具有位于上述主基区与上述焊区下基区之间部分及与上述主基区的上述多个区域的每一区域的一端相连接的部分的、内部不设置第1导电型的半导体区也不连接到上述焊区下基区的第2导电型的周边基区，上述半导体器件还备有：连接到上述主基区、上述源区及上述周边基区但不连接到上述焊区下基区的第1主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；以及在上述上主面中隔着绝缘层与上述焊区下基区的露出面相对地被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第2主电极。

对于本发明中第6实施例的半导体器件，是在第5实施例的半导体器件中，上述周边基区比上述主基区深。

对于本发明中第7实施例的半导体器件，是在第6实施例的半导体器件中，上述主基区的杂质浓度比上述周边基区低。

本发明中第8实施例的半导体器件是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上的第1导电型的漏层；在上述漏层中有选择地形成的比上述漏层浅并露出于上述上主面上的第2导电型的主基区；在上述漏层中有选择地形成的比上述漏层浅、内部不设置第1导电型的半导体区并露出在上述上主面上的第2导电型的周边基区；以及在上述主基区中有选择地形成的比上述主基区浅并露出于上述上主面的第1导电型的源区，上述半导体器件还备有：连接到上述主基区、上述源区及上述周边基区的第1主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对的栅电极；隔着绝缘层与作为上述上主面中上述漏层露出的区域、亦即与上述主基区共同地夹住上述周边基区的区域的焊区下漏区相对置并被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第2主电极。

对于本发明中第9实施例的半导体器件，是在第8实施例的半导

体器件中，上述主基区被分割为多个区域，上述源区与上述主基区的上述多个区域对应地被分割配置，上述周边基区具有位于上述主基区与上述焊区下漏区之间的部分；以及与上述主基区的上述多个区域的每一区域的一端连接的部分。

对于本发明中第 10 实施例的半导体器件，是在第 4 实施例至第 9 实施例的任一实施例的半导体器件中，上述周边基区包括沿着上述主面中相当于上述栅极焊区的正下方的区域的周边连续形成的环状部分。

对于本发明中第 11 实施例的半导体器件，是在第 1 实施例至第 10 实施例中任一实施例的半导体器件中，上述漏层具有离上述主面越远其电阻率越低的斜率。

本发明中第 12 实施例的半导体器件是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上而且其电阻率具有离上述上主面越远而越低的斜率的第 1 导电型的漏层；在上述漏层中有选择地形成的比上述漏层浅且露出于上述上主面的第 2 导电型的主基区；在上述漏层中有选择地形成的比上述漏层浅且露出于上述上主面的不与上述主基区连接的第 2 导电型的焊区下基区；以及在上述主基区中有选择地形成的比上述主基区浅且露出于上述上主面的第 1 导电型的源区，上述半导体器件还备有：连接到上述主基区和上述源区但不连接到上述焊区下基区的第 1 主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；以及在上述上主面中隔着绝缘层与上述焊区下基区的露出面向相地被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第 2 主电极。

本发明中第 13 实施例的半导体器件是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上而且具有离上述上主面越远其电阻率越低的斜率的第 1 导电型的漏层；在上述漏层中有选择地形成的比上述漏层浅且露出于上述上主面的第 2 导电型的主基区；以及在上述主基区中有选择地形成的比上述主基区浅且露出于上述上主面的第 1 导电型的源区，上述半导体器件还备有：被连接在上述主基区和上述源区上的第 1

主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；在上述上主面中隔着绝缘层与作为上述漏层露出的区域的焊区下基区相对置地被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第 2 主电极。

本发明中第 14 实施例的半导体器件是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上而且具有离上述上主面越远其电阻率越低的斜率的第 1 导电型的漏层；在上述漏层中有选择地形成的比上述漏层浅且露出于上述上主面的第 2 导电型的主基区；在上述漏层中有选择地形成的比上述漏层浅且露出于上述上主面的不与上述主基区连接的第 2 导电型的焊区下基区；在上述主基区中有选择地形成的比上述主基区浅且露出于上述上主面的第 1 导电型的源区；以及在上述漏层中有选择地形成的比上述漏层浅且露出于上述上主面并位于上述主基区与上述焊区下基区之间的、在内部未设置第 1 导电型的半导体区也不与上述焊区下基区连接的第 2 导电型的周边基区，上述半导体器件还备有：连接到上述主基区、上述源区及上述周边基区但不连接到上述焊区下基区的第 1 主电极；在上述主基区中隔着栅绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；在上述上主面中隔着绝缘层与上述焊区下基区的露出面相向地被连接在上述栅电极上的导电性的栅极焊区；以及被连接在上述下主面上的第 2 主电极。

本发明中第 15 实施例的半导体器件是本发明的第 1 至第 14 实施例的某一实施例中的半导体器件，在比上述栅极焊区接近上述上主面的位置，备有与上述上主面对置地埋设在上述绝缘层中的导电层。

本发明中第 16 实施例的半导体器件是本发明的第 4 至第 9、第 10 及第 14 实施例的某一实施例中的半导体器件，在比上述栅极焊区接近上述上主面的位置，还备有与上述上主面对置地埋设在上述绝缘层中的导电层，上述导电层延伸到上述周边基区的上方。

对于本发明中第 17 实施例的半导体器件，是本发明的第 15 或第 16 实施例的半导体器件中上述导电层被连接在上述栅极焊区上。

本发明中第 18 实施例的半导体器件是配备具有上主面及下主面的半导体衬底的半导体器件，上述半导体衬底备有：被形成在上述上主面上的第 1 导电型的漏层；在上述漏层中有选择地形成的比上述漏层浅并露出于上述上主面的第 2 导电型的主基区；以及在上述主基区中有选择地形成的比上述主基区浅且露出于上述上主面的第 1 导电型的源区，上述半导体器件还备有：被连接在上述主基区和上述源区上的第 1 主电极；在上述主基区中隔着栅极绝缘膜与被夹在上述漏层与上述源区之间的区域即沟道区相对置的栅电极；在上述上主面中隔着绝缘层与作为上述漏层露出的区域的焊区下漏区相对置并被连接在上述栅电极上的导电性的栅极焊区；在比上述栅焊区接近上述上主面的位置与上述上主面相向地被埋设在上述绝缘层中并与上述栅焊区连接的导电层；以及被连接在上述下主面上的第 2 主电极。

对于本发明中第 19 实施例的半导体器件，是在第 1 至第 9 实施例中任一实施例的半导体器件中，被连接在上述源电极上且露出于上述上主面的第 2 导电型的半导体区只被形成在上述栅极焊区正下方之外的区域。

在本发明中第 1 实施例的半导体器件中，焊区下基区不连接到第 1 主电极也不与被连接在第 1 主电极上的主基区连接。也就是说，焊区下基区成为浮置状态。因而，内置于半导体器件中的二极管（称为内置二极管）只成为主基区和漏层之间的 PN 结。该内置二极管被施加正向电压时，即内置二极管导通时，载流子从主基区注入漏层，但载流子不从处于浮置状态的焊区下基区注入。因此，内置二极管进行反向恢复工作时，即反向电压（即反偏压）被施加在内置二极管上时，主基区中剩余载流子集中地流入靠近焊区下基区的特定部分的现象被抑制。其结果是，即使以高 di/dt 使内置二极管进行反向恢复工作，由源区、主基区及漏层形成的寄生双极型晶体管也难以导通，所以，半导体器件的 di/dt 容量提高了。

因为焊区下基区成为浮置状态，所以内置二极管被施加反向偏压时，耗尽层从被连接在第 1 主电极上的主基区向漏层内部扩展。放大的耗尽层到达焊区下基区以后，也开始从焊区下基区向漏层内部扩展。如果反向偏压不高达某种程度以上，耗尽层不会从主基区连

接到焊区下基区。因而，耗尽层扩展的速度也变得比较慢。

即使以高 di/dt 使内置二极管进行反向恢复工作，因为在焊区下基区与漏层之间的 PN 结附近耗尽层扩展的速度变慢，所以在漏层中的剩余载流子并不集中流向主基区中靠近焊区下基区的特定部分，而是比较缓慢地均匀流入整个主基区。因而，寄生双极晶体管的导通被抑制，所以，半导体器件的 di/dt 容量进一步得到提高。

并且，对构成内置二极管的主基区与漏层之间的 PN 结施加高 dV/dt （电压随时间的变化率）的情况下，例如，在栅电极与第 1 主电极短路的状态下在第 2 主电极与第 1 主电极之间施加约 $1\text{kV}/\mu\text{s}$ 以上的高 dV/dt 时，主基区与漏层之间的 PN 结的耗尽层瞬时地扩展，会依赖于 PN 结的面积和耗尽层扩展的速度而发生载流子。对此，在焊区下基区与漏层之间的 PN 结处，由于焊区下基区处于浮置状态，耗尽层的扩展速度变慢，所以发生的载流子也比较少。其结果是，因载流子的发生而产生的电流在主基区中集中流入靠近焊区下基区的特定部分的现象被抑制。所以，由源区、主基区及漏层构成的寄生双极型晶体管变得难以导通，从而，半导体器件的 dV/dt 容量得到提高。或者，因载流子的发生而产生的电流通过位于焊区下基区附近的栅绝缘膜而集中地流向栅电极的现象被抑制，所以焊区下基区附近的栅绝缘膜难以受电流的影响，从而，半导体器件的 dV/dt 容量得到提高。

施加在第 2 与第 1 主电极之间的电压（即主电极间电压）在主基区的沟道区不形成反型层时，也就是半导体器件处于截止状态时，借助于从主基区与漏层之间的 PN 向漏层扩展的上述耗尽层而被保持。所保持的电压的最大值规定为半导体器件的耐压。对于第 1 实施例的半导体器件，由于主基区形成为比焊区下基区浅，所以，耗尽层从主基区与漏层之间的 PN 结向漏层内部扩展的有效距离变长。因而半导体器件的耐压得到提高。

对于本发明的第 2 实施例的半导体器件，主基区的杂质浓度比焊区下基区的杂质浓度低，所以半导体器件处于截止状态时，保持主电极间电压的耗尽层变得容易向主基区的内部扩展。其结果是，耗尽层的电场强度被减缓，特别是，在主基区的弯曲部分的电场强度被减缓，所以耐压得到提高。

对于本发明的第3实施例的半导体器件, 焊区下基区既不连接到第1主电极也不连接到被连接在第1主电极上的主基区。也就是说, 焊区下基区成为浮置状态。因而, 与第1实施例的半导体器件同样, 可以实现高的 di/dt 容量及高的 dV/dt 容量。如果被连接在电感负载上的半导体器件关断, 则在主电极间的电压上出现浪涌电压。如果该浪涌电压超过耐压, 则在半导体衬底上会流过雪崩电流。该雪崩电流能作为由源区、主基区及漏层形成的寄生双极型晶体管的基极电流而起作用。所以, 现有的半导体器件有时会因雪崩电流而使寄生双极型晶体管导通。然而, 对于第3实施例的半导体器件, 由于在主基区上设有突起部, 所以, 耗尽层上发生的电场在突起部上有选择地变高。因而雪崩电流变为集中于设在主基区底部的突起部, 作为寄生双极型晶体管的基极电流而起作用的成分则降低。其结果是, 寄生双极型晶体管的导通被抑制。

对于本发明的第4实施例的半导体器件, 在主基区与焊区下基区之间设有周边基区。周边基区不连接在焊区下基区而被连接在第1主电极上, 这一点与主基区相同。因而, 内置二极管由主基区与漏层之间的PN结及周边基区与漏层之间的PN结构成。

内置二极管导通时, 假定即使从焊区下基区向漏层注入载流子, 在内置二极管进行反向恢复工作时, 其剩余载流子也主要是从主基区通过周边基区流入第1主电极。并且, 主基区中靠近周边基区的部位发生的剩余载流子不仅流入主基区, 还通过周边基区流入第1主电极。这样, 内置二极管进行反向恢复工作时, 剩余载流子集中地流入主基区中的靠近焊区下基区的特定部分的现象被抑制, 可以有效地消灭剩余载流子。

周边基区与主基区不同, 由于在其内部未形成第1导电型的半导体区域, 所以不构成寄生双极型晶体管。因而流过周边基区的剩余载流子对于寄生双极型晶体管的基极电流没有贡献。其结果是, 即使以高的 di/dt 使内置二极管进行反向恢复工作, 由于寄生双极型晶体管的导通被抑制, 所以半导体器件的 di/dt 容量进一步得到提高。

并且, 当对构成内置二极管的主基区与漏层之间的PN结施加高 dV/dt 时, 例如, 在栅电极与第1主电极短路的状态下, 在第2主电极与第1主电极之间施加约 $1kV/\mu s$ 以上的高 dV/dt 的情况下, 由于

焊区下基区是浮置的，所以，不仅产生的载流子少，而且产生的载流子引起的电流通过位于焊区下基区附近的周边基区流入第 1 主电极。

其结果是，电流集中流入主基区中靠近焊区下基区的特定部分的现象进一步被抑制。因此，由源区、主基区和漏层构成的寄生双极晶体管难以导通，所以，半导体器件的 dV/dt 容量进一步得到提高。或者说，因载流子的产生而引起的电流通过位于焊区下基区附近的栅绝缘膜集中流入栅电极的现象被抑制了，所以，焊区下基区附近的栅绝缘膜变得不易受到电流的影响，使半导体器件的 dV/dt 容量进一步得到提高。

对于本发明的第 5 实施例的半导体器件，焊区下基区既不连接到第 1 主电极也不连接到被连接在第 1 主电极上的主基区。也就是说，焊区下基区成为浮置状态。因而，与第 1 实施例的半导体器件同样，可以实现高的 di/dt 容量及高的 dV/dt 容量。由于在主基区与焊区下基区之间设有周边基区，所以与第 4 实施例的半导体器件同样， di/dt 容量及 dV/dt 容量进一步得到提高。

由主基区与漏层之间的 PN 结与周边基区与漏层之间的 PN 结构成的内置二极管导通时，从主基区及周边基区向漏层注入载流子。周边基区连接到主基区的多个区域的每一区域的一端，所以，以高的 di/dt 使内置二极管进行反向恢复工作时，剩余载流子集中流向主基区中特定部分的现象有效地被缓和，剩余载流子比较均匀地流遍整个主基区和周边基区。其结果是， di/dt 容量进一步得到提高。

对于本发明的第 6 实施例的半导体器件，主基区被形成为比焊区下基区浅，所以与第 1 实施例的半导体器件同样，半导体器件的耐压能够得到提高。

对于本发明的第 7 实施例的半导体器件，因为主基区的杂质浓度比焊区下基区的杂质浓度低，所以与第 2 实施例的半导体器件同样，半导体器件的耐压能够得到提高。

对于本发明的第 8 实施例的半导体器件，在主基区与焊区下基区之间设置周边基区。周边基区被连接在第 1 主电极上，这一点与主基区相同。因而，内置二极管由主基区与漏层之间的 PN 结及周边基区与漏层之间的 PN 结构成。内置二极管导通时，在接近主基区中的

周边基区附近的部位产生的载流子在内置二极管进行反向恢复工作时，不仅流入主基区，还通过周边基区流入第1主电极。

这样，内置二极管进行反向恢复工作时，剩余载流子集中流入主基区中靠近周边基区的特定部分的现象被抑制。周边基区与主基区不同，在其内部不形成第1导电型的半导体区域，所以也不构成寄生双极晶体管。因而，通过周边基区流动的剩余载流子对寄生双极晶体管的基极电流没有贡献。其结果是，即使以高的 di/dt 使内置二极管进行反向恢复工作时，由于寄生双极晶体管的导通被抑制，所以半导体器件的 di/dt 容量进一步得到提高。并且，栅极焊区与漏层对置，这就有利于提高 dV/dt 容量。

对于本发明的第9实施例的半导体器件，因为周边基区与主基区的多个区域的每一区域的一端连接，所以与第5实施例的半导体器件同样， di/dt 容量进一步得到提高。

对于本发明的第10实施例的半导体器件，因为周边基区包括沿着相当于栅极焊区正下方的区域的周边的环形部分，所以，内置二极管导通时从主基区产生的载流子，在内置二极管进行反向恢复工作时有效地流入周边基区。从而，以高的 di/dt 使内置二极管进行反向恢复工作时，剩余载流子集中地流入相当于主基区中靠近栅极焊区正下方的区域的特定部分的现象被抑制，所以 di/dt 容量进一步得到提高。

对于本发明的第11实施例的半导体器件，漏层具有离开半导体衬底的上主面越远其电阻率越低那样的斜率，所以，在内置二极管进行反向恢复工作时，随着耗尽层的扩展，耗尽层的扩展速度变慢。因此，内置二极管进行反向恢复工作时的电压变化率 dV/dt 变低。即，施加在主电极间的电压的变化变得平缓。所以，即使是在栅极焊区正下方区域假定有载流子剩余的情况下，那些剩余载流子集中地流入主基区中靠近栅极焊区正下方区域的特定部分的现象也可以被抑制。其结果是，剩余载流子经过一段时间比较均匀地流入整个主基区。因而，即使以高的 di/dt 使内置二极管进行反向恢复工作，由于寄生双极晶体管变得难以导通，所以半导体器件的 di/dt 容量得到提高。加之耗尽层向漏层内部扩展的速度变慢，所以半导体器件的 dV/dt 容量也提高了。

并且,以高的 di/dt 使内置二极管进行反向恢复工作时,因为耗尽层扩展的速度变慢,所以电压变化率 dV/dt 也变低,从而,因为主电极间电压的变化变缓,所以反向恢复工作变得接近于软恢复,在主电极间发生浪涌电压的现象被缓和或者被抑制。

另外,离开半导体衬底的上主面越远漏层的电阻率越低,所以漏层的体电阻变低。从而也可以得到半导体器件的导通电阻降低的效果。

对于本发明的第 12 实施例的半导体器件,焊区下基区既不连接到第 1 主电极也不连接到被连接在第 1 主电极上的主基区。也就是说,焊区下基区成为浮置状态。因而,与第 1 实施例的半导体器件同样,可以实现高的 di/dt 容量及高的 dV/dt 容量。另外,漏层具有离开半导体衬底的上主面越远其电阻率变得越低那样的斜率,所以,与第 11 实施例的半导体器件同样,实现了 di/dt 容量的进一步提高、缓和浪涌电压的发生以及导通电阻的降低。

对于本发明的第 13 实施例的半导体器件,因为漏层具有离开半导体衬底的上主面越远其电阻率变得越低那样的斜率,所以,与第 11 实施例的半导体器件同样,实现了 di/dt 容量的提高、缓和浪涌电压的发生以及降低导通电阻。另外,因为栅极焊区与漏层相向配置,所以 dV/dt 容量得到提高。

对于本发明的第 14 实施例的半导体器件,焊区下基区既不连接到第 1 主电极也不连接到被连接在第 1 主电极上的主基区。也就是说,焊区下基区成为浮置状态。因而,与第 1 实施例的半导体器件同样,可以实现高的 di/dt 容量及高的 dV/dt 容量。并且,由于在主基区与焊区下基区之间设置了周边基区,所以与第 4 实施例的半导体器件同样, di/dt 容量及 dV/dt 容量能够进一步得到提高。并且,因为漏层具有离开半导体衬底的上主面越远其电阻率变得越低那样的斜率,所以,与第 11 实施例的半导体器件同样,实现了 di/dt 容量的进一步提高、缓和浪涌电压的发生以及导通电阻的降低。

对于本发明的第 15 实施例的半导体器件,在栅极焊区下层的绝缘层中,与半导体衬底的上主面相向地埋设导电层。因此,对内置二极管施加反向偏压时,向漏层内部扩展的耗尽层在栅极焊区正下方的区域保持与上主面接近于平行的形态扩展。也就是说,在栅极

焊区正下方的区域，耗尽层向漏层内部的扩展是接近于均匀的。因而，到达临界电场的部位不容易出现，所以可以提高半导体器件的耐压。

对于本发明的第 16 实施例的半导体器件，在栅极焊区下层的绝缘层中，与半导体衬底的上主面相向地埋设导电层，并且导电层延伸到周边基区的上方。因此，对内置二极管施加反向偏压时，向漏层内部扩展的耗尽层到达周边基区的一端时，也快速地到达其他端部。即，包括周边基区的周围，耗尽层保持与上主面接近于平行的形态扩展。因而耗尽层的扩展有效地接近于均匀，有效地抑制了到达临界电场部位的发生。其结果是，有效地提高了半导体器件的耐压。

对于本发明的第 17 实施例的半导体器件，因为导电层与栅极焊区连接，所以对内置二极管施加反向偏压时，向漏层内部扩展的耗尽层在栅极焊区正下方的区域保持与上主面平行的形态扩展的效果进一步得到加强。其结果是，半导体器件的耐压更加得到提高。

对于本发明的第 18 实施例的半导体器件，，因为导电层与栅极焊区连接，所以与第 17 实施例的半导体器件同样，有效地提高了半导体器件的耐压。另外，因为栅极焊区与漏层对置，所以 dV/dt 容量得到提高。

对于本发明的第 19 实施例的半导体器件，被连接在第 1 主电极上且露出于半导体衬底上主面的第 2 导电型的半导体区域只形成于栅极焊区正下方以外的区域。所以，即使栅极焊区正下方区域假定有载流子剩余的场合，那些剩余载流子集中地流向主基区中的靠近栅极焊区正下方区域的特定部分的现象也被有效地抑制了。其结果是，即使以高 di/dt 使内置二极管进行反向恢复工作，寄生双极晶体管也难以导通，半导体器件的 di/dt 容量能更有效地得到提高。

本发明的目的、特征、方面及优点通过以下的详细说明和附图将更加清楚。

附图说明

图 1 是实施例 1 的半导体器件的部分平面图。

图 2 是实施例 1 的半导体器件的纵向剖面图。

- 图 3 是实施例 1 的半导体器件的工作说明图。
- 图 4 是实施例 1 的另一例的半导体器件的纵向剖面图。
- 图 5 是实施例 2 的半导体器件的纵向剖面图。
- 图 6 是实施例 2 的另一例的半导体器件的纵向剖面图。
- 图 7 是实施例 3 的半导体器件的局部平面图。
- 图 8 是实施例 3 的半导体器件的纵向剖面图。
- 图 9 是实施例 3 的半导体器件的局部放大平面图。
- 图 10 是实施例 3 的半导体器件的局部放大平面图。
- 图 11 是实施例 3 的另一例的半导体器件的纵向剖面图。
- 图 12 是实施例 4 的半导体器件的纵向剖面图。
- 图 13 是实施例 4 的半导体器件的工作说明图。
- 图 14 是根据实施例 4 的另一例的半导体器件的纵向剖面图。
- 图 15 是根据实施例 4 的又一例的半导体器件的纵向剖面图。
- 图 16 是根据实施例 4 的又一例的半导体器件的纵向剖面图。
- 图 17 是表示实施例 5 的半导体器件的特征的曲线图。
- 图 18 是表示实施例 5 的半导体器件的工作的波形图。
- 图 19 ~ 图 21 是实施例 5 的半导体器件的制造工序图。
- 图 22 是实施例的变例的半导体器件的纵向剖面图。
- 图 23 是实施例的另一变例的半导体器件的纵向剖面图。
- 图 24 是实施例的又一变例的半导体器件的纵向剖面图。
- 图 25 是现有技术的半导体器件的平面图。
- 图 26 是现有技术的半导体器件的局部平面图。
- 图 27 是现有技术的半导体器件的纵向剖面图。
- 图 28 是表示现有技术的半导体器件的特征的曲线图。
- 图 29 及图 30 是现有技术的半导体器件的制造工序图。

具体实施方式

实施例 1

图 1 是表示以 MOSFET 构成的本发明的实施例 1 的半导体器件的一部分的局部平面图。该半导体器件 101 的整体平面图是与例如图 25 同样被描绘的图。如图 1 所示,在栅极焊区 12 的周围,配置源电极 11。图 2 是沿着图 1 中的 A-A 剖面线的半导体器件 101 的剖面图。

如图 2 所示, 半导体器件 101 备有半导体衬底 1、绝缘层 7、栅电极 9、导电层 10、源电极 11、栅极焊区 12, 以及漏电极 14。半导体衬底 1 备有 N^+ 型的高浓度漏层 2、 N^- 型的漏层 3、P 型的主基区 4、P 型的焊区下基区 5, 以及 N^+ 型的源区 6。半导体衬底 1 是具有上主面及下主面的硅衬底。

漏层 3 被形成在半导体衬底 1 的上主面上。主基区 4 有选择地形成在漏层 3 中, 比漏层 3 浅且露出于上主面。焊区下基区 5 有选择地形成在漏层 3 中, 比漏层 3 浅且露出于上主面。焊区下基区 5 不连接到主基区 4, 孤立于主基区 4 之外。主基区 4 形成为比焊区下基区 5 浅。

源区 6 有选择地形成在主基区 4 中, 比主基区 4 浅且露出于上主面。主基区 4 被分割为多个区域, 同样源区 6 也与主基区 4 的多个区域对应地被分割配置为多个区域。焊区下基区 5 中不形成源区 6。所以, 焊区下基区 5 中不存在沟道区。高浓度漏层 2 连接在漏层 3 的下主面一侧, 且露出于半导体衬底 1 的下主面。

源电极 11 用金属形成, 被连接在主基区 4 和源区 6 上。因而与现有的半导体器件 151 不同, 源电极 11 不连接到衬底下基区 5。栅电极 9 用多晶硅形成, 在主基区 4 中隔着作为绝缘层 7 的一部分的栅绝缘膜, 与夹在漏层 3 与源区 6 之间的区域即沟道区对置地被埋设在绝缘层 7 中。

栅极焊区 12 由金属形成, 在半导体衬底 1 的上主面中, 隔着绝缘层 7 与焊区下基区 5 的露出面相对置地配置在绝缘层 7 上。栅极焊区 12 通过被埋设在绝缘层 7 中的栓 13 与导电层 10 连接, 并且也与连接在导电层 10 上的栅电极 9 连接。导电层 10 由多晶硅形成, 在比栅极焊区 12 接近半导体衬底 1 的上主面的位置, 与上主面对置地被埋设在绝缘层 7 中。并且导电层 10 延伸到主基区 4 的上方。漏电极 14 由金属形成, 被连接在半导体衬底 1 的下主面上。

半导体器件 101 具有上述结构, 所以能进行以下工作。对于半导体器件 101, 焊区下基区 5 不与源电极 11 连接, 也不与被连接在源电极 11 上的主基区 4 连接。即, 焊区下基区 5 成为浮置状态。因而, 半导体器件 101 内置的二极管只是主基区 4 与漏层 3 之间的 PN 结。该内置二极管被施加正向电压时, 即内置二极管导通时, 从主基区 4

向漏层 3 注入空穴，但不从处于浮置状态的焊区下基区 5 注入空穴。因而，内置二极管进行反向恢复工作时，即内置二极管被施加反向偏压时，剩余载流子集中地流入主基区 4 中接近焊区下基区 5 的特定部位的现象被抑制。其结果是，即使以高 di/dt 使内置二极管进行反向恢复工作，由源区 6、主基区 4 及漏层 3 形成的寄生双极晶体管也难以导通，所以，半导体器件 101 的 di/dt 容量得到提高。

并且，因为焊区下基区 5 成为浮置状态，所以内置二极管被施加反向偏压时，如图 3 所示，耗尽层从被连接在源电极 11 上的主基区 4 向漏层 3 的内部扩展。图 3 中用虚线表示了扩大的耗尽层的前沿，箭头表示该前沿前进的方向。扩大的耗尽层到达焊区下基区 5 以后，耗尽层又开始从焊区下基区 5 向漏层 3 的内部扩展。如果反向偏压没有高达某种程度以上，则耗尽层不能从主基区 4 连接到整个焊区下基区 5。在图 3 中，漏层 3 内夹在主基区 4 与焊区下基区 5 之间的区域（用单点点划线的圆 X 包围的区域），向右方向前进的前沿就说明了这一点。因此，耗尽层扩展的速度变得比较慢。

即使以高 di/dt 使内置二极管进行反向恢复工作，在焊区下基区 5 与漏层 4 之间的 PN 结附近，耗尽层扩展的速度也变慢，所以在漏层 3 中的剩余载流子，在主基区 4 中也不会集中流入接近焊区下基区 5 的特定部位，而是比较平缓而均匀地流入整个主基区 4。因而寄生双极晶体管的导通被抑制，所以半导体器件 101 的 di/dt 容量进一步得到提高。

另外，构成内置二极管的主基区 4 与漏层 3 之间的 PN 结上被施加高的 dV/dt （电压随时间的变化率）的情况下，例如，在栅电极 9 与源电极 11 短路的状态下，在漏电极 14 与源电极 11 之间施加约 $1\text{kV}/\mu\text{s}$ 以上的高 dV/dt 的情况下，在主基区 4 与漏层 3 之间的 PN 结的耗尽层会瞬时地扩展，依赖于 PN 面积和耗尽层扩展速度而产生空穴。与此相对照，在焊区下基区 5 与漏层 3 之间的 PN 结因为焊区下基区 5 处于浮置状态，耗尽层扩展的速度变慢，故发生的空穴也比较少。其结果是，因空穴的发生而引起的电流集中地流入主基区 4 中接近焊区下基区 5 的特定部位的现象被抑制。因此，由源区 6、主基区 4 和漏层 3 构成的寄生双极晶体管变得难以导通，所以半导体器件 101 的 dV/dt 容量得到提高。或者说，因空穴的发生而引起的

电流通过位于焊区下基区 5 附近的栅绝缘膜 8 集中地流入栅电极 9 的现象被抑制, 所以, 焊区下基区 5 附近的栅绝缘膜 8 变得不易受到电流的影响, 半导体器件 101 的 dV/dt 容量得到提高。

施加在漏电极 14 与源电极 11 之间的电压在主基区 4 的沟道区未形成反型层时, 即半导体器件 101 处于截止状态时, 借助于从主基区 4 与漏层 3 之间的 PN 结向漏层 3 内部扩展的耗尽层而被保持。被保持电压的最大值规定半导体器件 101 的耐压。在半导体器件 101 中, 因主基区 4 形成为比焊区下基区 5 浅, 所以, 如图 3 所示, 从主基区 4 与漏层 3 之间的 PN 结向漏层 3 内部扩展的耗尽层扩展的有效距离 (单点点划线的箭头 Y) 变长。因此, 半导体器件 101 的耐压得到提高。

另外, 在栅极焊区 12 的下层的绝缘层 7 中, 与半导体衬底 1 的上主面相对置地埋设导电层 10。因此, 如图 3 所示, 内置二极管被施加反向偏压时, 向漏层 3 内部扩展的耗尽层在栅极焊区 12 正下方的区域以保持近乎与上主面平行的形态扩展。即, 耗尽层向漏层 3 内部的扩展在栅极焊区 12 正下方的区域变得近于均匀。因此, 不易发生到达临界电场强度的部位, 所以, 耐压进一步得到提高。

并且, 因为导电层 10 延伸到主基区 4 的上方, 所以, 场电极的效应及于漏层 3 的露出面内被夹在主基区 4 与焊区下基区 5 之间的部分。

理想情况是, 主基区 4 的杂质浓度比焊区下基区 5 的杂质浓度设定得低。据此, 半导体器件 101 处于截止状态时, 保持漏电压的耗尽层也易于向主基区 4 的内部扩展。其结果是, 耗尽层中的电场强度得以减缓, 即使在中间, 主基区 4 的弯曲部 (图 3 中的单点点划线的圆 Z) 的电场强度也得以减缓, 所以耐压进一步得到提高。

如图 4 所示的半导体器件 102 那样, 也可以确保焊区下基区 5 与主基区 4 之间的距离较大。因此, 相对于半导体衬底 1 的面积的电流量降低, 而电流向主基区 4 的特定部分的集中进一步被抑制, di/dt 容量进一步得到提高。

实施例 2

图 5 是本发明的实施例 2 的半导体器件的剖面图。该半导体器件 104 的栅极焊区 12 附近的平面图可以与图 1 同样地被描绘出来。图 5

相当于沿着图 1 中的 A-A 剖面线的半导体器件 104 的剖面图。半导体器件 104 的主基区 4 在底面对下主面具有有选择地突出的突起部 20, 这一点与半导体器件 101 在特征上不同。

半导体器件 104 在连接到电感负载的状态下关断时, 漏电压上出现浪涌电压。该浪涌电压一旦超过耐压, 则在半导体衬底 1 中流过雪崩电流。雪崩电流对由源区 6、主基区 4 及漏层 3 形成的寄生双极晶体管的基极电流有贡献。因此, 对于现有的半导体器件 151, 由于雪崩电流的原因, 有时寄生双极晶体管会导通。但是, 对于半导体器件 104, 由于在主基区 4 中设有突起部 20, 所以发生在耗尽层中的电场在突起部 20 有选择地变高。因此, 由于雪崩电流将突起部 20 作为主要路径, 所以流经主基区 4 中源区 6 正下方部分的雪崩电流的成分减少。即, 作为寄生双极晶体管的基极电流而起作用成分减少。其结果是, 寄生双极晶体管的导通被抑制。这样, 即使在连接电感大的电感负载的工作条件下, 也能实现稳定的工作。

关于半导体器件 104, 与半导体器件 101 同样, 确保焊区下基区 5 与主基区 4 之间的距离较大的变例 (图 6 的半导体装置 105) 有可能实施。

实施例 3

图 7 是表示实施例 3 的半导体器件的一部分的局部平面图。该半导体器件 107 的平面图, 例如, 可以与图 25 同样地被描绘出来。如图 7 所示, 在栅极焊区 12 的周围, 配置源电极 11。源电极 11 通过贯穿绝缘层的栓, 连接到半导体衬底上。图 8 是沿着图 7 中的剖面线 B-B 的半导体器件 107 的剖面图。半导体器件 107 在主基区 4 与焊区下基区 5 之间设有 P 型的周边基区 21, 这一点与半导体器件 101 在特征上不同。

周边基区 21 有选择地形成在漏层 3 中, 比漏层 3 浅且露出于半导体衬底 1 的上主面。周边基区 21 位于主基区 4 与焊区下基区 5 之间, 不连接到焊区下基区 5。源电极 11 在连接到主基区 4 的同时, 通过贯穿绝缘层 7 的栓 22 也与周边基区 21 连接。但是, 像源区 6 那样的 N 型半导体区域不设在周边基区 21 的内部。所以, 在周边基区 21 中不存在沟道区。

图 9 及图 10 是分别放大表示图 7 的部分 130 及 131 的局部放大

平面图。如图 9 及图 10 所示, 周边基区 21 各有连续地包围位于栅极焊区 12 正下方的焊区下基区 5 的周围而形成的环状部分。图 8 中描绘出的周边基区 21 相当于该环状部分, 如上所述, 环状部分位于主基区 4 与焊区下基区 5 之间。并且, 周边基区 21 如图 9 所示通过环状部分, 并如图 10 所示通过环状部分以外的部分, 与主基区 4 被分割配置的多个区域中的每一区域的一端连接。在图 9 及图 10 的例子中, 主基区 4 被分割为许多平行的带状区, 周边基区 21 分别与各带状区的一端连接。

半导体器件 107 按上述那样构成, 所以能进行以下工作。周边基区 21 不连接到焊区下基区 5 而与源电极 11 连接, 这一点与主基区 4 相同。因此, 内置二极管由主基区 4 与漏层 3 之间的 PN 结及周边基区 21 与漏层 3 之间的 PN 结构成。

内置二极管导通时, 假定即使有空穴从焊区下基区 5 向漏层 3 注入, 在内置二极管进行反向恢复工作时, 那些剩余空穴主要经由靠近主基区 4 的周边基区 21 流向源电极 11。并且, 主基区 4 中从接近周边基区 21 的部位产生的剩余空穴不仅流向主基区 4, 还通过周边基区 21 流向源电极 11。这样, 内置二极管进行反向恢复工作时, 剩余空穴集中地流入主基区 4 中接近焊区下基区 5 的特定部分的现象被抑制, 剩余空穴有效地得到消除。

周边基区 21 与主基区 4 不同, 在其内部不形成 N 型的半导体区域, 所以, 不构成寄生双极晶体管。因此, 流过周边基区 21 的剩余空穴对寄生双极晶体管的基极电流没有贡献。其结果是, 即使以高 di/dt 使内置二极管进行反向恢复工作, 寄生双极晶体管的导通也被抑制, 所以, di/dt 容量进一步得到提高。

另外, 对构成内置二极管的主基区 4 与漏层 3 之间的 PN 结施加高 dV/dt 的场合, 例如, 在栅电极 9 与源电极 11 短路的状态下, 在漏电极 14 与源电极 11 之间施加约 $1kV/\mu s$ 以上的高 dV/dt 的场合, 如实施例 1 所述, 因为焊区下基区 5 是浮置的, 所以, 不仅发生的空穴减少, 所发生的空穴电流通过位于焊区下基区 5 附近的周边基区 21, 流向源电极 11。

其结果是, 在主基区 4 中, 电流集中地流入接近焊区下基区 5 的特定部分的现象进一步被抑制。因此, 由源区 6、主基区 4 及漏层 3

构成的寄生双极晶体管变得难以导通,所以,半导体器件107的 dV/dt 容量进一步得到提高。或者说,因空穴的发生而引起的电流通过位于焊区下基区5附近的栅绝缘膜8而集中地流入栅电极9的现象被抑制,所以,焊区下基区5附近的栅绝缘膜8不易受到电流的影响,半导体器件107的 dV/dt 容量进一步得到提高。

内置二极管导通时,空穴从主基区4及周边基区21注入漏层3。但是,因为周边基区21连接到构成主基区4的多个区域的每一区域的一端,所以,即使在以高 di/dt 使内置二极管进行反向恢复工作时,剩余空穴集中地流入主基区4的特定部分的现象也有效地被缓和,剩余空穴比较均匀地流入整个主基区4和周边基区21。其结果是, di/dt 容量进一步得到提高。

周边基区21具有沿着相当于栅极焊区12正下方的区域的外周的环状部分,所以内置二极管导通时,从主基区4产生的空穴在内置二极管进行反向恢复工作时,高效率地流入周边基区21。因此,以高 di/dt 容量使内置二极管进行反向恢复工作时,剩余空穴集中地流入接近主基区4中的相当于栅极焊区12正下方区域的特定部分的现象被抑制,所以, di/dt 容量进一步提高。

另外,被连接在导电层10上的栅电极9,还覆盖住漏层3的露出面中被夹在主基区4与周边基区21之间的部分,所以,场电极的效应也涉及漏层3的露出面内被夹在主基区4与周边基区21之间的部分。同样,栅极焊区21也覆盖住漏层3的露出面中被夹在焊区下基区5与周边基区21之间的部分,所以,因栅极焊区12引起的场电极的效应也及于漏层3的露出面内被夹在焊区下基区5与周边基区21之间的部分。

如图11示出的半导体器件108那样,把焊区下基区5与主基区4之间的距离设定得较窄,与此相应,也可以把夹在焊区下基区5与主基区4之间的周边基区21的宽度设定得较窄。因此,相对于半导体衬底1的面积,电流密度能够提高。并且,在半导体器件108中,导电层10也覆盖住漏层3的露出面中被夹在焊区下基区5与周边基区21之间的部分,所以,因导电层10引起的场电极的效应也及于漏层3的露出面内被夹在焊区下基区5与周边基区21之间的部分。

实施例4

图 12 是本发明的实施例 4 的半导体器件的剖面图。该半导体器件 110 的栅极焊区 12 附近的平面图与图 7 同样地被描绘出来。图 12 相当于沿着图 7 的 B-B 剖面线的半导体器件 110 的剖面图。半导体器件 110 不设焊区下基区 5, 这一点与半导体器件 107 在特征上不同。即, 栅极焊区 12 与半导体衬底 1 的上主面内漏层 3 露出的区域相向。在半导体器件 110 中, 也如图 9 及图 10 所示, 周边基区 21 具有沿着相当于栅极焊区 12 正下方的区域的外周连续形成的环状部分。

在半导体器件 110 中, 由于栅极焊区 12 与漏层 3 相向, 所以, 漏-源间的电容量 C_{bs} 的大小与半导体器件 107 不同。因此, 在漏电极 14 与源电极 11 之间施加高的 dV/dt 的场合, 瞬态性地流过的电流(例如, 位移电流或者空穴电流)的大小在半导体器件 107 与半导体器件 110 之间出现差异。由于这种差异, 与半导体器件 107 比较, 半导体器件 110 还能够获得更高的 dV/dt 容量。

另外, 在栅极焊区 12 的下层的绝缘层 7 中, 与半导体衬底 1 的上主面相对置地埋设导电层 10。为此, 如图 13 所示, 在内置二极管被施加反向偏压时, 向漏层 3 的内部扩展的耗尽层在栅极焊区 12 正下方的区域, 保持与上主面近于平行的形态扩展。即, 在栅极焊区 12 的正下方区域, 耗尽层向漏层 3 的内部扩展接近于均匀。因而, 难以发生到达临界电场强度的部位, 所以, 耐压进一步得到提高。

并且, 导电层 10 与栅极焊区 12 连接, 所以, 由栅极焊区 12 及导电层 10 引起的场电极的功能进一步增强。由此, 在栅极焊区 12 的正下方区域, 耗尽层向漏层 3 的内部扩展更加接近于均匀。其结果是, 半导体器件的耐压进一步得到提高。

并且, 如图 12 所示, 由于导电层 10 延伸到周边基区 21 的上方, 所以, 当对内置二极管施加反向偏压时, 向漏层 3 的内部扩展的耗尽层到达周边基区 21 的一端时, 也会迅速到达它的其他端部。即, 包括周边基区 21 的周围, 耗尽层也以保持与上主面接近于平行的形态扩展。因而, 耗尽层的扩展更加有效地接近于均匀, 所以, 能更有效地抑制到达临界电场强度的部位的发生。其结果是, 更进一步有效地提高了半导体器件的耐压。

如图 14 所示的半导体器件 111 那样, 导电层 10 也可以更宽地形

成。因此，作为场电极的导电层 10 的功能进一步得到加强，所以，耐压进一步得到提高。并且，如图 15 所示的半导体器件 112，或者如图 16 所示的半导体器件 113 那样，确保扩展周边基区 21 的宽度是可能的。对于图 15 所示的半导体器件 112，在漏层 3 的露出面内被焊区下基区 5 覆盖的部分并未被导电层 10 覆盖，但受到由焊区下基区 5 引起的场电极效应的波及。

实施例 5

在以上说明的半导体器件 101~113 中，如图 17 所示的电阻率分布那样，希望漏层 3 具有离半导体衬底 1 的上主面越远其电阻率越低的曲线斜率。因此，内置二极管进行反向恢复工作时，随着耗尽层的扩展，耗尽层扩展的速度变慢。因此，如图 18 的波形图所示，内置二极管进行反向恢复工作时的电压变化率 dV/dt 变低。即，施加在漏电极 14 与源电极 11 之间的漏电压的变化变得平缓。在图 18 中实线表示漏层 3 的电阻率没有斜率的情况下的波形，虚线表示有斜率的情况下的波形。

因而，即使在栅极焊区正下方的区域有剩余空穴的场合，也能够抑制那些剩余空穴集中地流入主基区 4 中接近栅极焊区 12 正下方的区域的特定部分的现象。其结果是，剩余空穴经过一段时间比较均匀地流向整个主基区。据此，即使以高的 di/dt 使内置二极管进行反向恢复工作，寄生双极晶体管也难以导通，所以，半导体器件的 di/dt 容量得到提高。

并且，以高的 di/dt 使内置二极管进行反向恢复工作时，因为耗尽层扩展的速度变慢，所以，电压变化率 dV/dt 也降低。于是，漏电压的变化变缓，反向恢复工作接近于软恢复（在图 18 中用虚线表示的电流 I 的波形图），主电极间发生浪涌电压的现象被缓和甚至被抑制。

另外，漏层离开半导体衬底的上主面越远其电阻率越低，所以，漏层的体电阻变低。因而，也可以得到降低半导体器件的导通电阻的效果。

根据图 17~图 21 示出的工序图，图 17 所示的电阻率分布通过半导体衬底 1 的形成能够容易地得到。即，在半导体衬底 1 的形成工序中，准备 N 型的半导体衬底 60（图 19），其后，在半导体衬底

60 的两主面上淀积高浓度的 N 型杂质，再通过使其扩散形成一组 N⁺ 型的高浓度漏层 2 和被夹在其间的 N⁻ 型的半导体层 61 (图 20)。然后，如图 21 所示，通过把半导体层 61 沿虚线部截断加工，得到具有高浓度漏层 2 和漏层 3 的半导体衬底 1。

变例

(1) 在上述半导体器件 101~113 中，通过在半导体衬底 1 上附加集电极层也可能构成 IGBT。图 22 示出的半导体器件 114 相当于在半导体器件 108 上通过附加 P⁺ 型的集电极层 30 而构成 IGBT 的例子。集电极层 30 露出于半导体衬底 1 的下主面，被连接在集电极 14 (MOSFET 的源电极及漏电极在 IGBT 中分别对应于发射极电极及集电极电极) 上。如图 23 所示的半导体器件 115 那样，也可能构成去除高浓度漏层 2 的 IGBT。在这样构成的 IGBT 中，在半导体衬底 1 的上主面一侧，包括具有与半导体器件 101~113 同样特征的 MOSFET，所以，关于 dV/dt 容量及耐压，能得到与半导体器件 101~113 同样的效果。并且，在 IGBT 中，由于电导率调制效应，还能得到有效降低导通电阻的优点。

(2) 如图 24 所示，本发明不仅适用于平面型半导体器件，也适用于沟槽型半导体器件。图 24 是沟槽型 MOSFET 的示例。在半导体器件 101~115 中，可以把主基区 4 存在的区域置换为图 24 的结构。以图 24 为例，在半导体衬底 1 的上主面开口的沟槽被形成为到达漏层 3。沟槽 40 的内壁用栅绝缘膜 8 覆盖，在栅绝缘膜 8 的内侧埋设栅电极 9。栅电极 9 的上表面用绝缘层 7 覆盖，其上覆盖源电极。

(3) 在以上说明中，选取了 N 沟道型的半导体器件为例，但是，本发明也可以适用于 P 沟道型的半导体器件。在上述的各半导体器件中，通过使各半导体层或各半导体区域的导电类型反转，可以构成 P 沟道型的半导体器件。

本发明已得到详细说明，但以上说明在所有方面都是示例性的，本发明不限于此。可以设想没有给出示例的无数变例也都不在本发明之外。

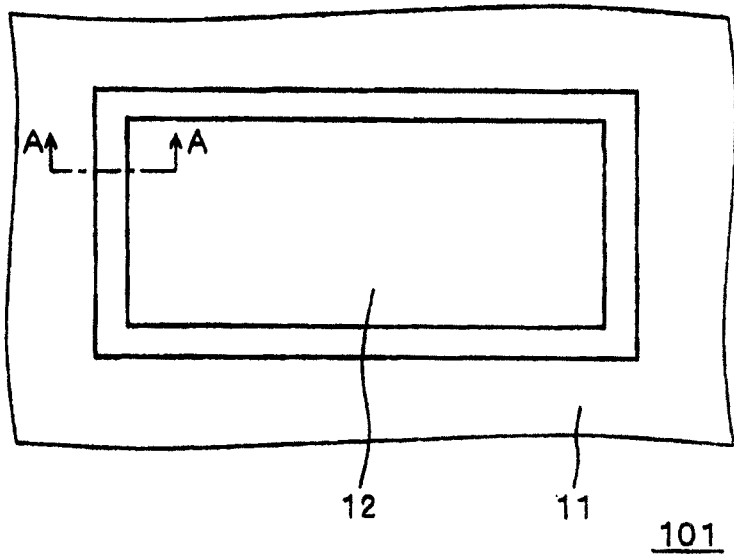


图 1

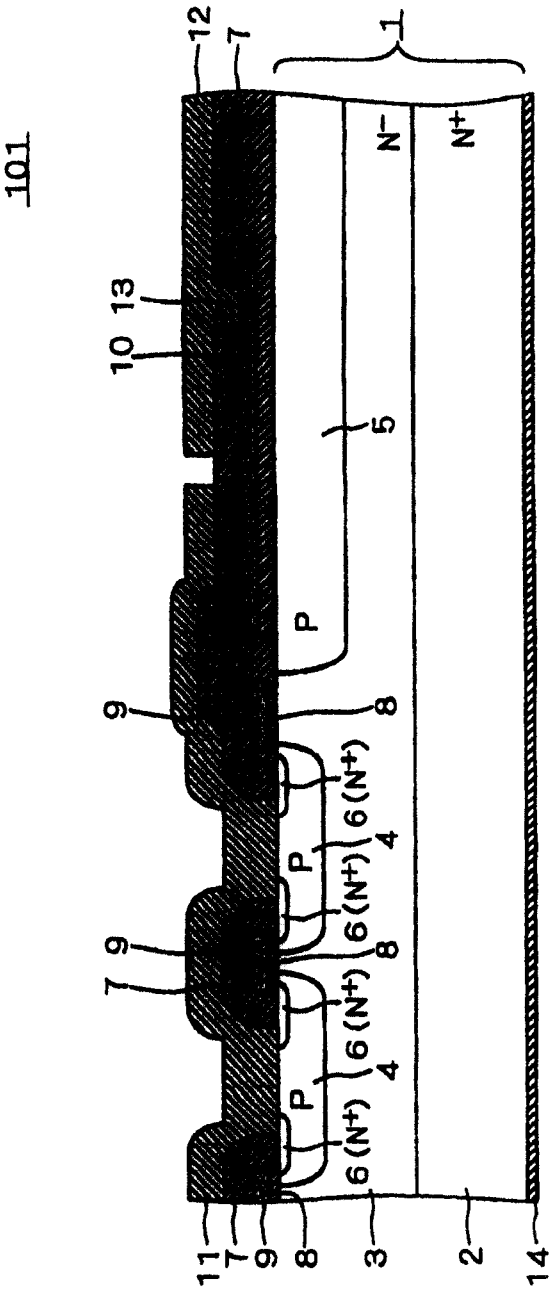


图 2

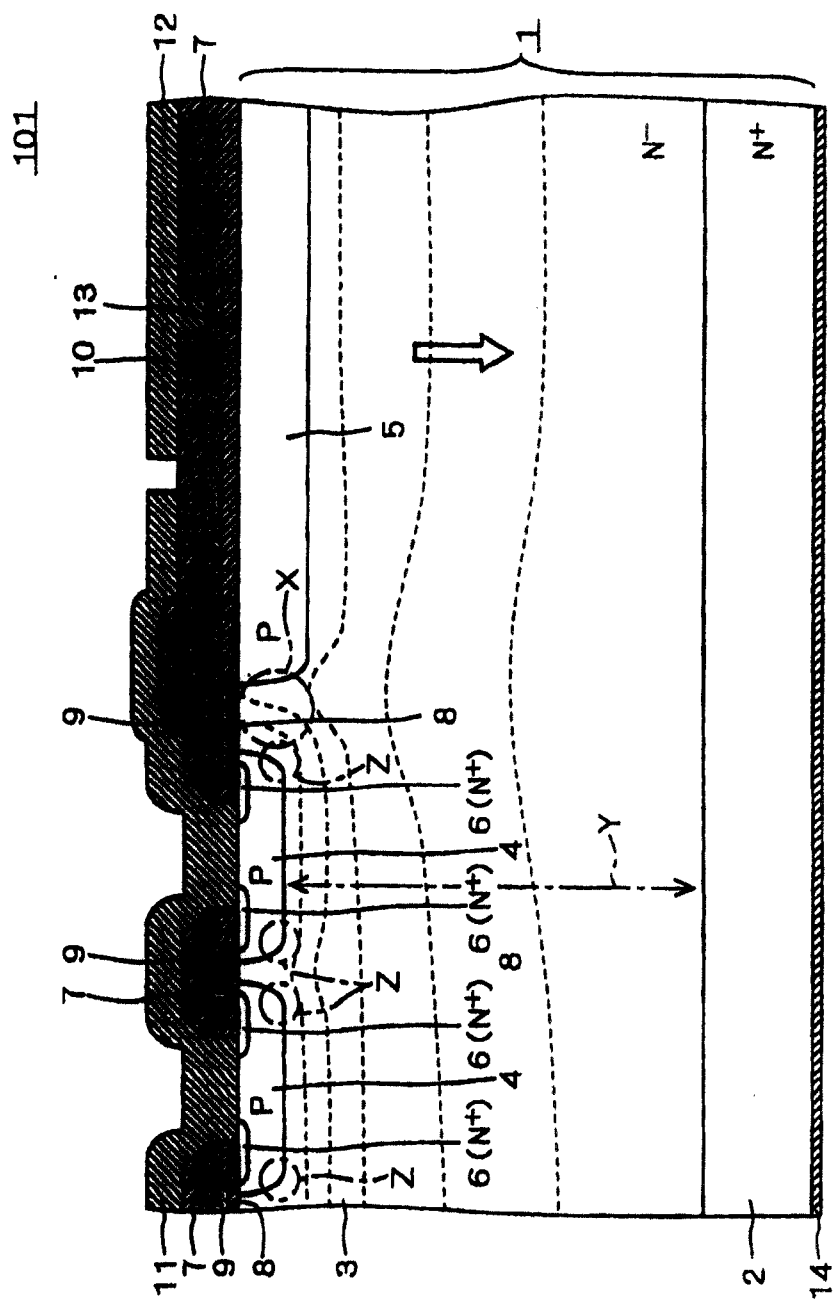


图 3

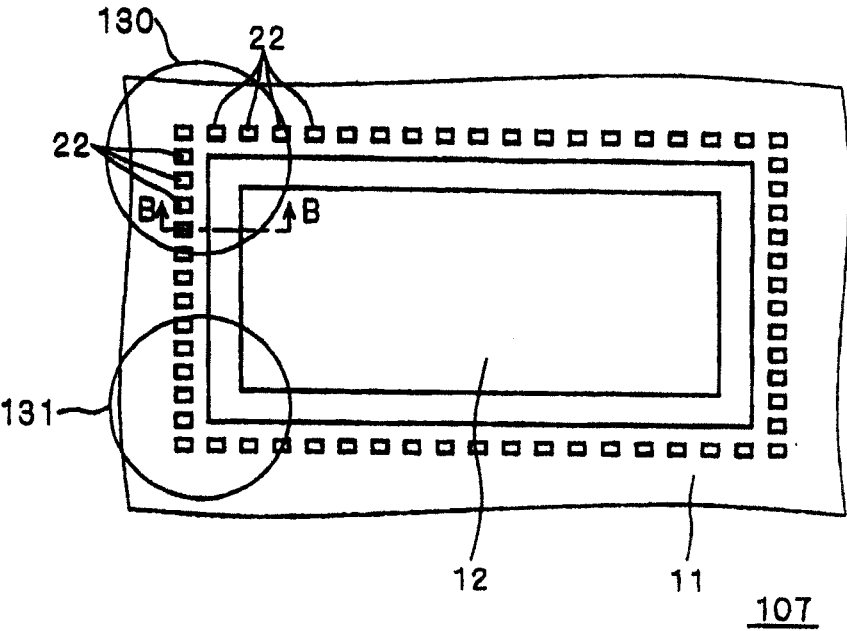
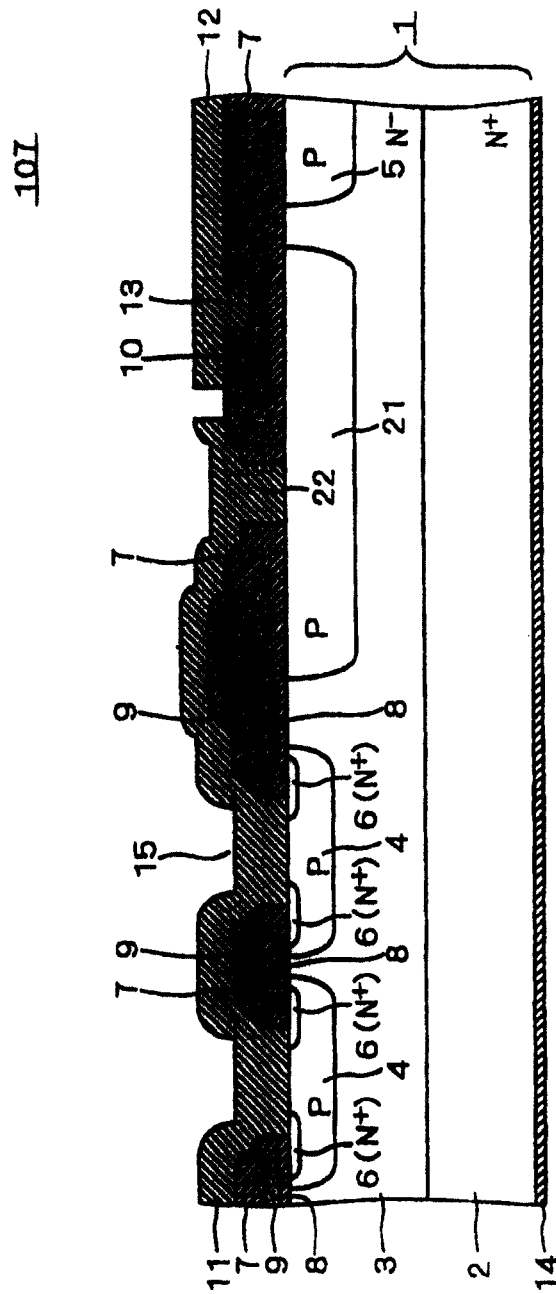


图 7



8

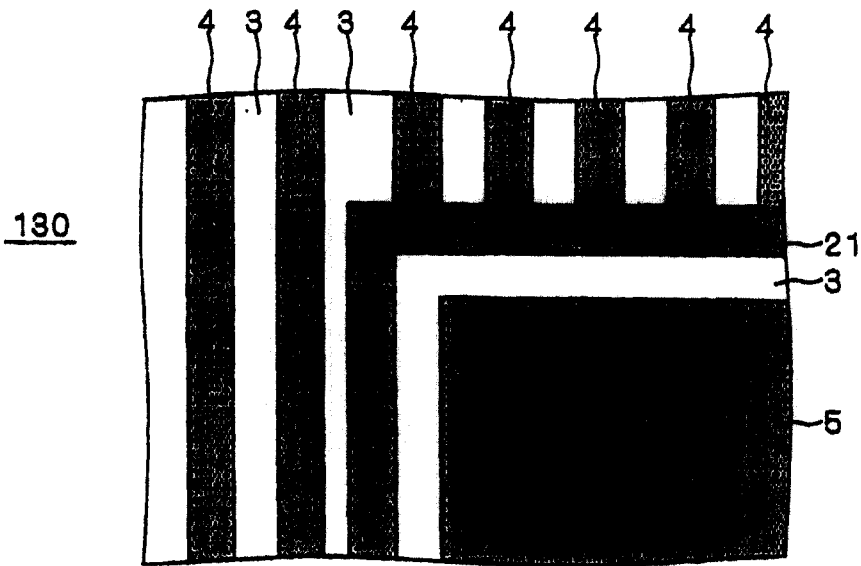


图 9

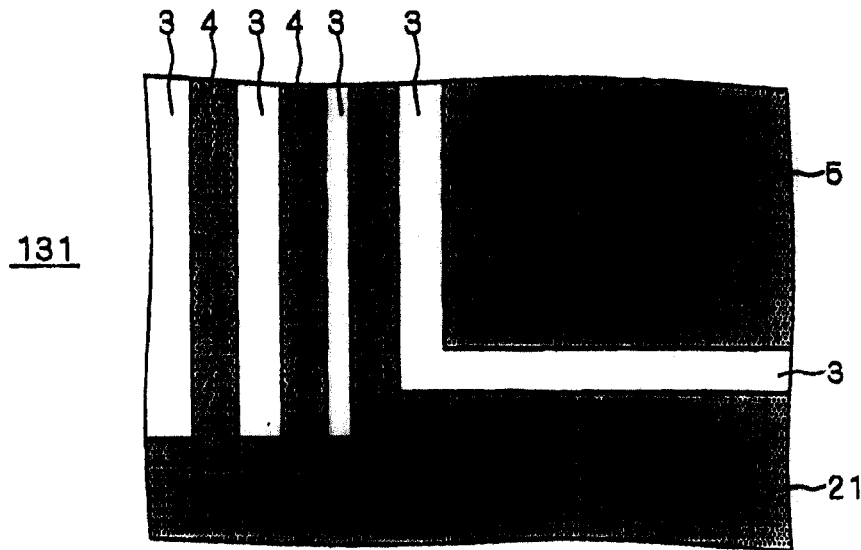
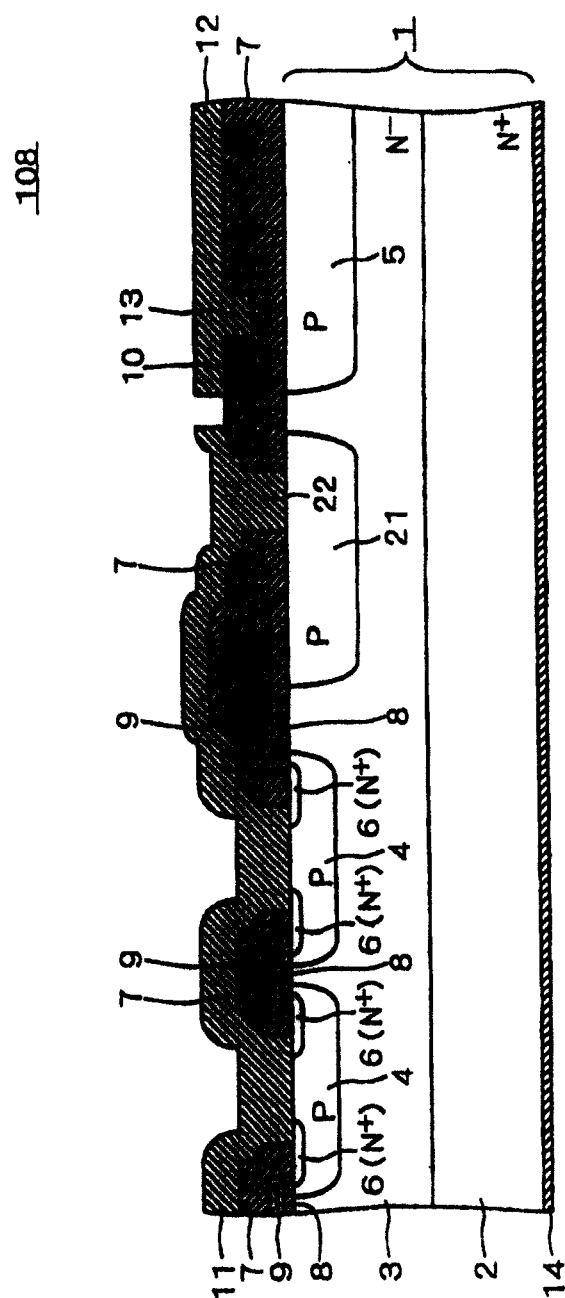
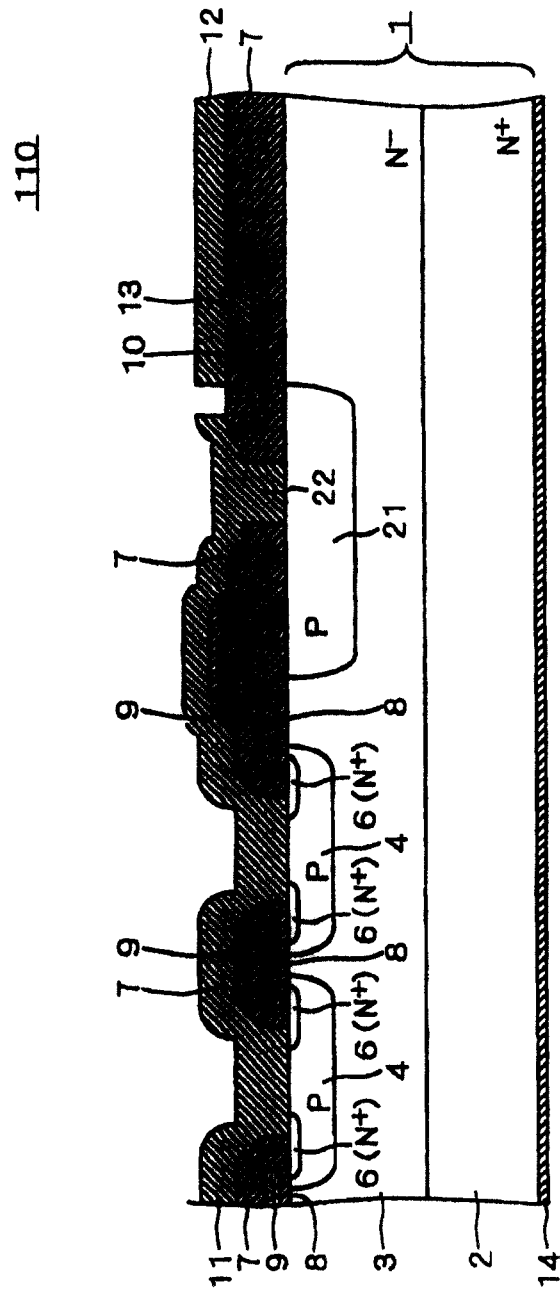


图 10





12 圖

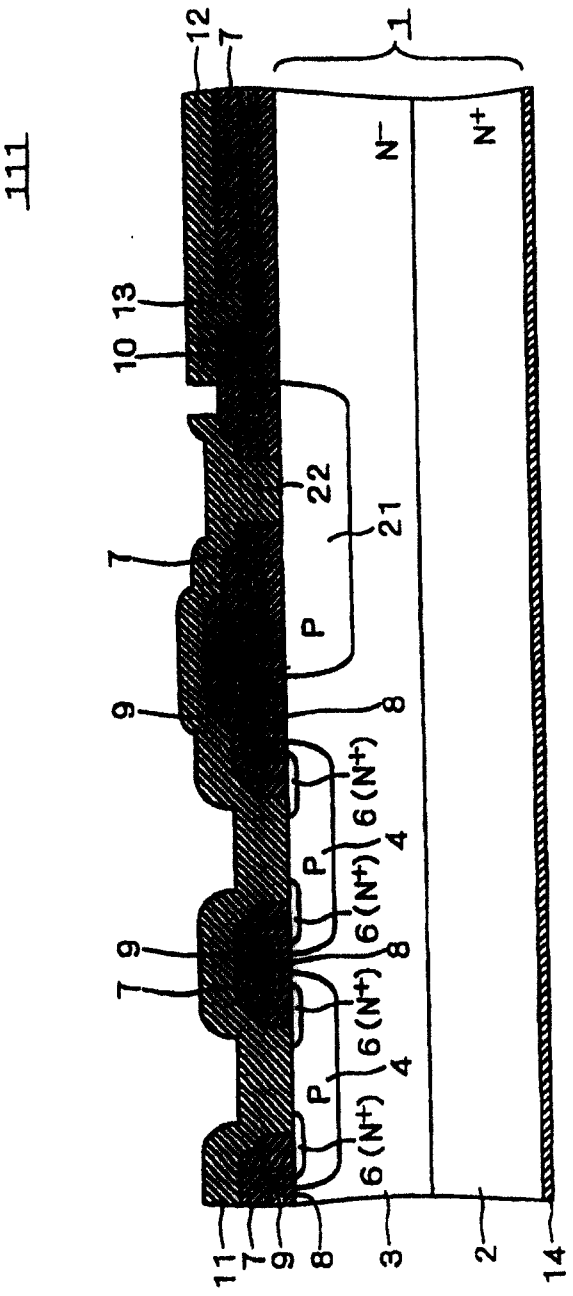
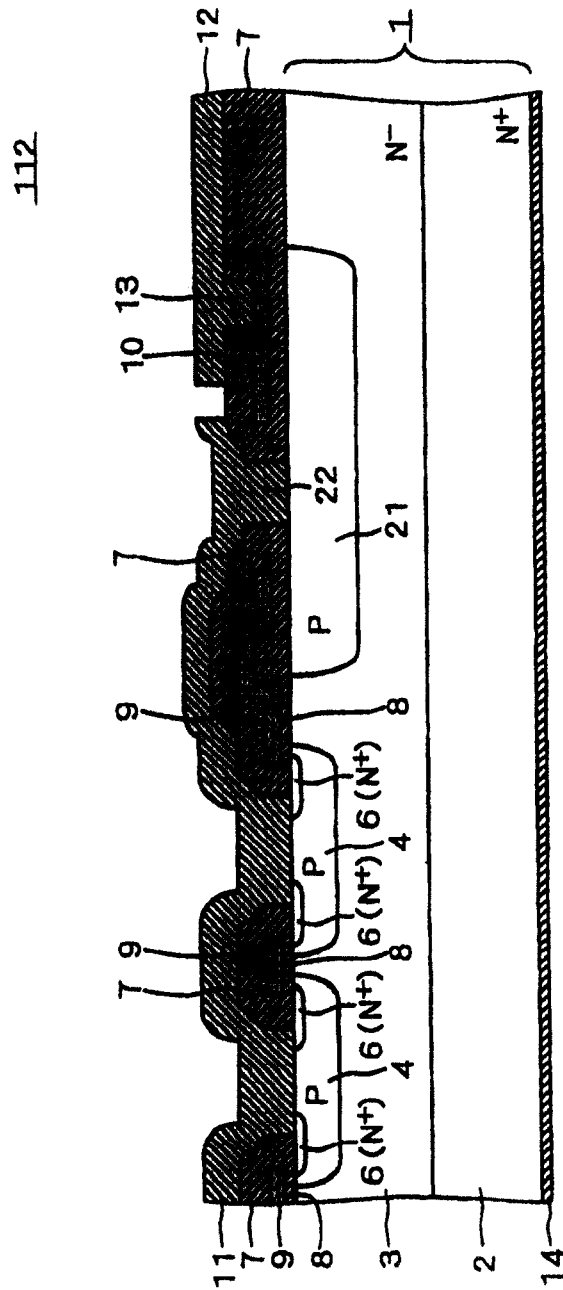


图 14



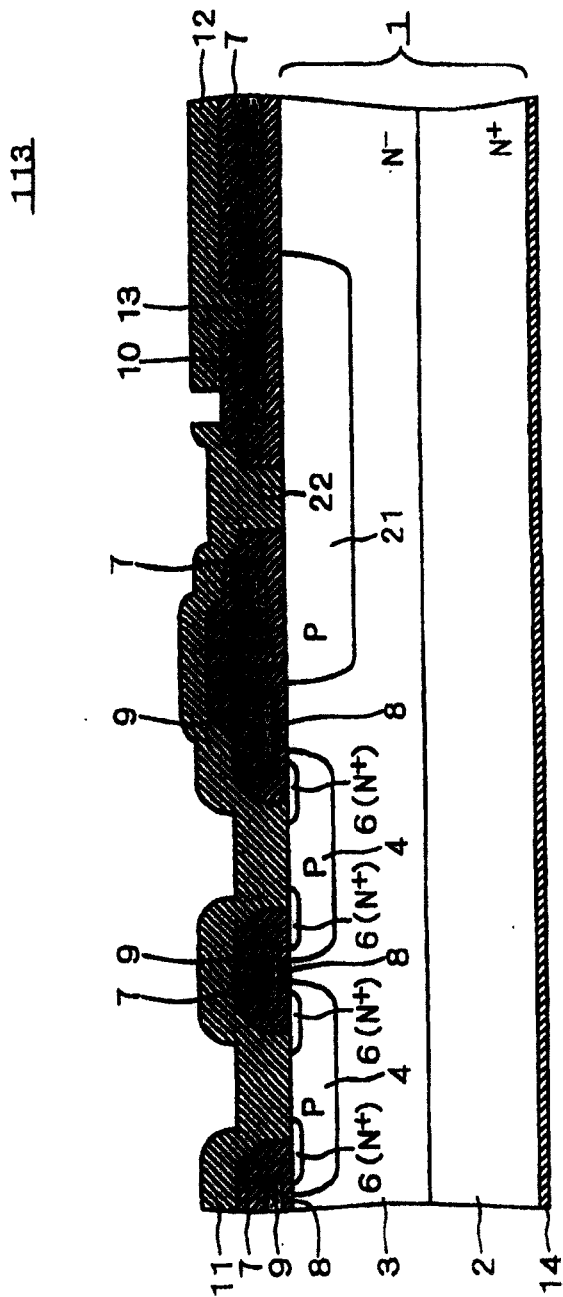


图 16

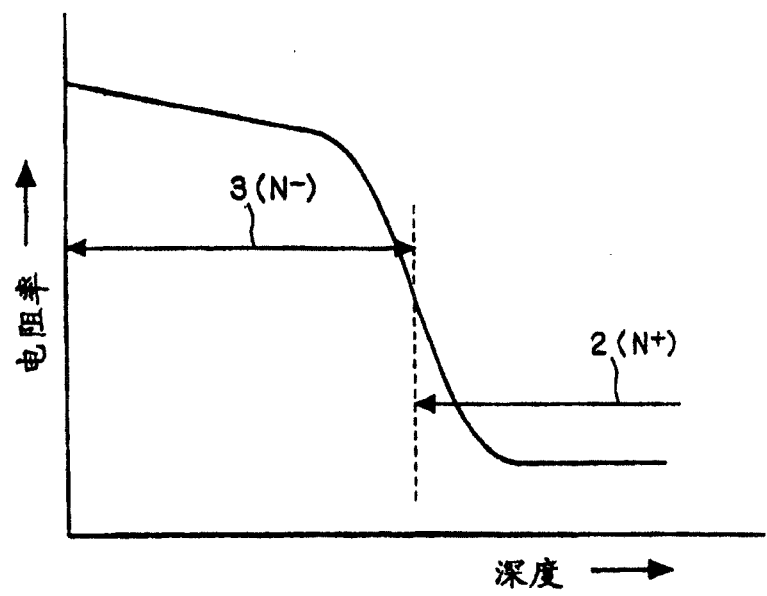


图 17

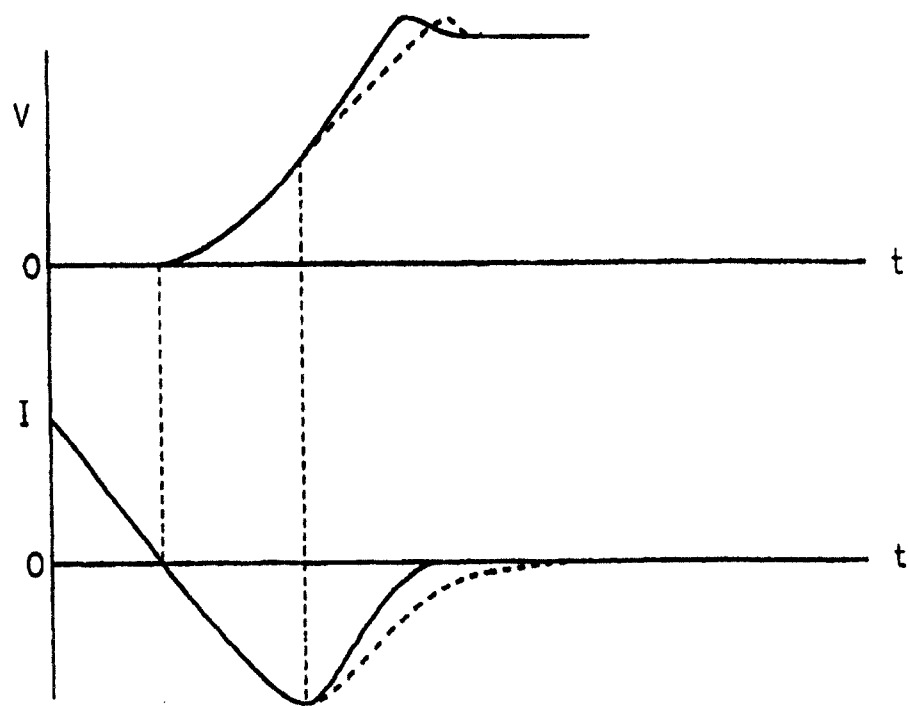


图 18

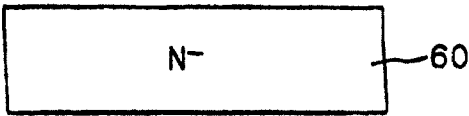


图 19

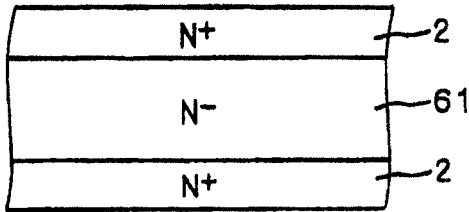


图 20

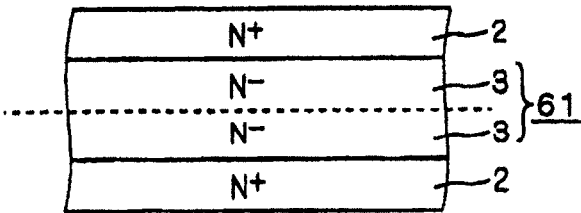
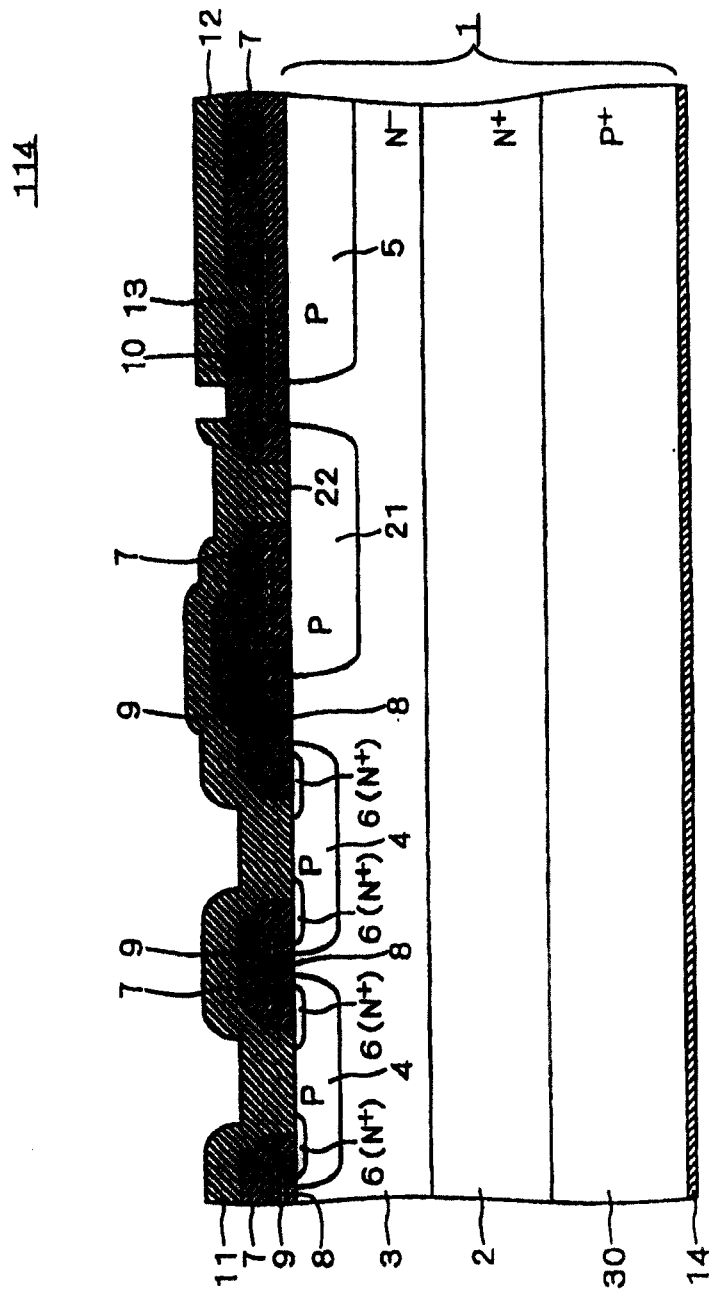


图 21



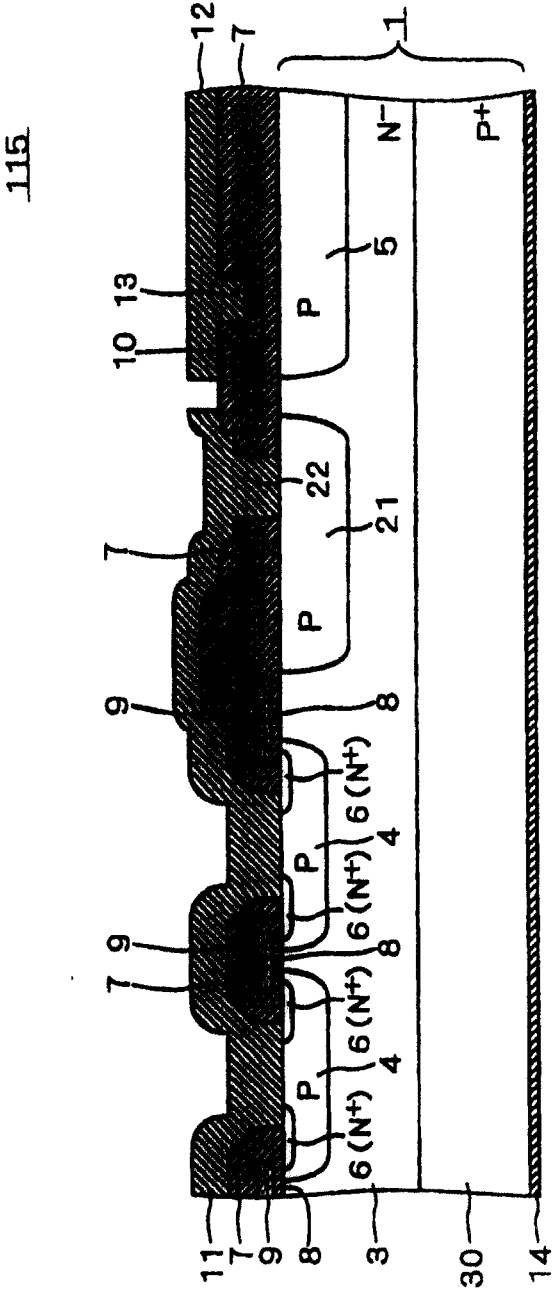


图 23

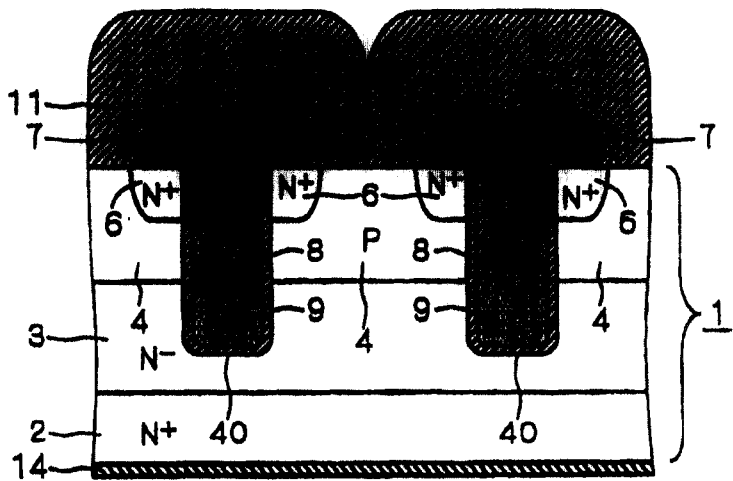


图 24

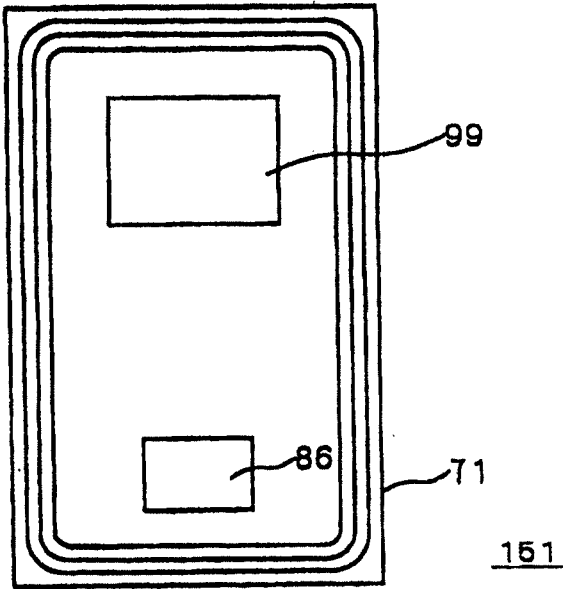


图 25

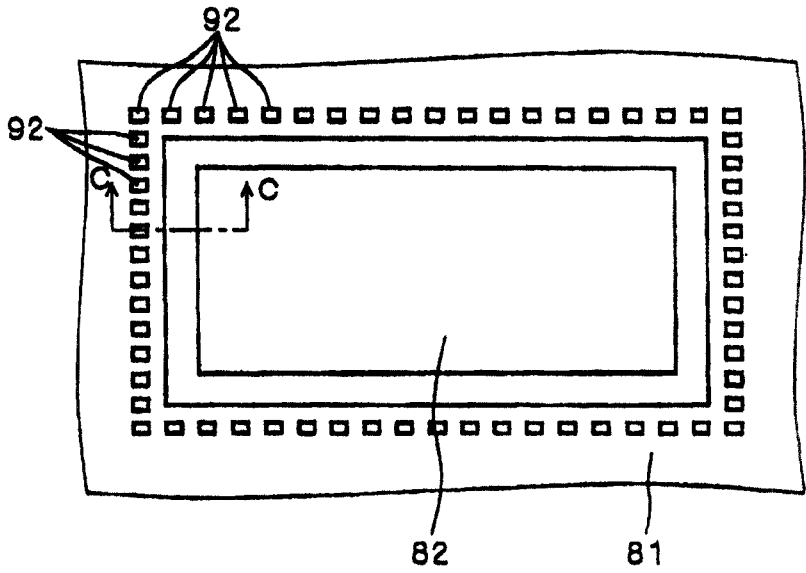


图 26

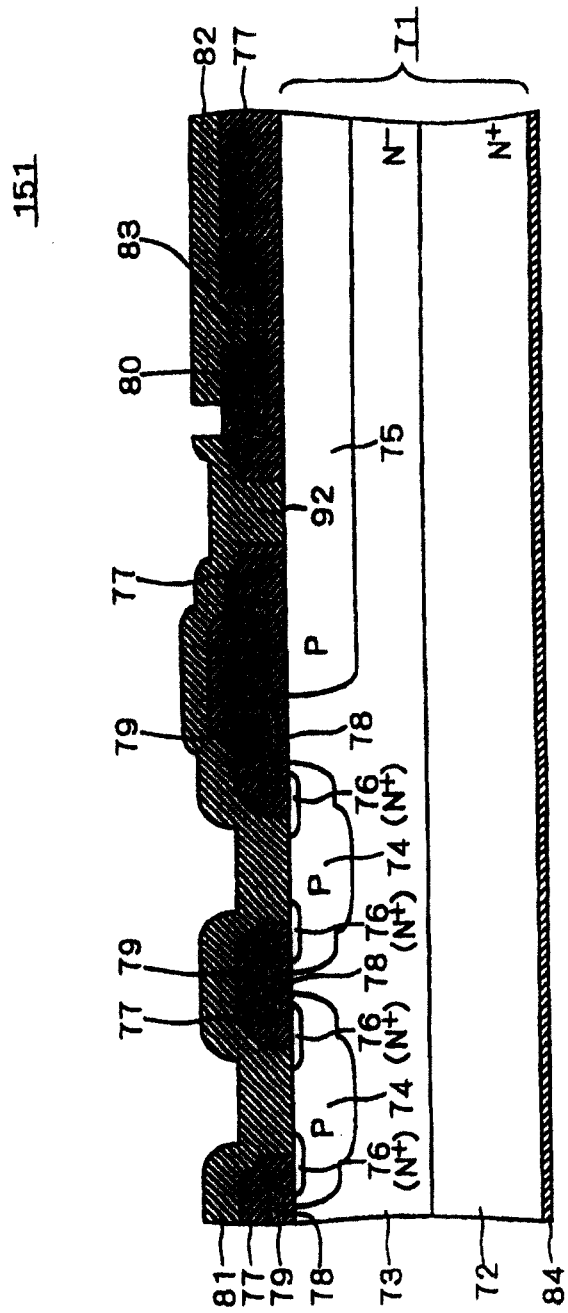


图 27

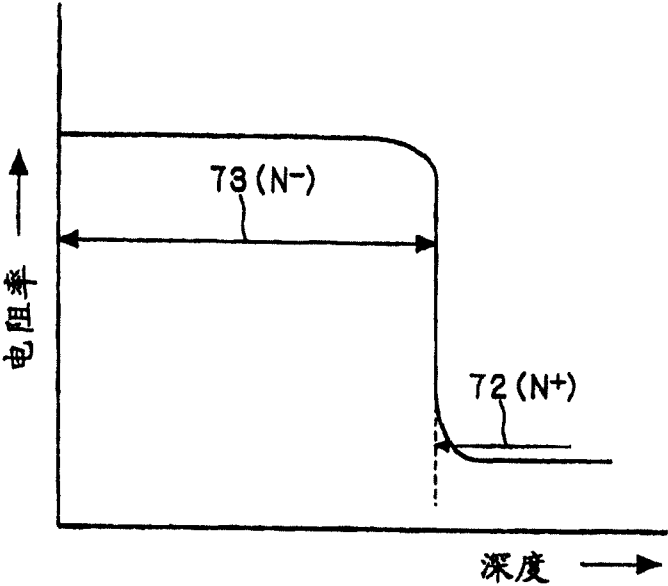


图 28



图 29

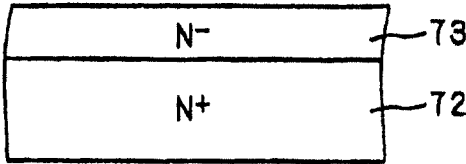


图 30