

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年5月2日(02.05.2013)



(10) 国際公開番号

WO 2013/061853 A1

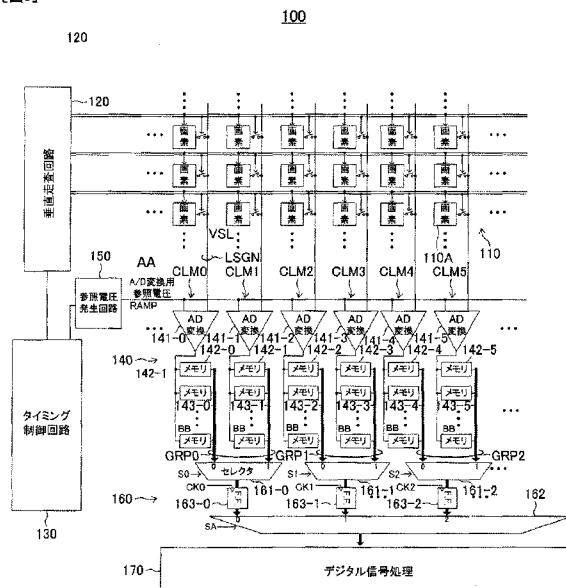
- (51) 国際特許分類:  
H04N 5/378 (2011.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2012/076886
- (22) 国際出願日: 2012年10月18日(18.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-237674 2011年10月28日(28.10.2011) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)  
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 久松 康秋 (HISAMATSU Yasuaki); 〒2400005 神奈川県横浜市保土ヶ谷区神戸町134 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).
- (74) 代理人: 稲本 義雄, 外 (INAMOTO Yoshio et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP ELEMENT AND CAMERA SYSTEM

(54) 発明の名称: 固体撮像素子およびカメラシステム

[図3]



110A Pixel  
120 Vertical scanning circuit  
130 Timing control circuit  
141-0 to 141-5 A/D conversion  
142-0 to 142-5 Memory  
143-0 to 143-5 Memory  
150 Reference voltage generating circuit  
170 Digital signal processing  
161-0 Selector  
AA Reference voltage for A/D conversion  
BB Memory

(57) Abstract: The present technology relates to a solid-state image pickup element and a camera system, wherein A/D converted digital array data can be transmitted to a subsequent-stage signal processing circuit without using sensing-amplifiers, and during which increase in power consumption and decrease in data rate are inhibited. A pixel signal reading unit comprises retaining units for retaining digital signals output by A/D converter units, and a plurality of bus wiring for outputting the digital data retained by the retaining units to a transmission unit. The transmission unit shares a plurality of the abovementioned bus wiring as a group, and selects and transmits digital signals in group units.

(57) 要約: 本技術は、A/D変換後のデジタル配列データを、センサアンプ回路を用いることなく、消費電力の増大、データレートの低下を抑止しつつ、後段の信号処理回路に伝送することが可能な固体撮像素子およびカメラシステムに関する。画素信号読み出し部は、A/D変換部によるデジタル信号を保持する保持部と、保持部に保持されたデジタルデータを伝送部に出力するためのバス配線と、を含み、伝送部は、規模で複数の上記バス配線を一つのグループとして共有し、グループ単位でデジタル信号を選択して伝送する。

WO 2013/061853 A1

**WO 2013/061853 A1**



---

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称： 固体撮像素子およびカメラシステム

### 技術分野

[0001] 本技術は、CMOS (Complimentary Metal Oxide Semiconductor) イメージセンサに代表される固体撮像素子、およびカメラシステムに関するものである。

### 背景技術

[0002] これに対して、CMOS イメージセンサは画素毎にFD (Floating Diffusion) アンプを持ち合わせており、その出力は、画素アレイの中のある一行を選択し、それらを同時に列方向へと読み出すような列並列出力型が主流である。

これは、画素内に配置されたFDアンプでは十分な駆動能力を得ることは難しく、したがってデータレートを下げることが必要で、並列処理が有利とされているからである。

[0003] また、列並列出力型CMOS イメージセンサの画素信号読み出し（出力）回路については実に様々なものが提案されている。その最も進んだ形態のひとつが列（カラム）毎にアナログ-デジタル変換装置（以下、ADC (Analog digital converter) と略す）を備え、デジタル信号として画素信号を取り出すタイプである。

[0004] すなわち、CMOS イメージセンサにおいて画素信号を高速に読み出す手段として、2次元状に配置された画素の出力信号線を列毎に共有し、それ毎に読み出し回路を設け、かつ、同時に駆動することで大規模な並列処理を行う方法がある。

ここで、各列の読み出し回路でアナログ-デジタル（AD）変換まで行い、後段のデジタル信号処理回路に高速にデジタル信号を伝送するシステムにおいては、その大規模配列のデジタル出力信号を高速に伝送する手段が必要となる。

その一般的な手段として、スイッチを介して出力信号線を共有し、センスアンプ回路で読み出す方法がある。

この技術では、読み出したい出力のスイッチのみをオンし、それ以外をオフにする排他制御で信号を読み出すという方式で、スイッチを高速に順次制御して、各列のデータを順次読み出す。

この種の列並列ADC搭載CMOSイメージセンサの具体的な構成例について説明する（たとえば特許文献1や非特許文献1参照）。

[0005] 図1は、データ転送系にセンスアンプを用いた列並列ADC搭載CMOSイメージセンサの構成例を示すブロック図である。

[0006] この固体撮像素子10は、撮像部としての画素アレイ部11、垂直走査回路12、水平走査回路13、タイミング制御回路14、カラムADC群15、参照電圧発生回路16、センスアンプ回路（S/A）17、およびデジタル信号処理回路18を有する。

[0007] 画素アレイ部11は、フォトダイオードと画素内アンプとを含む単位画素11Aがマトリクス状（行列状）に配置されて構成される。固体撮像素子10においては、画素アレイ部11の信号を順次読み出すための制御回路として、内部クロックを生成するタイミング制御回路14、行アドレスや行走査を制御する垂直走査回路12、列アドレスや列走査を制御する水平列走査回路13が配置される。

[0008] カラムADC群15は、各カラムの出力信号線19毎に配置されたAD変換部15-1、メモリ15-2、およびスイッチ15-3を含んで構成されている。

AD変換部15-1は、参照電圧発生回路16により生成される参照電圧を階段状に変化させたランプ波形RAMPと、単位画素11Aから信号線19を経由し得られるアナログ信号とを比較する画素配列の各列に対応して設けられた比較器を含む。

さらに、AD変換部15-1は、比較器の出力およびクロックを受けてアップダウンカウンタ（またはダウンカウンタ）を行いカウンタ値を保持する

機能を有する非同期アップ／ダウンカウンタ（以下、カウンタという）を有する。

A/D変換部15-1のカウンタの出力はメモリ15-2に保持され、メモリ15-2の出力はスイッチ15-3を介して対応するデータ転送線20に接続されている。

データ転送線20には、データ転送線20に対応したセンスアンプ回路17が接続され、センスアンプ回路17の出力にデジタル信号処理回路18が配置される。

[0009] A/D変換部15-1の保持回路としての機能を有するカウンタは、初期時にはたとえばアップカウント（またはダウンカウント）状態に有り、リセットカウントを行い、対応する比較器の出力が反転すると、アップカウント動作を停止し、カウント値が保持される。

このとき、カウンタの初期値は、A/D変換の階調の任意の値、たとえば、0とする。このリセットカウント期間は、単位画素11Aのリセット成分 $\Delta V$ を読み出している。

カウンタは、その後、ダウンカウント（またはアップカウント）状態となり、入射光量に対応したデータカウントを行い、対応する比較器の出力が反転すると、比較期間に応じたカウント値がメモリ15-2に保持される。

メモリ15-2に保持されたカウンタ値は、水平走査回路13により走査され、デジタル信号として、データ転送線20、センスアンプ回路17を経てデジタル信号処理回路18に入力される。

[0010] 水平走査回路13は、たとえばスタートパルスおよびマスタクロックが供給されることで活性化され、マスタクロックに応じた駆動クロックに同期して対応するスイッチ15-3を駆動して、メモリ15-2のラッチデータをデータ転送線20に読み出させる。

[0011] このような構成を有する固体撮像素子10においては、1水平単位期間（1H）内で以下の処理が行われる。

すなわち、1H内において、任意の行の単位画素11Aから信号線19へ

の 1 回目の読み出しを P 相読み出し P R、比較器における 1 回目の比較を P 相比較 P C とする。そして、2 回目の読み出しを D 相読み出し D R、比較器における比較を D 相比較 D C、D 相の処理後の後処理を D 相後処理 D A P として、各動作が連続的に行われる。

[0012] これらの P 相読み出し P R、P 相比較 P C、D 相読み出し D R、D 相比較 D C、および D 相後処理 D A P のタイミング制御はタイミング制御回路 1 4 において行われる。

## 先行技術文献

### 特許文献

[0013] 特許文献1：特開 2 0 0 5 - 2 7 8 1 3 5 号公報

### 非特許文献

[0014] 非特許文献1：W. Yang等 (W. Yang et. Al., “An Integrated 800x600 CMOS Image System,” ISSCC Digest of Technical Papers, pp. 304-305, Feb. , 1999)

## 発明の概要

### 発明が解決しようとする課題

[0015] ところで、半導体プロセスの微細加工技術の進歩に伴い、CMOS トランジスタは、より小型化され、高速かつ低消費電力で動作させるべく電源電圧はより低電圧化されてきている。

[0016] しかし、オフリーク等の問題もあり、トランジスタの閾値電圧自体は下がっておらず、電源電圧が低くなるにつれて、センスアンプなどのアナログ回路の動作電圧マージンは少なくなっている問題がある。

[0017] また、複雑なランダムアクセスを必要せず、順番どおりに順次アクセスするだけでよい場合、図 2 に示すような、各列のデジタル出力信号をシフトレジスタ 2 1 で伝播する方法も考えられる。

しかし、これには全列の大多数のシフトレジスタ用フリップフロップ回路 (F F) 1 5 - 4 に、高速なクロック信号を与えなければならず、非常に消

費電流が大きくなってしまいう問題がある。

[0018] 本技術は、A/D変換後のデジタル配列データを、センスアンプ回路を用いることなく、消費電力の増大、データレートの低下を抑止しつつ、後段の信号処理回路に伝送することが可能な固体撮像素子およびカメラシステムを提供することにある。

### 課題を解決するための手段

[0019] 本技術の第1の観点の固体撮像素子は、光電変換を行う複数の画素が行列状に配列された画素アレイ部と、上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラムA/D変換部を含み、デジタル信号を出力する画素信号読み出し部と、上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を有し、上記画素信号読み出し部は、上記A/D変換部によるデジタル信号を保持する保持部と、上記保持部に保持されたデジタルデータを上記伝送部に出力するためのバス配線と、を含み、上記伝送部は、複数の上記バス配線を一つのグループとして共有する。

[0020] また、本技術の第2の観点の固体撮像素子は、光電変換を行う複数の画素が行列状に配列された画素アレイ部と、上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラムA/D変換部を含み、デジタル信号を出力する画素信号読み出し部と、上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を有し、上記画素信号読み出し部は、カラム毎に配置され、上記A/D変換部によるデジタル信号を保持する複数の保持部を含み、全体のカラムより小さい規模で複数の上記保持部を一つのグループとし、上記グループを複数単位でまとめて複数のサブグループを形成し、当該複数のサブグループをまとめて少なくとも一つのメイングループを形成し、上記グループ毎に、各カラムの上記保持部に保持されたデジタル信号を選択的に上記伝送部に伝送するバス配線がそれぞれ配置され、上記伝送部は、上記サブグループ単位で複数の上記バス配線を共有する。

[0021] 本技術の第3の観点のカメラシステムは、固体撮像素子と、上記固体撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、光電変換を行う複数の画素が行列状に配列された画素アレイ部と、上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラムAD変換部を含み、デジタル信号を出力する画素信号読み出し部と、上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を含み、上記画素信号読み出し部は、上記AD変換部によるデジタル信号を保持する保持部と、上記保持部に保持されたデジタルデータを上記伝送部に出力するためのバス配線と、を含み、上記伝送部は、複数の上記バス配線を一つのグループとして共有する。

[0022] 本技術の第4の観点のカメラシステムは、固体撮像素子と、上記固体撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラムAD変換部を含み、デジタル信号を出力する画素信号読み出し部と、上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を含み、上記画素信号読み出し部は、カラム毎に配置され、上記AD変換部によるデジタル信号を保持する複数の保持部を含み、全体のカラムより小さい規模で複数の上記保持部を一つのグループとし、上記グループを複数単位でまとめて複数のサブグループを形成し、当該複数のサブグループをまとめて少なくとも一つのメイングループを形成し、上記グループ毎に、各カラムの上記保持部に保持されたデジタル信号を選択的に上記伝送部に伝送するバス配線がそれぞれ配置され、上記伝送部は、上記サブグループ単位で複数の上記バス配線を共有する。

## 発明の効果

[0023] 本技術によれば、AD変換後のデジタル配列データを、センスアンプ回路を用いることなく、消費電力の増大、データレートの低下を抑止しつつ、後段の信号処理回路に伝送することができる。

## 図面の簡単な説明

[0024] [図1]データ転送系にセンスアンプを用いた列並列ADC搭載CMOSイメージセンサの構成例を示すブロック図である。

[図2]データ転送系にセンスアンプの代わりにシフトレジスタを用いた列並列ADC搭載CMOSイメージセンサの構成例を示すブロック図である。

[図3]本実施形態に係る列並列ADC搭載CMOSイメージセンサ（固体撮像素子）の第1の構成例を示す図である。

[図4]図3のCMOSイメージセンサ（固体撮像素子）における伝送回路の動作概要を示す図である。

[図5]本実施形態に係る列並列ADC搭載CMOSイメージセンサ（固体撮像素子）の第2の構成例を示す図である。

[図6]図5のCMOSイメージセンサ（固体撮像素子）における伝送回路の動作概要を示す図である。

[図7]本実施形態に係るCMOSイメージセンサ（固体撮像素子）の積層構造の一例を示す図である。

[図8]本実施形態に係るCMOSイメージセンサ（固体撮像素子）の積層される2つのチップの回路配置例を示す図である。

[図9]比較例として図1の回路を一つのチップに全て配置した回路配置例を示す図である。

[図10]本技術の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

## 発明を実施するための形態

[0025] 以下、本技術の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 固体撮像素子の第1の構成例
2. 固体撮像素子の第2の構成例
3. 固体撮像素子の積層構造
4. カメラシステムの構成例

[0026] < 1. 固体撮像素子の第 1 の構成例 >

図 3 は、本実施形態に係る列並列 A D C 搭載 C M O S イメージセンサ（固体撮像素子）の第 1 の構成例を示す図である。

[0027] この C M O S イメージセンサ（固体撮像素子）1 0 0 は、画素アレイ部 1 1 0、垂直走査回路 1 2 0、タイミング制御回路 1 3 0、カラム A D C 群 1 4 0、参照電圧発生回路 1 5 0、伝送回路 1 6 0、およびデジタル信号処理回路 1 7 0 を有する。

垂直走査回路 1 2 0、タイミング制御回路 1 3 0、カラム A D C 群 1 4 0、参照電圧発生回路 1 5 0、およびデジタル信号処理回路 1 7 0 により画素信号読み出し部が形成される。

[0028] 画素アレイ部 1 1 0 は、光電変換素子（フォトダイオード）と画素内アンプとを含む単位画素 1 1 0 A がマトリクス状（行列状）に配置されて構成される。

画素アレイ部 1 1 0 からは複数の画素単位で出力信号線 L S G N に画素信号 V S L の読み出しが行われる。

C M O S イメージセンサ 1 0 0 においては、画素アレイ部 1 1 0 の信号を順次読み出すための制御回路として次の回路が配置されている。

すなわち、内部クロックを生成するタイミング制御回路 1 3 0、行アドレスや行走査を制御する垂直走査回路 1 2 0、列アドレスや列走査を制御するデジタル処理回路 1 7 0 が配置される。

[0029] カラム A D C 群 1 4 0 は、各カラムの出力信号線 L S G N 毎に配置された A D 変換部 1 4 1（ $-0 \sim -N$ ）、保持部としてのメモリ 1 4 2（ $-0 \sim -N$ ）、およびバス配線 1 4 3（ $-0 \sim -N$ ）を含んで構成されている。

カラム毎に配置されるメモリ 1 4 2（ $-0 \sim -N$ ）は、A D 変換部 1 4 1 の分解能（8 ビット～16 ビット程度）のビット数に相当する数のメモリを含む。

そして、カラム毎に配置されたバス配線 1 4 3 は、分解能に応じた数の全てのメモリに保持されたデジタル信号を伝送回路 1 6 0 に伝送する。

[0030] AD変換部141は、上記したように、分解能が8ビット～16ビット程度のAD変換機能をもって構成される。

AD変換部141は、参照電圧発生回路150により生成される参照電圧を階段状に変化させたランプ波形RAMPと単位画素110Aから信号線LSGNを経由し得られるアナログ信号とを比較する画素配列の各列に対応して設けられた比較器を含む。

さらに、AD変換部141は、比較器の出力およびクロックを受けてアップダウンカウンタ（またはダウンカウンタ）を行いカウンタ値を保持する機能を有する非同期アップ／ダウンカウンタ（以下、カウンタという）を有する。

AD変換部141のカウンタの出力はメモリ142に保持され、分解能に応じた数の全てのメモリ142の出力はバス配線143（ $-0 \sim -N$ ）を介して伝送回路160に伝送される。

[0031] AD変換部141のカウンタは、初期時にはたとえばアップカウンタ（またはダウンカウンタ）状態に有り、リセットカウンタを行い、対応する比較器の出力が反転すると、アップカウンタ動作を停止し、カウンタ値が保持される。

このとき、カウンタの初期値は、AD変換の階調の任意の値、たとえば、0とする。このリセットカウンタ期間は、単位画素110Aのリセット成分 $\Delta V$ を読み出している。

カウンタは、その後、ダウンカウンタ（またはアップカウンタ）状態となり、入射光量に対応したデータカウンタを行い、対応する比較器の出力が反転すると、比較期間に応じたカウンタ値がメモリ142に保持される。

メモリ142に保持されたカウンタ値は、バス配線143を介して伝送回路160に伝送される。

[0032] このような構成を有するCMOSイメージセンサ100においては、1水平単位期間（1H）内で以下の処理が行われる。

すなわち、1H内において、任意の行の単位画素110Aから信号線LS

G Nへの1回目の読み出しをP相読み出しP R、比較器における1回目の比較をP相比較P Cとする。そして、2回目の読み出しをD相読み出しD R、比較器における比較をD相比較D C、D相の処理後の後処理をD相後処理D A Pとして、各動作が連続的に行われる。

これらのP相読み出しP R、P相比較P C、D相読み出しD R、D相比較D C、およびD相後処理D A Pのタイミング制御はタイミング制御回路1 3 0において行われる。

[0033] 伝送回路1 6 0は、全体のカラムNより小さい規模で複数のバス配線（カラム）1 4 3を一つのグループとして周期的に共有し、グループG R P単位でデジタル信号を選択してデジタル信号処理回路1 7 0に伝送する。

図3の例では、カラムC L M 0のバス配線1 4 0-0とカラムC L M 1のバス配線1 4 3-1をグループG R P 0としている。

カラムC L M 2のバス配線1 4 0-2とカラムC L M 3のバス配線1 4 3-3をグループG R P 1としている。

カラムC L M 4のバス配線1 4 0-4とカラムC L M 5のバス配線1 4 3-5をグループG R P 2としている。

なお、図3の例では、2カラムを一つのグループとしているが、3またはそれ以上のカラムを一つのグループとすることも可能である。

[0034] 伝送回路1 6 0は、グループG R P 0毎に対応して配置され、選択信号S（-0, -1, ... -N/2）に応じて、グループG R Pの複数のバス配線のデジタル信号を個別に独立して選択する複数の第1のセクタ1 6 1（-0, -1, ... -N/2）を有する。

伝送回路1 6 0は、選択信号S Aに応じて複数の第1のセクタ1 6 1で選択された複数のデジタル信号を選択してデジタル信号処理回路に出力する第2のセクタ1 6 2を有する。

さらに、伝送回路1 6 0は、各第1のセクタ1 6 1（-0, -1, ... -N/2）の出力をクロックC K（-0, -1, ... -N/2）に再同期させて第2のセクタ1 6 2に出力する複数の再同期回路1 6 3（-0,

− 1, . . . − N / 2) を含む。

再同期回路 163 は、フリップフロップ FF により構成されている。

[0035] なお、各第 1 のセクタ 161 および第 1 のセクタ 161 に対応する再同期回路 163 は、選択信号 S (− 0, − 1, . . . − N / 2) およびクロック CK (− 0, − 1, . . . − N / 2) により個別に駆動制御される。

[0036] 以上のように、本実施形態に係る CMOS イメージセンサ 100 は、センサアンプなどのアナログ信号処理回路は用いず、いわゆる CMOS ロジック回路のみで構成されている。

各列（カラム）の出力をある程度の数の単位でグループ GRP として第 1 のセクタ 161 を介してまとめる。その第 1 のセクタ 161 の出力を、同様にある程度の数の単位で、次段の第 2 のセクタ 162 を介してまとめる。

このようにピラミッド状にセクタをつみあげ最終的に 1 系統ないしデジタル信号処理回路 170 の信号処理系統の数まで信号線を集約する。

[0037] セットアップタイムマージンが不足する場合、第 1 のセクタ 161 の出力部で適宜再同期用のフリップフロップ回路 FF により構成される再同期回路 163 を挿入させる。

これにより、必要とされる読み出し速度に応じてセクタの入力数と段数、および、再同期回路 163 を調整し、再同期回路 163 の数が最小限にする。

ここでセクタ制御回路および再同期回路は、読み出したい列の出力がつながる系列の回路のみ駆動させればよい。

たとえば、クロックイネーブラーを多数用いて、クロックを分岐制御し、それを実現する。これにより、消費電力の増大化を抑える。

[0038] 図 4 の (A) ~ (G) は、図 3 の CMOS イメージセンサ（固体撮像素子）における伝送回路の動作概要を示す図である。

図 4 の (A) は第 2 のセクタ 162 の選択信号 SA で選択するグループ出力を、図 4 の (B) は第 1 のセクタ 161 − 0 の選択信号 S0 を、図 4

の (C) は第 1 のセクタ 1 6 1 - 0 の出力部に配置された再同期回路 1 6 3 - 0 へのクロック C K 0 を示している。

図 4 の (D) は第 1 のセクタ 1 6 1 - 1 の選択信号 S 1、図 4 の (E) は第 1 のセクタ 1 6 1 - 1 の出力部に配置された再同期回路 1 6 3 - 1 へのクロック C K 1 を示している。

図 4 の (F) は第 1 のセクタ 1 6 1 - 2 の選択信号 S 2、図 4 の (G) は第 1 のセクタ 1 6 1 - 2 の出力部に配置された再同期回路 1 6 3 - 2 へのクロック C K 2 を示している。

[0039] たとえば、カラム (列)  $n \sim$  カラム (列)  $n + a$  までのデータにアクセスする場合は、まず第 1 のセクタ 1 6 1 の選択信号 S および再同期回路 1 6 3 のクロックをアクティブにする。選択信号 S を順次制御する。

ここで、 $a$  は初段の第 1 のセクタ 1 6 1 に入る入力数で、図 3 および図 4 は  $a = 2$  とした例である。

次いで、カラム (列)  $n + a + 1 \sim$  カラム (列)  $n + 2 a$  までのデータにアクセスするときは、前の系統のクロックは停止し、アクセスする系統回路のクロックをアクティブにする。

[0040] 後段のセクタのクロックも同様に、データ処理を行っている期間のみ駆動させる。

また、初段の第 1 のセクタ 1 6 1 の同時にアクティブにする数を増やすことで、データレートを落としてタイミングマージンをかせぐことも可能となる。換言すれば、データレート向上に目的で同時アクセス数を増やすという用途にも使える。

[0041] < 2. 固体撮像素子の第 2 の構成例 >

図 5 は、本実施形態に係る列並列 A D C 搭載 C M O S イメージセンサ (固体撮像素子) の第 2 の構成例を示す図である。

[0042] 図 5 の C M O S イメージセンサ 1 0 0 A が異なる点は、カラムグループの形成とそれに対応する伝送回路 1 6 0 A の構成にある。

[0043] 図 3 の C M O S イメージセンサ 1 0 0 の回路では、各カラム (列) の読み

出し回路から出力されるデジタルデータは、A D変換部141の分解能(8～16bit程度)分のビット数がある。

このため、各カラム(列)でそのビット数分の出力信号配線が必要となるが、各列の回路幅の制約(CMOSイメージセンサでは主に画素のサイズによって決まる)から、それだけの数の配線を配置することが困難であるという物理的な問題が生じるおそれがある。

図5に、この問題を解決する回路が示されている。

なお、図5においては、図3と異なる回路部分が詳細に示されている。

[0044] 図5のCMOSイメージセンサ100Aにおいては、全体のカラムより小さい規模で複数のカラムのメモリ(保持部)142を一つのグループGRPとする。

各カラムにおいては、図3の場合と同様に、A D変換部141の分解能分のビット数に相当する数のメモリ142を含んで構成されている。

そして、CMOSイメージセンサ100Aでは、グループGRPを複数単位でまとめて複数のサブグループSGRPを形成し、複数のサブグループSGRPをまとめて少なくとも一つのメイングループMGRPを形成する。

[0045] 図5の例では、4つのカラムのメモリ(保持部)142を一つのグループとしている。

具体的には、カラムCLM0～CLM3をグループGRP10として、カラムCLM4～CLM7をグループGRP11としている。

さらに、カラムCLM8～CLM11をグループGRP12とし、カラムCLM12～CLM15をグループGRP13としている。

カラムCLM16～CLM19をグループGRP14とし、カラムCLM20～CLM23をグループGRP15とし、カラムCLM24～CLM27をグループGRP16とし、カラムCLM28～CLM31をグループGRP17としている。

[0046] 図5の例では、4つのグループGRP10～GRP13により第1のサブグループSGRP10が形成され、4つのグループGRP14～GRP17

により第2のサブグループSGRP11が形成されている。

そして、第1のサブグループSGRP10と第2のサブグループSGRP11によりメイングループMGRP10が形成されている。

図示していないが、他のカラムからなるメイングループMGRP11・・・もメイングループGRP10と同様に構成される。

[0047] CMOSイメージセンサ100Aにおいては、グループGRP10～GRP17毎に、各カラムの複数のメモリ142に保持されたデジタル信号を選択的に伝送回路160Aに伝送するバス配線143-10～17がそれぞれ配置されている。

バス配線143-10～17は、各グループGRP10～GRP17内のカラム毎に全てのメモリ142に保持されたデジタル信号を伝送回路160Aに伝送する。

伝送回路160Aは、サブグループSGRP10、SGRP11単位で複数のバス配線を周期的に共有し、サブグループ単位でデジタル信号を選択してデジタル信号処理回路170Aに伝送する。

[0048] 各グループGRP10～GRP17の各カラムCLM10～CLM31の複数のメモリ142は選択信号S0～S3、S4～S7でオンオフされるスイッチ144を介してバス配線143-10～143-17に接続される。

第1のサブグループSGRP10においては、デジタル信号処理回路170Aからの選択信号SがFFからなりクロックCK10に同期する同期回路164-10でラッチされた選択信号S0～S3が供給される。

第2のサブグループSGRP11においては、デジタル信号処理回路170Aからの選択信号SがFFからなりクロックCK11に同期する同期回路164-11でラッチされた選択信号S4～S7が供給される。

[0049] 第1のサブグループSGRP10では、選択信号S0によりグループGRP10のカラムCLM0、グループGRP11のカラムCLM4、グループGRP12のカラムCLM8、グループGRP13のカラムCLM12のメモリスイッチ144が選択される。

そして、カラムCLM0のメモリ142のデータがバス配線143-10に転送され、カラムCLM4のメモリ142のデータがバス配線143-11に転送される。同様に、カラムCLM8のメモリ142のデータがバス配線143-12に転送され、カラムCLM12のメモリ142のデータがバス配線143-13に転送される。

[0050] 第1のサブグループSGRP10では、選択信号S1によりグループGRP10のカラムCLM1、グループGRP11のカラムCLM5、グループGRP12のカラムCLM9、グループGRP13のカラムCLM13のメモリスイッチ144が選択される。

そして、カラムCLM1のメモリ142のデータがバス配線143-10に転送され、カラムCLM5のメモリ142のデータがバス配線143-11に転送される。同様に、カラムCLM9のメモリ142のデータがバス配線143-12に転送され、カラムCLM13のメモリ142のデータがバス配線143-13に転送される。

[0051] 第1のサブグループSGRP10では、選択信号S2によりグループGRP10のカラムCLM2、グループGRP11のカラムCLM6、グループGRP12のカラムCLM10、グループGRP13のカラムCLM14のメモリスイッチ144が選択される。

そして、カラムCLM2のメモリ142のデータがバス配線143-10に転送され、カラムCLM6のメモリ142のデータがバス配線143-11に転送される。同様に、カラムCLM10のメモリ142のデータがバス配線143-12に転送され、カラムCLM14のメモリ142のデータがバス配線143-13に転送される。

[0052] 第1のサブグループSGRP10では、選択信号S3によりグループGRP10のカラムCLM3、グループGRP11のカラムCLM7、グループGRP12のカラムCLM11、グループGRP13のカラムCLM15のメモリスイッチ144が選択される。

そして、カラムCLM3のメモリ142のデータがバス配線143-10

に転送され、カラムCLM7のメモリ142のデータがバス配線143-11に転送される。同様に、カラムCLM11のメモリ142のデータがバス配線143-12に転送され、カラムCLM15のメモリ142のデータがバス配線143-13に転送される。

[0053] 第2のサブグループSGRP11では、選択信号S4によりグループGRP14のカラムCLM16、グループGRP15のカラムCLM20、グループGRP16のカラムCLM24、グループGRP17のカラムCLM28のメモリスイッチ144が選択される。

そして、カラムCLM16のメモリ142のデータがバス配線143-14に転送され、カラムCLM20のメモリ142のデータがバス配線143-15に転送される。同様に、カラムCLM24のメモリ142のデータがバス配線143-16に転送され、カラムCLM28のメモリ142のデータがバス配線143-17に転送される。

[0054] 第2のサブグループSGRP11では、選択信号S5によりグループGRP14のカラムCLM17、グループGRP15のカラムCLM21、グループGRP16のカラムCLM25、グループGRP17のカラムCLM29のメモリスイッチ144が選択される。

そして、カラムCLM17のメモリ142のデータがバス配線143-14に転送され、カラムCLM21のメモリ142のデータがバス配線143-15に転送される。同様に、カラムCLM25のメモリ142のデータがバス配線143-16に転送され、カラムCLM29のメモリ142のデータがバス配線143-17に転送される。

[0055] 第2のサブグループSGRP11では、選択信号S6によりグループGRP14のカラムCLM18、グループGRP15のカラムCLM22、グループGRP16のカラムCLM26、グループGRP17のカラムCLM30のメモリスイッチ144が選択される。

そして、カラムCLM18のメモリ142のデータがバス配線143-14に転送され、カラムCLM22のメモリ142のデータがバス配線143

ー 1 5 に転送される。同様に、カラム C L M 2 6 のメモリ 1 4 2 のデータがバス配線 1 4 3 - 1 6 に転送され、カラム C L M 3 0 のメモリ 1 4 2 のデータがバス配線 1 4 3 - 1 7 に転送される。

[0056] 第 2 のサブグループ S G R P 1 1 では、選択信号 S 7 によりグループ G R P 1 4 のカラム C L M 1 9、グループ G R P 1 5 のカラム C L M 2 3、グループ G R P 1 6 のカラム C L M 2 7、グループ G R P 1 7 のカラム C L M 3 1 のメモリスイッチ 1 4 4 が選択される。

そして、カラム C L M 1 9 のメモリ 1 4 2 のデータがバス配線 1 4 3 - 1 4 に転送され、カラム C L M 2 3 のメモリ 1 4 2 のデータがバス配線 1 4 3 - 1 5 に転送される。同様に、カラム C L M 2 7 のメモリ 1 4 2 のデータがバス配線 1 4 3 - 1 6 に転送され、カラム C L M 3 1 のメモリ 1 4 2 のデータがバス配線 1 4 3 - 1 7 に転送される。

[0057] 伝送回路 1 6 0 A は、サブグループ S G R P 1 0、S G R P 1 1 毎に対応して配置され、サブグループ S G R P 1 0、S G R P 1 1 の複数のバス配線のデジタル信号を選択する複数の第 1 のセクタ 1 6 1 - 1 0、1 6 0 - 1 1 を有する。

第 1 のセクタ 1 6 1 - 1 0 には、第 1 のサブグループ S G R P 1 0 のバス配線 1 4 3 - 1 0 ~ 1 3 が接続されている。

第 2 のセクタ 1 6 1 - 1 1 には、第 2 のサブグループ S G R P 1 1 のバス配線 1 4 3 - 1 4 ~ 1 7 が接続されている。

[0058] 伝送回路 1 6 0 A は、複数の第 1 のセクタ 1 6 1 - 1 0、1 6 1 - 1 1 で選択された複数のデジタル信号を選択してデジタル信号処理回路 1 7 0 A に出力する第 2 のセクタ 1 6 2 A を有する。

そして、伝送回路 1 6 0 A は、複数の第 1 のセクタ 1 6 0 - 1 0、1 6 1 - 1 1 の出力をクロック C K 1 0 に再同期させて第 2 のセクタ 1 6 2 A に出力する複数の再同期回路を 1 6 3 - 1 0、1 6 3 - 1 1 を含む。

[0059] 第 1 のセクタ 1 6 1 - 1 0 で選択されたデジタル信号は再同期回路 1 6 3 - 1 0 で再同期処理され、第 2 のセクタ 1 6 2 A の第 1 のバス B S 1 0

、第1のセクタSL10を介してデジタル信号処理回路170Aに伝送される。

第1のセクタ161-11で選択されたデジタル信号は再同期回路163-11で再同期処理され、第2のセクタ162Aの第2のバスBS11、第2のセクタSL11を介してデジタル信号処理回路170Aに伝送される。

[0060] なお、各第1のセクタ161および第1のセクタ161に対応する再同期回路163は、選択信号SおよびクロックCKにより個別に駆動制御される。

[0061] また、CMOSイメージセンサ100Aにおいては、各バス配線143-10~17は、読み出しが完了した後も対応するグループGRP10~GRP17内のいずれかのカラムのメモリの保持データで信号が確定した状態に保持される。

これにより、各バス配線143-10~17がフォローティングとなりハイインピーダンスHiZになることを防止し、不定な情報の出力を防止している。

[0062] CMOSイメージセンサ100Aのデジタル信号処理回路170Aは、メイングループMGRP単位で、読み出されたデジタル信号を並べ替える並べ替え部171を含んで構成される。

[0063] 以上のように、図5のCMOSイメージセンサ100Aでは、各カラム（列）の出力信号出力するバス配線143を各ビットそれぞれ、スイッチ144を介して複数カラムで共有し、出力配線数を共有カラム（列）数分の1に減少させる。

[0064] 図6は、図5のCMOSイメージセンサ（固体撮像素子）における伝送回路の動作概要を示す図である。

[0065] 図5のCMOSイメージセンサ100Aは、上述したように、共有カラム（列）数を4、同時アクセス数8とした場合の例である。

アクセス列を制御するスキャン回路を、その出力バス配線143を共有す

るカラム（列）単位のグループGRPで設け、その共有内の各カラムのデータを、順次アクセスする。

ここで共有する数は小規模であり負荷も小さいため、全カラム（列）で共有して読み出すときに用いたセンスアンプ回路は必要とせず、ロジック回路で直接信号出力は可能である。

また、先に述べたように、同時にアクセスする回路を増やすことでシステム全体のデータレートを落とさず、この共有配線部のデータレートを落とすことができるため、タイミングマージンの問題は解消可能である。

[0066] ここで、前述のとおり、複数カラムを同時にアクセスする場合は、最終的に集約されたデータの出力順は、カラム（列）の番号順とは異なるものとなる。

このため、カラム（列）番順に処理する必要がある場合は、後段のデジタル信号処理回路170でデータの並べ替えが必要となる。

並べ替えのために、「共有列数」×「同時アクセス数」のメモリが必要となる。

[0067] <3. 固体撮像素子の積層構造>

図7は、本実施形態に係る固体撮像素子の積層構造の一例を示す図である。

[0068] 図3に示すCMOSイメージセンサ（固体撮像素子）200は、第1チップ（上チップ）210と第2チップ（下チップ）220の積層構造を有する。

積層される第1チップ210と第2チップ220は、第1チップ210に形成されたビア（TCV）により電氣的に接続される。

このCMOSイメージセンサ（固体撮像素子）200は、ウェハレベルで貼り合わせ後、ダイシングで切り出した積層構造の半導体装置として形成される。

[0069] 図8は、本実施形態に係るCMOSイメージセンサ（固体撮像素子）の積層される2つのチップの回路配置例を示す図である。

図9は、比較例として図1の回路を一つのチップに全て配置した回路配置例を示す図である。

[0070] 上下2チップの積層構造において、第1チップ210はアイレ状に複数の画素を含む画素アレイ部110および垂直(V)走査回路120が配置されたアナログチップ(センサチップ)で構成される。

第2チップ120は第1チップ210からTCV(Through Contact VIA)を介して転送されるアナログ信号をAD変換するカラムADC140およびデジタル信号処理回路(ロジック回路)170を含むロジックチップ(デジタルチップ)で構成される。

ボンディングパッドBPDおよび入出力回路は第2チップ220に形成されており、第1チップ210には、第2チップ220にワイヤーボンドするための開口部OPNが形成されている。

第1チップ210と第2チップ220間の電氣的接続は、たとえばビア(TCV)を通して行われる。TCV(ビア)の配置位置はチップ端、もしくはパッド(PAD)と回路領域の間とする。

たとえば、制御信号ならびに電力供給用TCVは主にチップ角部の4箇所集中し、第1チップ210の信号配線領域を削減することができる。

第1チップ210の配線層数削減により、電源線抵抗が増加し、 $IR\text{-}Drop$ が増大する課題に対し、TCVを有効に配置することで、第2チップ220の配線を用いて第1チップ210の電源のノイズ対策や安定供給等のための強化を行うことが可能である。

[0071] このように図7および図8の積層型のCMOSイメージセンサ200では、図9の比較例と異なり、カラムADC群140(A)の各カラム回路とデジタル信号処理回路170(A)を隣接接続してもチップサイズに直接影響しないという利点がある。

[0072] 以上説明したように、本実施形態によれば、センスアンプ等のアナログ回路を必要としない。そして、本実施形態によれば、CMOSロジック回路のみで、低消費電力駆動、高速データレート対応、および、配線領域の物理的

な制約の問題を解消しつつ、大規模なデジタル配列データ信号を後段のデジタル信号処理回路へ伝送可能とする。

また、積層型として構成した場合、カラムADC群の各カラムとデジタル信号処理回路を隣接接続してもチップサイズに直接影響しないという利点がある。

[0073] このような効果を有する固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

[0074] <4. カメラシステムの構成例>

図10は、本技術の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

[0075] 本カメラシステム300は、図10に示すように、本実施形態に係るCMOSイメージセンサ（固体撮像素子）100、200が適用可能な撮像デバイス310を有する。

さらに、カメラシステム300は、この撮像デバイス310の画素領域に入射光を導く（被写体像を結像する）光学系、たとえば入射光（像光）を撮像面上に結像させるレンズ420を有する。

カメラシステム300は、撮像デバイス310を駆動する駆動回路(DRV)330と、撮像デバイス310の出力信号を処理する信号処理回路(PRC)340と、を有する。

[0076] 駆動回路330は、撮像デバイス310内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス310を駆動する。

[0077] また、信号処理回路340は、撮像デバイス310の出力信号に対して所定の信号処理を施す。

信号処理回路340で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路340で処理された画像信号を

液晶ディスプレイ等からなるモニターに動画として映し出される。

[0078] 上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス 310 として、先述した固体撮像素子 100, 200 を搭載することで、低消費電力で、高精度なカメラが実現できる。

[0079] なお、本技術は以下のような構成をとることができる。

(1) 光電変換を行う複数の画素が行列状に配列された画素アレイ部と、  
上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラム A/D 変換部を含み、デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、  
を有し、

上記画素信号読み出し部は、

上記 A/D 変換部によるデジタル信号を保持する保持部と、

上記保持部に保持されたデジタルデータを上記伝送部に出力するためのバス配線と、を含み、

上記伝送部は、

複数の上記バス配線を一つのグループとして共有する

固体撮像素子。

(2) 上記画素信号読み出し部の各保持部は、

上記 A/D 変換部の分解能分のビット数に相当する数のメモリを含み、  
上記バス配線は、

全てのメモリに保持されたデジタル信号を上記伝送部に伝送する

上記 (1) 記載の固体撮像素子。

(3) 上記伝送部は、

上記グループ毎に対応して配置され、当該グループの複数のバス配線のデジタル信号を選択する複数の第 1 のセレクトと、

上記複数の第 1 のセレクトで選択された複数のデジタル信号を選択して  
上記デジタル信号処理部に出力する第 2 のセレクトと、を含む

上記（１）または（２）記載の固体撮像素子。

（４）上記複数の第１のセレクタの出力をクロックに再同期させて上記第２のセレクタに出力する複数の再同期回路を含む

上記（３）記載の固体撮像素子。

（５）上記各第１のセレクタおよび当該第１のセレクタに対応する上記再同期回路は、個別に駆動制御される

上記（４）記載の固体撮像素子。

（６）上記画素信号読み出し部から出力され伝送されたデジタル信号を処理するデジタル信号処理部を有し、

上記伝送部は、

グループ単位でデジタル信号を選択して上記デジタル信号処理部に伝送する

上記（１）から（５）のいずれかーに記載の固体撮像素子。

（７）第１チップと、

第２チップと、を有し、

上記第１チップと上記第２チップは貼り合わされた積層構造を有し、

上記第１チップは、

少なくとも上記画素アレイ部が配置され、

上記第２チップは、

少なくとも上記画素信号読み出し部および上記デジタル信号処理部が配置され、

上記第１チップと上記第２チップ間の配線は、

上記第１チップに形成されたビアを通して接続される

上記（６）記載の固体撮像素子。

（８）光電変換を行う複数の画素が行列状に配列された画素アレイ部と、

上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラムＡＤ変換部を含み、デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を有し、

上記画素信号読み出し部は、

カラム毎に配置され、上記A/D変換部によるデジタル信号を保持する複数の保持部を含み、

全体のカラムより小さい規模で複数の上記保持部を一つのグループとし、上記グループを複数単位でまとめて複数のサブグループを形成し、当該複数のサブグループをまとめて少なくとも一つのメイングループを形成し、

上記グループ毎に、各カラムの上記保持部に保持されたデジタル信号を選択的に上記伝送部に伝送するバス配線がそれぞれ配置され、

上記伝送部は、

上記サブグループ単位で複数の上記バス配線を共有する固体撮像素子。

(9) 上記画素信号読み出し部は、

各保持部が、上記A/D変換部の分解能分のビット数に相当する数のメモリを含み、

各グループの各カラムの上記メモリのデータが選択信号に応じて対応する上記バス配線に転送し、

上記バス配線は、

各グループ内のカラム毎に全てのメモリに保持されたデジタル信号を上記伝送部に伝送する

上記(9)記載の固体撮像素子。

(10) 上記伝送部は、

上記サブグループ毎に対応して配置され、当該サブグループの複数のバス配線のデジタル信号を選択する複数の第1のセレクトと、

上記複数の第1のセレクトで選択された複数のデジタル信号を選択して上記デジタル信号処理部に出力する第2のセレクトと、を含む

上記(8)または(9)記載の固体撮像素子。

(11) 上記複数の第1のセレクトアの出力をクロックに再同期させて上記第2のセレクトアに出力する複数の再同期回路を含む

上記(10)記載の固体撮像素子。

(12) 上記各第1のセレクトアおよび当該第1のセレクトアに対応する上記再同期回路は、個別に駆動制御される

上記(11)記載の固体撮像素子。

(13) 上記各バス配線は、

対応するグループ内のいずれかのカラムの上記メモリの保持データで信号が確定した状態に保持される

上記(8)から(12)のいずれかに記載の固体撮像素子。

(14) 上記デジタル信号処理部は、

上記メイングループ単位で、読み出されたデジタル信号を並べ替える並べ替え部を含む

上記(8)から(13)のいずれかに記載の固体撮像素子。

(15) 上記画素信号読み出し部から出力され伝送されたデジタル信号を処理するデジタル信号処理部を有し、

上記伝送部は、

サブグループ単位でデジタル信号を選択して上記デジタル信号処理部に伝送する

上記(8)から(14)のいずれかに記載の固体撮像素子。

(16) 第1チップと、

第2チップと、を有し、

上記第1チップと上記第2チップは貼り合わされた積層構造を有し、

上記第1チップは、

少なくとも上記画素アレイ部が配置され、

上記第2チップは、

少なくとも上記画素信号読み出し部および上記デジタル信号処理部が配置され、

上記第 1 チップと上記第 2 チップ間の配線は、

上記第 1 チップに形成されたビアを通して接続される

上記 ( 8 ) から ( 1 5 ) のいずれかに記載の固体撮像素子。

( 1 7 ) 固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光電変換を行う複数の画素が行列状に配列された画素アレイ部と、

上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラム A D 変換部を含み、デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を含み、

上記画素信号読み出し部は、

上記 A D 変換部によるデジタル信号を保持する保持部と、

上記保持部に保持されたデジタルデータを上記伝送部に出力するためのバス配線と、を含み、

上記伝送部は、

複数の上記バス配線を一つのグループとして共有する

カメラシステム。

( 1 8 )

固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラム A D 変換部を含み、デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部

と、を含み、

上記画素信号読み出し部は、

カラム毎に配置され、上記A/D変換部によるデジタル信号を保持する複数の保持部を含み、

全体のカラムより小さい規模で複数の上記保持部を一つのグループとし、上記グループを複数単位でまとめて複数のサブグループを形成し、当該複数のサブグループをまとめて少なくとも一つのメイングループを形成し、

上記グループ毎に、各カラムの上記保持部に保持されたデジタル信号を選択的に上記伝送部に伝送するバス配線がそれぞれ配置され、

上記伝送部は、

上記サブグループ単位で複数の上記バス配線を共有する

カメラシステム。

## 符号の説明

[0080] 100・・・固体撮像装置（CMOSイメージセンサ）、110・・・画素アレイ部、110・・・行選択回路、130・・・タイミング制御回路、140・・・ADC群、141・・・A/D変換部、142・・・メモリ（保持部）、143・・・バス配線、150・・・参照電圧発生回路、160・・・伝送回路、161・・・第1のセレクタ、162・・・第2のセレクタ、163・・・再同期回路、170・・・デジタル信号処理回路、200・・・固体撮像素子、210・・・第1チップ（アナログチップ）、220・・・第2チップ（ロジックチップ、デジタルチップ）、300・・・カメラシステム、310・・・撮像デバイス、320・・・レンズ、330・・・駆動回路、340・・・信号処理回路。

## 請求の範囲

- [請求項1] 光電変換を行う複数の画素が行列状に配列された画素アレイ部と、  
上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、  
カラム毎にアナログデジタル変換を行うカラムA/D変換部を含み、  
デジタル信号を出力する画素信号読み出し部と、  
上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を有し、  
上記画素信号読み出し部は、  
上記A/D変換部によるデジタル信号を保持する保持部と、  
上記保持部に保持されたデジタルデータを上記伝送部に出力するためのバス配線と、を含み、  
上記伝送部は、  
複数の上記バス配線を一つのグループとして共有する  
固体撮像素子。
- [請求項2] 上記画素信号読み出し部の各保持部は、  
上記A/D変換部の分解能分のビット数に相当する数のメモリを含み、  
上記バス配線は、  
全てのメモリに保持されたデジタル信号を上記伝送部に伝送する  
請求項1記載の固体撮像素子。
- [請求項3] 上記伝送部は、  
上記グループ毎に対応して配置され、当該グループの複数のバス配線のデジタル信号を選択する複数の第1のセレクタと、  
上記複数の第1のセレクタで選択された複数のデジタル信号を選択して上記デジタル信号処理部に出力する第2のセレクタと、を含む  
請求項1記載の固体撮像素子。
- [請求項4] 上記複数の第1のセレクタの出力をクロックに再同期させて上記第2のセレクタに出力する複数の再同期回路を含む

請求項 3 記載の固体撮像素子。

[請求項5] 上記各第 1 のセレクトおよび当該第 1 のセレクトに対応する上記再同期回路は、個別に駆動制御される

請求項 4 記載の固体撮像素子。

[請求項6] 上記画素信号読み出し部から出力され伝送されたデジタル信号を処理するデジタル信号処理部を有し、

上記伝送部は、

グループ単位でデジタル信号を選択して上記デジタル信号処理部に伝送する

請求項 1 記載の固体撮像素子。

[請求項7] 第 1 チップと、

第 2 チップと、を有し、

上記第 1 チップと上記第 2 チップは貼り合わされた積層構造を有し、

上記第 1 チップは、

少なくとも上記画素アレイ部が配置され、

上記第 2 チップは、

少なくとも上記画素信号読み出し部および上記デジタル信号処理部が配置され、

上記第 1 チップと上記第 2 チップ間の配線は、

上記第 1 チップに形成されたビアを通して接続される

請求項 6 記載の固体撮像素子。

[請求項8] 光電変換を行う複数の画素が行列状に配列された画素アレイ部と、  
上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、  
カラム毎にアナログデジタル変換を行うカラム A/D 変換部を含み、  
デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を有し、

上記画素信号読み出し部は、

カラム毎に配置され、上記A/D変換部によるデジタル信号を保持する複数の保持部を含み、

全体のカラムより小さい規模で複数の上記保持部を一つのグループとし、上記グループを複数単位でまとめて複数のサブグループを形成し、当該複数のサブグループをまとめて少なくとも一つのメイングループを形成し、

上記グループ毎に、各カラムの上記保持部に保持されたデジタル信号を選択的に上記伝送部に伝送するバス配線がそれぞれ配置され、上記伝送部は、

上記サブグループ単位で複数の上記バス配線を共有する固体撮像素子。

[請求項9] 上記画素信号読み出し部は、

各保持部が、上記A/D変換部の分解能分のビット数に相当する数のメモリを含み、

各グループの各カラムの上記メモリのデータが選択信号に応じて対応する上記バス配線に転送し、

上記バス配線は、

各グループ内のカラム毎に全てのメモリに保持されたデジタル信号を上記伝送部に伝送する

請求項9記載の固体撮像素子。

[請求項10] 上記伝送部は、

上記サブグループ毎に対応して配置され、当該サブグループの複数のバス配線のデジタル信号を選択する複数の第1のセレクタと、

上記複数の第1のセレクタで選択された複数のデジタル信号を選択して上記デジタル信号処理部に出力する第2のセレクタと、を含む請求項8記載の固体撮像素子。

[請求項11] 上記複数の第1のセレクタの出力をクロックに再同期させて上記第

2のセレクトクタに出力する複数の再同期回路を含む

請求項10記載の固体撮像素子。

[請求項12] 上記各第1のセレクトクタおよび当該第1のセレクトクタに対応する上記再同期回路は、個別に駆動制御される  
請求項11記載の固体撮像素子。

[請求項13] 上記各バス配線は、  
対応するグループ内のいずれかのカラムの上記メモリの保持データで信号が確定した状態に保持される  
請求項8記載の固体撮像素子。

[請求項14] 上記デジタル信号処理部は、  
上記メイングループ単位で、読み出されたデジタル信号を並べ替える並べ替え部を含む  
請求項8記載の固体撮像素子。

[請求項15] 上記画素信号読み出し部から出力され伝送されたデジタル信号を処理するデジタル信号処理部を有し、  
上記伝送部は、  
サブグループ単位でデジタル信号を選択して上記デジタル信号処理部に伝送する  
請求項8記載の固体撮像素子。

[請求項16] 第1チップと、  
第2チップと、を有し、  
上記第1チップと上記第2チップは貼り合わされた積層構造を有し、  
上記第1チップは、  
少なくとも上記画素アレイ部が配置され、  
上記第2チップは、  
少なくとも上記画素信号読み出し部および上記デジタル信号処理部が配置され、

上記第 1 チップと上記第 2 チップ間の配線は、

上記第 1 チップに形成されたビアを通して接続される

請求項 15 記載の固体撮像素子。

[請求項 17]

固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光電変換を行う複数の画素が行列状に配列された画素アレイ部と、

上記画素アレイ部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラム A/D 変換部を含み、デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する伝送部と、を含み、

上記画素信号読み出し部は、

上記 A/D 変換部によるデジタル信号を保持する保持部と、

上記保持部に保持されたデジタルデータを上記伝送部に出力するためのバス配線と、を含み、

上記伝送部は、

複数の上記バス配線を一つのグループとして共有するカメラシステム。

[請求項 18]

固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行い、カラム毎にアナログデジタル変換を行うカラム A/D 変換部を含み、デジタル信号を出力する画素信号読み出し部と、

上記画素信号読み出し部から出力されたデジタル信号を伝送する

伝送部と、を含み、

上記画素信号読み出し部は、

カラム毎に配置され、上記A/D変換部によるデジタル信号を保持する複数の保持部を含み、

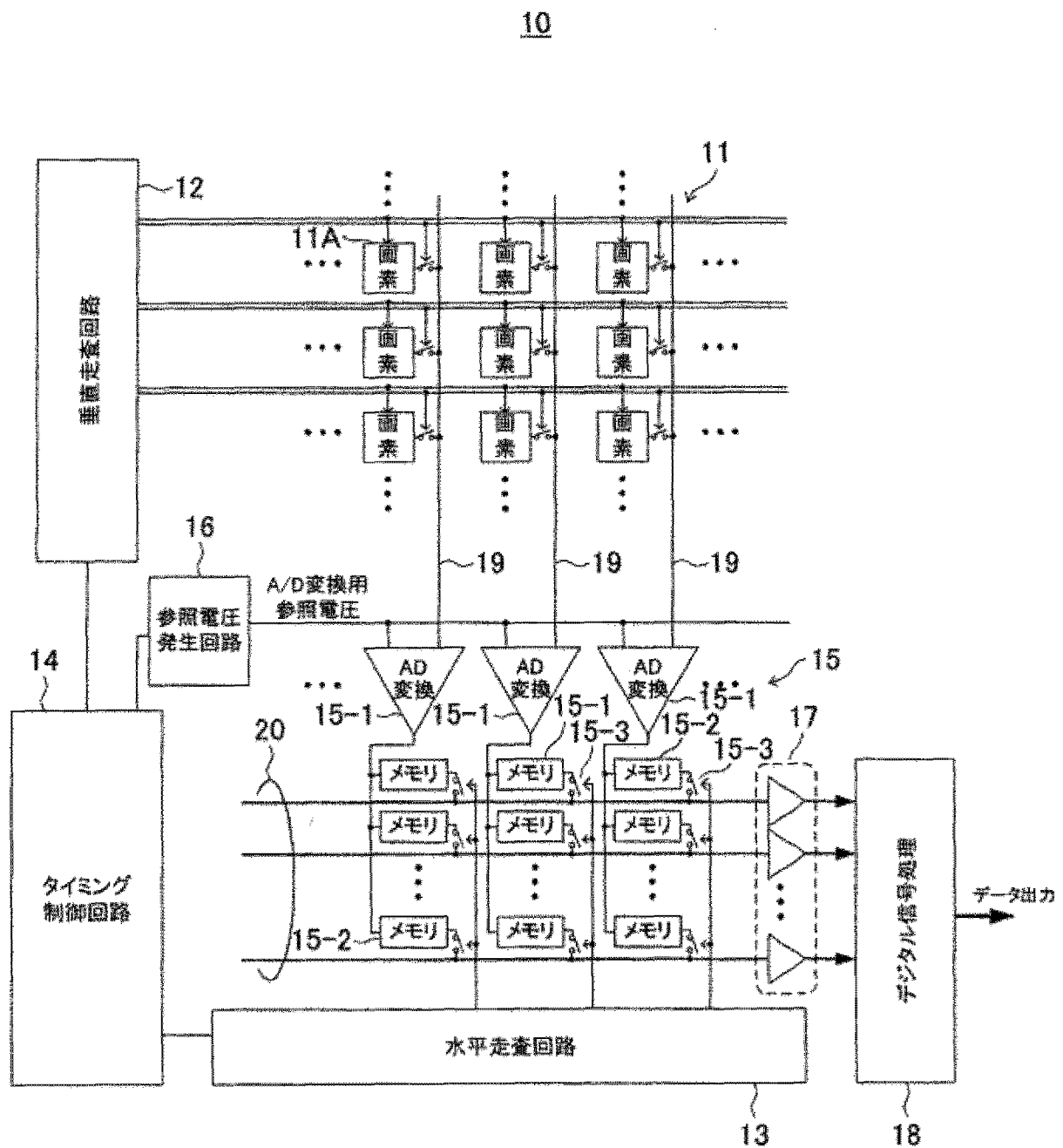
全体のカラムより小さい規模で複数の上記保持部を一つのグループとし、上記グループを複数単位でまとめて複数のサブグループを形成し、当該複数のサブグループをまとめて少なくとも一つのメイングループを形成し、

上記グループ毎に、各カラムの上記保持部に保持されたデジタル信号を選択的に上記伝送部に伝送するバス配線がそれぞれ配置され、

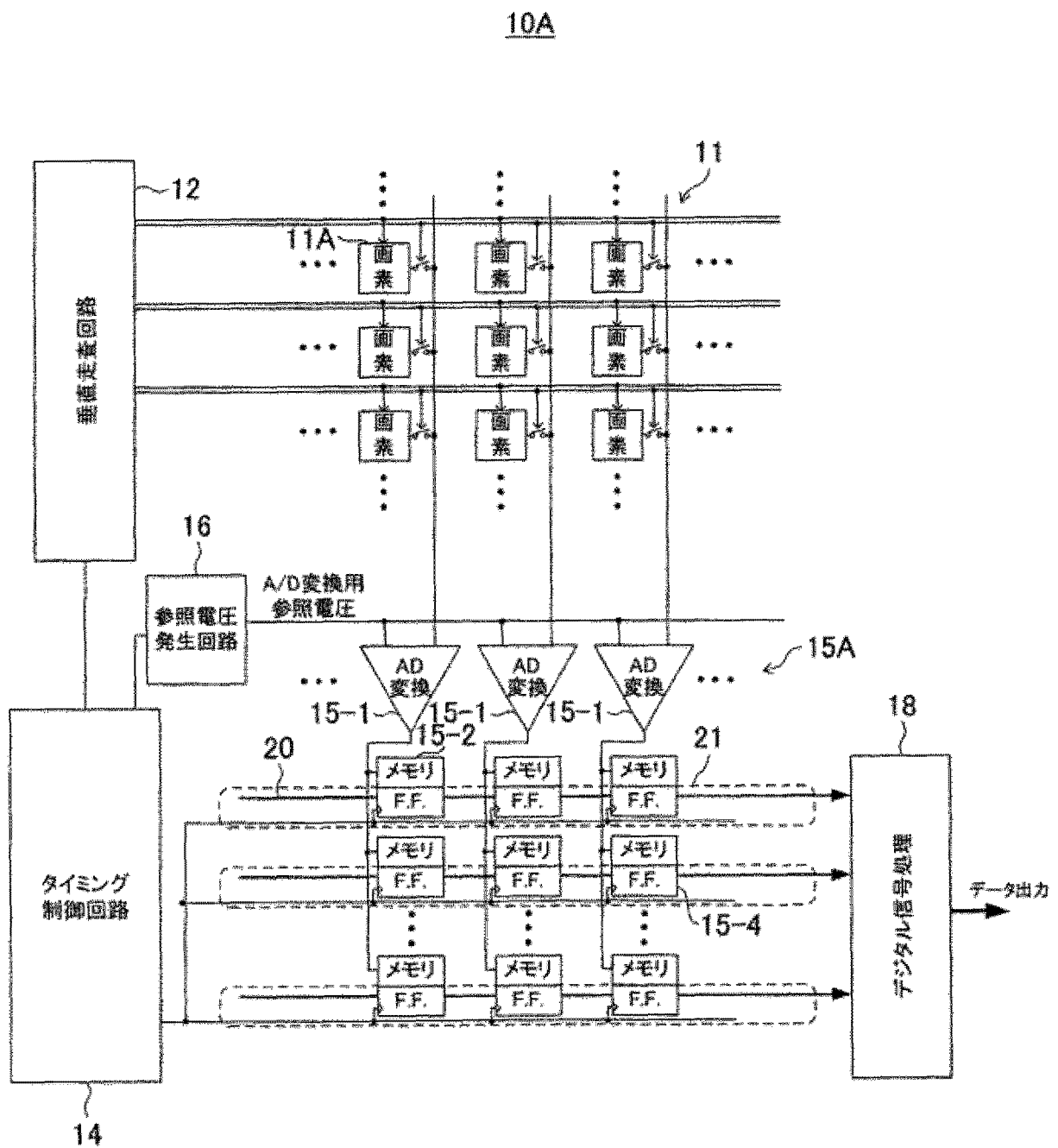
上記伝送部は、

上記サブグループ単位で複数の上記バス配線を共有するカメラシステム。

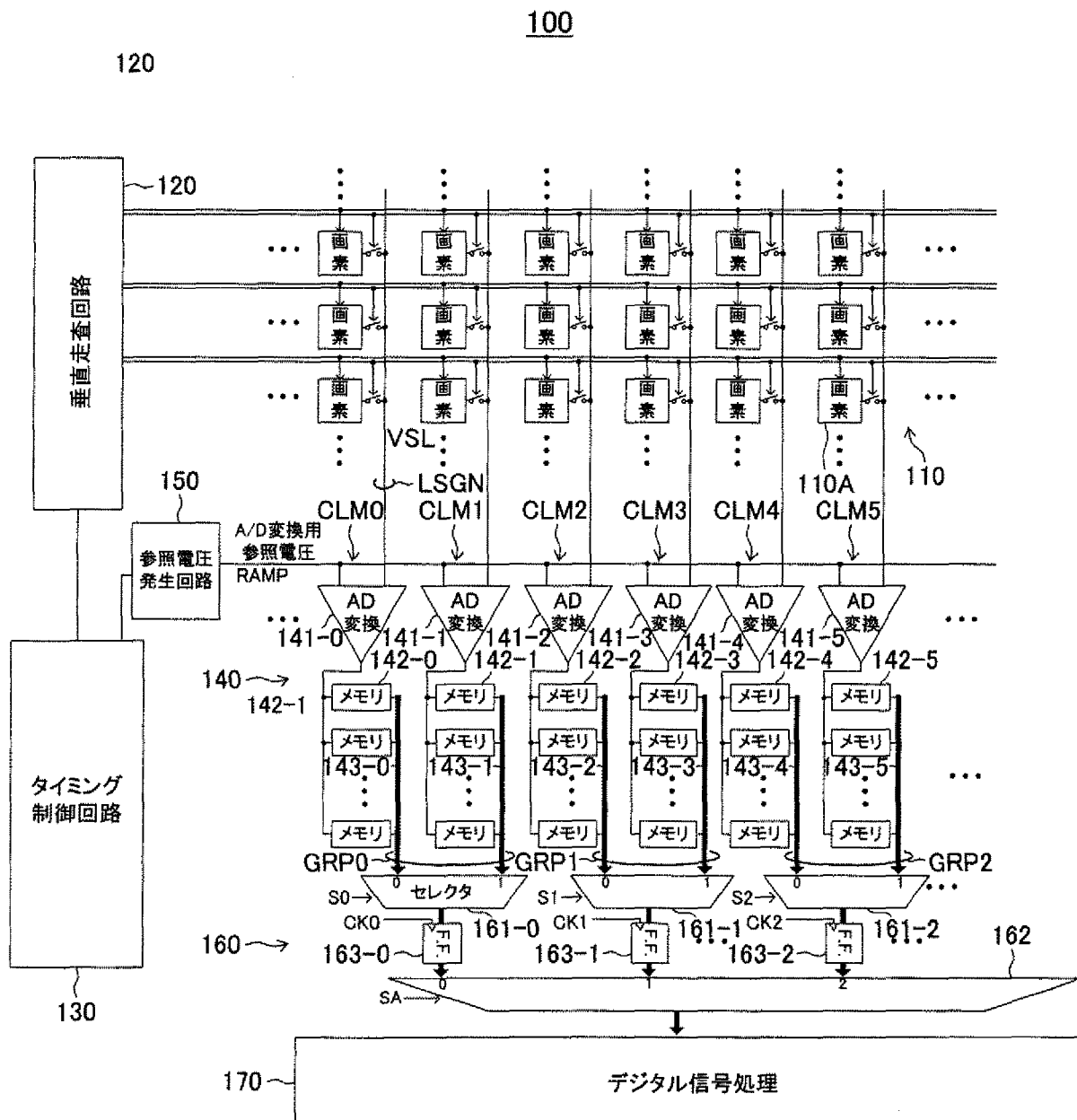
[図1]



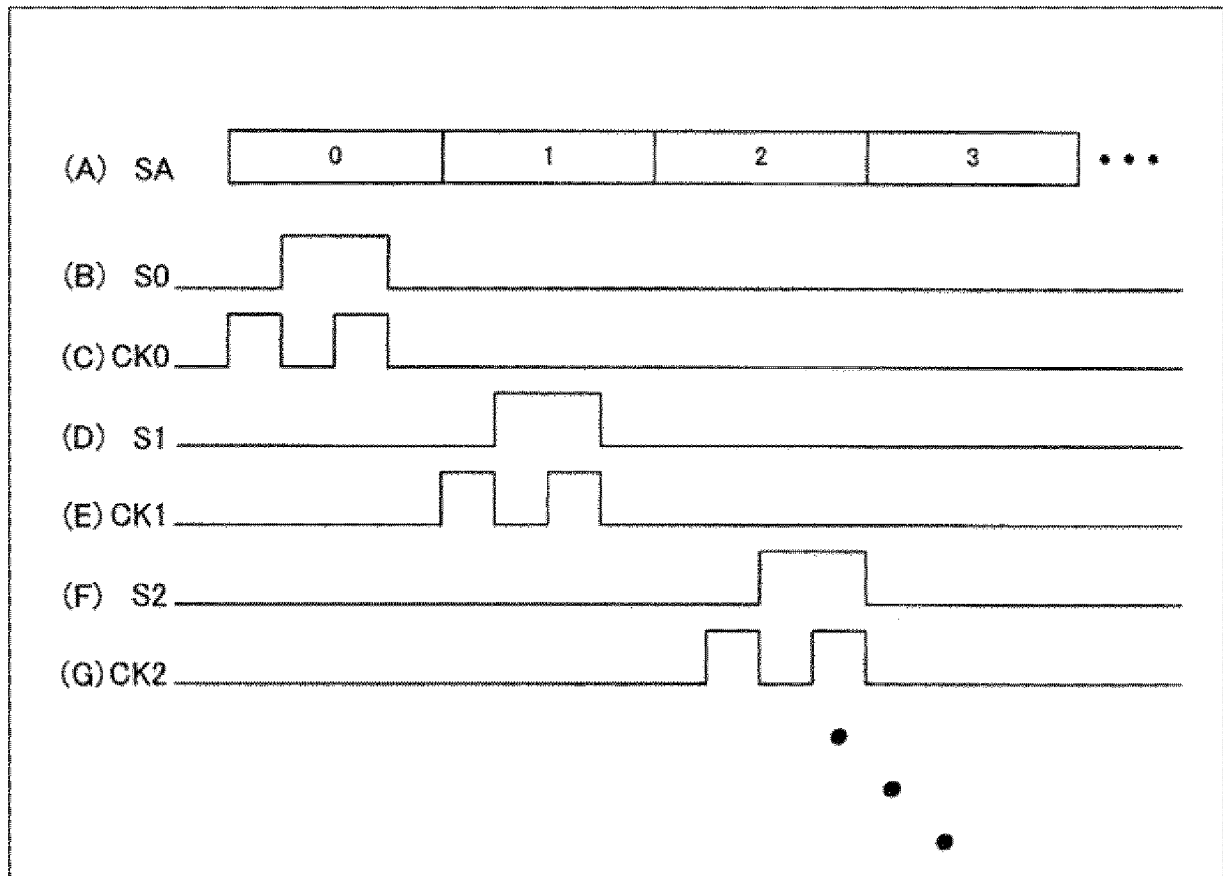
[図2]



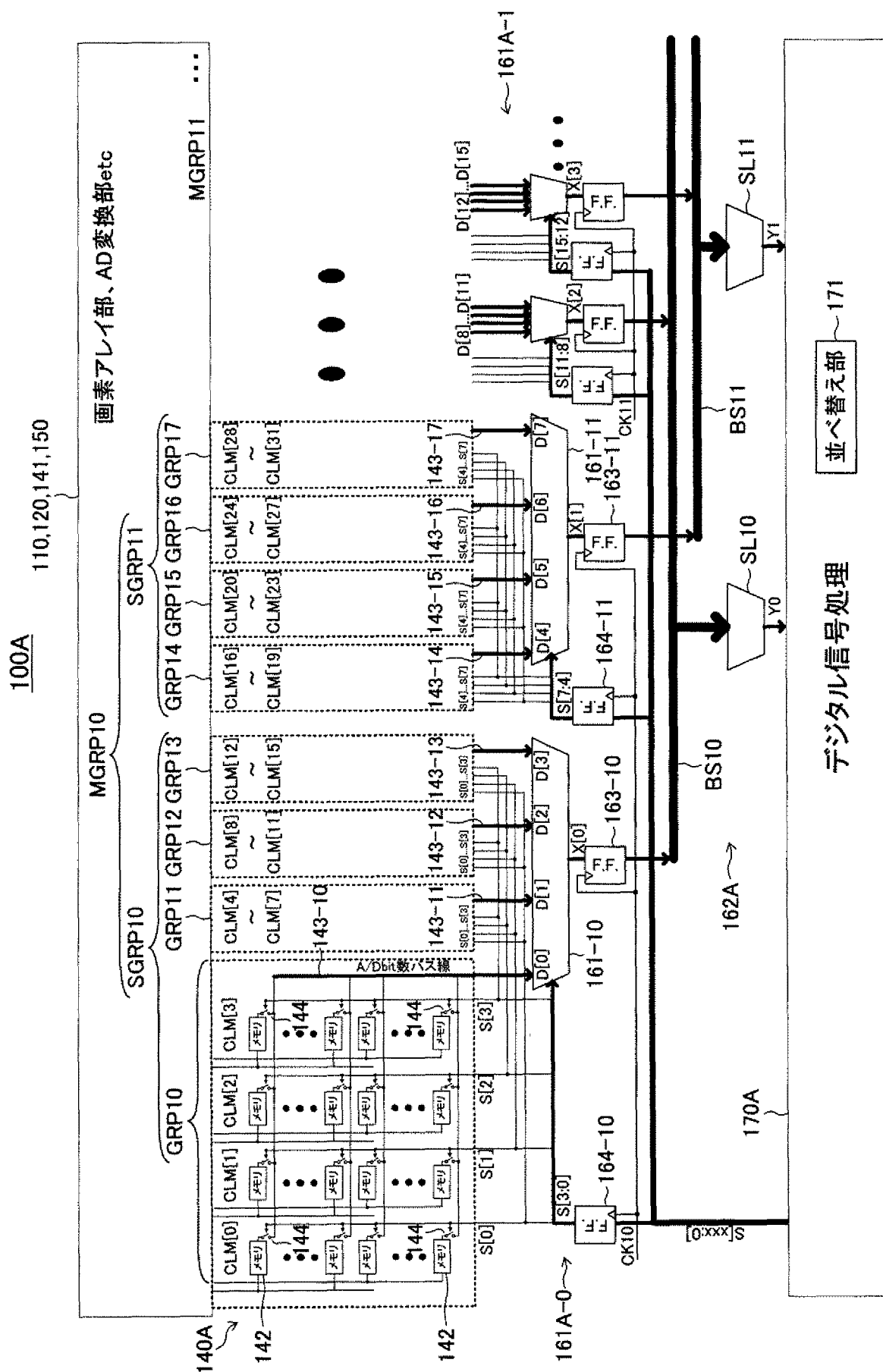
[図3]



[図4]



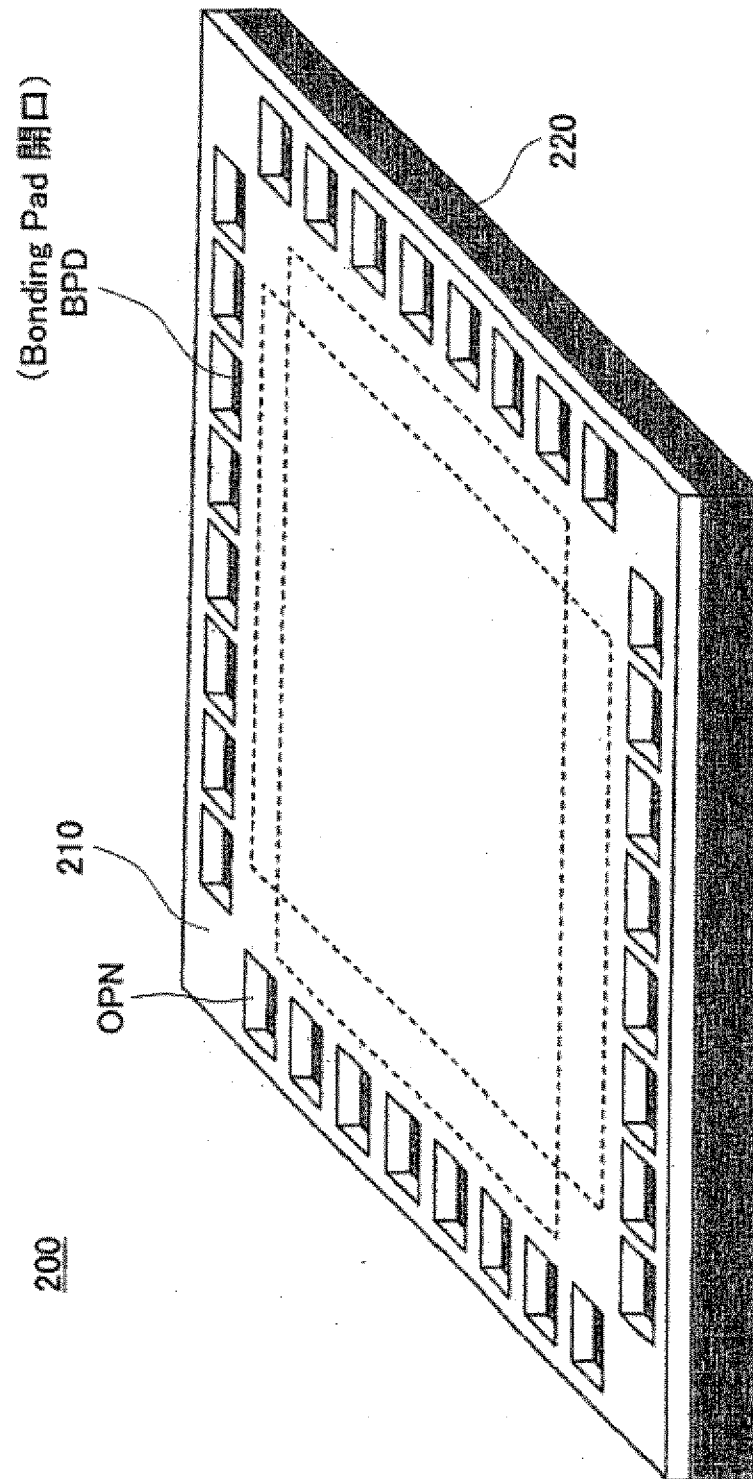
[図5]



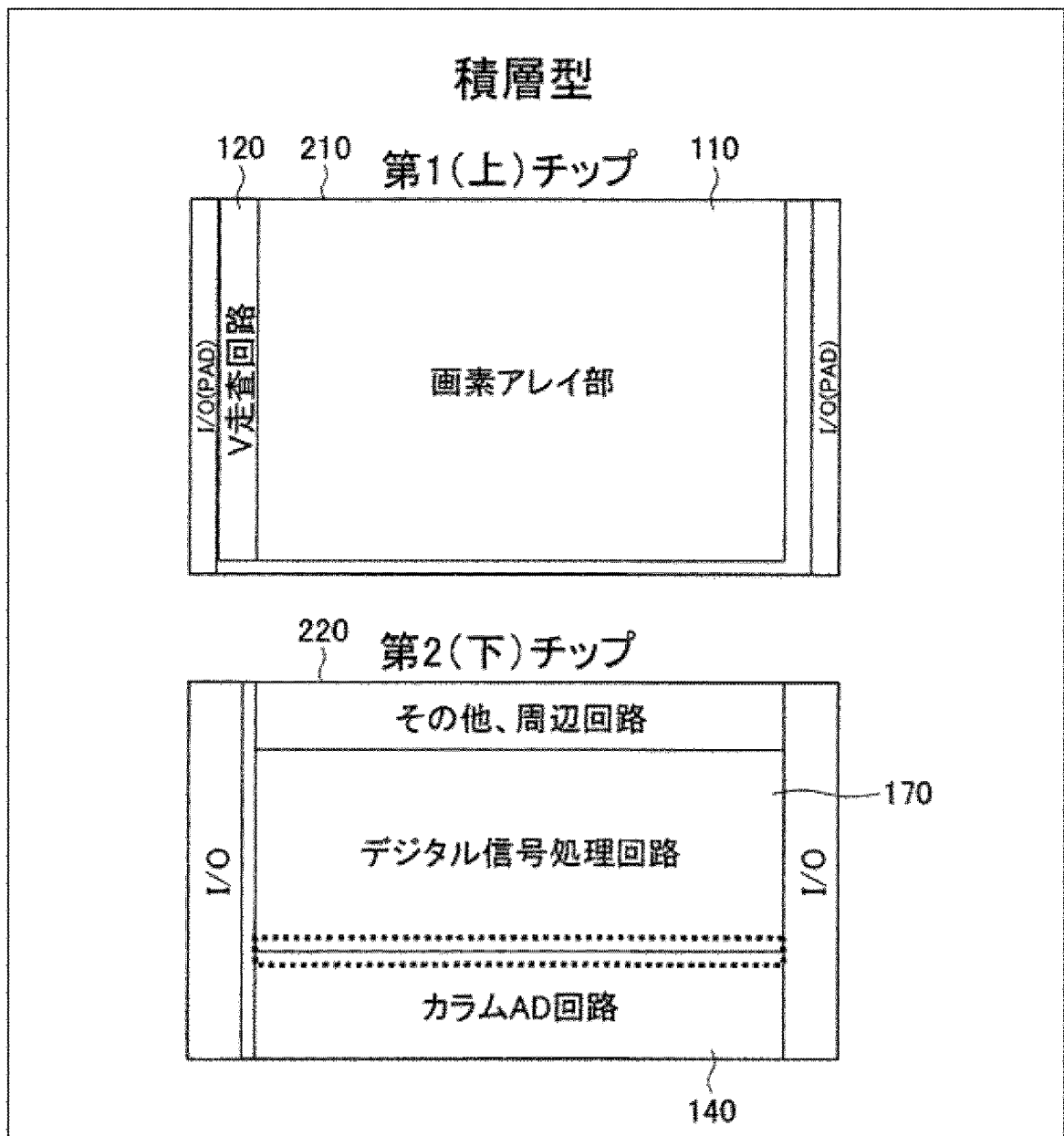
Timing diagram showing three clock signals: CK10, CK11, and CK12. CK10 and CK11 are square waves with a period of approximately 10 units. CK12 is a constant high signal.

[illegible]

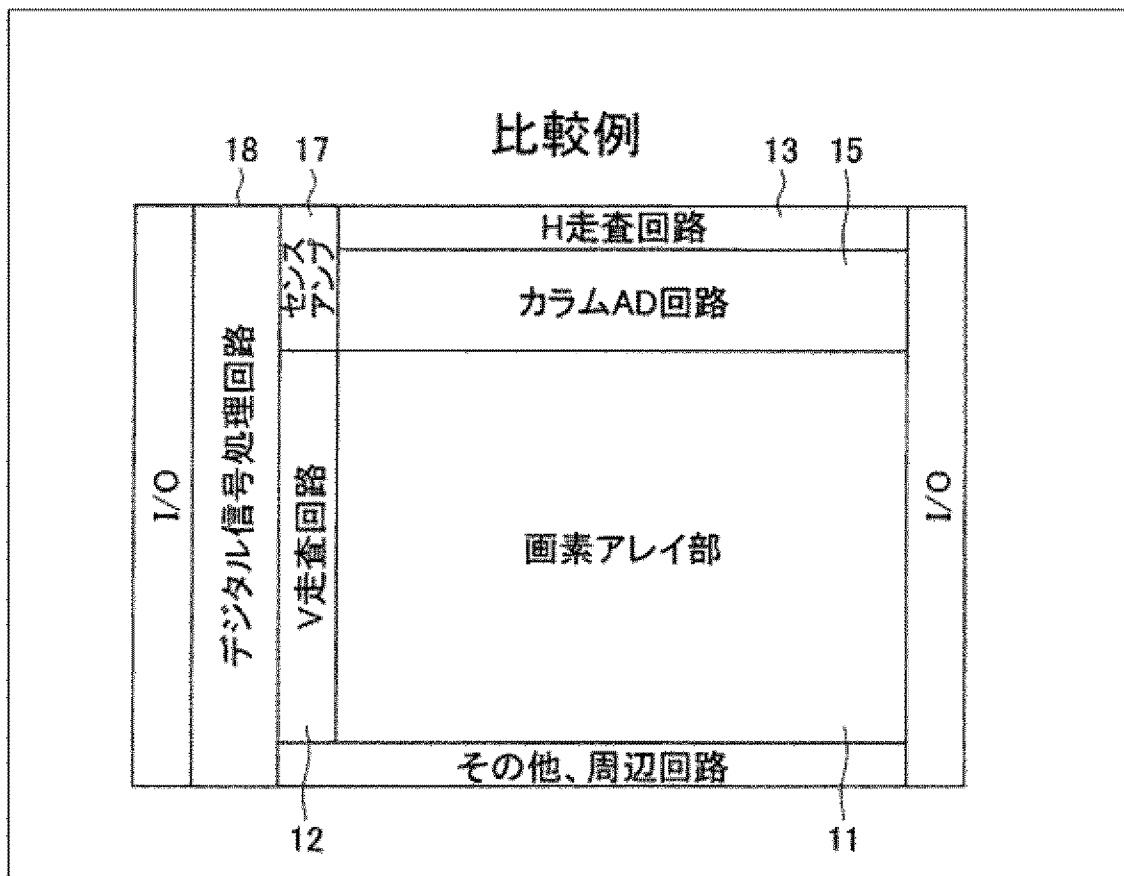
[図7]



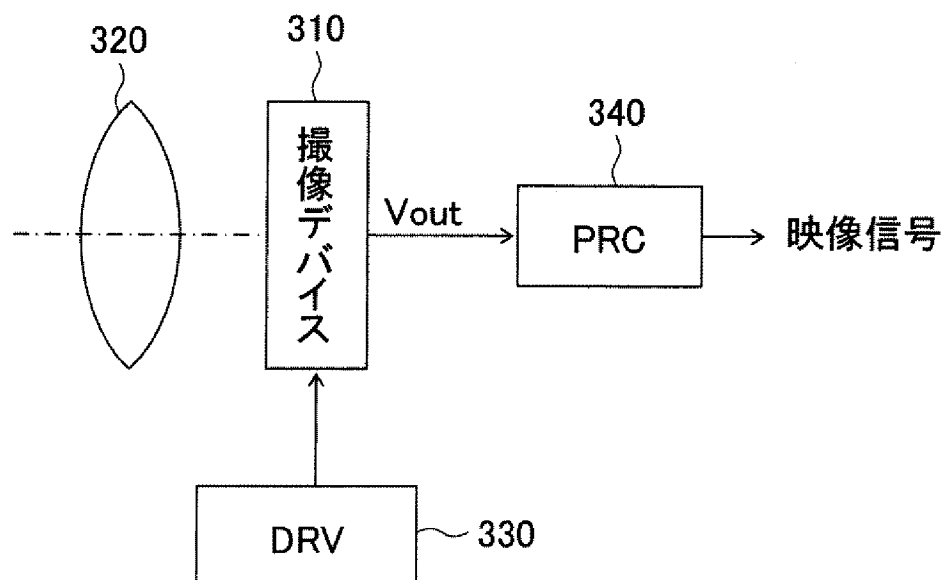
[図8]



[図9]



[図10]

300

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/076886

## A. CLASSIFICATION OF SUBJECT MATTER

H04N5/378 (2011.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                | Relevant to claim No.        |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------|
| X         | JP 2009-296311 A (Sony Corp.),<br>17 December 2009 (17.12.2009),<br>paragraphs [0032], [0035], [0051]; fig. 1<br>(Family: none)                   | 1-6, 8-15,<br>17-18<br>7, 16 |
| Y         | JP 2011-159958 A (Sony Corp.),<br>18 August 2011 (18.08.2011),<br>paragraphs [0016] to [0017], [0044] to [0047];<br>fig. 5<br>& WO 2011/083722 A1 | 7, 16                        |
| A         | JP 2007-150448 A (Sony Corp.),<br>14 June 2007 (14.06.2007),<br>entire text; all drawings<br>(Family: none)                                       | 1-18                         |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
05 November, 2012 (05.11.12)

Date of mailing of the international search report  
13 November, 2012 (13.11.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/378(2011.01)i, H04N5/374(2011.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/378, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                          | 関連する<br>請求項の番号   |
|-----------------|--------------------------------------------------------------------------------------------|------------------|
| X               | JP 2009-296311 A (ソニー株式会社) 2009.12.17,<br>段落 3 2, 3 5, 5 1, 図 1                            | 1-6, 8-15, 17-18 |
| Y               | (ファミリーなし)                                                                                  | 7, 16            |
| Y               | JP 2011-159958 A (ソニー株式会社) 2011.08.18,<br>段落 1 6 - 1 7, 4 4 - 4 7, 図 5 & WO 2011/083722 A1 | 7, 16            |
| A               | JP 2007-150448 A (ソニー株式会社) 2007.06.14,<br>全文、全図 (ファミリーなし)                                  | 1-18             |

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 1 1 . 2 0 1 2

国際調査報告の発送日

1 3 . 1 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

若林 治男

5 P

4 1 9 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 1