

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月13日(13.03.2025)



(10) 国際公開番号

WO 2025/052831 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) *H01L 27/06* (2006.01)
H01L 21/822 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/739* (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2024/027772

(22) 国際出願日: 2024年8月2日(02.08.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-143283 2023年9月4日(04.09.2023) JP

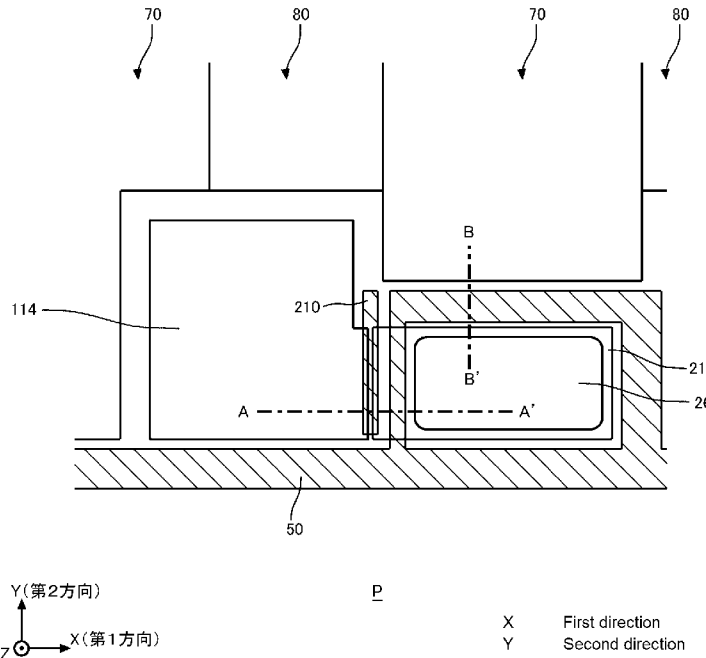
(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 上村 和貴 (KAMIMURA Kazuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 内藤 達也 (NAITO Tatsuya); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 佐々木 雅浩 (SASAKI Masahiro); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人 R Y U K A 国際特許事務所 (RYUKA & PARTNERS); 〒1631522 東

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体装置および半導体モジュール



(57) Abstract: Provided is a semiconductor device which includes: a current detection part through which a detection current corresponding to a main current of a transistor part flows; a current detection pad disposed above a semiconductor substrate and disposed side by side with the current detection part in a first direction; a built-in resistance part which is provided above the semiconductor substrate and which connects the current detection part and the current detection pad; and gate wiring disposed above the semiconductor substrate and connected to a gate conductive part. The built-in

京都新宿区西新宿 1 - 6 - 1 新宿エル
タワー 2 2 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 補正された請求の範囲 (条約第19条(1))

resistance part and the gate wiring are disposed side by side, between the current detection part and the current detection pad, in the first direction.

(57) 要約: トランジスタ部の主電流に応じた検出電流が流れる電流検出部と、前記半導体基板の上方に配置され、第1方向において前記電流検出部と並んで配置された電流検出パッドと、前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部と、前記半導体基板の上方に配置され、前記ゲート導電部と接続されるゲート配線とを備え、前記内蔵抵抗部および前記ゲート配線は、前記電流検出部と前記電流検出パッドとの間において、前記第1方向に並んで配置されている半導体装置を提供する。

明 細 書

発明の名称：半導体装置および半導体モジュール

技術分野

[0001] 本発明は、半導体装置および半導体モジュールに関する。

背景技術

[0002] 従来、電流検出用の領域を有する半導体装置が知られている（例えば、特許文献 1 ～ 3 参照）。

[先行技術文献]

[特許文献]

[特許文献 1] 特開平 4 － 3 3 5 5 6 0 号公報

[特許文献 2] 特開平 5 － 3 2 8 9 号公報

[特許文献 3] 特許第 3 6 4 4 6 9 7 号公報

一般的開示

[0003] （解決しようとする課題）

電流検出用の領域に印加される電圧を低減できることが好ましい。

（課題を解決するための手段）

[0004] 本発明の第 1 の態様においては、半導体基板を備える半導体装置を提供する。上記半導体装置は、前記半導体基板の内部に設けられ、ゲート導電部を有するトランジスタ部を備えてよい。上記何れかの半導体装置は、前記半導体基板の内部に設けられ、前記トランジスタ部の主電流に応じた検出電流が流れる電流検出部を備えてよい。上記何れかの半導体装置は、前記半導体基板の上方に配置され、第 1 方向において前記電流検出部と並んで配置された電流検出パッドを備えてよい。上記何れかの半導体装置は、前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部を備えてよい。上記何れかの半導体装置は、前記半導体基板の上方に配置され、前記ゲート導電部と接続されるゲート配線を備えてよい。上記何れかの半導体装置の前記内蔵抵抗部および前記ゲート配線は、前記電流検出

部と前記電流検出パッドとの間において、前記第 1 方向に並んで配置されていてよい。

[0005] 上記何れかの半導体装置において、前記内蔵抵抗部および前記ゲート配線は、ポリシリコンで形成されていてよい。

[0006] 上記何れかの半導体装置において、前記内蔵抵抗部と前記ゲート配線の厚みが同一であってよい。

[0007] 上記何れかの半導体装置において、前記内蔵抵抗部は、上面視において前記第 1 方向とは異なる第 2 方向に長手を有してよい。

[0008] 上記何れかの半導体装置は、前記内蔵抵抗部に接触し、前記内蔵抵抗部と前記電流検出部とを電氣的に接続する第 1 接続部を備えてよい。上記何れかの半導体装置は、前記内蔵抵抗部に接触し、前記内蔵抵抗部と前記電流検出パッドとを電氣的に接続する第 2 接続部を備えてよい。上記何れかの半導体装置は、前記第 2 方向において、前記第 1 接続部と前記第 2 接続部とが異なる位置に配置されていてよい。

[0009] 上記何れかの半導体装置において、前記第 1 接続部は、前記内蔵抵抗部を前記第 2 方向に等分した第 1 領域および第 2 領域のうちの前記第 1 領域に配置されていてよい。上記何れかの半導体装置において、前記第 2 接続部は、前記第 2 領域に配置されていてよい。

[0010] 上記何れかの半導体装置において、前記ゲート配線は、前記第 2 方向に長手を有してよい。

[0011] 上記何れかの半導体装置において、前記ゲート配線は、前記内蔵抵抗部と前記電流検出部との間に配置されていてよい。

[0012] 上記何れかの半導体装置において、前記ゲート配線は、前記内蔵抵抗部と前記電流検出パッドとの間に配置されていてよい。

[0013] 上記何れかの半導体装置において、前記ゲート配線は、前記電流検出部と前記電流検出パッドとの間において、前記第 1 方向において並んで複数設けられていてよい。上記何れかの半導体装置において、前記内蔵抵抗部は、前

記電流検出部と前記電流検出パッドとの間において、2つの前記ゲート配線に挟まれていてよい。

[0014] 上記何れかの半導体装置において、前記電流検出パッドは、前記半導体基板に接していなくてよい。

[0015] 上記何れかの半導体装置において、前記トランジスタ部は、前記半導体基板の内部に設けられた第1導電型のドリフト領域を有してよい。上記何れかの半導体装置において、前記トランジスタ部は、前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域を有してよい。上記何れかの半導体装置において、前記トランジスタ部は、前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域を有してよい。上記何れかの半導体装置は、前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のパッドウェル領域を備えてよい。上記何れかの半導体装置において、前記パッドウェル領域は、上面視において前記電流検出パッドの全体と重なっていてよい。

[0016] 上記何れかの半導体装置において、前記トランジスタ部は、前記半導体基板の内部に設けられた第1導電型のドリフト領域を有してよい。上記何れかの半導体装置において、前記トランジスタ部は、前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域を有してよい。上記何れかの半導体装置において、前記トランジスタ部は、前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域を有してよい。上記何れかの半導体装置は、前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のウェル領域を備えてよい。上記何れかの半導体装置において、前記ウェル領域は、上面視において前記内蔵抵抗部の全体と重なっていてよい。

- [0017] 本発明の第2の態様においては、半導体基板を備える半導体装置と、前記半導体装置に接続された外付抵抗部とを備える半導体モジュールを提供する。上記半導体モジュールにおいて、前記半導体装置は、前記半導体基板の内部に設けられ、ゲート導電部を有するトランジスタ部を有してよい。上記半導体モジュールにおいて、前記半導体装置は、前記半導体基板の内部に設けられ、前記トランジスタ部の主電流に応じた検出電流が流れる電流検出部を有してよい。上記半導体モジュールにおいて、前記半導体装置は、前記半導体基板の上方に配置された電流検出パッドを有してよい。上記半導体モジュールにおいて、前記半導体装置は、前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部を有してよい。上記半導体モジュールにおいて、前記外付抵抗部は、前記内蔵抵抗部および前記電流検出パッドと直列に接続されてよい。上記半導体モジュールにおいて、前記内蔵抵抗部の抵抗値が、前記外付抵抗部の抵抗値よりも大きくてよい。
- [0018] 上記半導体モジュールにおいて、前記内蔵抵抗部の抵抗値が、前記外付抵抗部の抵抗値の3倍以上、10倍以下であってよい。
- [0019] 上記半導体モジュールにおいて、前記内蔵抵抗部の抵抗値が、 $6\ \Omega$ 以上であってよい。
- [0020] 上記半導体モジュールにおいて、前記内蔵抵抗部の抵抗値が、 $20\ \Omega$ 以下であってよい。
- [0021] 上記半導体モジュールにおいて、前記内蔵抵抗部の抵抗値(Ω)が、前記半導体装置の定格電流を I_r (A)とした場合に、 $I_r/50$ 以上であってよい。
- [0022] 上記半導体モジュールにおいて、前記内蔵抵抗部の前記抵抗値が、 $I_r/15$ 以下であってよい。
- [0023] 上記の発明の概要は、本発明の必要な特徴のすべてを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0024] [図1]本発明の一つの実施形態に係る半導体モジュール200の等価回路を示す図である。

[図2]電流検出部26のエミッタに接続される抵抗の抵抗値 R_s [Ω] と、電流検出部26の短絡耐量との関係を示す図である。

[図3]本発明の一つの実施形態に係る半導体装置100の一例を示す上面図である。

[図4]図3における領域Pの拡大図である。

[図5]図4におけるA-A'断面の一例を示す図である。

[図6]図4におけるB-B'断面の一例を示す図である。

[図7]第1の実施例に係るP領域の一例を示す図である。

[図8]図7のA-A'断面の一例を示す図である。

[図9]第2の実施例に係るP領域の一例を示す図である。

[図10]内蔵抵抗部210を拡大した図である。

[図11]図9のA-A'断面の一例を示す図である。

[図12]図9のC-C'断面の一例を示す図である。

[図13]第3の実施例に係るP領域の一例を示す図である。

[図14]図13のA-A'断面の一例を示す図である。

[図15]図13のC-C'断面の一例を示す図である。

[図16]第4の実施例に係るP領域の一例を示す図である。

[図17]図16のA-A'断面の一例を示す図である。

[図18]図16のC-C'断面の一例を示す図である。

発明を実施するための形態

[0025] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。本明細書では、各図における同一の部分には同一の符号を付し、説

明を省略する場合がある。また、説明の便宜上一部の構成を図示しない場合がある。

[0026] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0027] 本明細書では、X軸、Y軸およびZ軸の直交座標系を用いて技術的事項を説明する場合がある。直交座標系は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えばZ軸方向は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。

[0028] 本明細書では、半導体基板の上面および下面に平行な直交軸をX軸およびY軸とする。また、半導体基板の上面および下面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0029] 回路図の説明において、2つの構成要素の間に、他の構成要素が設けられる等の構成要素の配置の説明をした場合、電気経路上における位置関係を説明している。回路図における当該説明は、空間上の位置関係を限定していない。

[0030] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

[0031] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をP型またはN型として説明している。本明細書においては、不純物とは、特にN型のドナーまたはP型のアクセプタのいずれかを意味する場合があ

り、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。本明細書では、N型領域のドーピング濃度をドナー濃度と称する場合があり、P型領域のドーピング濃度をアクセプタ濃度と称する場合がある。

[0032] 図1は、本発明の一つの実施形態に係る半導体モジュール200の等価回路を示す図である。半導体モジュール200は、半導体装置100、ゲート駆動回路201および外付抵抗部206を備える。半導体モジュール200は、半導体装置100、ゲート駆動回路201および外付抵抗部206を収容する筐体を備えてよい。筐体は、樹脂またはセラミック等の絶縁材料を含んでよい。半導体モジュール200は、複数の半導体装置100を備えてもよい。

[0033] 半導体装置100は、IGBT (Insulated Gate Bipolar Transistor) 等のパワー半導体を含む半導体チップである。本例の半導体装置100は、トランジスタ部70と電流検出部26を有する。トランジスタ部70および電流検出部26は、同一の半導体基板に設けられている。電流検出部26は、トランジスタ部70と同様の構造を有する。本例の電流検出部26およびトランジスタ部70は、それぞれ縦型のIGBTを含んでいる。トランジスタ部70および電流検出部26は電氣的に並列に設けられており、且つ、電流検出部26は、半導体基板の上面においてトランジスタ部70よりも小さい面積を有する。トランジスタ部70および電流検出部26のそれぞれの総チャンネル幅は、それぞれの面積に概ね比例する。このため、トランジスタ部70および電流検出部26には、それぞれの面積に応じた電流が流れる。電流検出部26に流れる検出電流 I_s を検知することで、トランジスタ部70に流れる主電流 I_c を推定できる。

[0034] トランジスタ部70のコレクタ電極と電流検出部26のコレクタ電極は互いに接続されており、共通のコレクタ端子(C)に接続されている。コレク

タ端子（C）は、半導体モジュール200に設けられた端子であり、外部の回路に接続される。

[0035] トランジスタ部70のゲート電極と電流検出部26のゲート電極は共通のゲート駆動回路201に接続されている。ゲート駆動回路201は、トランジスタ部70および電流検出部26に共通のゲート信号を入力して、トランジスタ部70および電流検出部26を同期して動作させる。ゲート駆動回路201は、半導体モジュール200に設けられたゲート端子（G）を介して、外部の回路に接続される。

[0036] 半導体装置100は、エミッタ電極52および電流検出パッド114を備える。エミッタ電極52は、トランジスタ部70のエミッタに接続されている。エミッタ電極52は、ワイヤー等の配線を介して、半導体モジュール200のエミッタ端子（E）に接続されている。

[0037] 電流検出パッド114は、電流検出部26のエミッタに接続されている。電流検出パッド114は、半導体装置100の半導体基板上において、エミッタ電極52とは分離している。本例の電流検出パッド114は、ワイヤー等の配線を介して、外付抵抗部206に接続されている。外付抵抗部206は、電流検出パッド114とエミッタ端子（E）との間に設けられている。外付抵抗部206は、半導体装置100の半導体基板とは異なる基板に設けられる。例えば半導体モジュール200は、半導体装置100および外付抵抗部206を載置する回路基板を有してよい。回路基板上の半導体装置100および回路基板上的の外付抵抗部206がワイヤ等の配線で接続される。

[0038] トランジスタ部70および電流検出部26がオン状態になると、トランジスタ部70および電流検出部26には、それぞれの面積に応じた主電流 I_c および検出電流 I_s が流れる。外付抵抗部206における電圧降下量を測定することで、電流検出部26に流れる検出電流 I_s を検出できる。検出電流 I_s から、トランジスタ部70の主電流 I_c が推定できる。これによって、例えばトランジスタ部70の過電流を検知し、装置を停止することが可能となる。

- [0039] 外付抵抗部206は、半導体装置100に組み込まれておらず、半導体装置100に対して多様な抵抗が接続可能である。例えば、半導体モジュール200の使用者が外付抵抗部206を準備して、半導体モジュール200に組み込む場合もある。
- [0040] 外付抵抗部206の抵抗値 R_{s2} が小さいと、電流検出部26のコレクタ・エミッタ間、または、ゲート・エミッタ間に大きな電圧がかかる場合がある。電流検出部26に大きな電圧がかかると、電流検出部26が破壊される場合もある。
- [0041] 本例の半導体装置100は、内蔵抵抗部210を備える。内蔵抵抗部210は、電流検出部26のエミッタと、電流検出パッド114との間に設けられている。内蔵抵抗部210、電流検出パッド114および外付抵抗部206は、電流検出部26とエミッタ端子(E)との間において直列に接続されている。
- [0042] 内蔵抵抗部210の抵抗値 R_{s1} は、外付抵抗部206の抵抗値 R_{s2} よりも大きい。これにより、外付抵抗部206の抵抗値 R_{s2} が小さい場合でも、電流検出部26のエミッタに接続される合成抵抗の抵抗値を維持しやすくなる。このため、電流検出部26に印加される電圧を小さくして、電流検出部26の破壊を抑制できる。
- [0043] 内蔵抵抗部210の抵抗値 R_{s1} は、外付抵抗部206の抵抗値 R_{s2} の3倍以上であってよい。これにより、電流検出部26のエミッタに接続される合成抵抗の抵抗値を更に維持しやすくなる。抵抗値 R_{s1} は、抵抗値 R_{s2} の4倍以上であってよく、5倍以上であってもよい。
- [0044] 内蔵抵抗部210の抵抗値 R_{s1} は、外付抵抗部206の抵抗値 R_{s2} の10倍以下であってよい。これにより、検出電流 I_s が小さくなりすぎるのを防げる。これにより、検出電流 I_s の検出精度を維持できる。抵抗値 R_{s1} は、抵抗値 R_{s2} の8倍以下であってよく、6倍以下であってもよい。
- [0045] 図2は、電流検出部26のエミッタに接続される抵抗の抵抗値 R_s [Ω]と、電流検出部26の短絡耐量との関係を示す図である。図2において短絡

耐量は、所定値 $[A/c\ m^2]$ に対する比で示している。図2における丸印のプロットが、1つの測定結果を示している。図1の例では、抵抗値 R_s は、抵抗値 R_{s1} と抵抗値 R_{s2} との和である。

- [0046] 図2に示すように、抵抗値 R_s が大きくなると、短絡耐量が増加する。特に、抵抗値 R_s が $6\ \Omega$ の近傍までは、短絡耐量が大きく増加している。このため、内蔵抵抗部210の抵抗値 R_{s1} を $6\ \Omega$ 以上としてよい。これにより、電流検出部26の短絡耐量を確保しやすくなる。抵抗値 R_{s1} は、 $8\ \Omega$ 以上であってよく、 $10\ \Omega$ 以上であってもよい。抵抗値 R_{s1} が $10\ \Omega$ 以上の領域では、電流検出部26の短絡耐量が比較的に安定している。
- [0047] 内蔵抵抗部210を設けることで、電流検出部26に流れる検出電流 I_s を小さくできる。これにより、電流検出部26におけるゲイン (g_m) を下げることができる。このため、電流検出部26における波形の発振を抑制でき、短絡耐量を高くできる。
- [0048] 内蔵抵抗部210の抵抗値 R_{s1} は、 $20\ \Omega$ 以下であってよい。これにより、検出電流 I_s が小さくなりすぎるのを防げる。抵抗値 R_{s1} は、 $17\ \Omega$ 以下であってよく、 $15\ \Omega$ 以下であってもよい。
- [0049] 外付抵抗部206の抵抗値は、 $0.5\ \Omega$ 以上、 $6\ \Omega$ 未満であってよい。外付抵抗部206の抵抗値は、 $1\ \Omega$ 以上であってよく、 $1.5\ \Omega$ 以上であってもよい。外付抵抗部206の抵抗値は、 $5\ \Omega$ 以下であってよく、 $4\ \Omega$ 以下であってもよい。
- [0050] 半導体装置100の定格電流を I_r (A) とする。定格電流 I_r は、半導体装置100の仕様値を用いてよい。内蔵抵抗部210の抵抗値 R_{s1} (Ω) は、 $I_r/50$ 以上であってよい。抵抗値 R_{s1} は、 $I_r/40$ 以上であってよく、 $I_r/30$ 以上であってもよい。抵抗値 R_{s1} は、 $I_r/15$ 以下であってよい。抵抗値 R_{s1} は、 $I_r/20$ 以下であってよく、 $I_r/25$ 以下であってもよい。
- [0051] 図3は、本発明の一つの実施形態に係る半導体装置100の一例を示す上面図である。図3においては、各部材を半導体基板10の上面に投影した位

置を示している。図3においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略している。

[0052] 半導体装置100は、半導体基板10を備えている。半導体基板10は、半導体材料で形成された基板である。一例として半導体基板10はシリコン基板である。本明細書では上面視における半導体基板10の外周の端部を、外周端140とする。上面視とは、半導体基板10の上面側からZ軸と平行に見た場合を指す。また、上面視における半導体基板10の外周端140のうち、いずれかの端辺を第1の端辺142とする。上面視において第1の端辺142と平行な方向をX軸方向とし、第1の端辺142と垂直な方向をY軸方向とする。

[0053] 半導体基板10には活性部120が設けられている。活性部120は、半導体装置100が動作した場合に半導体基板10の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部120の上方には、エミッタ電極52が設けられているが図3では省略している。

[0054] 活性部120には、IGBT等のトランジスタ素子を含むトランジスタ部70が設けられている。活性部120には、還流ダイオード(FWD)等のダイオード素子を含むダイオード部80が更に設けられてもよい。トランジスタ部70およびダイオード部80は、半導体基板10の内部に設けられている。図3の例では、トランジスタ部70およびダイオード部80は、第1方向に沿って、交互に配置されている。後述するトレンチ部も、第1方向に沿って並んで配置されてよい。本例では、活性部120の第1方向における端には、トランジスタ部70が設けられている。他の例では、活性部120には、トランジスタ部70およびダイオード部80の一方だけが設けられていてもよい。

[0055] トランジスタ部70およびダイオード部80は、それぞれ第2方向に長手を有してよい。各構成部材の上面視における境界線のうち、最も長い直線と平行な方向を、当該構成部材の長手方向としてよい。第2方向は、XY面内の方向であって、第1方向とは異なる方向である。本明細書では、第1方向

をX軸方向とし、第2方向をY軸方向として説明する。トランジスタ部70のY軸方向における長さは、X軸方向における幅よりも大きい。同様に、ダイオード部80のY軸方向における長さは、X軸方向における幅よりも大きい。トランジスタ部70およびダイオード部80の長手方向と、後述する各トレンチ部の長手方向とは同一であってよい。

[0056] ダイオード部80は、半導体基板10の下面と接する領域に、N+型のカソード領域を有する。本明細書では、カソード領域が設けられた領域を、ダイオード部80と称する。つまりダイオード部80は、上面視においてカソード領域と重なる領域である。半導体基板10の下面において、カソード領域以外の領域には、P+型のコレクタ領域が設けられてよい。本明細書では、ダイオード部80を、後述する活性ウェル領域29までY軸方向に延長した領域も、ダイオード部80に含める場合がある。延長した領域の下面には、コレクタ領域が設けられている。

[0057] トランジスタ部70は、半導体基板10の下面と接する領域に、P+型のコレクタ領域を有する。また、トランジスタ部70は、半導体基板10の上面側に、N+型のエミッタ領域、P-型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

[0058] 半導体基板10の上面の上方には、複数のパッド部110（図3の例では、電流検出パッド114、補助エミッタパッド115、ゲートパッド116、カソードパッド117およびアノードパッド118）が設けられている。電流検出パッド114は、電流検出部26に接続されている。

[0059] 電流検出部26は、半導体基板10の内部に設けられ、トランジスタ部70の主電流 I_c に応じた検出電流 I_s が流れる。電流検出部26は、トランジスタ部70と同一の単位構造を有しており、且つ、トランジスタ部70よりも上面視における面積（チャネルの面積に対応する）が小さい。電流検出部26およびトランジスタ部70には、当該単位構造が繰り返し形成されている。当該単位構造は、例えばゲート電極、ゲート絶縁膜、N+型のエミッタ領域およびP-型のベース領域を含む。

- [0060] 電流検出部 26 に流れている電流を検出することで、半導体装置 100 の全体に流れている電流を推定できる。図 1 において説明したように、電流検出パッド 114 は、ワイヤ等の配線により外付抵抗部 206 の一端に接続される。外付抵抗部 206 の他端は、ワイヤ等の配線を介してエミッタ電極 52 に接続されてよい。外付抵抗部 206 の他端は、補助エミッタパッド 115 を介してエミッタ電極 52 に接続されてもよい。エミッタ電極 52 は、ワイヤ等の配線を介してエミッタ端子 (E) に接続される。
- [0061] ゲートパッド 116 は、トランジスタ部 70 のゲート導電部および電流検出部 26 のゲート導電部と接続されている。ゲート導電部は、MOS ゲート構造におけるゲート電極の一例である。本例のゲートパッド 116 は、ゲート配線 50 を介して各ゲート導電部と接続されている。ゲート配線 50 は、上面視において活性部 120 と端辺 142 との間に配置されている。例えばゲート配線 50 は、上面視において活性部 120 を囲むように配置されている。図 3 では、ゲート配線 50 を破線で示している。
- [0062] ゲート配線 50 は、半導体基板 10 の上面の上方に配置されたポリシリコン配線であってよい。ゲート配線 50 と半導体基板 10 とは、絶縁膜により絶縁されている。ゲート配線 50 は、絶縁膜を介してポリシリコン配線と積層された金属配線を更に含んでもよい。ポリシリコン配線と金属配線とは、絶縁膜に設けられたコンタクトホールを介して接続されている。ゲート配線 50 を設けることで、ゲートパッド 116 から離れた領域にも、ゲート電圧を低遅延且つ低減衰で伝送できる。
- [0063] カソードパッド 117 およびアノードパッド 118 は、後述する温度センサ部 111 に接続されている。なお、半導体基板 10 に設けられるパッド部 110 の個数および種類は、図 3 に示す例に限定されない。
- [0064] それぞれのパッドは、アルミニウム等の金属材料で形成されている。複数のパッド部 110 は、活性部 120 と、半導体基板 10 の上面における第 1 の端辺 142 との間において、所定の方に配列されている。本例の複数のパッド部 110 は、Y 軸方向において、活性部 120 と第 1 の端辺 142 と

に挟まれて配置されている。本例の複数のパッド部 110 は、後述する活性ウエル領域 29 の上方に設けられている。

[0065] 複数のパッド部 110 の配列方向において、電流検出部 26 は、いずれか 2 つのパッド部 110 の間に設けられてよい。本例の電流検出部 26 は、第 1 方向において 2 つのパッド部 110 の間に配置されている。本例の第 1 方向とパッド部 110 の配列方向は同じ方向である。

[0066] 半導体基板 10 は、活性ウエル領域 29 を有する。活性ウエル領域 29 は、上面視においてトランジスタ部 70 およびダイオード部 80 を囲んでいる。活性ウエル領域 29 は、上面視において活性部 120 を囲んでいる。活性ウエル領域 29 は、ベース領域よりもドーピング濃度の高い第 2 導電型の領域である。本例の活性ウエル領域 29 は P+ 型である。活性ウエル領域 29 はゲート配線 50 に沿って活性部 120 を囲んでよい。ゲート配線 50 が設けられた領域の下方における半導体基板 10 には、活性ウエル領域 29 が設けられてよい。活性ウエル領域 29 は、パッド部 110 の周辺または下方にも設けられているが、図 3 では省略している。

[0067] エッジ終端構造部 90 は、半導体基板 10 の上面において、活性ウエル領域 29 と半導体基板 10 の外周端 140 との間に設けられる。エッジ終端構造部 90 は、半導体基板 10 の上面において活性ウエル領域 29 を囲むように環状に配置されてよい。本例のエッジ終端構造部 90 は、半導体基板 10 の外周端 140 に沿って配置されている。エッジ終端構造部 90 は、半導体基板 10 の上面側の電界集中を緩和する。エッジ終端構造部 90 は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0068] 温度センス配線 112 は、活性部 120 の上方に設けられる。温度センス配線 112 は半導体配線であってよい。温度センス配線 112 は、温度センス部 111 と接続される。温度センス配線 112 は、半導体基板 10 の上面において活性部 120 と外周端 140 との間の領域まで延伸し、カソードパッド 117 およびアノードパッド 118 と接続される。なお、半導体装置 1

00は、温度センス部111および温度センス配線112を備えなくともよい。

[0069] 図4は、図3における領域Pの拡大図である。領域Pは、電流検出パッド114および電流検出部26を含んでいる。図4は、参考例に係る領域Pを示している。参考例の半導体装置100は、図1において説明した内蔵抵抗部210を有していない。

[0070] 電流検出パッド114は、半導体基板10の上面の上方に配置されている。上面視では、電流検出パッド114は、第1方向において電流検出部26と並んで配置されている。電流検出パッド114および電流検出部26が第1方向において並ぶとは、電流検出パッド114の少なくとも一部と、電流検出部26の少なくとも一部とが、第1方向において向かい合っている状態を指す。電流検出パッド114の上面には、ワイヤ等の配線が接続される。

[0071] 電流検出部26の上方には、電流検出電極214が設けられている。電流検出電極214は、電流検出部26のエミッタ領域に接続される。参考例における電流検出電極214は、電流検出パッド114と接続されている。電流検出電極214は、電流検出パッド114と同一の材料で形成されてよい。つまり参考例における電流検出電極214は、電流検出パッド114が延伸した部分であってよい。このような構造により、電流検出部26の検出電流 I_s は、電流検出電極214および電流検出パッド114に流れる。

[0072] 本例のゲート配線50は、上面視において電流検出パッド114と、電流検出部26との間にも配置されている。図4の例では、ゲート配線50は電流検出部26を囲むように設けられている。電流検出部26を囲むゲート配線50は、電流検出部26におけるゲート導電部に接続されてよい。また、電流検出部26を囲むゲート配線50は、トランジスタ部70のゲート導電部にも接続されてよい。

[0073] 図4の例では、電流検出部26は、Y軸方向においてトランジスタ部70と向かい合って配置されている。本例では、電流検出部26とトランジスタ

部 70 との間にも、ゲート配線 50 が設けられている。電流検出部 26 およびトランジスタ部 70 の間のゲート配線 50 に、電流検出部 26 およびトランジスタ部 70 のゲート導電部が接続されてよい。

[0074] 図 5 は、図 4 における A-A' 断面の一例を示す図である。A-A' 断面は、電流検出部 26 および電流検出パッド 114 を通過する XZ 面である。A-A' 断面において半導体装置 100 は、半導体基板 10、コレクタ電極 24、層間絶縁膜 38、電流検出パッド 114、電流検出電極 214 およびゲート配線 50 を備える。半導体基板 10 は、上面 21 および下面 23 を有する。上面 21 および下面 23 は、半導体基板 10 の 2 つの主面である。

[0075] 層間絶縁膜 38 は、半導体基板 10 の上面 21 に設けられている。層間絶縁膜 38 は、ホウ素またはリン等の不純物が添加されたシリケートガラス等の絶縁膜、熱酸化膜、および、その他の絶縁膜の少なくとも一層を含む膜である。

[0076] 電流検出パッド 114 および電流検出電極 214 は、層間絶縁膜 38 の上方に設けられる。電流検出電極 214 は、層間絶縁膜 38 に設けられたコンタクトホールを通して、電流検出部 26 が設けられた半導体基板 10 の上面 21 と接触している。電流検出パッド 114 は、電流検出部 26 と重ならない位置に設けられており、電流検出電極 214 と接続されている。

[0077] ゲート配線 50 は、半導体基板 10 の上面 21 の上方に配置されている。ゲート配線 50 と半導体基板 10 との間には、層間絶縁膜 38 等の絶縁膜が設けられている。ゲート配線 50 は、電流検出電極 214 等の金属電極の下方に配置されている。ゲート配線 50 と金属電極とは層間絶縁膜 38 により絶縁されている。

[0078] コレクタ電極 24 は、半導体基板 10 の下面 23 に設けられる。電流検出パッド 114、電流検出電極 214 およびコレクタ電極 24 は、アルミニウム等の金属材料で形成されている。

[0079] 電流検出部 26 は、トレンチ部 40、N+ 型のエミッタ領域 12、P- 型のベース領域 14、N- 型のドリフト領域 18 および P+ 型のコレクタ領域

22を有する。トレンチ部40は、半導体基板10の上面21から内部に向かって設けられている。本例では、複数のトレンチ部40が第1方向（X軸方向）に沿って配列され、且つ、それぞれのトレンチ部40が第2方向（Y軸方向）に長手を有する。トレンチ部40は、ゲート絶縁膜42およびゲート導電部44を有する。ゲート絶縁膜42は、トレンチの内壁を覆って設けられる。ゲート絶縁膜42は、トレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部44は、トレンチの内部においてゲート絶縁膜42よりも内側に設けられる。つまりゲート絶縁膜42は、ゲート導電部44と半導体基板10とを絶縁する。ゲート導電部44は、ポリシリコン等の導電材料で形成される。図5とは異なる断面において、ゲート導電部44は、ゲート配線50と電氣的に接続される。一部のトレンチ部40は、ゲート導電部44にエミッタ電位が印加されるダミートレンチ部として機能してもよい。

[0080] X軸方向において、2つのトレンチ部40の間には、エミッタ領域12およびベース領域14が設けられている。エミッタ領域12は、半導体基板10の上面21に露出しており、電流検出電極214と接続する。ベース領域14は、エミッタ領域12とドリフト領域18との間において、トレンチ部40と接している。トレンチ部40のゲート導電部44に所定のゲート電圧が印加されると、トレンチ部40と接するベース領域14の表層がN型の領域に反転してチャネルが形成される。これにより、エミッタ領域12とドリフト領域18とがチャネルで接続されて、検出電流 I_s が流れる。

[0081] コレクタ領域22は、半導体基板10の下面23に設けられる。コレクタ領域22は、コレクタ電極24と接触する。コレクタ領域22のアクセプタ濃度は、ベース領域14のアクセプタ濃度より高い。このような構造により、電流検出部26はIGBTとして動作する。

[0082] トランジスタ部70も、電流検出部26と同様に、トレンチ部40、N+型のエミッタ領域12、P-型のベース領域14、N-型のドリフト領域1

８およびP+型のコレクタ領域２２を有する。ただしトランジスタ部７０には、電流検出部２６よりも多くのトレンチ部４０が設けられている。

[0083] ダイオード部８０も、複数のトレンチ部４０を有してよい。ただしダイオード部８０のトレンチ部４０は、上述したダミートレンチ部として機能する。また、ダイオード部８０には、エミッタ領域１２が設けられていない。ダイオード部８０においては、エミッタ領域１２に代えてベース領域１４が設けられてよい。またダイオード部８０においては、コレクタ領域２２に代えて、N+型のカソード領域が設けられている。

[0084] 半導体基板１０には、センスウエル領域２８が設けられてよい。センスウエル領域２８は、半導体基板１０の上面２１に露出するP+型の領域である。センスウエル領域２８は、トレンチ部４０よりも深くまで設けられてよい。センスウエル領域２８は、上面視において電流検出部２６を囲んでいてよい。センスウエル領域２８を設けることで、電流検出部２６を活性部１２０等から分離でき、検出電流 I_s を精度よく検出できる。

[0085] 半導体基板１０には、パッドウエル領域２５が設けられてよい。パッドウエル領域２５は、半導体基板１０の上面２１に露出するP+型の領域である。パッドウエル領域２５は、トレンチ部４０よりも深くまで設けられてよい。パッドウエル領域２５は、上面視において、電流検出パッド１１４の少なくとも一部と重なっている。パッドウエル領域２５は、電流検出パッド１１４の全体と重なっていてもよい。パッドウエル領域２５は、電流検出電極２１４の一部と重なっていてもよい。パッドウエル領域２５は、センスウエル領域２８とつながっていてもよい。

[0086] ゲート配線５０の少なくとも一部は、パッドウエル領域２５およびセンスウエル領域２８の少なくとも一方と重なっていてよい。本例では、ゲート配線５０のX軸方向の両端部は、パッドウエル領域２５またはセンスウエル領域２８と重なっている。

[0087] 図６は、図４におけるB-B'断面の一例を示す図である。B-B'断面は、電流検出部２６およびトランジスタ部７０を通過するYZ面である。B

ーB'断面において半導体装置100は、半導体基板10、コレクタ電極24、層間絶縁膜38、エミッタ電極52、電流検出電極214およびゲート配線50を備える。

[0088] 電流検出部26およびトランジスタ部70のそれぞれは、当該断面においてトレンチ部40を有している。それぞれのトレンチ部40のゲート導電部44は、ゲート配線50に接続されている。これにより、それぞれのゲート導電部44にゲート電圧が印加される。

[0089] 電流検出部26のトレンチ部40のY軸方向の端部は、センスウェル領域28に覆われていてよい。また、トランジスタ部70のトレンチ部40のY軸方向の端部は、活性ウェル領域27に覆われていてよい。活性ウェル領域27は、半導体基板10の上面21に露出するP+型の領域である。活性ウェル領域27は、トレンチ部40よりも深くまで設けられてよい。活性ウェル領域27は、図3における活性ウェル領域29に接続されていてよい。トレンチ部40の端部をP+型の領域で覆うことで、トレンチ部40の端部における電界集中を緩和できる。

[0090] 図7は、第1の実施例に係るP領域の一例を示す図である。本例の半導体装置100は、図4から図6において説明した参考例に対して、内蔵抵抗部210を更に有する。本例の半導体装置100は、特に説明する構成以外は、図4から図6において説明した参考例と同様の構造を有してよい。

[0091] 内蔵抵抗部210およびゲート配線50は、電流検出部26と電流検出パッド114との間において、第1方向(X軸方向)に並んで配置されている。図7の例では、ゲート配線50は、内蔵抵抗部210と電流検出部26との間に配置されている。ただし、内蔵抵抗部210は、ゲート配線50とは分離している。

[0092] 電流検出部26と電流検出パッド114の間とは、電流検出部26の少なくとも一部の領域と、電流検出パッド114の少なくとも一部の領域との間を指す。本例では、内蔵抵抗部210およびゲート配線50に対して、X軸方向の正側に電流検出部26の少なくとも一部が配置されており、X軸方

向の負側に電流検出パッド 114 の少なくとも一部が配置されている。内蔵抵抗部 210 およびゲート配線 50 の少なくとも一方は、電流検出パッド 114 と重なっていてもよい。

[0093] 内蔵抵抗部 210 およびゲート配線 50 が第 1 方向（X 軸方向）に並ぶとは、内蔵抵抗部 210 の少なくとも一部の領域と、ゲート配線 50 とが第 1 方向において向かい合っていることを指す。内蔵抵抗部 210 の Y 軸方向の 50% 以上の領域が、ゲート配線 50 と第 1 方向において向かい合っていてよく、内蔵抵抗部 210 の Y 軸方向の全体の領域が、ゲート配線 50 と第 1 方向において向かい合っていてもよい。内蔵抵抗部 210 は、第 1 方向においてゲート配線 50 と向かい合っていない領域を有していてもよい。例えば内蔵抵抗部 210 は、第 1 方向に並ぶゲート配線 50 よりも、Y 軸方向に長く延伸していてもよい。

[0094] 電流検出部 26 の X 軸方向の端部を、電流検出部 26 において X 軸方向の最も端に設けられたトレンチ部 40 とする。内蔵抵抗部 210 およびゲート配線 50 は、電流検出部 26 よりも電流検出パッド 114 側に配置されている。

[0095] 本例の電流検出電極 214 は、電流検出パッド 114 とは分離して設けられている。本例の電流検出パッド 114 は、半導体基板 10 には接していない。つまり、電流検出パッド 114 を形成している金属が、半導体基板 10 に接していない。電流検出電極 214 および電流検出パッド 114 は、内蔵抵抗部 210 を介して互いに接続されている。これにより、内蔵抵抗部 210 は、電流検出部 26 と電流検出パッド 114 とを接続する。

[0096] このような構造により、電流検出部 26 と電流検出パッド 114 との間に内蔵抵抗部 210 を設けることができる。内蔵抵抗部 210 の抵抗値は、内蔵抵抗部 210 の断面積、幅等の形状で調整してよく、内蔵抵抗部 210 を形成する材料で調整してよく、内蔵抵抗部 210 に添加する不純物の濃度で調整してもよい。

- [0097] 本例の内蔵抵抗部 210 は、ポリシリコンで形成されてよい。これにより、半導体基板 10 の上方に、内蔵抵抗部 210 を容易に設けることができる。
- [0098] 内蔵抵抗部 210 およびゲート配線 50 の両方が、ポリシリコンで形成されてもよい。これにより、内蔵抵抗部 210 およびゲート配線 50 の形成プロセスの少なくとも一部を共通化できる。このため、内蔵抵抗部 210 を容易に形成できる。
- [0099] 内蔵抵抗部 210 の Z 軸方向の厚みと、ゲート配線 50 の Z 軸方向の厚みが同一であってよい。これにより、内蔵抵抗部 210 およびゲート配線 50 の形成プロセスを更に共通化しやすくなる。他の例では、内蔵抵抗部 210 の Z 軸方向の厚みは、ゲート配線 50 の Z 軸配線の厚みより小さくてもよい。これにより、内蔵抵抗部 210 の抵抗値を高くできる。内蔵抵抗部 210 の Z 軸方向の厚みは、ゲート配線 50 の Z 軸配線の厚みの半分以下であってもよい。
- [0100] 内蔵抵抗部 210 の不純物濃度 (atoms/cm^3) と、ゲート配線 50 の不純物濃度とが同一であってよい。これにより、内蔵抵抗部 210 およびゲート配線 50 の形成プロセスを更に共通化しやすくなる。他の例では、内蔵抵抗部 210 の不純物濃度は、ゲート配線 50 の不純物濃度より小さくてもよい。これにより、内蔵抵抗部 210 の抵抗値を高くできる。内蔵抵抗部 210 の不純物濃度は、ゲート配線 50 の不純物濃度の半分以下であってよい。
- [0101] 図 8 は、図 7 の A-A' 断面の一例を示す図である。図 5 の例と同様に、A-A' 断面は、電流検出部 26 および電流検出パッド 114 を通過する XZ 面である。図 7 において説明したように、本例の半導体装置 100 は、A-A' 断面において内蔵抵抗部 210 を有する。
- [0102] 内蔵抵抗部 210 は、半導体基板 10 の上面 21 の上方に配置されている。内蔵抵抗部 210 は、ゲート配線 50 と同一の高さ位置に設けられてよ

い。本例の内蔵抵抗部 210 は、電流検出電極 214 および電流検出パッド 114 の両方と重なっている。

[0103] 内蔵抵抗部 210 は、第 1 接続部 221 により電流検出電極 214 および電流検出部 26 に電氣的に接続されている。第 1 接続部 221 は、電流検出電極 214 から内蔵抵抗部 210 まで層間絶縁膜 38 を貫通して設けられており、内蔵抵抗部 210 の表面に接触している。内蔵抵抗部 210 は、第 2 接続部 222 により電流検出パッド 114 に電氣的に接続されている。第 2 接続部 222 は、電流検出パッド 114 から内蔵抵抗部 210 まで層間絶縁膜 38 を貫通して設けられており、内蔵抵抗部 210 の表面に接触している。

[0104] 第 1 接続部 221 および第 2 接続部 222 は、第 1 方向（X 軸方向）において並んで配置されていてよい。つまり第 1 接続部 221 および第 2 接続部 222 の第 2 方向（Y 軸方向）における位置は同一であってよい。第 1 接続部 221 は、Y 軸方向に長手を有してよく、X 軸方向に長手を有してもよい。第 2 接続部 222 は、Y 軸方向に長手を有してよく、X 軸方向に長手を有してもよい。図 8 の例では、第 1 接続部 221 および第 2 接続部 222 がそれぞれ 1 つずつ設けられている。第 1 接続部 221 および第 2 接続部 222 のそれぞれは、後述するように複数並んで設けられていてもよい。

[0105] ゲート配線 50 の少なくとも一部は、センスウェル領域 28 と重なっていてよい。本例では、ゲート配線 50 の全体がセンスウェル領域 28 と重なっている。内蔵抵抗部 210 の少なくとも一部は、パッドウェル領域 25 と重なっていてよい。本例では、内蔵抵抗部 210 の全体がパッドウェル領域 25 と重なっている。

[0106] 図 9 は、第 2 の実施例に係る P 領域の一例を示す図である。本例の半導体装置 100 は、第 1 接続部 221 および第 2 接続部 222 の配置が、第 1 の実施例と相違する。他の構造は、第 1 の実施例と同様である。各実施例における B-B' 断面は、図 6 の例と同様であるので説明を省略する。

- [0107] 内蔵抵抗部210は、第2方向（Y軸方向）において長手を有する。本例の第1接続部221および第2接続部222は、Y軸方向において異なる位置に配置されている。これにより、第1接続部221から第2接続部222までの距離を長くでき、第1接続部221から第2接続部222までの抵抗値を大きくできる。
- [0108] 電流検出電極214は、第1接続部221と重なる位置まで延伸する第1延伸部を有してよい。電流検出パッド114は、第2接続部222と重なる位置まで延伸する第2延伸部を有してよい。
- [0109] 内蔵抵抗部210とX軸方向に並んで配置されたゲート配線50も、Y軸方向に長手を有してよい。内蔵抵抗部210のY軸方向の長さは、並んで配置されたゲート配線50より長くてもよく、短くてもよい。
- [0110] 図10は、内蔵抵抗部210を拡大した図である。Y軸方向における内蔵抵抗部210の中央位置をZcとし、内蔵抵抗部210の両端位置をZ1およびZ2とする。また、内蔵抵抗部210をY軸方向において等分した領域を、第1領域231および第2領域232とする。本例の第1領域231は、位置ZcからZ1までの領域であり、第2領域232は、位置ZcからZ2までの領域である。
- [0111] 第1接続部221は第1領域231に配置され、第2接続部222は第2領域232に配置されてよい。これにより、第1接続部221と第2接続部222との距離を大きくでき、第1接続部221と第2接続部222との間の抵抗値を大きくできる。第1接続部221と第2接続部222とのY軸方向の距離Dは、内蔵抵抗部210のY軸方向の長さLの半分以上であってよく、 $3/4$ 以上であってよい。
- [0112] 内蔵抵抗部210のX軸方向の幅Wは、並んで配置されたゲート配線50のX軸方向の幅と同一であってよく、異なってもよい。内蔵抵抗部210のX軸方向の幅Wは、並んで配置されたゲート配線50のX軸方向の幅の100%未満であってよく、50%以下であってよく、25%以下であって

もよい。内蔵抵抗部 210 の幅 W を小さくすることで、第 1 接続部 221 と第 2 接続部 222 との間の抵抗値を大きくできる。

[0113] 第 1 接続部 221 は、複数並んで設けられていてもよい。図 10 の例では、複数の第 1 接続部 221 が、 X 軸方向に並んで配置されている。それぞれの第 1 接続部 221 の X 軸方向の幅を x 、 Y 軸方向の長さを y 、第 1 接続部 221 どうしの X 軸方向における間隔を p とする。幅 x は、 $0.4\ \mu\text{m}$ 以上、 $0.5\ \mu\text{m}$ 以下であってよい。長さ y は、 $4\ \mu\text{m}$ 以上、 $8\ \mu\text{m}$ 以下であってよい。間隔 p は、 $1\ \mu\text{m}$ 以上、 $2\ \mu\text{m}$ 以下であってよい。第 1 接続部 221 の本数は、2 本以上、6 本以下であってよい。第 2 接続部 222 も、複数並んで設けられていてよい。第 2 接続部 222 の X 軸方向における配置、本数、幅、長さおよび間隔は、第 1 接続部 221 と同様であってよい。

[0114] 図 11 は、図 9 の $A-A'$ 断面の一例を示す図である。 $A-A'$ 断面は、第 1 接続部 221 を通過する XZ 面である。当該断面では、第 1 接続部 221 により、内蔵抵抗部 210 と電流検出電極 214 とが接続している。

[0115] 図 12 は、図 9 の $C-C'$ 断面の一例を示す図である。 $C-C'$ 断面は、第 2 接続部 222 を通過する XZ 面である。当該断面では、第 2 接続部 222 により、内蔵抵抗部 210 と電流検出パッド 114 とが接続している。

[0116] 第 2 接続部 222 は、 X 軸方向において、電流検出部 26 と向かい合って配置されてよく、向かい合って配置されていなくてもよい。本例の第 2 接続部 222 は、電流検出部 26 およびトランジスタ部 70 の間に配置されたゲート配線 50 と、 X 軸方向において向かい合って配置されている。これにより、第 2 接続部 222 を第 1 接続部 221 から離して配置できる。

[0117] 図 13 は、第 3 の実施例に係る P 領域の一例を示す図である。本例では、ゲート配線 50 および内蔵抵抗部 210 の配置が、第 1 の実施例および第 2 の実施例と相違する。他の構造は、第 1 の実施例および第 2 の実施例のいずれかと同様である。図 13 の例では、第 2 の実施例と同様に第 1 接続部 221 および第 2 接続部 222 を配置しているが、第 1 の実施例と同様に第 1 接続部 221 および第 2 接続部 222 を配置してもよい。

- [0118] 本例のゲート配線50は、電流検出部26および電流検出パッド114の間において、X軸方向において複数並んで設けられている。それぞれのゲート配線50は、Y軸方向の端部において互いに接続されている。
- [0119] 本例の内蔵抵抗部210は、電流検出部26と電流検出パッド114との間において、2つのゲート配線50にX軸方向において挟まれている。内蔵抵抗部210は、Y軸方向においても、ゲート配線50に挟まれていてよい。本例の内蔵抵抗部210は、ゲート配線50に囲まれて配置されている。
- [0120] 図14は、図13のA-A'断面の一例を示す図である。A-A'断面は、第1接続部221を通過するXZ面である。図13において説明したように、内蔵抵抗部210が、2つのゲート配線50に挟まれて配置されている。当該断面では、第1接続部221により、内蔵抵抗部210と電流検出電極214とが接続している。
- [0121] 内蔵抵抗部210と電流検出部26との間のゲート配線50の少なくとも一部は、センスウェル領域28と重なっていてよい。本例では、当該ゲート配線50の全体がセンスウェル領域28と重なっている。内蔵抵抗部210の少なくとも一部は、パッドウェル領域25と重なっていてよい。本例では、内蔵抵抗部210の全体がパッドウェル領域25と重なっている。内蔵抵抗部210と電流検出パッド114との間のゲート配線50の少なくとも一部は、パッドウェル領域25と重なっていてよい。本例では、当該ゲート配線50の全体がパッドウェル領域25と重なっている。
- [0122] 図15は、図13のC-C'断面の一例を示す図である。C-C'断面は、第2接続部222を通過するXZ面である。図13において説明したように、内蔵抵抗部210が、2つのゲート配線50に挟まれて配置されている。当該断面では、第2接続部222により、内蔵抵抗部210と電流検出パッド114とが接続している。
- [0123] 図16は、第4の実施例に係るP領域の一例を示す図である。本例では、ゲート配線50および内蔵抵抗部210の配置が、第1の実施例および第2

の実施例と相違する。他の構造は、第 1 の実施例および第 2 の実施例のいずれかと同様である。図 1 6 の例では、第 2 の実施例と同様に第 1 接続部 2 2 1 および第 2 接続部 2 2 2 を配置しているが、第 1 の実施例と同様に第 1 接続部 2 2 1 および第 2 接続部 2 2 2 を配置してもよい。

[0124] 本例のゲート配線 5 0 は、内蔵抵抗部 2 1 0 と電流検出パッド 1 1 4 との間に配置されている。ゲート配線 5 0 の少なくとも一部は、電流検出パッド 1 1 4 と重なっていてよい。本例の内蔵抵抗部 2 1 0 は、Y 軸方向においてゲート配線 5 0 に挟まれている。

[0125] 図 1 7 は、図 1 6 の A - A' 断面の一例を示す図である。A - A' 断面は、第 1 接続部 2 2 1 を通過する X Z 面である。図 1 6 において説明したように、内蔵抵抗部 2 1 0 が、ゲート配線 5 0 と電流検出電極 2 1 4 とに挟まれて配置されている。当該断面では、第 1 接続部 2 2 1 により、内蔵抵抗部 2 1 0 と電流検出電極 2 1 4 とが接続している。

[0126] ゲート配線 5 0 の少なくとも一部は、パッドウェル領域 2 5 と重なっていてよい。本例では、ゲート配線 5 0 の全体がパッドウェル領域 2 5 と重なっている。内蔵抵抗部 2 1 0 の少なくとも一部は、センスウェル領域 2 8 と重なっていてよい。本例では、内蔵抵抗部 2 1 0 の全体がセンスウェル領域 2 8 と重なっている。

[0127] 図 1 8 は、図 1 6 の C - C' 断面の一例を示す図である。C - C' 断面は、第 2 接続部 2 2 2 を通過する X Z 面である。当該断面では、第 2 接続部 2 2 2 により、内蔵抵抗部 2 1 0 と電流検出パッド 1 1 4 とが接続している。

[0128] 図 7 から図 1 8 において説明した内蔵抵抗部 2 1 0 は、Y 軸方向に延伸する直線形状を有している。他の例の内蔵抵抗部 2 1 0 は、Y 軸方向に延伸する部分と、Y 軸方向とは異なる他の方向に延伸する部分を有していてもよい。つまり内蔵抵抗部 2 1 0 は、上面視において折れ曲がった形状を有していてもよい。

[0129] 例えば図 1 3 に示したような、内蔵抵抗部 2 1 0 がゲート配線 5 0 に囲まれている形態において、内蔵抵抗部 2 1 0 は、電流検出部 2 6 とトランジス

タ部 70 との間で、X 軸方向に延伸する部分を有してもよい。この場合、第 1 接続部 221 および第 2 接続部 222 の一方が電流検出部 26 とトランジスタ部 70 との間に配置され、他方の接続部が電流検出部 26 と電流検出パッド 114 との間に配置されてよい。これにより、第 1 接続部 221 および第 2 接続部 222 の間の内蔵抵抗部 210 の長さを更に長くでき、抵抗値を大きくできる。

[0130] X 軸方向に延伸する内蔵抵抗部 210 は、Y 軸方向において 2 つのゲート配線 50 に挟まれてよい。内蔵抵抗部 210 とトランジスタ部 70 との間のゲート配線 50 は、トランジスタ部 70 のゲート導電部 44 と接続されてよい。内蔵抵抗部 210 と電流検出部 26 との間のゲート配線 50 は、電流検出部 26 のゲート導電部 44 と接続されてよい。

[0131] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0132] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、18・・・ドリフト領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、25・・・パッドウェル領域、26・・・電流検出部、27・・・活性ウェル領域、28・・・センスウェル領域、29・・・活性ウェル領域、38・・・層間絶縁膜、40・・・トレンチ部、42・・・ゲート絶縁膜、44・・・ゲート導電部、50・・・ゲート配線、52・・・エミッタ電極、70・・・トランジスタ部、80・・・ダイオード部、90・・・エッジ終端構造部、100・・・半導体装置、110・・・パッド部、111・・・温度センス部、112・・・温度センス配線、114・・・電流検出パッド、115・・・補助エミッタパッド、116・・・ゲートパッド、117・・・カソードパッド、118・・・ア

ノードパッド、１２０・・・活性部、１４０・・・外周端、１４２・・・端
辺、２００・・・半導体モジュール、２０１・・・ゲート駆動回路、２０６
・・・外付抵抗部、２１０・・・内蔵抵抗部、２１４・・・電流検出電極、
２２１・・・第１接続部、２２２・・・第２接続部、２３１・・・第１領
域、２３２・・・第２領域

請求の範囲

- [請求項1] 半導体基板を備える半導体装置であって、
 前記半導体基板の内部に設けられ、ゲート導電部を有するトランジスタ部と、
 前記半導体基板の内部に設けられ、前記トランジスタ部の主電流に応じた検出電流が流れる電流検出部と、
 前記半導体基板の上方に配置され、第1方向において前記電流検出部と並んで配置された電流検出パッドと、
 前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部と、
 前記半導体基板の上方に配置され、前記ゲート導電部と接続されるゲート配線と
 を備え、
 前記内蔵抵抗部および前記ゲート配線は、前記電流検出部と前記電流検出パッドとの間において、前記第1方向に並んで配置されている
 半導体装置。
- [請求項2] 前記内蔵抵抗部および前記ゲート配線は、ポリシリコンで形成されている
 請求項1に記載の半導体装置。
- [請求項3] 前記内蔵抵抗部と前記ゲート配線の厚みが同一である
 請求項2に記載の半導体装置。
- [請求項4] 前記内蔵抵抗部は、上面視において前記第1方向とは異なる第2方向に長手を有する
 請求項1から3のいずれか一項に記載の半導体装置。
- [請求項5] 前記内蔵抵抗部に接触し、前記内蔵抵抗部と前記電流検出部とを電氣的に接続する第1接続部と、

前記内蔵抵抗部に接触し、前記内蔵抵抗部と前記電流検出パッドとを電氣的に接続する第2接続部と

を更に備え、

前記第2方向において、前記第1接続部と前記第2接続部とが異なる位置に配置されている

請求項4に記載の半導体装置。

[請求項6] 前記第1接続部は、前記内蔵抵抗部を前記第2方向に等分した第1領域および第2領域のうちの前記第1領域に配置され、

前記第2接続部は、前記第2領域に配置されている

請求項5に記載の半導体装置。

[請求項7] 前記ゲート配線は、前記第2方向に長手を有する

請求項4に記載の半導体装置。

[請求項8] 前記ゲート配線は、前記内蔵抵抗部と前記電流検出部との間に配置されている

請求項7に記載の半導体装置。

[請求項9] 前記ゲート配線は、前記内蔵抵抗部と前記電流検出パッドとの間に配置されている

請求項7に記載の半導体装置。

[請求項10] 前記ゲート配線は、前記電流検出部と前記電流検出パッドとの間において、前記第1方向において並んで複数設けられており、

前記内蔵抵抗部は、前記電流検出部と前記電流検出パッドとの間において、2つの前記ゲート配線に挟まれている

請求項7に記載の半導体装置。

[請求項11] 前記電流検出パッドは、前記半導体基板に接していない

請求項1から3のいずれか一項に記載の半導体装置。

[請求項12] 前記トランジスタ部は、

前記半導体基板の内部に設けられた第1導電型のドリフト領域と、

前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域と、

前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域とを有し、

前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のパッドウェル領域を更に備え、

前記パッドウェル領域は、上面視において前記電流検出パッドの全体と重なっている

請求項1から3のいずれか一項に記載の半導体装置。

[請求項13]

前記トランジスタ部は、

前記半導体基板の内部に設けられた第1導電型のドリフト領域と、

前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域と、

前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域とを有し、

前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のウェル領域を更に備え、

前記ウェル領域は、上面視において前記内蔵抵抗部の全体と重なっている

請求項1から3のいずれか一項に記載の半導体装置。

- [請求項14] 前記内蔵抵抗部の抵抗値は、前記内蔵抵抗部および前記電流検出パッドと直列に接続された外付抵抗部の抵抗値よりも大きい
請求項 1 から 3 のいずれか一項に記載の半導体装置。
- [請求項15] 半導体基板を備える半導体装置と、前記半導体装置に接続された外付抵抗部とを備える半導体モジュールであって、
前記半導体装置は、
前記半導体基板の内部に設けられ、ゲート導電部を有するトランジスタ部と、
前記半導体基板の内部に設けられ、前記トランジスタ部の主電流に応じた検出電流が流れる電流検出部と、
前記半導体基板の上方に配置された電流検出パッドと、
前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部と
を有し、
前記外付抵抗部は、前記内蔵抵抗部および前記電流検出パッドと直列に接続され、
前記内蔵抵抗部の抵抗値が、前記外付抵抗部の抵抗値よりも大きい
半導体モジュール。
- [請求項16] 前記内蔵抵抗部の抵抗値が、前記外付抵抗部の抵抗値の 3 倍以上、10 倍以下である
請求項 15 に記載の半導体モジュール。
- [請求項17] 前記内蔵抵抗部の抵抗値が、6 Ω 以上である
請求項 15 または 16 に記載の半導体モジュール。
- [請求項18] 前記内蔵抵抗部の抵抗値が、20 Ω 以下である
請求項 17 に記載の半導体モジュール。
- [請求項19] 前記内蔵抵抗部の抵抗値 (Ω) が、前記半導体装置の定格電流を I_r (A) とした場合に、 $I_r / 50$ 以上である

請求項 15 または 16 に記載の半導体モジュール。

[請求項20]

前記内蔵抵抗部の前記抵抗値が、 $I_r / 15$ 以下である

請求項 19 に記載の半導体モジュール。

補正された請求の範囲（条約第19条）**2024年12月24日（ 24. 12. 2024 ） 国際事務局受理**

- [請求項1] 半導体基板を備える半導体装置であって、
 前記半導体基板の内部に設けられ、ゲート導電部を有するトランジスタ部と、
 前記半導体基板の内部に設けられ、前記トランジスタ部の主電流に応じた検出電流が流れる電流検出部と、
 前記半導体基板の上方に配置され、第1方向において前記電流検出部と並んで配置された電流検出パッドと、
 前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部と、
 前記半導体基板の上方に配置され、前記ゲート導電部と接続されるゲート配線と
 を備え、
 前記内蔵抵抗部および前記ゲート配線は、前記電流検出部と前記電流検出パッドとの間において、前記第1方向に並んで配置されている
 半導体装置。
- [請求項2] 前記内蔵抵抗部および前記ゲート配線は、ポリシリコンで形成されている
 請求項1に記載の半導体装置。
- [請求項3] 前記内蔵抵抗部と前記ゲート配線の厚みが同一である
 請求項2に記載の半導体装置。
- [請求項4] 前記内蔵抵抗部は、上面視において前記第1方向とは異なる第2方向に長手を有する
 請求項1から3のいずれか一項に記載の半導体装置。
- [請求項5] 前記内蔵抵抗部に接触し、前記内蔵抵抗部と前記電流検出部とを電氣的に接続する第1接続部と、

前記内蔵抵抗部に接触し、前記内蔵抵抗部と前記電流検出パッドとを電氣的に接続する第2接続部と

を更に備え、

前記第2方向において、前記第1接続部と前記第2接続部とが異なる位置に配置されている

請求項4に記載の半導体装置。

[請求項6] 前記第1接続部は、前記内蔵抵抗部を前記第2方向に等分した第1領域および第2領域のうちの前記第1領域に配置され、
前記第2接続部は、前記第2領域に配置されている
請求項5に記載の半導体装置。

[請求項7] 前記ゲート配線は、前記第2方向に長手を有する
請求項4に記載の半導体装置。

[請求項8] 前記ゲート配線は、前記内蔵抵抗部と前記電流検出部との間に配置されている
請求項7に記載の半導体装置。

[請求項9] 前記ゲート配線は、前記内蔵抵抗部と前記電流検出パッドとの間に配置されている
請求項7に記載の半導体装置。

[請求項10] 前記ゲート配線は、前記電流検出部と前記電流検出パッドとの間において、前記第1方向において並んで複数設けられており、
前記内蔵抵抗部は、前記電流検出部と前記電流検出パッドとの間において、2つの前記ゲート配線に挟まれている
請求項7に記載の半導体装置。

[請求項11] 前記電流検出パッドは、前記半導体基板に接していない
請求項1から3のいずれか一項に記載の半導体装置。

[請求項12] [補正後]

前記トランジスタ部は、

前記半導体基板の内部に設けられた第1導電型のドリフト領域と、

前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域と、

前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域とを有し、

前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のパッドウェル領域を更に備え、

前記パッドウェル領域は、上面視において前記電流検出パッドの少なくとも一部と重なっている

請求項1から3のいずれか一項に記載の半導体装置。

[請求項13]

[補正後]

前記パッドウェル領域は、上面視において前記電流検出パッドの全体と重なっている

請求項12に記載の半導体装置。

[請求項14]

[補正後]

前記トランジスタ部は、

前記半導体基板の内部に設けられた第1導電型のドリフト領域と、

前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域と、

前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域とを有し、

前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のウェル領域を更に備え、

前記ウェル領域は、上面視において前記内蔵抵抗部の少なくとも一部と重なっている

請求項1から3のいずれか一項に記載の半導体装置。

[請求項15]

[補正後]

前記ウェル領域は、上面視において前記内蔵抵抗部の全体と重なっている

請求項14に記載の半導体装置。

[請求項16]

[補正後]

前記内蔵抵抗部の抵抗値は、前記内蔵抵抗部および前記電流検出パッドと直列に接続された外付抵抗部の抵抗値よりも大きい

請求項1から3のいずれか一項に記載の半導体装置。

[請求項17]

[補正後]

前記電流検出パッドは、上面視において前記内蔵抵抗部と重なる位置から、前記第1方向において前記内蔵抵抗部よりも前記電流検出部から離れた位置まで配置されている

請求項1から3のいずれか一項に記載の半導体装置。

[請求項18]

[補正後]

上面視における前記第1方向と垂直な第2方向において、前記電流検出パッドの長さは、前記電流検出部の長さよりも大きい

請求項1から3のいずれか一項に記載の半導体装置。

[請求項19]

[補正後]

前記ゲート配線は、上面視において、前記電流検出部を囲んでいる

請求項1から3のいずれか一項に記載の半導体装置。

[請求項20]

[補正後]

前記電流検出部は、上面視における前記第1方向と垂直な第2方向において、前記トランジスタ部と並んで配置されている

請求項1から3のいずれか一項に記載の半導体装置。

[請求項21]

[追加]

前記トランジスタ部は、

前記半導体基板の内部に設けられた第1導電型のドリフト領域と、

前記半導体基板の内部において前記ドリフト領域の上方に配置され、前記ドリフト領域よりも高濃度の第1導電型のエミッタ領域と、

前記半導体基板の内部において前記ドリフト領域と前記エミッタ領域との間に配置された第2導電型のベース領域と

を有し、

前記半導体基板の内部に設けられ、前記半導体基板の上面から前記ベース領域よりも深くまで設けられた第2導電型のウェル領域を更に備え、

前記ウェル領域は、上面視において前記ゲート配線の少なくとも一部と重なっている

請求項1から3のいずれか一項に記載の半導体装置。

[請求項22]

[追加]

半導体基板を備える半導体装置と、前記半導体装置に接続された外付抵抗部とを備える半導体モジュールであって、

前記半導体装置は、

前記半導体基板の内部に設けられ、ゲート導電部を有するトランジスタ部と、

前記半導体基板の内部に設けられ、前記トランジスタ部の主電流に応じた検出電流が流れる電流検出部と、

前記半導体基板の上方に配置された電流検出パッドと、

前記半導体基板の上方に設けられ、前記電流検出部と前記電流検出パッドとを接続する内蔵抵抗部と

を有し、

前記外付抵抗部は、前記内蔵抵抗部および前記電流検出パッドと直列に接続されている

半導体モジュール。

[請求項23]

[追加]

前記内蔵抵抗部の抵抗値が、前記外付抵抗部の抵抗値よりも大きい

請求項 2 2 に記載の半導体モジュール。

[請求項24]

[追加]

前記内蔵抵抗部の抵抗値が、前記外付抵抗部の抵抗値の 3 倍以上、10 倍以下である

請求項 2 3 に記載の半導体モジュール。

[請求項25]

[追加]

前記内蔵抵抗部の抵抗値が、6 Ω 以上である

請求項 2 3 または 2 4 に記載の半導体モジュール。

[請求項26]

[追加]

前記内蔵抵抗部の抵抗値が、20 Ω 以下である

請求項 2 5 に記載の半導体モジュール。

[請求項27]

[追加]

前記内蔵抵抗部の抵抗値 (Ω) が、前記半導体装置の定格電流を I_r (A) とした場合に、 $I_r / 50$ 以上である

請求項 2 3 または 2 4 に記載の半導体モジュール。

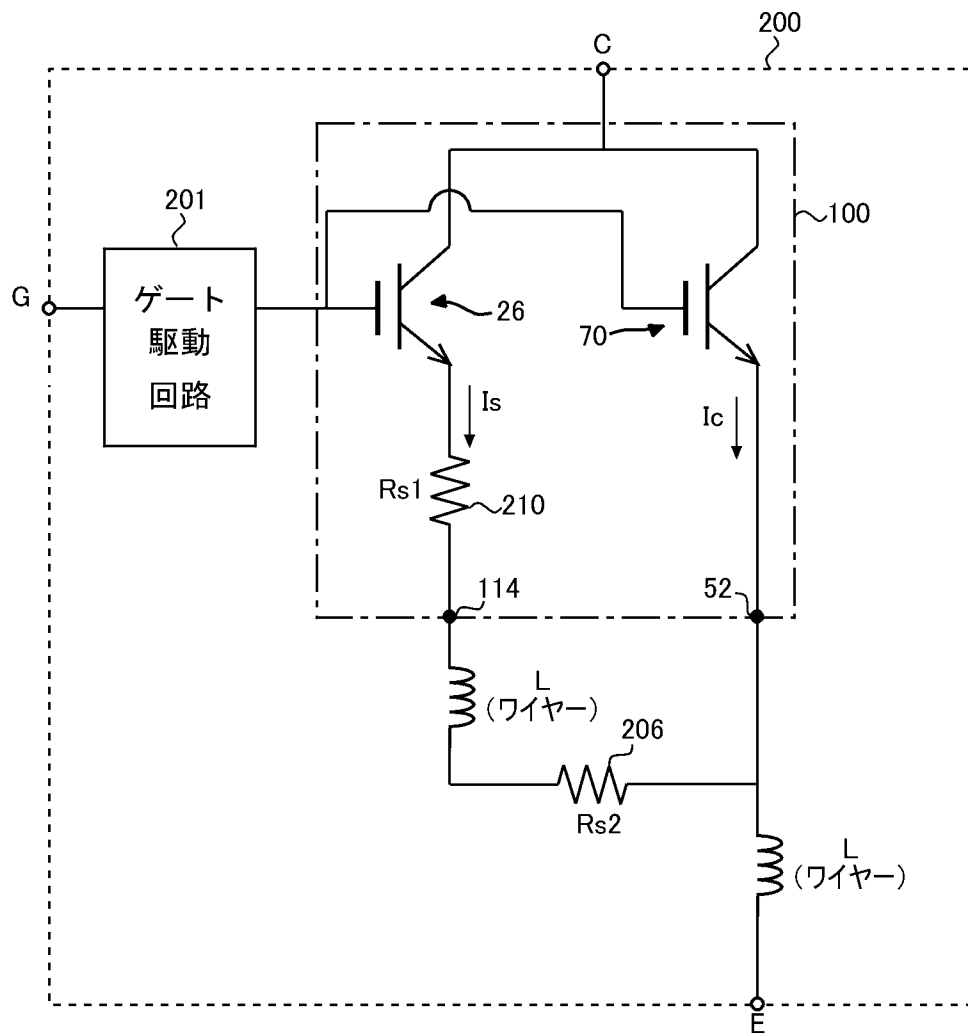
[請求項28]

[追加]

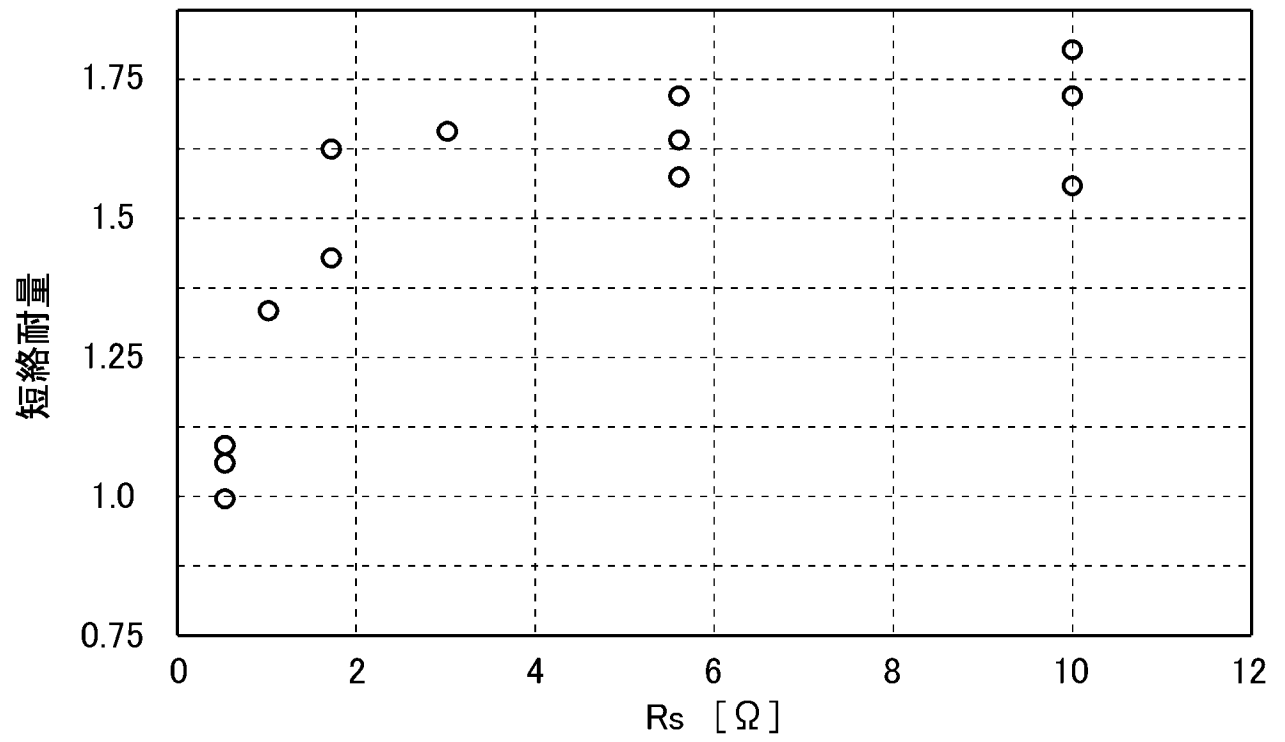
前記内蔵抵抗部の前記抵抗値が、 $I_r / 15$ 以下である

請求項 2 7 に記載の半導体モジュール。

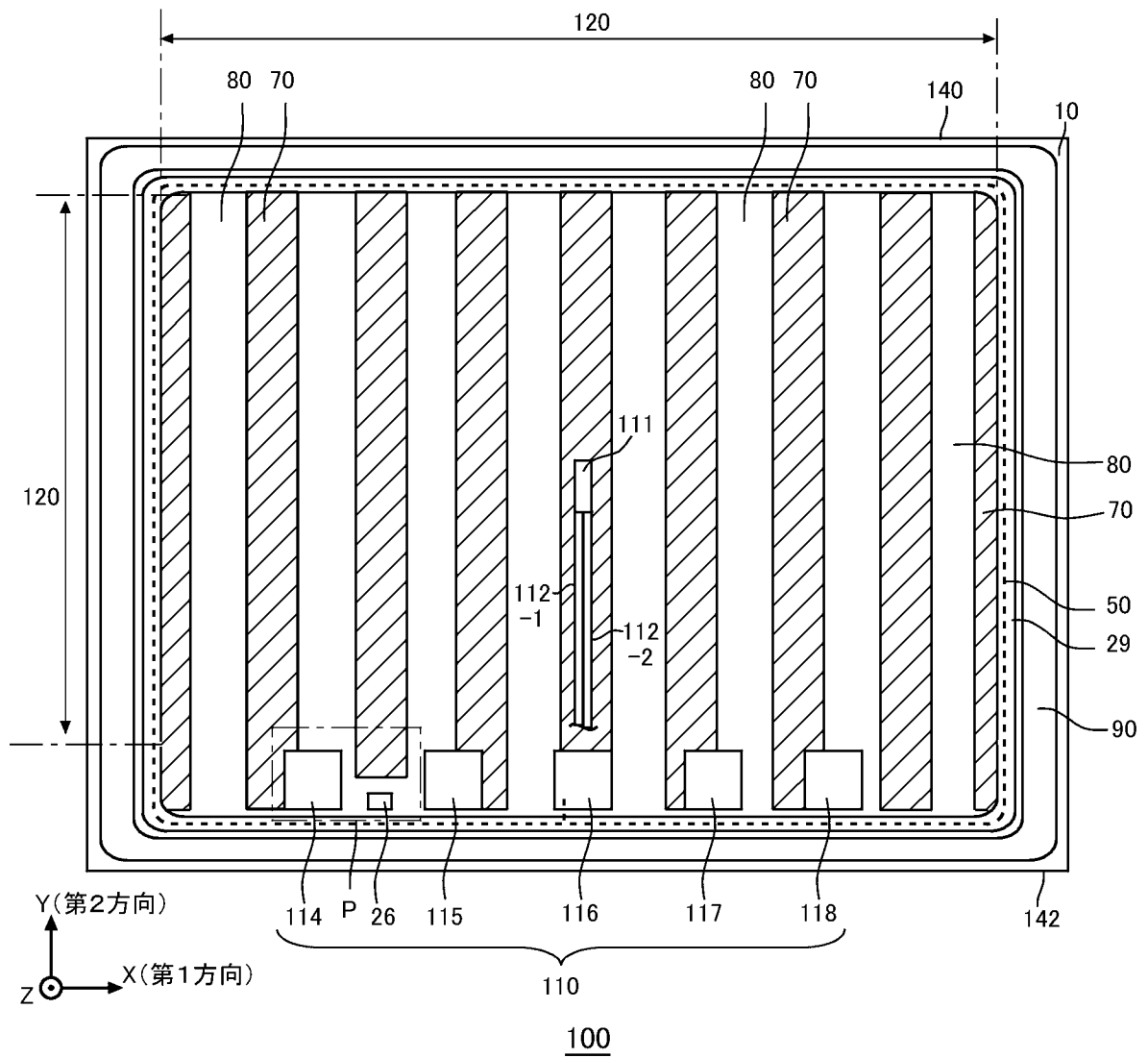
[図 1]



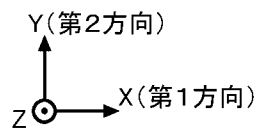
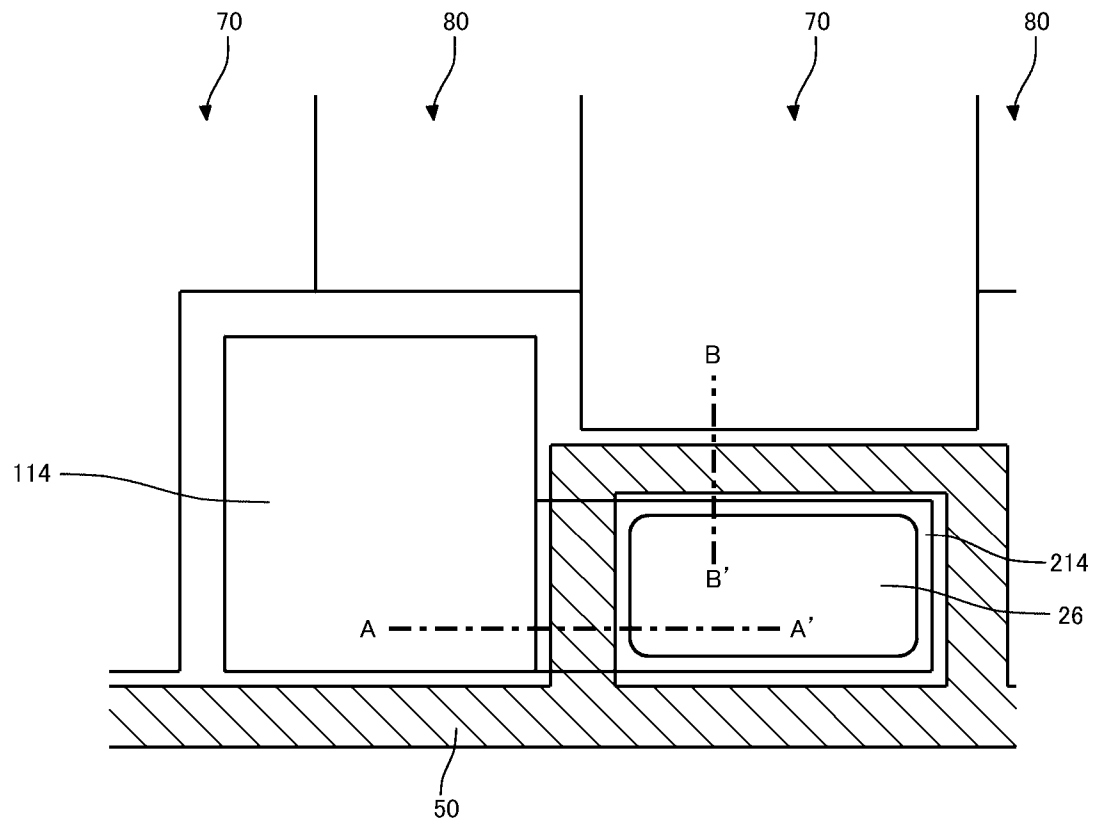
[図 2]



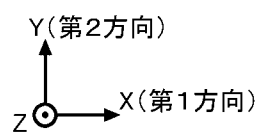
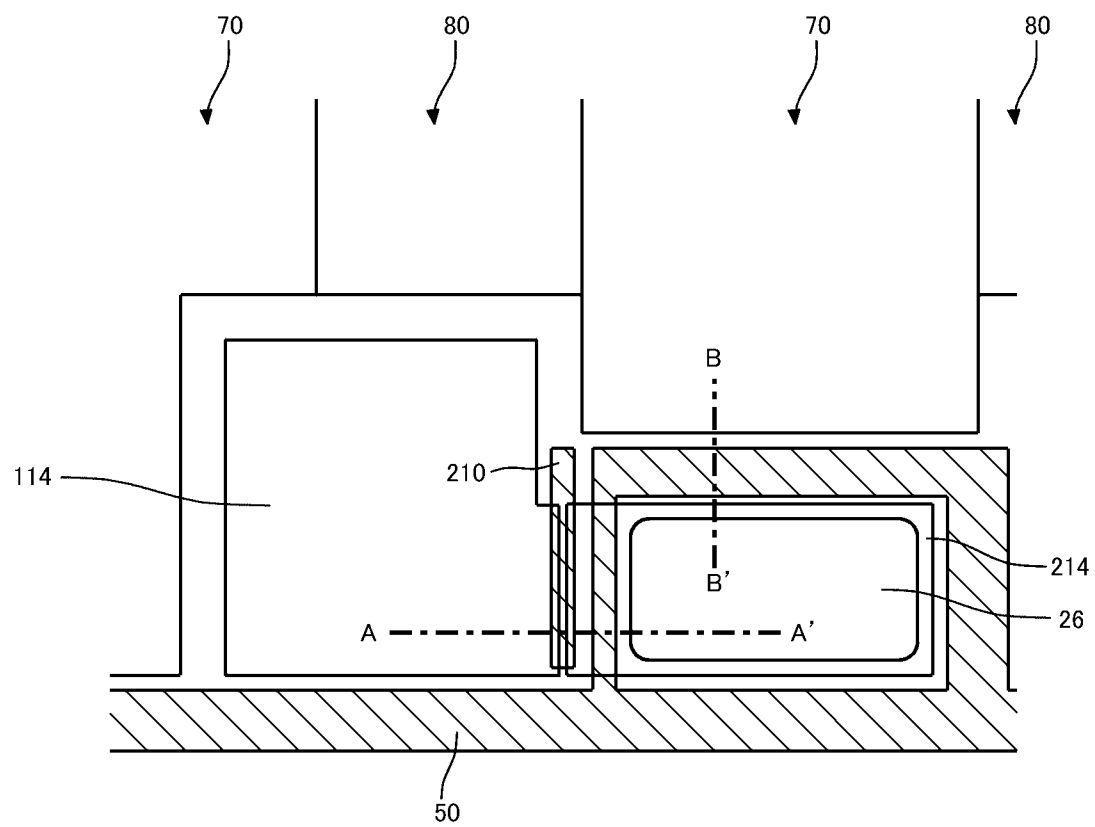
[図 3]



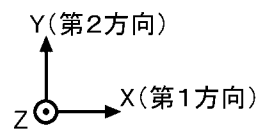
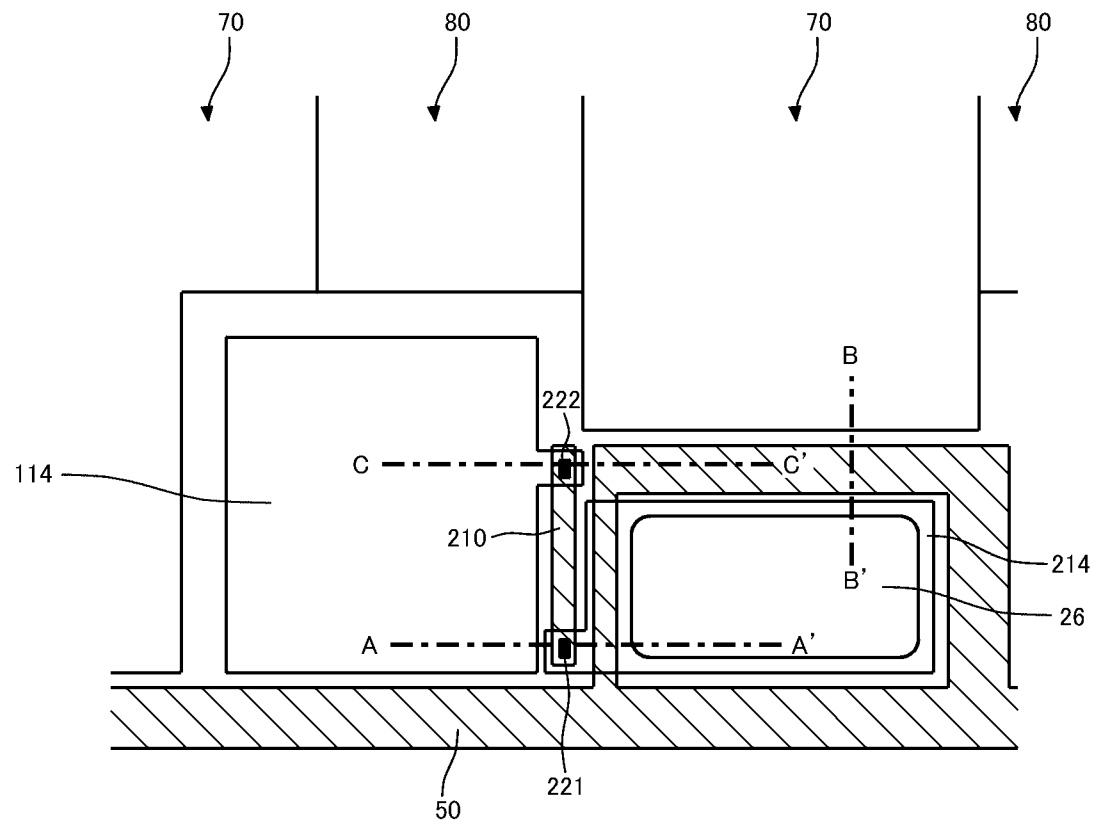
[図 4]

P

[図 7]

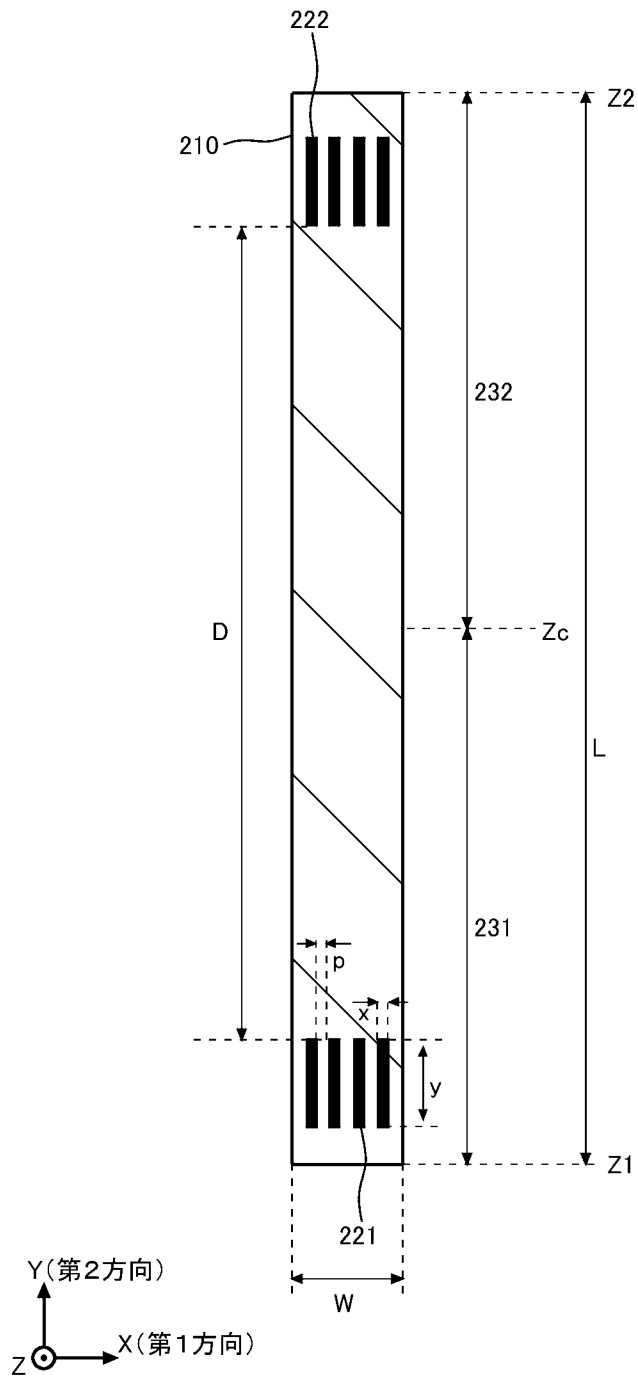
P

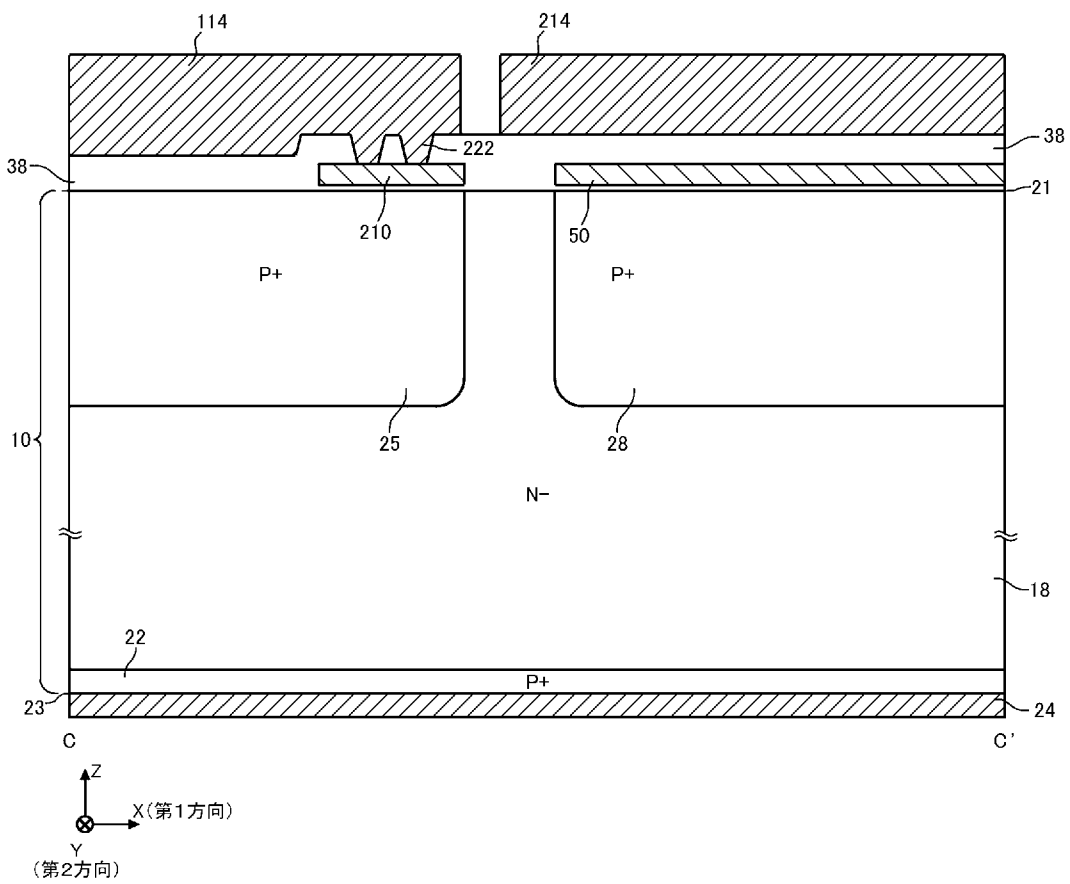
[図 9]



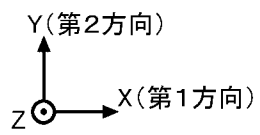
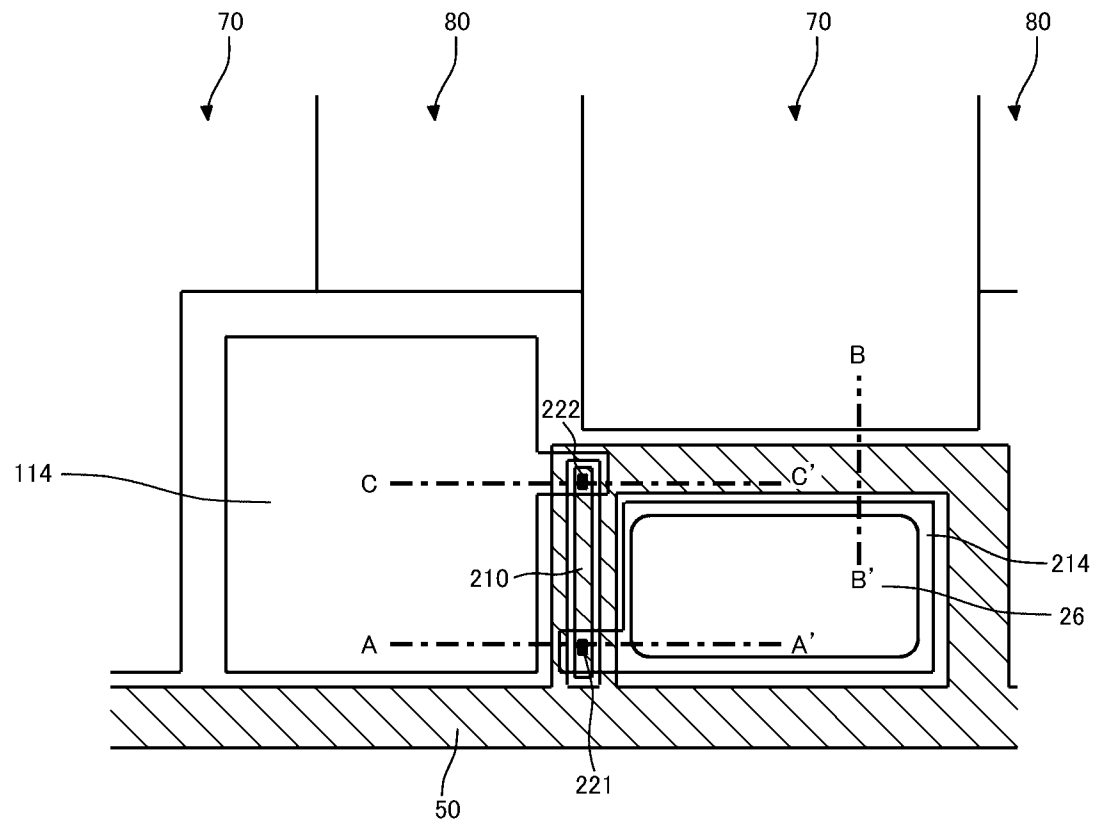
P

[図 10]





[図 13]

P

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/027772

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/78 (2006.01)i; H01L 21/822 (2006.01)i; H01L 21/8234 (2006.01)i; H01L 27/04 (2006.01)i; H01L 27/06 (2006.01)i; H01L 27/088 (2006.01)i; H01L 29/739 (2006.01)i FI: H01L29/78 652Q; H01L29/78 657F; H01L29/78 657G; H01L29/78 657D; H01L29/78 655G; H01L29/78 657A; H01L29/78 655F; H01L29/78 653A; H01L27/04 P; H01L27/06 102A; H01L27/088 E According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/739 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 64-068005 A (NISSAN MOTOR CO., LTD.) 14 March 1989 (1989-03-14) p. 3, upper left column, lines 8-20, p. 5, lower left column, line 6 to lower right column, line 9, fig. 1, 8a	1-4, 7-8, 11
A	p. 3, upper left column, lines 8-20, p. 5, lower left column, line 6 to lower right column, line 9, fig. 1, 8a	5-6, 9-10, 12-20
A	WO 2023/002767 A1 (ROHM CO., LTD.) 26 January 2023 (2023-01-26) fig. 32-33	1-20
A	JP 8-316472 A (HITACHI, LTD.) 29 November 1996 (1996-11-29) fig. 2, 5-6	1-20
A	JP 2-301151 A (TOYOTA AUTOM LOOM WORKS LTD.) 13 December 1990 (1990-12-13) fig. 1-2	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 03 October 2024		Date of mailing of the international search report 15 October 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-209943 A (DENSO CORPORATION) 04 August 2005 (2005-08-04) fig. 1	1-20
A	JP 2023-055165 A (DENSO CORPORATION) 17 April 2023 (2023-04-17) fig. 6	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/027772

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	64-068005	A	14 March 1989	US 4893158 A p. 34, right-hand column, lines 55-62, p. 36, right-hand column, lines 43-57, fig. 24A, 32B	
				DE 3821065 A1	
WO	2023/002767	A1	26 January 2023	US 2024/0153944 A1 fig. 32-33	
				CN 117716510 A	
JP	8-316472	A	29 November 1996	(Family: none)	
JP	2-301151	A	13 December 1990	US 5061863 A fig. 1-2	
				DE 4015625 A1	
				KR 10-1990-0019223 A	
JP	2005-209943	A	04 August 2005	US 2005/0162798 A1 fig. 1	
JP	2023-055165	A	17 April 2023	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/739(2006.01)i
FI: H01L29/78 652Q; H01L29/78 657F; H01L29/78 657G; H01L29/78 657D; H01L29/78 655G; H01L29/78 657A; H01L29/78 655F; H01L29/78 653A; H01L27/04 P; H01L27/06 102A; H01L27/088 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 64-068005 A（日産自動車株式会社）14.03.1989（1989 - 03 - 14） 第3頁左上欄第8-20行, 第5頁左下欄第6行-右下欄第9行, 図1, 8a	1-4, 7-8, 11
A	第3頁左上欄第8-20行, 第5頁左下欄第6行-右下欄第9行, 図1, 8a	5-6, 9-10, 12-20
A	WO 2023/002767 A1（ローム株式会社）26.01.2023（2023 - 01 - 26） 図32-33	1-20
A	JP 8-316472 A（株式会社日立製作所）29.11.1996（1996 - 11 - 29） 図2, 5-6	1-20
A	JP 2-301151 A（株式会社豊田自動織機製作所）13.12.1990（1990 - 12 - 13） 図1-2	1-20
A	JP 2005-209943 A（株式会社デンソー）04.08.2005（2005 - 08 - 04） 図1	1-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
03.10.2024

国際調査報告の発送日
15.10.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西村 治郎 5F 1164

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2023-055165 A (株式会社デンソー) 17.04.2023 (2023 - 04 - 17) 図6	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/027772

引用文献			公表日	パテントファミリー文献	公表日
JP	64-068005	A	14.03.1989	US 4893158 A Page34, right-hand column, lines55-62, Page36, right-hand column, lines43-57, Figs. 24A, 32B DE 3821065 A1	
WO	2023/002767	A1	26.01.2023	US 2024/0153944 A1 Figs. 32-33 CN 117716510 A	
JP	8-316472	A	29.11.1996	(ファミリーなし)	
JP	2-301151	A	13.12.1990	US 5061863 A Figs. 1-2 DE 4015625 A1 KR 10-1990-0019223 A	
JP	2005-209943	A	04.08.2005	US 2005/0162798 A1 Fig. 1	
JP	2023-055165	A	17.04.2023	(ファミリーなし)	