



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월10일
 (11) 등록번호 10-1263193
 (24) 등록일자 2013년05월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0039445

(22) 출원일자 2006년05월02일

심사청구일자 2011년05월02일

(65) 공개번호 10-2007-0107229

(43) 공개일자 2007년11월07일

(56) 선행기술조사문헌

KR1020030033785 A*

KR1020060016920 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

오민석

경기도 용인시 수지구 신봉1로48번길 29, 한일아파트 102동 202호 (신봉동)

신봉규

경기 부천시 소사구 소사본3동 두산아파트 103동 901호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 24 항

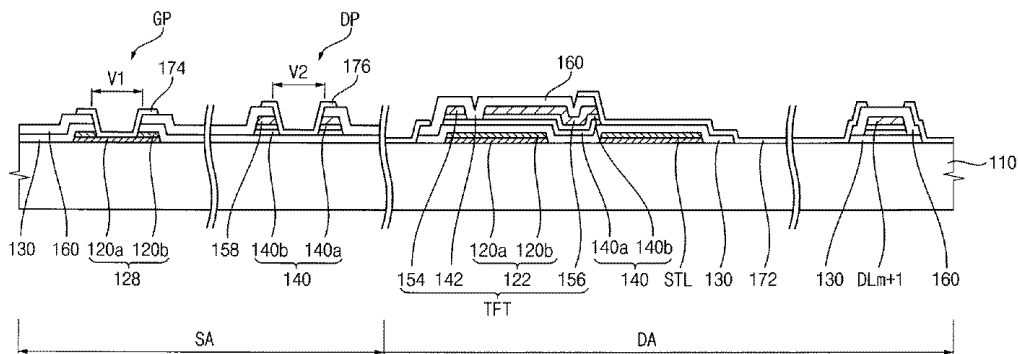
심사관 : 신창우

(54) 발명의 명칭 표시 기관의 제조 방법 및 표시 기관

(57) 요약

제조 공정의 신뢰성을 향상시키기 위한 표시 기관의 제조 방법 및 표시 기관이 개시된다. 표시 기관의 제조 방법은 박막 트랜지스터를 포함하는 어레이층을 형성하고, 어레이층 상에 패시베이션층을 형성하고, 게이트 배선, 소스 배선 및 박막 트랜지스터에 대응하는 포토레지스트패턴을 마스크로 패시베이션층을 식각하고, 포토레지스트패턴의 표면을 불균일하게 표면 처리하고, 표면 처리된 포토레지스트패턴이 형성된 기관 상에 투명 전극층을 형성하고, 표면 처리된 포토레지스트패턴에 스트립 용액을 침투시키는 방식으로 포토레지스트패턴 및 투명 전극층을 제거하여 화소 전극을 형성한다. 포토레지스트패턴에 불균일한 표면 처리를 함에 따라, 포토레지스트패턴 상에 형성된 투명 전극층에 스트립 용액이 선택적으로 침투하므로, 스트립 용액의 침투공간 확보를 위한 언더 컷 형성을 생략하여도 화소 전극의 패터닝을 용이하게 할 수 있다.

대표도



(72) 발명자

김상갑

서울특별시 강동구 명일동 15번지 삼익@ 301동
306호

이은국

경기도 용인시 기흥구 금화로58번길 10, 금화마을
주공아파트 404동 1802호 (상갈동)

진흥기

경기 수원시 장안구 조원동 한일타운 147동 201호

정유광

경기도 용인시 기흥구 농서로 84, 마로니에동 100
3호 (농서동)

최승하

경기도 시흥시 상직길 4, 태평아파트 206동 502호
(하상동)

특허청구의 범위

청구항 1

기판 상에 게이트 배선들, 소스 배선들 및 상기 게이트 배선과 소스 배선에 연결된 박막 트랜지스터를 포함하는 어레이층을 형성하는 단계;

상기 어레이층 상에 패시베이션층을 형성하는 단계;

상기 패시베이션층 상에 상기 게이트 배선, 소스 배선 및 박막 트랜지스터에 대응하는 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴을 마스크로 상기 패시베이션층을 식각하는 단계;

상기 포토레지스트패턴의 표면을 불균일하게 표면 처리하는 단계;

상기 표면 처리된 포토레지스트패턴이 형성된 기판 상에 투명 전극층을 형성하는 단계; 및

상기 표면 처리된 포토레지스트패턴에 스트립 용액을 침투시키는 방식으로 상기 포토레지스트패턴 및 상기 투명 전극층을 제거하여 화소 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 2

제1항에 있어서, 상기 투명 전극층은 a-ITO(Amorphous Indium Tin Oxide)인 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 3

제2항에 있어서, 상기 스트립 용액은 옥살산을 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 4

제1항에 있어서, 상기 표면 처리하는 단계는 산소 플라즈마를 이용한 애싱 공정으로 진행되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 5

제1항에 있어서, 상기 표면 처리된 포토레지스트패턴 상에 형성된 투명 전극층은 상기 화소 전극이 형성되는 영역 상에 형성된 투명 전극층 보다 분자 간격이 넓은 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 6

제1항에 있어서, 상기 패시베이션층을 식각하는 단계는

상기 포토레지스트패턴을 이용해 상기 패시베이션층을 식각하여 상기 박막 트랜지스터의 출력 단자의 일측면을 노출시키는 단계를 포함하는 표시 기판의 제조 방법.

청구항 7

제6항에 있어서, 상기 표면 처리하는 단계는

상기 포토레지스트패턴을 일부 제거하여 상기 출력 단자 상의 상기 패시베이션층을 노출시키는 단계를 포함하는 표시 기판의 제조 방법.

청구항 8

제7항에 있어서, 상기 화소 전극은 상기 출력 단자의 일측면과 접촉하고 상기 노출된 패시베이션층과 중첩되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 9

기판 상에 게이트 배선들, 상기 게이트 배선들을 커버하는 절연층, 상기 절연층 상에서 상기 게이트 배선들과

교차하는 소스 배선들 및 상기 게이트 배선과 소스 배선에 연결된 박막 트랜지스터를 포함하는 어레이층을 형성하는 단계;

상기 어레이층 상에 패시베이션층을 형성하는 단계;

상기 패시베이션층 상에 상기 게이트 배선, 소스 배선 및 박막 트랜지스터에 대응하는 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴을 이용해 상기 패시베이션층 및 상기 절연층을 식각하여 상기 박막 트랜지스터의 출력 단자의 일측면을 노출시키는 단계;

상기 포토레지스트패턴을 일부 제거하여 상기 출력 단자 상의 상기 패시베이션층을 노출시키는 단계;

상기 포토레지스트패턴이 형성된 기판 상에 투명 전극층을 형성하는 단계; 및

상기 포토레지스트패턴 및 상기 포토레지스트패턴 상의 투명 전극층을 동시에 제거하여, 상기 일측면과 접촉하고 상기 패시베이션층과 중첩되는 화소 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 10

제9항에 있어서, 상기 패시베이션층을 노출시키는 단계는 산소 플라즈마를 이용한 애싱 공정으로 진행되어 상기 포토레지스트패턴의 표면이 불균일하게 표면 처리되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 11

제10항에 있어서, 상기 표면 처리된 포토레지스트패턴 상에 형성된 상기 투명 전극층은 상기 화소 전극이 형성되는 영역 상에 형성된 투명 전극층 보다 분자 간격이 넓은 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 12

제11항에 있어서, 상기 화소 전극을 형성하는 단계는 상기 표면 처리된 포토레지스트패턴에 스트립 용액을 침투시키는 방식으로 상기 포토레지스트패턴을 제거하여 상기 투명 전극층을 화소 전극으로 패터닝하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 13

제9항에 있어서, 상기 게이트 배선의 일단부에 게이트 패드부를 형성하는 단계를 더 포함하며,

상기 게이트 패드부를 형성하는 단계는

상기 게이트 배선의 일단부에 대응하여 제1 홀을 갖는 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴을 이용해 상기 제1 홀에 대응하는 상기 패시베이션층 및 상기 절연층을 식각하여 상기 게이트 배선의 일단부를 노출시키는 제1 비아홀을 형성하는 단계;

상기 포토레지스트패턴을 일부 제거하여 상기 제1 비아홀 주변의 패시베이션층을 노출시키는 단계;

상기 포토레지스트패턴이 형성된 기판 상에 투명 전극층을 형성하는 단계; 및

상기 포토레지스트패턴을 제거하여, 상기 제1 비아홀을 통해 상기 게이트 배선의 일단부와 접촉하고 상기 제1 비아홀 주변의 패시베이션층과 중첩되는 제1 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 14

제9항에 있어서, 상기 소스 배선의 일단부에 소스 패드부를 형성하는 단계를 더 포함하며,

상기 소스 패드부를 형성하는 단계는,

상기 소스 배선의 일단부에 대응하여 제2 홀을 갖는 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴을 이용해 상기 제2 홀에 대응하는 패시베이션층을 식각하여 상기 소스 배선의 일단부를 노출시키는 제2 비아홀을 형성하는 단계;

상기 포토레지스트패턴을 일부 제거하여 상기 제2 비아홀 주변의 패시베이션층을 노출시키는 단계;

상기 포토레지스트패턴이 형성된 기판 상에 투명 전극층을 형성하는 단계; 및

상기 포토레지스트패턴을 제거하여, 상기 제2 비아홀을 통해 상기 소스 배선의 일단부와 접촉하고 상기 제2 비아홀 주변의 패시베이션층과 중첩되는 제2 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 15

제9항에 있어서, 상기 어레이층을 형성하는 단계는

상기 게이트 배선과 동일층에 형성되고, 상기 게이트 배선과 평행하도록 연장된 스토리지 공통배선을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 16

제15항에 있어서, 상기 어레이층을 형성하는 단계는

상기 출력단자와 연결되어 상기 게이트 절연층 상에서 상기 스토리지 공통배선과 중첩되는 커버 패턴을 형성하는 단계를 더 포함하는 표시 기판의 제조 방법.

청구항 17

제16항에 있어서, 상기 출력 단자의 일측면을 노출시키는 단계는

상기 커버 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 18

제1 방향으로 연장된 게이트 배선들 및 박막 트랜지스터의 게이트 전극을 포함하는 제1 금속 패턴;

상기 게이트 배선들과 교차하는 제2 방향으로 연장된 소스 배선들 및 상기 박막 트랜지스터의 소스 전극 및 드레인 전극을 포함하는 제2 금속 패턴;

상기 게이트 배선들, 상기 소스 배선들 및 상기 박막 트랜지스터 상에 형성된 패시베이션층; 및

상기 드레인 전극의 외측면과 접촉되고, 상기 드레인 전극의 외측면과 연장된 상기 드레인 전극 상의 패시베이션층과 중첩되도록 형성된 화소 전극을 포함하는 표시 기판.

청구항 19

제18항에 있어서, 상기 제1 금속 패턴은 상기 게이트 배선들 사이에서 상기 게이트 배선과 평행하도록 연장된 스토리지 공통배선을 더 포함하는 것을 특징으로 하는 표시 기판.

청구항 20

제18항에 있어서, 상기 제2 금속 패턴 아래에는 채널층이 형성된 것을 특징으로 하는 표시 기판.

청구항 21

제18항에 있어서, 상기 화소 전극은 a-ITO(Amorphous Indium Tin Oxide)로 이루어진 것을 특징으로 하는 표시 기판.

청구항 22

제18항에 있어서, 상기 화소 전극은 상기 패시베이션층의 외측면과 접촉되는 것을 특징으로 하는 표시 기판.

청구항 23

제20항에 있어서, 상기 화소 전극은 상기 제2 금속 패턴 아래 채널층의 외측면과 접촉하는 것을 특징으로 하는 표시 기판.

청구항 24

제18항에 있어서, 상기 제1 금속 패턴, 상기 제2 금속 패턴, 상기 패시베이션층 및 상기 화소 전극은 베이스 기

판에 형성되며, 상기 화소 전극은 상기 베이스 기판과 접촉하는 것을 특징으로 하는 표시 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 표시 기판의 제조 방법 및 표시 기판에 관한 것으로, 보다 상세하게는 제조 원가를 절감하며, 제조 공정의 신뢰성을 향상시키기 위한 표시 기판의 제조 방법 및 표시 기판에 관한 것이다.
- [0014] 일반적으로, 액정 표시 장치는 표시 기판과 대향 기판 사이에 주입된 액정층을 포함한다. 표시 기판에는 게이트 배선들 및 이에 교차하는 소스 배선들이 형성되며, 게이트 배선과 소스 배선에 연결된 박막 트랜지스터(Thin Film Transistor)와, 박막 트랜지스터에 연결된 화소 전극이 형성된다. 박막 트랜지스터는 게이트 배선으로부터 연장된 게이트 전극, 게이트 전극과 절연되며 게이트 전극과 오버랩된 채널, 소스 배선으로부터 형성되어 채널에 전기적으로 연결된 소스 전극 및 소스 전극과 이격되며 채널에 전기적으로 연결된 드레인 전극을 포함한다.
- [0015] 표시 기판을 제조하기 위해서는 마스크가 필요하며, 공정 시간의 단축 및 극저원가 구현을 위해 마스크의 개수를 줄이는 공정이 개발되고 있다. 예컨대, 5매 마스크 공정은 게이트 배선을 포함하는 게이트 금속 패터닝 공정, 채널 패터닝 공정, 소스 금속 패터닝 공정, 패시베이션층 패터닝 공정 및 화소 전극 패터닝 공정에 각각 1매 마스크를 사용한다. 4매 마스크 공정은 5매 마스크 공정에서 채널 패터닝 공정 및 소스 금속 패터닝 공정을 1매 마스크로 구현함으로써 총 4매 마스크를 사용한다. 최근에는, 4매 마스크 공정에서 패시베이션층과 화소 전극 패터닝 공정을 1매 마스크로 구현하는 3매 마스크 공정이 개발되고 있다.
- [0016] 예컨대, 3매 마스크 공정에서는 패시베이션층과 포토레지스트패턴 사이의 언더 컷 영역으로 스트립 용액을 침투시키므로써, 포토레지스트패턴과 포토레지스트패턴 상의 투명 전극층을 동시에 제거하여 화소 전극을 패터닝하는 리프트 오프 방식(lift-off)을 이용한다. 그러나, 대규모 양산 설비에서는 상술한 언더 컷 형성에 공정한 어려움이 있어 화소 전극 패터닝 공정의 신뢰성이 저하되는 문제점이 있다. 또한, 리프트 오프 방식에 의해 떨어져 나온 투명 전극층과 같은 부유성 이물을 거르기 위해 스트립 용액의 필터 교환 주기가 단축하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0017] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 제조 원가를 절감하며, 제조 공정의 신뢰성을 향상시키기 위한 표시 기판의 제조 방법을 제공하는 것이다.
- [0018] 본 발명의 다른 목적은 상술한 제조 방법으로 제조된 표시 기판을 제공하는 것이다.

발명의 구성 및 작용

- [0019] 상기한 본 발명의 목적을 실현하기 위하여 일 실시예에 따른 표시 기판의 제조 방법은, 기판 상에 게이트 배선들, 소스 배선들 및 상기 게이트 배선과 소스 배선에 연결된 박막 트랜지스터를 포함하는 어레이층을 형성하는 단계와, 상기 어레이층 상에 패시베이션층을 형성하는 단계와, 상기 패시베이션층 상에 상기 게이트 배선, 소스 배선 및 박막 트랜지스터에 대응하는 포토레지스트패턴을 형성하는 단계와, 상기 포토레지스트패턴을 마스크로 상기 패시베이션층을 식각하는 단계와, 상기 포토레지스트패턴의 표면을 불균일하게 표면 처리하는 단계와, 상기 표면 처리된 포토레지스트패턴이 형성된 기판 상에 투명 전극층을 형성하는 단계 및 상기 표면 처리된 포토레지스트패턴에 스트립 용액을 침투시키는 방식으로 상기 포토레지스트패턴 및 상기 투명 전극층을 제거하여 화소 전극을 형성하는 단계를 포함한다.
- [0020] 상기한 본 발명의 목적을 실현하기 위하여 다른 실시예에 따른 표시 기판의 제조 방법은, 기판 상에 게이트 배선들, 상기 게이트 배선들을 커버하는 절연층, 상기 절연층 상에서 상기 게이트 배선들과 교차하는 소스 배선들 및 상기 게이트 배선과 소스 배선에 연결된 박막 트랜지스터를 포함하는 어레이층을 형성하는 단계와, 상기 어레이층 상에 패시베이션층을 형성하는 단계와, 상기 패시베이션층 상에 상기 게이트 배선, 소스 배선 및 박막 트랜지스터에 대응하는 포토레지스트패턴을 형성하는 단계와, 상기 포토레지스트패턴을 이용해 상기 패시베이션층 및 상기 절연층을 식각하여 상기 박막 트랜지스터의 출력 단자의 일측면을 노출시키는 단계와, 상기 포토레

지스트패턴을 일부 제거하여 상기 패시베이션층을 노출시키는 단계와, 상기 포토레지스트패턴이 형성된 기판 상에 투명 전극층을 형성하는 단계 및 상기 포토레지스트패턴 및 상기 포토레지스트패턴 상의 투명 전극층을 동시에 제거하여, 상기 일측면과 접촉하고 상기 패시베이션층과 중첩되는 화소 전극을 형성하는 단계를 포함한다.

- [0021] 상기한 본 발명의 다른 목적을 실현하기 위하여 실시예에 따른 표시 기판은, 제1 금속 패턴, 제2 금속 패턴, 패시베이션층 및 화소 전극을 포함한다. 상기 제1 금속 패턴은 제1 방향으로 연장된 게이트 배선들 및 박막 트랜지스터의 게이트 전극을 포함한다. 상기 제2 금속 패턴은 상기 게이트 배선들과 교차하는 제2 방향으로 연장된 소스 배선들 및 상기 박막 트랜지스터의 소스 전극 및 드레인 전극을 포함한다. 상기 패시베이션층은 상기 게이트 배선들, 상기 소스 배선들 및 상기 박막 트랜지스터 상에 형성된다. 상기 화소 전극은 상기 드레인 전극의 일측면과 접촉되고 상기 일측면과 연장된 상기 드레인 전극 상의 패시베이션층과 중첩되도록 형성된다.
- [0022] 이러한 표시 기판의 제조 방법 및 표시 기판에 의하면, 포토레지스트패턴에 불균일한 표면 처리를 함에 따라, 포토레지스트패턴 상에 형성된 투명 전극층에 스트립 용액이 선택적으로 침투하므로, 화소 전극 형성을 용이하게 할 수 있다.
- [0023] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- [0024] 도 1은 본 발명의 실시예에 따른 표시 기판의 평면도이고, 도 2는 도 1의 I-I' 선을 따라 절단한 단면도이다.
- [0025] 도 1 내지 도 2를 참조하면, 표시 기판(100)은 베이스 기판(110)을 포함한다. 상기 베이스 기판(110) 상에는 복수의 게이트 배선들(GL_n, GL_{n+1}), 스토리지 공통배선(STL), 복수의 소스 배선들(DL_m, DL_{m+1}), 게이트 절연층(130) 및 박막 트랜지스터(TFT)를 포함하는 TFT 어레이층이 형성된다.
- [0026] 상기 게이트 배선들(GL_n, GL_{n+1})은 제1 방향(x)으로 연장되며, 게이트 금속층으로 형성된다.
- [0027] 상기 게이트 금속층은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 게이트 금속층은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다. 일례로, 상기 게이트 금속층은 알루미늄(Al) 또는 알루미늄 합금으로 형성된 제1 금속층(120a)과 몰리브덴(Mo) 또는 몰리브덴 합금으로 형성된 제2 금속층(120b)이 순차적으로 적층된 구조를 갖는다.
- [0028] 상기 게이트 배선들(GL_n, GL_{n+1})사이에는 상기 게이트 금속층으로 형성되며, 상기 제1 방향(x)으로 연장된 상기 스토리지 공통배선(STL)이 형성된다.
- [0029] 상기 소스 배선들(DL_m, DL_{m+1})은 상기 제1 방향(x)과 교차하는 제2 방향(y)으로 연장되며, 상기 게이트 배선들(GL_n, GL_{n+1})과 교차하여 복수의 화소부(P)를 정의한다. 상기 게이트 배선들(GL_n, GL_{n+1})과 상기 소스 배선들(DL_m, DL_{m+1})이 교차하여 복수의 화소부(P)가 정의된 영역은 영상이 표시되는 표시 영역(DA)이 된다.
- [0030] 상기 표시 영역(DA)을 둘러싸는 주변 영역(SA)에는 게이트 배선들(GL_n, GL_{n+1}) 및 소스 배선들(DL_m, DL_{m+1})의 일 단부에 대응하여 게이트 패드(GP) 및 소스 패드(DP)들이 형성된다.
- [0031] 상기 소스 배선들(DL_m, DL_{m+1})은 소스 금속층으로 형성된다. 상기 소스 금속층은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 소스 금속층은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다. 일례로, 상기 소스 금속층은 상기 제2 금속층(120b)과 동일하게 몰리브덴(Mo) 또는 몰리브덴 합금으로 형성된다.
- [0032] 상기 표시 영역(DA)에서, 상기 게이트 배선들(GL_n, GL_{n+1}) 및 스토리지 공통배선(STL)과 같이 상기 게이트 금속층으로 형성된 게이트 패턴 상에는 상기 게이트 패턴에 대응하여 게이트 절연층(130)이 형성된다. 마찬가지로, 상기 소스 배선들(DL_n, DL_{n+1})과 같이 상기 소스 금속층으로 형성된 소스 패턴의 하부에는 상기 소스 패턴에 대응하여 게이트 절연층(130)이 형성된다. 상기 게이트 절연층(130)은 일례로 실리콘 질화막($SiNx$) 내지 실리콘 산화막(SiO_x)등으로 형성되며, 상기 게이트 패턴과 소스 패턴을 절연시킨다.
- [0033] 한편, 상기 주변 영역(SA)에서는 상기 게이트 절연층(130)이 상기 게이트 패턴 또는 소스 패턴에 대응하여 형성되지 않고, 상기 주변 영역(SA)에 대응하는 베이스 기판(110) 전면에 형성될 수 있다.
- [0034] 상기 각 화소부(P)에는 박막 트랜지스터(TFT)가 형성된다. 상기 박막 트랜지스터(TFT)는 상기 게이트 배선(GL_n)으로부터 연장된 게이트 전극(122)과, 상기 소스 배선(DL_m)으로부터 연장된 소스 전극(154) 및 상기 화소 전극(172)과 전기적으로 연결된 드레인 전극(156)을 포함한다. 상기 드레인 전극(156)은 상기 소스 배선들(DL_m, DL_{m+1}) 및 소스 전극(154)과 동일한 소스 금속층으로 형성된다. 상기 드레인 전극(156)은 상기 게이트 전

극(122)에 타이밍 신호가 인가되면, 상기 소스 전극(154)으로부터 화소 전압을 제공받아 상기 화소 전극(156)에 화소 전압을 인가하는 출력 단자의 기능을 한다.

- [0035] 또한, 상기 박막 트랜지스터(TFT)는 상기 게이트 절연층(130) 상에서 상기 게이트 전극(122)과 오버랩되고 상기 소스 및 드레인 전극(154, 156)과 접촉하는 채널층(140)을 포함한다. 상기 채널층(140)은 비정질 실리콘(a-Si)으로 형성된 활성층(140a)과 n+ 이온이 고농도로 도핑된 저항성 접촉층(n+ a-Si)(140b)을 포함한다. 한편, 상기 채널층(140)은 상기 소스 배선들(DLn,DLn+1)의 하부에도 형성된다.
- [0036] 상기 소스 전극(154)과 드레인 전극(156)의 이격부에 대응하는 상기 채널층(140)은 상기 저항성 접촉층(140b)이 제거되어 상기 활성층(140a)을 노출시키는 채널부(142)를 형성한다.
- [0037] 상기 게이트 배선들(GLn,GLn+1), 스토리지 공통배선(STL), 소스 배선들(DLn,DLn+1), 게이트 절연층(130) 및 박막 트랜지스터(TFT)를 포함하는 TFT 어레이층 상에는 패시베이션층(160)이 형성된다.
- [0038] 상기 패시베이션층(160)은 일례로, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 이루어지며, 상기 표시 영역(DA)에서는 상기 게이트 배선들(GLn,GLn+1), 소스 배선들(DLn,DLn+1), 및 박막 트랜지스터(TFT)에 대응하여 형성된다. 그러나, 상기 주변 영역(SA)에서는 상기 주변 영역(SA) 전면에 대응하여 형성될 수 있다.
- [0039] 한편, 상기 박막 트랜지스터(TFT)상에 형성된 상기 패시베이션층(160)은 상기 박막 트랜지스터(TFT)의 식각 단면을 충분히 커버하는 폭으로 형성되나, 상기 드레인 전극(156)의 일단부에 해당하는 식각 단면(이하, "측면"이라 명명)은 노출시킨다.
- [0040] 상기 화소 전극(172)은 상기 각 화소부(P)에 대응하여 형성되며, 투명한 도전성 물질로 이루어진다. 바람직하게는, 상기 화소 전극(172)은 비정질 인듐 틴 옥사이드(Amorphous Indium Tin Oxide,이하 a-ITO)로 이루어진다. 상기 화소 전극(172)은 상기 드레인 전극(156)의 측면과 접촉한다. 이에 따라, 상기 화소 전극(172)은 박막 트랜지스터(TFT)의 출력 단자인 상기 드레인 전극(156)으로부터 화소 전압을 인가 받는다. 한편, 상기 화소 전극(172)은 상기 드레인 전극(156) 상의 패시베이션막(160)과 일부 중첩되도록 연장되어 형성된다. 이에 따라, 상기 드레인 전극(156)과 측면 접촉하는 상기 화소 전극(172)의 콘택 안정성을 향상시킬 수 있다.
- [0041] 상기 스토리지 공통배선(STL)과 상기 화소 전극(172)이 중첩되는 영역에서는 상기 게이트 절연층(130)을 유전체로 하는 스토리지 캐패시터가 형성된다. 상기 스토리지 캐패시터는 상기 화소 전극(172)에 인가된 화소 전압을 한 프레임의 시간동안 유지시킨다.
- [0042] 이하, 상기 주변 영역(SA)에 형성된 상기 게이트 패드(GP) 및 소스 패드(DP)를 상세하게 설명하도록 한다.
- [0043] 게이트 패드(GP)는 게이트 단부 패턴(128) 및 제1 전극(174)을 포함한다. 상기 게이트 단부 패턴(128)은 상기 게이트 배선(GLn)의 일단부에 형성된다. 상기 제1 전극(174)은 상기 게이트 단부 패턴(128)에 대응하여 상기 게이트 절연층(130) 및 패시베이션층(160) 내에 형성된 제1 비아홀(V1)을 통해 상기 게이트 단부 패턴(128)과 접촉한다. 상기 제1 전극(174)은 상기 화소 전극(172)과 동일층으로 형성된다.
- [0044] 한편, 상기 제1 비아홀(V1)에 대응하는 상기 게이트 단부 패턴(128)은 상기 제2 금속층(120b)이 식각되어 상기 제1 금속층(120a)의 표면 및 상기 제2 금속층(120b)의 식각 단면이 노출된다. 이에 따라, 상기 제1 전극(174)은 상기 제1 금속층(120a)의 표면 및 상기 제2 금속층(120b)의 식각 단면과 접촉한다. 또한, 상기 제1 전극(174)은 평면상에서 상기 제1 비아홀(V1) 보다 넓은 면적으로 형성되어 상기 제1 비아홀(V1) 주변의 패시베이션층(160)과 일부 중첩된다.
- [0045] 상기 제1 금속층(120a)은 상기 제1 전극(174)을 이루는 a-ITO와 접촉 저항이 크기 때문에, 상기 게이트 단부 패턴(128)과 상기 제1 전극(174)간의 실질적인 전기적 소통은 상기 제2 금속층(120b)과의 접촉을 통해 이루어진다. 따라서, 상기 제1 전극(174)과 상기 제2 금속층(120b)간의 콘택 안정성이 중요하다. 이에 따라, 본 발명의 실시예에서는 상기 제1 전극(174)을 상기 제1 비아홀(V1) 주변의 패시베이션층(160)과 중첩되는 면적으로 확장 형성함으로써, 상기 제2 금속층(120b)의 식각 단면과 접촉하는 상기 제1 전극(174)의 콘택 안정성을 향상시킬 수 있다.
- [0046] 상기 소스 패드(DP)는 소스 단부 패턴(158) 및 제2 전극(176)을 포함한다. 상기 소스 단부 패턴(158)은 상기 소스 배선들(DLm,DLm+1)의 일단부에 형성된다. 따라서, 상기 소스 단부 패턴(158)의 하부에는 상기 채널층(140)이 형성된다. 상기 제2 전극(176)은 상기 소스 단부 패턴(158)에 대응하여 상기 패시베이션층(160) 내에 형성된 제2 비아홀(V2)을 통해 상기 소스 단부 패턴(158)과 접촉한다.

- [0047] 한편, 상기 소스 단부 패턴(158) 및 상기 소스 단부 패턴(158) 하부의 채널층(140)은 상기 제2 비아홀(V2)에 대응하여 식각된다. 이에 따라, 상기 제2 비아홀(V2)에서는 상기 소스 단부 패턴(158) 및 채널층(140)의 식각 단면과 상기 게이트 절연층(130)이 노출된다.
- [0048] 상기 제2 전극(176)은 상기 화소 전극(172) 및 상기 제1 전극(128)과 동일층으로 형성되며, 상기 소스 단부 패턴(158)의 식각 단면을 통해 상기 소스 배선(DL)과 전기적으로 접촉한다. 한편, 상기 제2 전극(176)은 평면상에서 상기 제2 비아홀(V2)보다 넓은 면적으로 형성되어 상기 제2 비아홀(V2)주변의 패시베이션층(160)과 중첩되도록 형성된다. 이에 따라, 상기 소스 단부 패턴(158)의 식각 단면과 접촉하는 상기 제2 전극(176)의 콘택 안정성을 향상시킬 수 있다.
- [0049] 이하, 본 발명의 실시예에 따른 표시 기관의 제조 방법을 상세히 설명하도록 한다.
- [0050] 도 3 내지 도 15는 도 2에 도시된 표시 기관의 제조 방법을 도시한 공정도들이다.
- [0051] 도 1 및 도 3을 참조하면, 베이스 기관(110) 상에 게이트 금속층(120)을 증착한다. 상기 게이트 금속층(120)은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 게이트 금속층(120)은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다. 바람직하게는, 상기 게이트 금속층(120)은 알루미늄(A1) 또는 알루미늄 합금으로 형성된 제1 금속층(120a)과 몰리브덴(Mo) 또는 몰리브덴 합금으로 형성된 제2 금속층(120b)이 순차적으로 적층된 구조를 갖는다.
- [0052] 상기 게이트 금속층(120)이 형성된 베이스 기관(110) 위에 제1 포토레지스트층을 형성하고, 제1 마스크(MASK1)를 이용한 사진 공정으로 상기 제1 포토레지스트층을 패터닝하여 제1 포토레지스트 패턴(PR1)을 형성한다. 상기 제1 포토레지스트층은 포지티브 또는 네가티브 포토레지스트로 형성할 수 있다. 일례로서, 상기 제1 포토레지스트층을 포지티브 포토레지스트로 형성할 경우, 상기 제1 마스크(MASK1)에는 상기 제1 포토레지스트 패턴(PR1)을 형성하고자 하는 영역에 대응하여 차광 패턴(10)이 형성된다.
- [0053] 상기 제1 포토레지스트 패턴(PR1)은 게이트 배선들(GLn, GLn+1)이 형성되는 게이트 배선 영역(미도시), 게이트 패드(GP)가 형성되는 게이트 패드 영역(GPA), 박막 트랜지스터(TFT)의 게이트 전극(122)이 형성되는 게이트 전극 영역(GEA) 및 스토리지 공통배선(STL)이 형성되는 스토리지 영역(STA)에 형성된다.
- [0054] 도 1 및 도 4를 참조하면, 상기 제1 포토레지스트 패턴(PR1)을 이용하여 상기 게이트 금속층(120)을 패터닝하여, 게이트 배선들(GLn, GLn+1), 게이트 단부 패턴(128), 게이트 전극(122) 및 스토리지 공통배선(STL)을 포함하는 게이트 패턴을 형성한다.
- [0055] 이어서, 상기 게이트 패턴이 형성된 베이스 기관(110) 위에 게이트 절연층(130)을 형성한다. 상기 게이트 절연층(130)은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 형성되며, 일례로 화학 기상 증착 방법(Plasma enhanced chemical deposition, PECVD)으로 형성할 수 있다. 또한, 상기 게이트 절연층(130)은 형성 공정이 서로 다른 이중막 구조로 형성할 수도 있다.
- [0056] 다음으로, 상기 게이트 절연층(130)이 형성된 베이스 기관(110) 위에 비정질 실리콘(a-Si)으로 형성된 활성층(140a), n+ 이온이 고농도로 도핑된 비정질 실리콘(n+ a-Si)으로 형성된 저항성 접촉층(140b)을 순차적으로 적층한다. 상기 저항성 접촉층(140b)이 형성된 베이스 기관(110) 위에는 일례로, 몰리브덴 또는 몰리브덴 합금으로 이루어진 소스 금속층(150)을 형성한다. 상기 소스 금속층(150)은 일례로, 스퍼터링 방식으로 형성할 수 있다.
- [0057] 상기 소스 금속층(150)이 형성된 베이스 기관(110) 위에는 제2 포토레지스트층을 형성하고, 제2 마스크(MASK2)를 이용한 사진 공정으로 상기 제2 포토레지스트층을 패터닝하여 제2 포토레지스트 패턴(PR21, PR22)을 형성한다.
- [0058] 상기 제2 포토레지스트 패턴(PR21, PR22)은 박막 트랜지스터(TFT)의 소스 전극(154)이 형성되는 소스 전극 영역(SEA), 채널부(142)가 형성되는 채널 영역(CHA), 드레인 전극(156)이 형성되는 드레인 전극 영역(DEA), 스토리지 공통배선(STL)이 형성된 스토리지 영역(STA), 소스 패드(DP)가 형성되는 소스 패드 영역(DPA) 및 상기 소스 배선들(DLm, DLm+1)이 형성되는 소스 배선 영역(DLA)에 형성된다.
- [0059] 구체적으로, 제2 포토레지스트 패턴(PR21, PR22)은 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA), 스토리지 영역(STA), 소스 패드 영역(DPA) 및 소스 배선 영역(DLA)에 제1 두께(t1)로 형성된 제1 패턴(PR21)과, 상기 채널 영역(CHA)에 제2 두께(t2)로 형성된 제2 패턴(PR22)을 포함한다. 상기 제2 패턴(PR22)은 상기 제2 마스크

(MASK2)의 슬릿부(SLIT)를 통해서 패터닝되어 상기 제1 두께(t1) 보다 얇은 상기 제2 두께(t2)로 형성된다. 또한, 상기 제2 패턴(PR)은 하프톤 마스크를 이용하여 형성할 수도 있다.

- [0060] 도 1 및 도 5를 참조하면, 상기 제2 포토레지스트 패턴(PR21, PR22)을 이용하여 상기 소스 금속층(150)을 식각하여 소스 패턴을 형성한다. 이어서, 상기 제2 포토레지스트 패턴(PR21, PR22)을 이용하여 상기 저항성 접촉층(140b) 및 활성층(140a)을 식각한다. 상기 저항성 접촉층(140b) 및 활성층(140a)의 식각은 건식 식각으로 진행된다. 이에 따라, 상기 소스 패턴의 하부에는 상기 소스 패턴과 동일하게 패터닝된 채널층(140)이 형성된다. 상기 소스 패턴은 소스 전극 영역(SEA), 채널 영역(CHA), 드레인 전극 영역(DEA) 및 스토리지 영역(STA)에 형성된 제1 소스 패턴(152), 소스 배선들(DLm, DLm+1) 및 상기 소스 배선들(DLm, DLm+1)의 일단부에 형성된 소스 단부 패턴(158)을 포함한다. 상기 소스 배선들(DLm, DLm+1)은 상기 게이트 배선들(GLm, GLm+1)과 교차하여 베이스 기판(110) 상에 복수의 화소부(P)를 정의한다. 상기 복수의 화소부(P)가 정의된 영역은 영상이 표시되는 표시 영역(DA)이 되고, 상기 게이트 패턴(GP) 및 소스 패드(DP)들이 형성된 영역은 영상이 표시되지 않는 주변 영역(SA)이 된다.
- [0061] 이어서, 산소 플라즈마를 이용한 애싱 공정으로 상기 제2 포토레지스트 패턴(PR21, PR22)을 일정두께 만큼 제거한다. 상기 제거된 두께는 상기 제2 두께(t2) 이상이며 제1 두께(t1) 보다 작다.
- [0062] 도 1 및 도 6을 참조하면, 상기 애싱 공정에 의해 상기 채널 영역(CHA)에 형성된 제2 패턴(PR22)은 제거되고, 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA) 및 스토리지 영역(STA)에는 제3 두께(t3)의 제3 패턴(PR23)이 남게 된다. 마찬가지로, 상기 소스 배선(DLm, DLm+1) 및 소스 단부 패턴(158) 상에도 상기 제3 패턴(PR23)이 남게 된다.
- [0063] 이어서, 상기 제3 패턴(PR23)을 이용하여 상기 제1 소스 패턴(152)을 식각하여 소스 전극(154) 및 상기 소스 전극(154)으로부터 소정 간격 이격된 드레인 전극(156)을 형성한다. 이때, 상기 스토리지 공통배선(STL) 상에는 상기 드레인 전극(156)으로부터 연결되어 형성되며, 상기 스토리지 공통배선(STL)을 커버하는 커버 패턴(CP)이 형성된다. 즉, 상기 스토리지 공통배선(STL)과 중첩되지 않는 영역까지는 드레인 전극(156)이 정의되고, 상기 스토리지 공통배선(STL)과 중첩되는 영역부터는 커버 패턴(CP)이 정의된다.
- [0064] 이어서, 산소 플라즈마를 이용한 애싱 공정으로 상기 제3 패턴(PR23)을 제거한 후, 상기 소스 전극(154) 및 드레인 전극(156)을 식각 마스크로 이용하여 상기 저항성 접촉층(140b)을 식각한다. 이에 따라, 상기 채널 영역(CHA)에서는 상기 활성층(140a)이 노출되는 채널부(142)가 형성된다. 따라서, 베이스 기판(110) 상에는, 게이트 전극(122), 소스 전극(154), 드레인 전극(156) 및 채널부(142)를 포함하는 박막 트랜지스터(TFT)와, 게이트 배선들(GLm, GLm+1), 소스 배선들(DLm, DLm+1) 및 게이트 절연층(130)을 포함하는 TFT 어레이층이 형성된다.
- [0065] 도 1 및 도 7을 참조하면, 상기 TFT 어레이층 상에 패시베이션층(160)을 형성한다.
- [0066] 이어서, 상기 패시베이션층(160)이 형성된 베이스 기판(110) 위에 제3 포토레지스트층을 형성하고, 제3 마스크(MASK3)를 이용한 사진 공정으로 상기 제3 포토레지스트층을 패터닝하여 제3 포토레지스트 패턴(PR3)을 형성한다.
- [0067] 상기 표시 영역(DA)에서, 상기 제3 포토레지스트 패턴(PR3)은 박막 트랜지스터(TFT)와, 게이트 배선들(GLm, GLm+1) 및 소스 배선들(DLm, DLm+1)에 대응하여 형성된다. 또한, 상기 제3 포토레지스트 패턴(PR3)은 상기 주변 영역(SA) 전면에 형성된다. 이때, 상기 주변 영역(SA)에 형성된 제3 포토레지스트 패턴(PR3)에는 상기 게이트 단부 패턴(128) 및 소스 단부 패턴(158)에 대응하여 상기 패시베이션층(160)을 노출시키는 제1 홀(H1) 및 제2 홀(H2)이 형성된다.
- [0068] 도 1 및 도 8을 참조하면, 상기 제3 포토레지스트 패턴(PR3)을 마스크로 이용하여 상기 게이트 절연층(130) 및 패시베이션층(160)을 식각한다. 상기 게이트 절연층(130) 및 패시베이션층(160)의 식각은 건식 식각 공정으로 진행된다.
- [0069] 이에 따라, 상기 베이스 기판(110)이 일부 노출되며, 상기 스토리지 공통배선(STL)을 커버하는 상기 커버 패턴(CP)이 노출된다.
- [0070] 또한, 상기 제1 홀(H1)에 대응하는 패시베이션층(160) 및 게이트 절연층(130)에는 상기 게이트 단부 패턴(128)의 일부를 노출시키는 제1 비아홀(V1)이 형성된다. 상기 제2 홀(H2)에 대응하는 패시베이션층(160)에는 상기 소스 단부 패턴(158)의 일부를 노출시키는 제2 비아홀(V2)이 형성된다.
- [0071] 한편, 상기 박막 트랜지스터(TFT) 및 소스 배선들(DLm, DLm+1) 상에는 패시베이션층(160)이 남고, 상기 게이트

배선들(GLm, GLm+1) 상에는 게이트 절연층(130) 및 패시베이션층(160)이 남는다.

- [0072] 도 1, 도 8 및 도 9를 참조하면, 상기 제3 포토레지스트 패턴(PR3)을 마스크로 이용해 상기 스토리지 공통배선(STL)과 중첩된 커버 패턴(CP)을 식각한다. 상기 커버 패턴(CP)은 건식 식각 공정으로 식각되는 것이 바람직하다. 상기 커버 패턴(CP)은 일례로, C12 가스와 O2 가스의 혼합 가스를 소스 가스로 이용하여 식각한다. 이에 따라, 상기 스토리지 공통배선(STL)상에 형성된 채널층(140)이 노출된다. 이어서, 상기 노출된 채널층(140)을 식각한다. 상기 채널층(140)은 SF6 가스 및 C12 가스의 혼합 가스를 소스 가스로 하여 건식 식각 할 수 있다. 상술한 식각 공정을 통해 상기 드레인 전극(156)의 측면이 노출되며, 상기 스토리지 공통배선(STL) 상에는 상기 게이트 절연층(130)이 잔류한다.
- [0073] 한편, 상기 소스 단부 패턴(158)은 상기 커버 패턴(CP)과 동일한 소스 금속층으로 형성되었으므로, 상기 커버 패턴(CP) 및 상기 채널층(140)의 식각 공정에서는 상기 제2 비아홀(V2)에 대응하는 소스 단부 패턴(158) 및 상기 소스 단부 패턴(158)하부의 채널층(140)도 동시에 식각된다. 이에 따라, 상기 제2 비아홀(V2)에서는 상기 소스 단부 패턴(158)의 식각 단면, 상기 채널층(140)의 식각 단면 및 상기 게이트 절연층(130)의 표면이 노출된다.
- [0074] 마찬가지로, 상기 게이트 단부 패턴(128)의 제2 금속층(120b)은 상기 소스 금속층과 동일 재질로 형성되었으므로, 상기 커버 패턴(CP) 식각 공정 중에는 상기 제1 비아홀(V1)에 대응하는 제2 금속층(120b)도 식각된다. 이에 따라, 상기 제1 비아홀(V1)에서는 상기 제1 금속층(120a)의 표면 및 상기 제2 금속층(120b)의 식각 단면이 노출된다.
- [0075] 도 1 및 도 10을 참조하면, 산소 플라즈마를 이용한 애싱 공정을 수행하여 상기 제3 포토레지스트 패턴(PR3)의 일부를 제거한다. 이에 따라, 상기 제3 포토레지스트 패턴(PR3)의 두께가 소량 감소하며, 상기 드레인 전극(156)의 측면으로부터 상기 제3 포토레지스트 패턴(PR3)이 소정 간격 함입된다. 이에 따라, 드레인 전극(156) 상에 형성된 패시베이션층(160)이 일부 노출된다.
- [0076] 마찬가지로, 상기 제1 비아홀(V1) 및 제2 비아홀(V2) 주변에 형성되었던 상기 제3 포토레지스트 패턴(PR3) 역시 일부 제거되어, 상기 제1 및 제2 비아홀(V1, V2) 주변에 형성된 패시베이션층(160)이 일부 노출된다.
- [0077] 한편, 상기 애싱 공정은 산소 플라즈마의 충돌을 이용하는 공정이므로, 제3 포토레지스트 패턴(PR3)의 표면은 상기 플라즈마 충돌에 의한 데미지를 받는다.
- [0078] 도 11은 도 10의 영역 A를 도시한 확대도이다.
- [0079] 도 10 및 도 11을 참조하면, 애싱 공정이 종료한 후에 잔류하는 제3 포토레지스트 패턴(PR3)은 플라즈마 충돌의 데미지로 인해 표면이 울퉁불퉁하게 불균일해진다.
- [0080] 도 1, 도 10 및 도 12를 참조하면, 상기 제3 포토레지스트 패턴(PR3)이 잔류하는 베이스 기판(110) 상에 투명 전극층(170)을 증착한다. 상기 투명 전극층(170)은 a-ITO로 이루어지는 것이 바람직하며, 스퍼터링 방식으로 형성할 수 있다. (이하, 상기 투명 전극층(170)은 a-ITO로 표기하도록 한다.)
- [0081] 한편, 상기 제3 포토레지스트 패턴(PR3)은 표면이 불균일하므로, 상기 제3 포토레지스트 패턴(PR3) 상에 증착되는 a-ITO는 균일한 표면 위에 증착되는 a-ITO보다 분자 간격이 넓게 형성된다. 즉, 상기 제3 포토레지스트 패턴(PR3) 상에 형성되는 a-ITO(170a)는 상기 기판 상의 잔유 영역에 형성되는 a-ITO(170b)보다 넓은 분자 간격을 갖도록 형성된다.
- [0082] 도 13은 제3 포토레지스트 패턴 상에 형성된 a-ITO를 촬영한 SEM 사진이고, 도 14는 기판 상의 잔유 영역에 형성된 a-ITO를 촬영한 SEM 사진이다.
- [0083] 도 13 및 도 14를 참조하면, 상기 제3 포토레지스트 패턴상에 형성된 a-ITO는 상기 기판 상의 잔유 영역에 형성된 a-ITO 보다 넓은 분자 간격을 갖도록 형성되어 용액의 침투 및 분해가 상대적으로 용이한 구조임을 확인할 수 있다.
- [0084] 도 12 및 도 15를 참조하면, 포토레지스트 패턴을 제거하는 스트립 용액에 상기 a-ITO(170)가 형성된 베이스 기판(110)을 담근다. 바람직하게는, 상기 스트립 용액은 옥살산을 포함한다. 상기 옥살산은 a-ITO(170)에 대한 소정의 식각력을 갖는 물질이다.
- [0085] 상기 제3 포토레지스트 패턴(PR3) 상에 형성된 a-ITO(170a)는 기판 상의 잔유 영역에 형성된 a-ITO(170b)보다 넓은 분자 간격을 가지므로, 스트립 용액의 침투가 가능하다. 따라서, 상기 제3 포토레지스트 패턴(PR3) 상에

형성된 a-ITO(170a)를 통해 상기 제3 포토레지스트 패턴(PR3) 내부로 상기 스트립 용액이 침투된다. 즉, 상기 스트립 용액은 제3 포토레지스트 패턴(PR3)상에 형성된 a-ITO(170a)에 선택적으로 침투한다. 이에 따라, 상기 제3 포토레지스트 패턴(PR3)이 상기 베이스 기판(110) 상에서 제거되며, 이와 동시에 상기 제3 포토레지스트 패턴(PR3) 상에 형성된 a-ITO(170a)가 제거된다.

[0086] 따라서, 도 1 및 도 2를 참조하면, 상기 베이스 기판(110) 상에는 각 화소부(P)에 대응하는 화소 전극(172)이 패터닝된다. 마찬가지로, 게이트 단부 패턴(128) 상에는 상기 제1 비아홀(V1)을 통해 상기 게이트 단부 패턴(128)의 제2 금속층(120b)의 식각 단면과 접촉하는 제1 전극(174)이 형성된다. 또한, 상기 소스 단부 패턴(158) 상에는 상기 제2 비아홀(V2)을 통해 상기 소스 단부 패턴(158)의 식각 단면과 접촉하는 제2 전극(176)이 형성된다. 이와 같이, 본 발명에 따르면, 스트립 용액을 포토레지스트 패턴에 침투시키기 위한 언더 컷 형성 공정을 수행하지 않아도 a-ITO(170a) 상에서 스트립 용액을 침투시킴으로써 화소 전극(172), 제1 전극(174) 및 제2 전극(176)을 패터닝 할 수 있다. 따라서, 화소 전극 패터닝 공정의 신뢰성을 향상시킬 수 있으며, 언더 컷 형성 공정을 생략할 수 있으므로 제조 공정을 단순화시킬 수 있다.

[0087] 또한, 옥살산을 함유하는 상기 스트립 용액은 상기 제3 포토레지스트 패턴(PR3) 상에 형성된 a-ITO(170a)에 침투하면서, 상기 제3 포토레지스트 패턴(PR3) 상에 형성된 a-ITO(170a)를 여러 개의 파티클로 분해한다. 이에 따라, 스트립 공정 후에 잔류하는 이물 덩어리의 양이 감소하므로, 스트립 용액 필터의 교환 횟수를 감소시킬 수 있어 제조 원가를 절감할 수 있다.

[0088] 한편, 상기 화소 전극(172)은 상기 드레인 전극(156)의 측면과 접촉하며, 도 10에서 상술한 제3 포토레지스트 패턴(PR3)의 애싱 공정을 통해 상기 드레인 전극(156) 상에 형성된 패시베이션층(160)과 일부 중첩되는 면적으로 형성된다. 이에 따라, 상기 드레인 전극(156)과 측면 접촉하는 화소 전극(172)의 콘택 안정성을 향상시킬 수 있다.

[0089] 마찬가지로, 상기 제1 전극(174)은 상기 제3 포토레지스트 패턴(PR3)의 애싱 공정을 통해, 상기 제1 비아홀(V1) 주변의 패시베이션층(160)과 중첩되도록 상기 제1 비아홀(V1) 보다 넓은 면적으로 형성된다. 이에 따라, 상기 제2 금속층(120b)의 식각 단면과 접촉하는 제1 전극(174)의 콘택 안정성을 향상시킬 수 있다.

[0090] 또한, 상기 제2 전극(176)은 상기 제3 포토레지스트 패턴(PR3)의 애싱 공정을 통해 상기 제2 비아홀(V2) 주변의 패시베이션층(160)과 중첩되도록 상기 제2 비아홀(V2)보다 넓은 면적으로 형성된다. 이에 따라, 상기 소스 단부 패턴(158)의 식각 단면과 접촉하는 제2 전극(176)의 콘택 안정성을 향상시킬 수 있다.

[0091] 한편, 본 발명의 실시예에서는 커버 패턴을 이용하여 스토리지 공통배선 상에 형성된 게이트 절연층의 식각을 방지하였으나, 상기 커버 패턴의 형성을 생략하고, 슬릿 노광을 이용하여 상기 스토리지 공통배선 상에 상대적으로 얇은 두께의 포토레지스트 패턴을 형성함으로써, 상기 게이트 절연층의 식각을 방지할 수 있음은 당업자라면 자명하다.

발명의 효과

[0092] 이상에서 설명한 바와 같이, 본 발명에 따르면 산소 플라즈마 충격을 이용하여 포토레지스트 패턴 표면을 불균일하게 형성하므로써, 상기 포토레지스트 패턴 상에는 스트립 용액의 침투가 용이한 분자 간격을 갖는 a-ITO를 형성할 수 있다. 따라서, 후속의 스트립 공정에서 포토레지스트 패턴 상에 형성된 a-ITO에 스트립 용액이 선택적으로 침투되므로, 포토레지스트 패턴 및 포토레지스트 패턴 상의 a-ITO를 선택적으로 제거할 수 있다. 이에 따라, 화소 전극 패터닝 공정의 신뢰성이 향상되며, 스트립 용액의 침투 공간 확보를 위한 언더 컷 형성을 생략할 수 있으므로 제조 공정을 단순화시킬 수 있다.

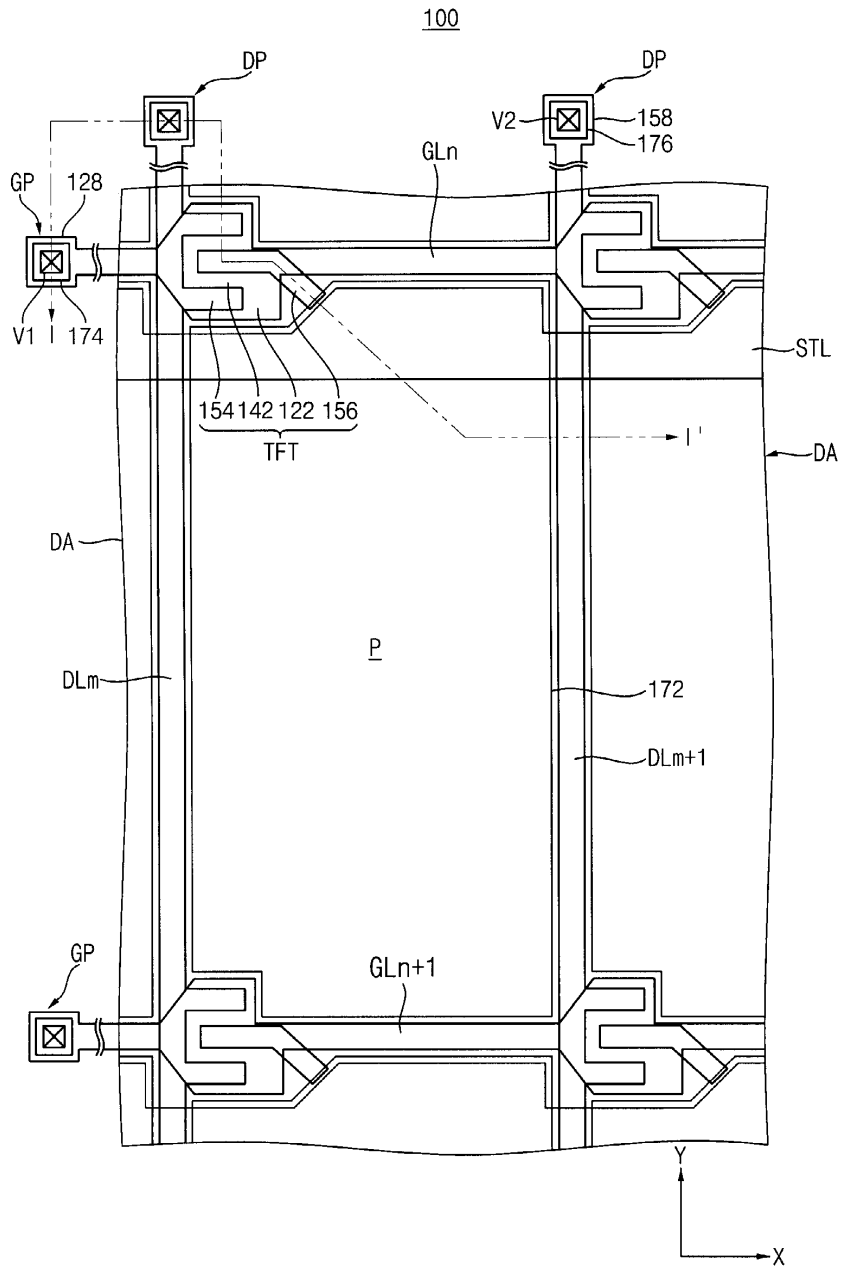
[0093] 또한, 상기 스트립 용액은 상기 포토레지스트 패턴 상의 a-ITO에 선택적으로 침투하면서, 상기 포토레지스트 패턴 상의 a-ITO를 여러 개의 파티클로 분해한다. 이에 따라, 스트립 공정 후에 잔류하는 이물 덩어리의 양이 감소하므로 스트립 용액 필터 교환 횟수를 감소시킬 수 있다. 이에 따라, 제조 원가를 절감할 수 있다.

[0094] 또한, 상기 산소 플라즈마 충격을 통해 상기 포토레지스트 패턴이 일부 제거 되므로 드레인 전극 상의 패시베이션층과 일부 중첩되는 면적으로 화소 전극을 형성할 수 있다. 이에 따라, 박막 트랜지스터의 출력 단자인 드레인 전극과 측면 접촉하는 화소 전극의 콘택 안정성을 향상시킬 수 있다.

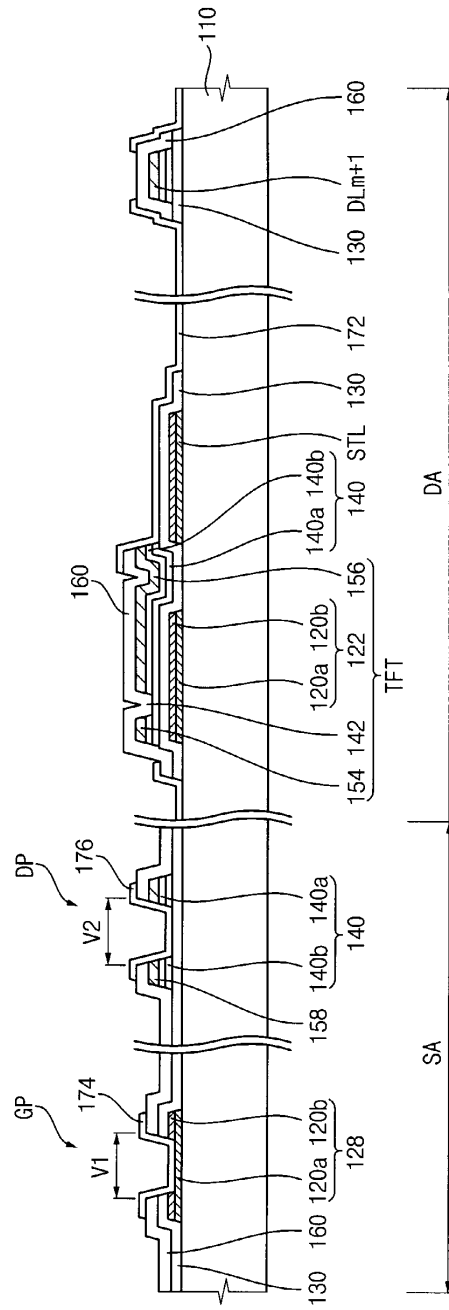
[0095] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

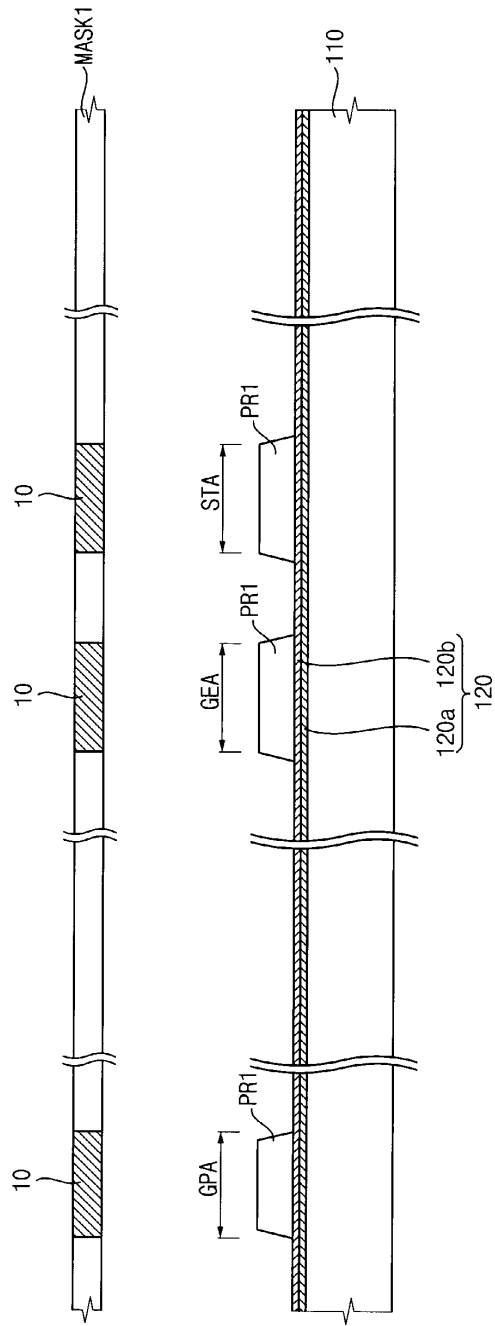
도면1



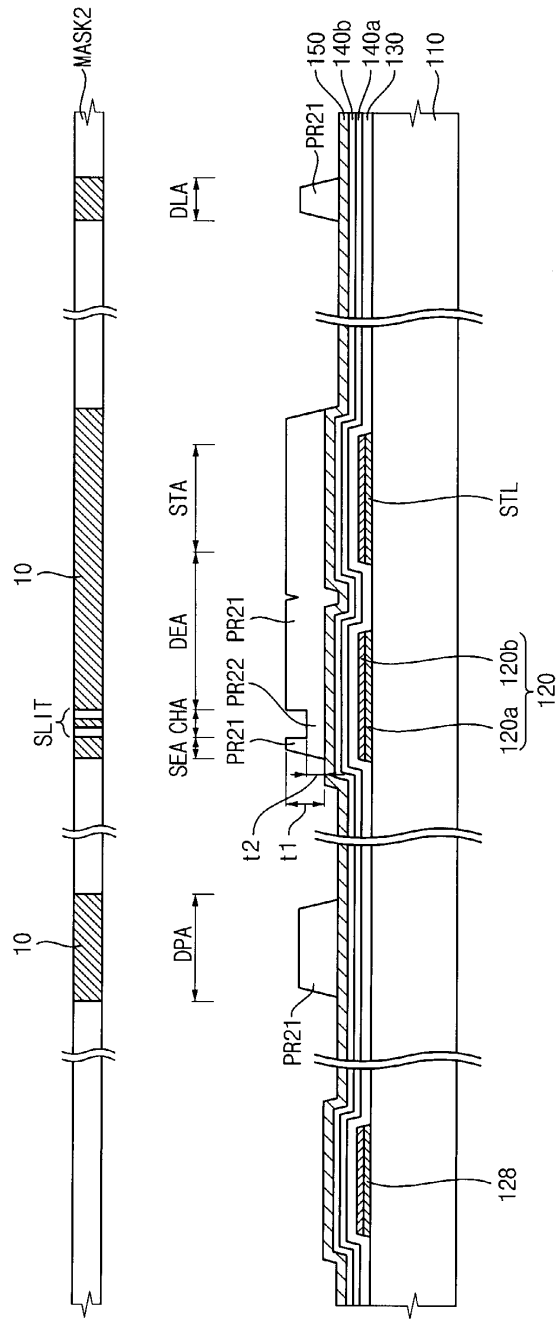
도면2



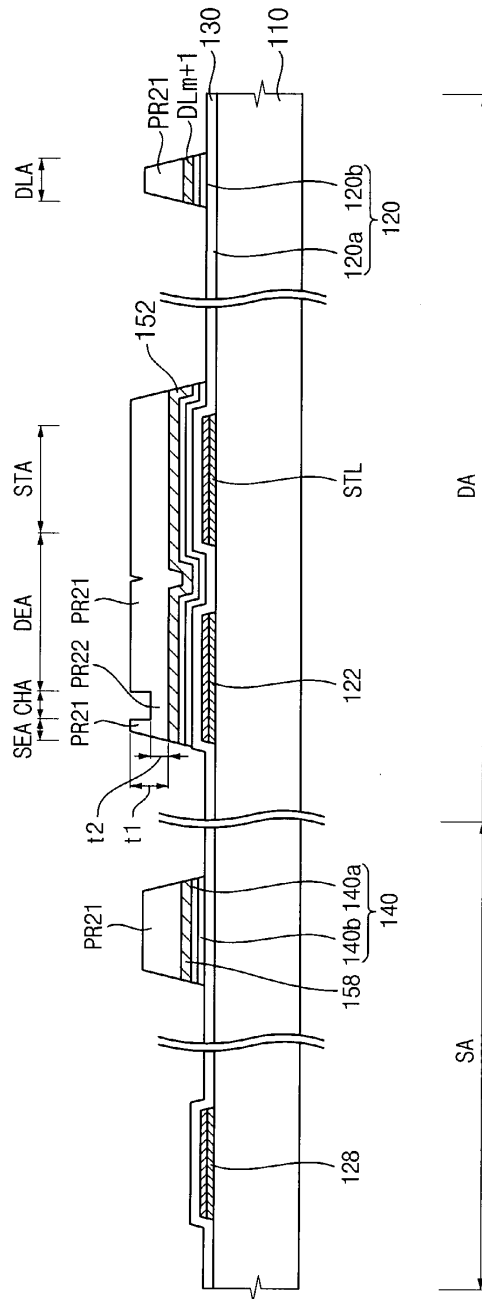
도면3



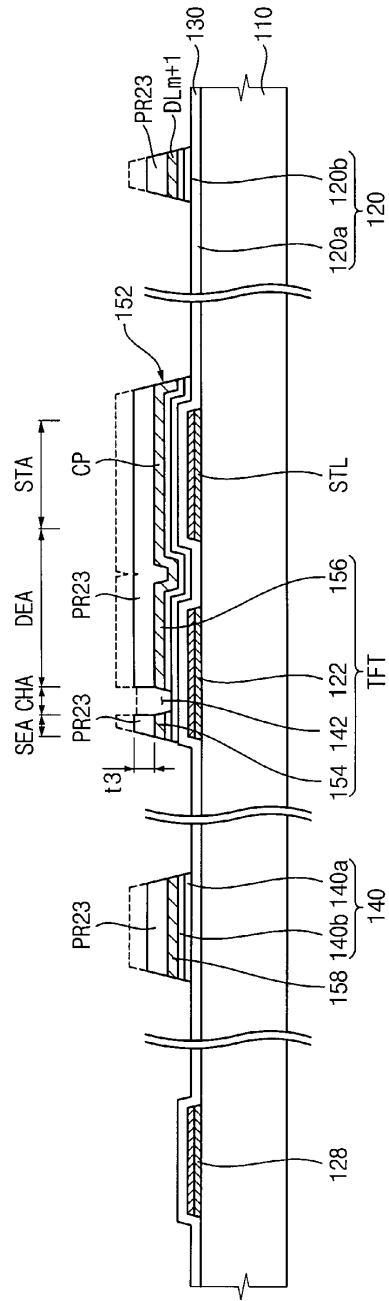
도면4



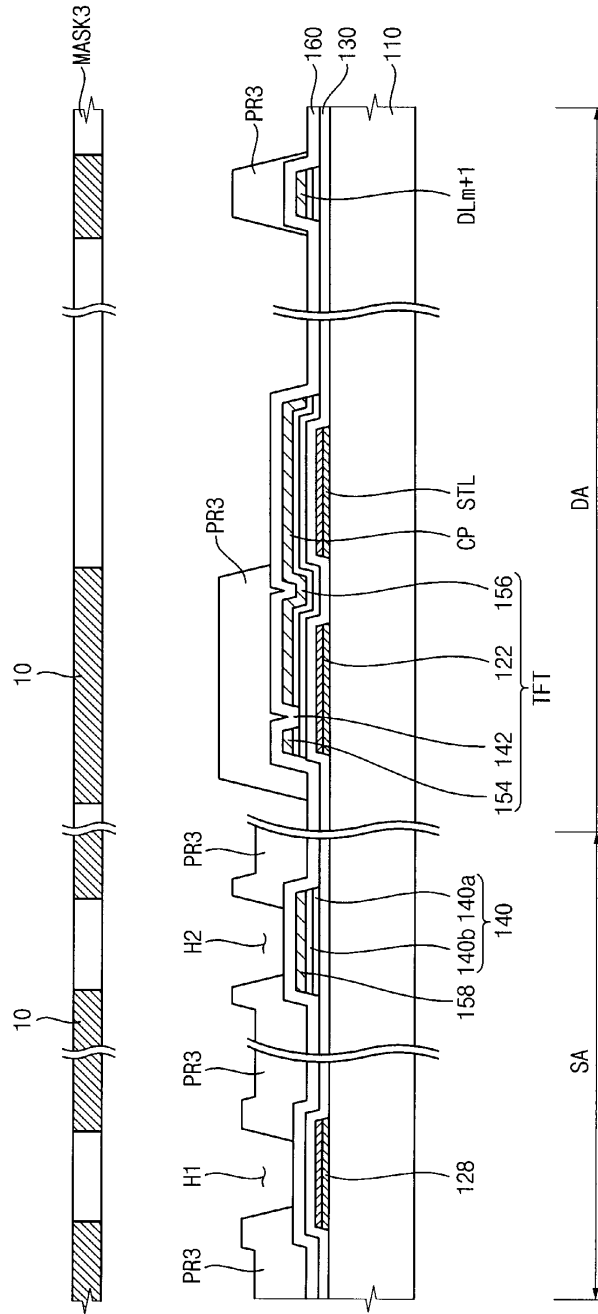
도면5



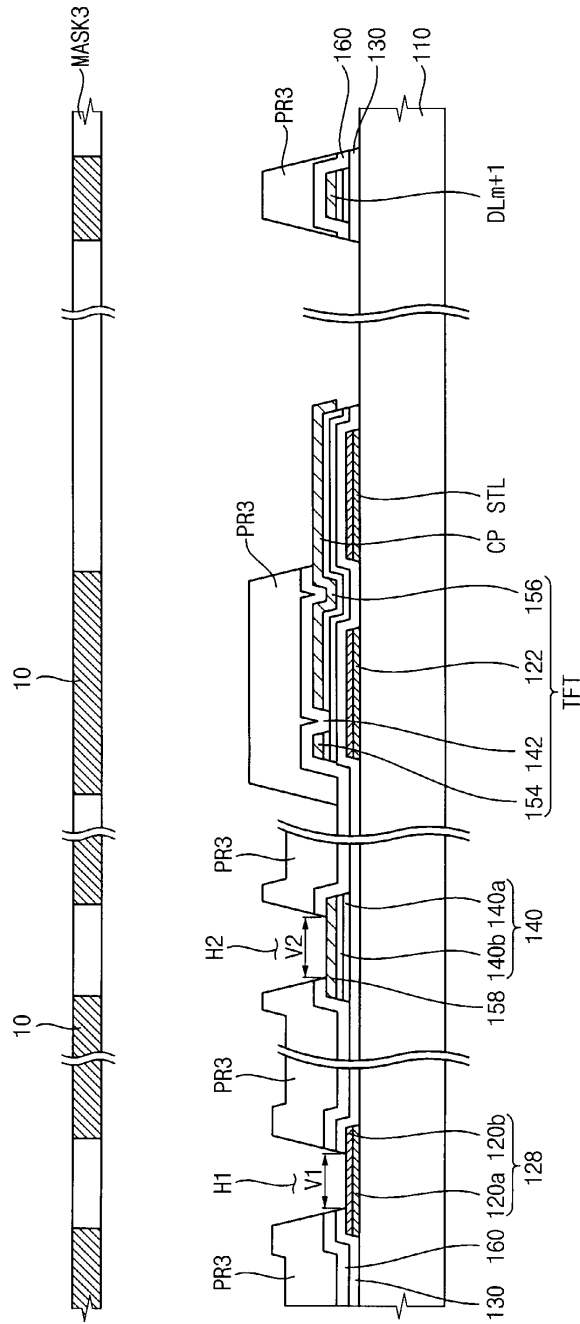
도면6



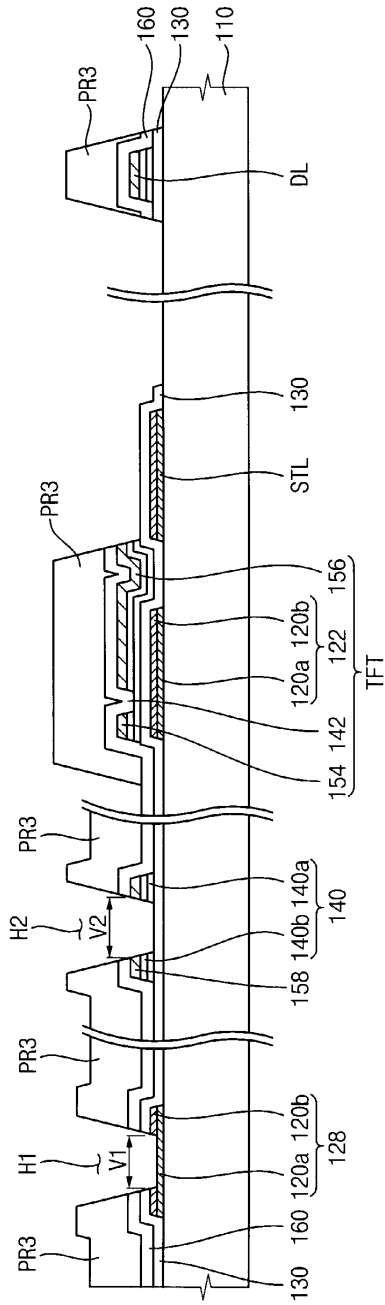
도면7



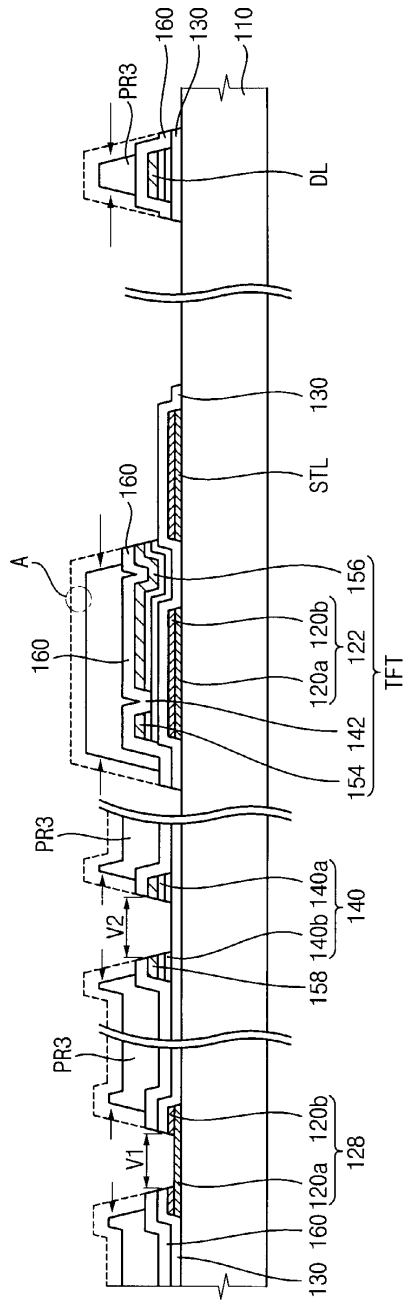
도면8



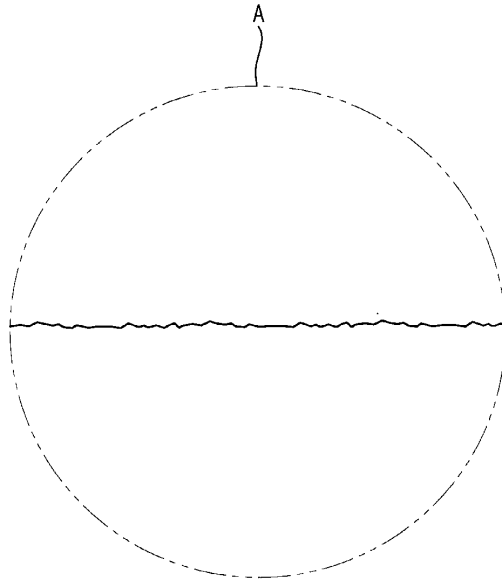
도면9



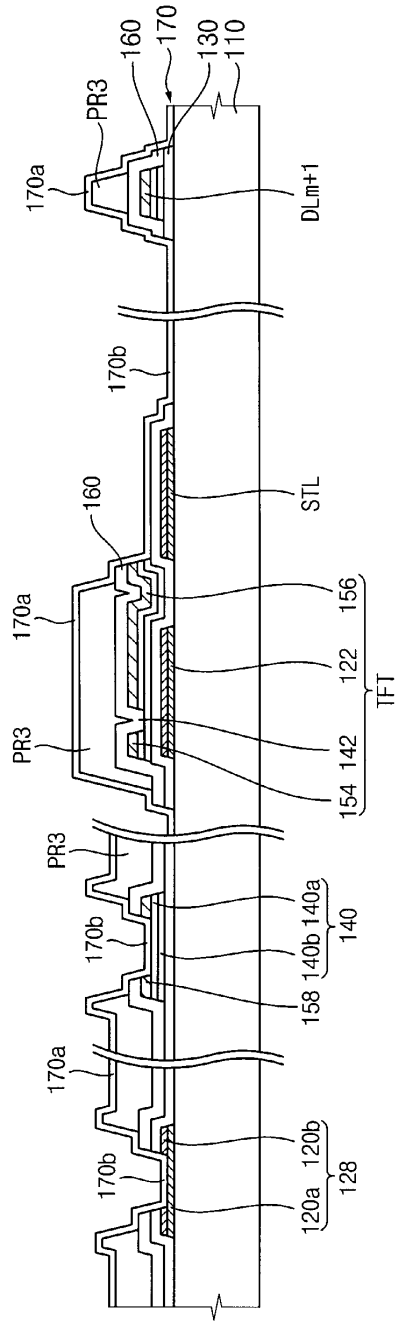
도면10



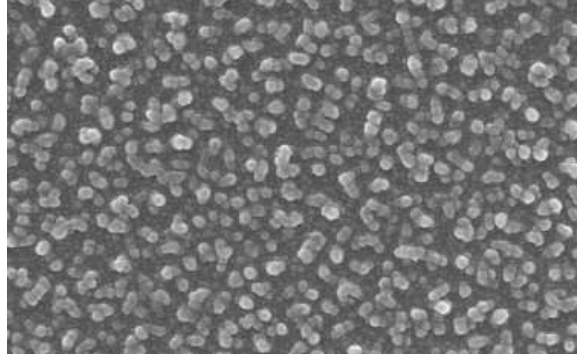
도면11



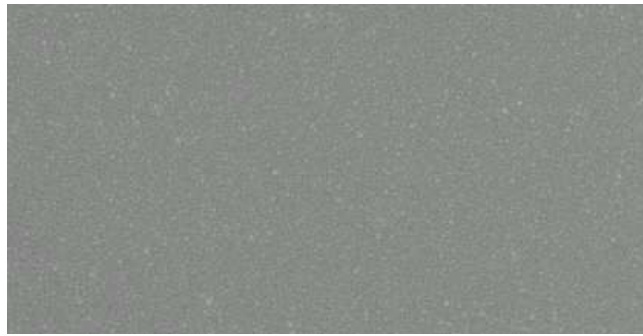
도면12



도면13



도면14



도면15

