

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5623635号
(P5623635)

(45) 発行日 平成26年11月12日(2014.11.12)

(24) 登録日 平成26年10月3日(2014.10.3)

(51) Int. Cl.	F I		
G06F 13/00	(2006.01)	G06F 13/00	301F
G06F 11/10	(2006.01)	G06F 11/10	330Z
G06F 12/16	(2006.01)	G06F 12/16	320E

請求項の数 12 (全 19 頁)

(21) 出願番号	特願2013-515811 (P2013-515811)	(73) 特許権者	390009531
(86) (22) 出願日	平成23年6月8日(2011.6.8)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2013-539086 (P2013-539086A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成25年10月17日(2013.10.17)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/EP2011/059533	(74) 代理人	100108501
(87) 国際公開番号	W02011/160956		弁理士 上野 剛史
(87) 国際公開日	平成23年12月29日(2011.12.29)	(74) 代理人	100112690
審査請求日	平成26年2月12日(2014.2.12)		弁理士 太佐 種一
(31) 優先権主張番号	12/822,498	(74) 代理人	100091568
(32) 優先日	平成22年6月24日(2010.6.24)		弁理士 市位 嘉宏
(33) 優先権主張国	米国 (US)		
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 バス障害を検出するための方法、システム及びコンピュータ・プログラム

(57) 【特許請求の範囲】

【請求項1】

バス障害を検出するためのコンピュータによって実装される方法であって、
エラー検出コードの複数のシンδροームを受け取るステップであって、前記エラー検出コードは、前記バスを介して送信された複数のフレームに関連付けられており、前記バスは、複数のレーンを含み且つ前記エラー検出コードによって保護され、前記複数のレーンの各々が、値を格納する関連付けられた走行カウンタを有する、前記受け取るステップと、

前記シンδροームの各々ごとに、前記レーンの各々について、

前記レーンが障害レーンであるという仮定の下に、前記シンδροームを復号することであって、前記シンδροームは、シングル・エラーの複数の可能な障害レーンを示し、前記復号することは復号結果を出力することである、前記復号すること、

前記復号結果が有効な復号であるか否かを決定すること、及び、

前記復号結果が有効な復号であるという決定にตอบสนองして、前記レーンに投票することであって、前記投票することは、前記レーンに関連付けられた走行カウンタを増分することを含み、前記増分が前記シングル・エラーの複数の可能な障害レーンのそれぞれについて繰り返される、前記投票すること

を実行するステップと、

前記投票にตอบสนองして、障害レーンを識別するステップであって、前記識別することは、前記障害レーンを選択するために、前記走行カウンタ内の値を互いに比較することを含み

、前記障害レーンが、前記バス上の少なくとも1つの他のレーンよりも多い投票を有することによって特徴づけられる、前記識別するステップとを含む、前記方法。

【請求項2】

前記復号することが、

前記レーン用の候補エラー・ベクトルを生成するステップと、

単一ビット・エラーを示す前記候補エラー・ベクトルに回答して、前記シンドロームを復号することによって生成された他のレーン用の投票を取り消すステップとを含む、請求項1に記載の方法。

【請求項3】

前記障害レーンが、前記バス上の他の任意のレーンよりも多い投票を有することによって特徴づけられる、請求項1に記載の方法。

【請求項4】

前記比較することが、

より低い走行カウンタ値に対するより高い走行カウンタ値の比率を計算するステップを含み、

前記識別するステップが、

前記障害レーンを選択するために前記計算された比率を比率閾値と比較するステップをさらに含む、請求項1に記載の方法。

【請求項5】

前記複数のシンドロームのうちの指定された数のシンドロームが受け取られた後に、前記識別することが実行される、請求項1に記載の方法。

【請求項6】

前記復号することが、前記受け取られた複数のシンドロームのサブセットについて実行され、且つ候補エラー・ベクトルを生成することを含み、

前記受け取られた複数のシンドロームのうちの前記サブセット内に存在しないシンドロームが、前記候補エラー・ベクトルをクロス検査するために前記復号することによって使用される、

請求項1に記載の方法。

【請求項7】

前記障害レーンを識別し且つ修正アクションを開始することに対応して、前記投票がリセットされる、請求項1に記載の方法。

【請求項8】

指定された期間の後に、前記投票がリセットされる、請求項1に記載の方法。

【請求項9】

バス障害を検出するためのシステムであって、

前記バスを介して送信された複数のフレーム用の複数のシンドロームを受け取り且つ当該複数のシンドロームをトラップするように構成されたバス・インタフェース装置であって、前記バスは、複数のレーンを含み、各フレームは、各レーンごとに複数のビット転送を含む、前記バス・インタフェース装置と、

前記バス・インタフェース装置と通信するシンドローム処理論理とを備えており、

前記シンドローム処理論理が、請求項1～8のいずれか一項に記載の方法の各ステップを実行するように構成されている、

前記システム。

【請求項10】

前記バス・インタフェース装置が、メモリ・システム内のハブ装置である、請求項9に記載のシステム。

【請求項11】

前記バス・インタフェース装置が、メモリ・システム内のメモリ・コントローラである

10

20

30

40

50

、請求項 9 に記載のシステム。

【請求項 1 2】

コンピュータに、請求項 1 ~ 8 のいずれか一項に記載の方法の各ステップを実行させる

コンピュータ・プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンピュータのメモリ・システムに係り、さらに詳細に説明すれば、シンドローム分析を使用して障害バス・レーン (failing bus lane) を検出することに係る。

【背景技術】

【0002】

一般に、最近の高性能コンピュータ用の主メモリ・システムは、1つ以上の動的ランダム・アクセス・メモリ (DRAM) 装置から構成される。これらの DRAM 装置は、1つ以上のメモリ制御要素を介して、1つ以上のプロセッサに接続される。コンピュータ・システムの総合性能は、プロセッサの性能/構造、メモリ・キャッシュ、入出力 (I/O) サブシステム、メモリ制御機能の効率、主メモリ装置、メモリ相互接続インタフェースのタイプ及び構造を含む、コンピュータ構造の重要な各要素によって影響される。

【0003】

産業界では、システム/サブシステムの設計及び/又は構造を改良することを通してコンピュータ・システム全体の性能及び密度を最大化するための改良された及び/又は革新的な解決策を提供するべく、広範囲な研究開発努力に対する投資が継続的に行われている。高可用性システムは、システム全体の信頼性に関係するさらなる挑戦を提示する。というのは、顧客が期待するのは、新しいコンピュータ・システムが平均故障間隔 (MTBF) の点で既存のシステムよりも著しく優れているというだけではなく、追加の機能、増大した性能、増大したストレージ、より低い運転コスト等を提供するというものであるからである。メモリ・システム設計の挑戦をさらに困難にする顧客の他の要件には、アップグレードの容易さ、システム環境 (例えば、スペース、電力、冷却等) への影響を低減すること等がある。

【発明の概要】

【発明が解決しようとする課題】

【0004】

メモリ・システム・バスのようなバス内の障害レーンを検出するための1つのアプローチは、エラー訂正コード (ECC) を使用することである。ECC は、多数の障害ビットを検出し且つ訂正することができるが、エラー検出コードよりも多い冗長ビットを必要とする。一般に、エラー検出コードは、エラーを検出することができるが、当該エラーの物理的な性質を完全に解決することができない。例えば、エラー検出コードは、障害レーン内の全ての可能なエラー・パターンについて当該障害レーンを完全に識別できないことがある。従って、エラー検出コードだけでは、エラーを特定の障害レーンに正確に分離できないことがある。障害レーンを検出するための他のアプローチは、レーン・シャドーイングを使用して、データのコピーをスペア・レーンを介して送信するというものである。しかし、レーン・シャドーイングは、任意の時点においてレーンのサブセットについてだけ機能するに過ぎないから、所与の障害レーン用の分析ウィンドウの外部で生じるエラー・イベントを見逃すことがある。

【課題を解決するための手段】

【0005】

本発明の第1の側面に従って、バス障害を検出するためのコンピュータによって実装される方法が提供される。本方法は、エラー検出コードの複数のシンドロームを受け取るステップを含む。前記エラー検出コードは、複数のレーンを含み且つ前記エラー検出コードによって保護される、前記バスを介して送信された複数のフレームに関連する。本方法は、前記シンドロームの各々ごとに、前記レーンの各々について、当該レーンが障害レーン

10

20

30

40

50

であるという仮定の下に、当該シンδροームを復号して復号結果を出力するステップと、前記復号結果が有効な復号であるか否かを決定するステップと、前記復号結果が有効な復号であるという決定に回答して、当該レーンに投票するステップを含む。次に、前記投票に回答して、障害レーンが識別される。前記障害レーンは、前記バス上の少なくとも1つの他のレーンよりも多い投票を有することによって特徴づけられる。

【0006】

本発明の第2の側面に従って、バス障害を検出するためのシステムが提供される。本システムは、前記バスを介して送信された複数のフレーム用のシンδροームを受け取り且つトラップするように構成されたバス・インタフェース装置を備える。各フレームは、各レーンごとに複数のビット転送を含む。本システムは、前記バス・インタフェース装置と通信するシンδροーム処理論理をさらに備える。前記シンδροーム処理論理は、エラー検出コードの複数のシンδροームを受け取る動作を実行するように構成される。前記エラー検出コードは、複数のレーンを含み且つ前記エラー検出コードによって保護される、前記バスを介して送信された複数のフレームに関連する。前記シンδροーム処理論理は、前記シンδροームの各々ごとに、前記レーンの各々について、当該レーンが障害レーンであるという仮定の下に、当該シンδροームを復号して復号結果を出力する動作と、前記復号結果が有効な復号であるか否かを決定する動作と、前記復号結果が有効な復号であるという決定に回答して、当該レーンに投票する動作を実行するように構成される。前記投票に回答して、障害レーンが識別される。前記障害レーンは、前記バス上の少なくとも1つの他のレーンよりも多い投票を有することによって特徴づけられる。

【0007】

本発明の第3の側面に従って、バス障害を検出するためのコンピュータ・プログラムが提供される。本コンピュータ・プログラムは、本発明の第1の側面に係る方法発明の各ステップをコンピュータに実行させるためのものである。

【0008】

添付図面及び以下の詳細な説明を参照すれば、本発明に従った他のシステム、方法及び/又はコンピュータ・プログラムが、当業者にとって明白になるであろう。そのような追加のシステム、方法及び/又はコンピュータ・プログラムの全ては、本明細書の開示の範囲内に包含され、本発明の範囲内に包含され、請求項の記載によって保護されることが意図される。

【発明の効果】

【0009】

本発明は、バスを介して転送される或るフレーム内で唯1つのビット障害が生じるような状況でエラー条件をモニタすることにより、障害レーンを分離する際の精度を向上させることができるという効果を奏する。例えば、或るフレーム内で唯1つのビット障害が検出されるケースでは、レーン障害識別における100%の精度を達成することができるという効果を奏する。

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態によって実装することができるカスケード相互接続メモリ・システムを示す図である。

【図2】下流の8転送フレームを示す図である。

【図3】下流の12転送フレームを示す図である。

【図4】下流の16転送フレームを示す図である。

【図5】上流の8転送フレームを示す図である。

【図6】シンδροーム分析を使用して障害バス・レーンを検出するためのプロセスを示す図である。

【発明を実施するための形態】

【0011】

本発明の実施形態は、エラー検出コードを使用して保護される、バス内の或る障害レー

ンを検出する。当該障害レーンを統計的に識別するために、複数のカウンタ及びエラー検出コードの複数のシンドロームの分析を使用することができる。分析の結果、バス内のレーンの数と等しい数のエントリを有するビット・ベクトルが得られる。各レーンごとにカウンタがあり、当該カウンタは分析の結果で増分される。もし、特定のレーンについて、ビット・ベクトルがゼロに等しければ、当該レーン用のカウンタは放置される。さもなければ、当該レーン用のカウンタは増分される。

【0012】

前記分析は、どの障害レーンがエラーの原因であるかということ完全に解決する代わりに、障害レーンについての複数の可能性を与える。従って、単一のシンドロームが分析されるとき、2つ以上のカウンタが増分されることがある。このプロセスは、新しい複数のシンドロームが受け取られるにつれて、複数回にわたって反復される。単一のシンドローム分析については、障害レーンを解決することは可能ではないかもしれないが、複数のシンドロームが分析され且つ複数のカウンタの蓄積された内容が得られるにつれて、障害レーンは、高い確率でより高いカウントを有することになるであろう。分析されるシンドロームの数が多くなるほど、分析結果の品質が向上する。バスを介して転送される或るフレーム内で唯1つのビット障害が生じるような状況でエラー条件をモニタすると、或る障害レーンを分離する際の精度を向上させることができる。例えば、或るフレーム内で唯1つのビット障害が検出されるケースでは、レーン障害識別における100%の精度を達成することができるであろう。本明細書では、巡回冗長検査(CRC)を参照して、前記分析を詳細に説明する。しかし、前記分析は、任意の線形エラー検出コードにも適用可能であり、CRCだけに制限されない。

【0013】

線形エラー検出コードは、パリティ検査行列Hによって特徴づけられる。一般に、このコードは、マルチビット・シンボルにも適用可能であるが、説明の便宜上、このコードは、バイナリ・シンボルに作用するものと仮定する。パリティ検査行列H内の行の数(r)は、このコード内の検査ビットの数と等しい。列の数は(n)は、 $n = r + k$ と等しい。但し、kは、エラー検出コード内のペイロード・ビットの数である。

【0014】

dを、kペイロード・ビットを表す列ベクトルとし、cを、これらのkペイロード・ビットに関連するrビットを表す列ベクトルとする。その場合、バスを介して送信される全ベクトルは、次の通りである。

【数1】

$$v = [c$$

$$d],$$

但し、c及びdは、vを形成するように連結されている。検査ビットcの位置はこのベクトルの上部にある必要はないし、検査ビットは隣接して配置する必要もない。ここで、この構成を仮定するのは、この説明の理解を容易にするために過ぎない。ペイロードdが与えられると、 $Hv = 0$ となるように検査ビットcが計算される。Hvは、2を法とする行列/ベクトル乗算を使用して、行列Hをベクトルvと乗算することを示す。その後、ベクトルvは、通信路を介して送信され、その結果、ベクトルv上にエラーが加わることがある。このエラーは、nエントリを有するエラー・ベクトルeによって表される。エラー・ベクトルeのnエントリは、エラーが存在しない場合は、複数のゼロを有し、エラーが存在する場合は、複数の1を有する。

【0015】

バス内にLレーンが存在し、そして各レーンがバスを介した或るフレームの送信の全体

にわたって n/L ビットを搬送するものと仮定する。従って、 n が L によって割り切れることも仮定する。ベクトル v は、 L 部分に分割することができる。その各部分は、次のように隣接する複数のビットを有する。

【数 2】

$$v = [v_1$$

v_2

...

$v_L]$

10

【0016】

n/L ビットを含む L 部分の各々は、通信路を介して送信される。同様に、エラー・ベクトル e は、次のように分割することができる。

【数 3】

$$e = [e_1$$

e_2

...

$e_L]$

20

30

【0017】

データ・パターン $v + e$ が受け取られる場合、デコーダは、ベクトル v に依存しない式、 $s = H(v + e) = 0 + He = He$ 、を使用して、対応するシンδροームを計算する。もし、エラーがなかったならば ($e = 0$)、シンδροーム s はゼロであり、当該フレームは良好であると見なされる。もし、 $s = He$ がゼロに等しくなければ、エラーが検出されたことになり、通常は、再試行が要求されるであろう。

【0018】

さらに、 $r > n/L$ であるものと仮定する。すなわち、このコード内の検査ビット r の数が、所与のレーン内のビット数 n/L よりも多いということである。行列 H は、 $H = [H_1 H_2 \dots H_L]$ として分割することができる。もし、レーン i にのみ集中しているエラーが存在すれば(但し、 $e = [0 \dots e_i \dots 0 \ 0]$ であり、 e_i は非ゼロである)、受け取られたシンδροームは、 $s = H_i e_i$ である。 H_i は、2つのセクションに分割することができる。第1のセクション H_{i_A} は、 n/L 行を含み、第2のセクション H_{i_B} は、残りの行を含む。この分割は、次に示す通りである。

40

【数4】

$$H_i = [H_{i_A}$$

$$H_{i_B}]$$

同様に、シンδροーム s は、次のように分割することができる。

10

【数5】

$$s = [s_A$$

$$s_B]$$

【0019】

従って、 H_{i_A} は、次元 $(n/L) \times (n/L)$ を有する正方行列であり、 H_{i_B} は、次元 $(r - n/L) \times (n/L)$ を有する行列である。同様に、 s_A は、 n/L エントリを有し、 s_B は、 $r - n/L$ エントリを有する。

20

【0020】

もし、このコードが、 H_{i_A} が可逆行列であるようなものであれば、 H_{i_A} の逆数と s_A の乗算結果は、 e_i に等しい。これは、 $\text{inv}(H_{i_A}) s_A = e_i$ として表すことができる。すなわち、当該レーンに影響するエラー・パターン e_i を有効に回復するということである。留意すべきは、全ての i について H_{i_A} が可逆であるという特性は、例えば、巡回コードを使用することによって得ることができ、そして或るレーン内の連続するビットが当該巡回コード内の連続するビットに対応することを保証する。巡回コードの幾つかの例は、クラス σ の BCH コードである。前記エラー・パターン e_i を回復した結果として、次の式（第2の等式）も当てはまる。

【数6】

30

$$m_i = H_{i_B} \text{inv}(H_{i_A}) s_A - s_B = 0 \quad (1)$$

【0021】

留意すべきは、この式が第1の等式を使用してマーカ m_i を追加的に定義するということである。式(1)は、障害バス・レーンを検出するための基礎である。もし、レーン i が問題を有するレーンであれば、設計されたコードの H 及びシンδροーム s のみに依存する、式(1)の左側のマーカ m_i は、ゼロに等しくなければならない。どのレーンに障害があるかは知られていないので、式(1)の左側は、全ての L レーンについて計算される。但し、式(1)の左側を計算する間に、インデックス i を1から L まで変更させつつ、本質的に各レーンが障害レーンであるものと順々に仮定する。この計算がゼロに帰着したインデックス i については、関連するレーンが障害レーン候補として宣言され、分析ビット・ベクトル投票__レーンの i 番目のビットが1にセットされる。すなわち、投票__レーン $[i]$ は、1にセットされる（本明細書では、これを「レーン i に投票する」と称する）。この計算が非ゼロに帰着したインデックス i については、投票__レーン $[i]$ は、0にセットされる（本明細書では、これを「レーン i に投票しない」と称する）。留意すべきは、各レーンごとにシンδροーム s_A のサブセットを使用してエラー量 e_i が計算され、その間に、残りのシンδροーム・ビット s_B を使用して候補エラー・ベクトルのクロス検査が実行されるということである。もし、クロス検査が成功すれば、有効な復号信号が生成される。さもなければ、無効な復号信号が生成される。

40

50

【 0 0 2 2 】

1つのフレームに適用される前記手順の説明は、当分野で公知のバス・エラー訂正手順に対応しない。バス・エラー訂正手順では、各シンδροームの復号は、訂正不能エラー信号を生じるか、又はバスに適用されるとデータ破壊を除去するであろうと信じられる訂正を生じる。対照的に、前述の手順では、多数のフレームが処理された後にだけ障害レーンを検出することを目的として、各レーンが障害レーンであるという仮定の下に各シンδροームの復号を実行し、そして有効な復号が得られるならば、そのレーンは投票を受け取る。従って、前述の手順の実施形態を使用して、1つのフレームが処理されたときは、一意的な障害レーンが必ずしも識別されとは限らない。

【 0 0 2 3 】

前述のように、実施形態に従って、各ビット・レーンごとに1つずつ設けられたカウンタは、障害レーンである関連するレーンの投票をカウントする。これらのカウンタは、複数のエラー検出(従ってシンδροーム分析)イベントにわたって持続するから、これらのカウンタは「走行カウンタ」とも呼ばれる。ビット・ベクトル投票__レーンは、各ビット・レーン用のカウンタを増分するために使用することができる。具体的には、ビット・ベクトル投票__レーンの値が、これらのカウンタの現在値に加算される。唯1つのレーンについてマーカ m_i の計算結果がゼロになることがあるが、一般に、式(1)では、2つ以上のレーンについてマーカ m_i の計算結果がゼロになることがあり得る。このことは、対応するカウンタが増分されるであろうということの意味する。

【 0 0 2 4 】

もし、或るレーンが持続的なエラーを有するが、その実際のエラー・パターンがアクセス相互間で変化すれば、当該障害レーン用のカウンタは、他のレーン用のカウンタよりも多い増分を得る。複数のカウンタを追跡するハードウェア、ファームウェア又はソフトウェアは、これを使用することにより、或るカウンタが閾値に達したか否かを決定する。そうであれば、対応するレーンは、レーン・スペアリング用の良い候補である。

【 0 0 2 5 】

もし、エラー・パターンが単一ビット・エラーであれば、エラー検出コードが適切に設計されていることを条件として、少しの曖昧さもなく、障害レーンを正確に識別することができる。実施形態では、使用されるエラー検出コードは、少なくとも任意の2ビット・エラーを検出するという能力を有する。従って、任意の2つの単一ビット・エラーのシンδροームは、同じではあり得ない。単一ビット・エラーが存在する場合、2つ以上のレーンが単一ビット・エラーを有する e_i を計算し、そして式(1)の計算の結果が同時にゼロになることはあり得ない。

【 0 0 2 6 】

代替実施形態では、式(1)の代わりに、式(2)及び(3)の2段階の計算を実行することができる。

【 数 7 】

$$e_i = \text{inv}(H_{i_A}) s_A \quad (2)$$

$$m_i = H_{i_B} e_i - s_B \quad (3)$$

但し、 e_i は、レーン i 用の候補エラー・ベクトルと呼ばれる。各レーン $i = \{1, \dots, M\}$ ごとに、 e_i 内に正確に1ビット・エラーが存在し、そしてそれと同時に、 $m_i = 0$ であるか否かが決定される。この特性を有する唯1つの

【 数 8 】

i^*

が見出されるときは、 $m_i = 0$ であるが、 e_i が正確に1ビット・エラーではない、

【数9】

i^*

と異なる他の i があつたとしても、オプションとして、常に、

【数10】

i^*

10

だけのために投票が生成される。これは、一般的なレーン・エラー・パターンのエラー検出能力をわずかに犠牲にするが、少しの曖昧さもなく、全ての単一ビット・エラーが検出されることを保証するという有利な効果を有する。換言すれば、単一ビット・エラーを示す候補エラー・ベクトルが存在するときは、常に、復号中に生成された諸レーン用の他の全ての可能な投票が取り消されるということである。

【0027】

ここで、図1を参照して説明する。図1のメモリ・システム100に含まれる複数の完全バッファ型デュアル・インライン・メモリ・モジュール(DIMM)は、高速通信路を介して通信し、本明細書に開示するようなエラー検出コード・シンドロームの分析を使用する。メモリ・システム100は、処理システム102用の主メモリとして、ホスト処理システム内に組み入れることができる。メモリ・システム100に含まれる多数のDIMM103a~103dは、ハブ装置104を備えており、通信路106又はカスケード相互接続バス(差動式の単方向性上流バス118及び差動式の単方向性下流バス116から構成される)を介して通信する。DIMM103a~103dは、ダブル・データ・レート(DDR)動的ランダム・アクセス・メモリ(DRAM)装置でもよい、複数のメモリ装置109に加えて、当分野で公知の他のコンポーネント(例えば、抵抗、コンデンサ等)を含むことができる。DDRの任意のバージョン(例えば、DDR2、DDR3、DDR4等)をDIMM103a~103d上に含めることができるので、メモリ装置109は、DRAM109又はDDR x と呼ばれることもある。メモリ・コントローラ110は、DIMM103aとインタフェースし、通信路106を介して、DIMM103a~103dのうち任意のものを目標とするコマンド、アドレス及びデータ値を送信する。コマンド、アドレス及びデータ値は、フレームとしてフォーマット化され、高いデータ転送速度における送信のために直列化されることがある。一般に、ハブ装置104及びメモリ・コントローラ110は、バス・インタフェース装置と呼ばれることもある。

20

30

【0028】

実施形態では、或るDIMMが上流DIMM又はメモリ・コントローラ110から或るフレームを受け取る時、当該DIMMは、当該フレームをディジー・チェーン内の次のDIMMに再駆動する(例えば、DIMM103aはDIMM103bに再駆動し、DIMM103bはDIMM103cに再駆動し、以下同様である)。それと同時に、当該DIMMは、当該フレームを復号してその内容を決定する。従って、各DIMMにおける再駆動及びコマンド復号は、並行に又は殆ど並行に生ずることができる。もし、当該コマンドが読み取り要求であれば、DIMM103a~103d及びメモリ・コントローラ110は、当該コマンドの内容を使用して、上流バス118上の読み取りデータ・トラフィックを追跡する。

40

【0029】

DIMM103a~103d上のハブ装置104は、通信路106へのバス・インタフェース(例えば、ポート)を介して諸コマンドを受け取る。ハブ装置104上のバス・インタフェースは、幾つかあるコンポーネントのうち、特に受信機及び送信機を含む。実施形態では、各ハブ装置104は、通信路106を介して上流ハブ装置104又はメモリ

50

・コントローラ 110 と通信するための上流バス・インタフェース及び通信路 106 を介して下流ハブ装置 104 と通信するための下流バス・インタフェースの両方を含む。また、各ハブ装置 104 は、カウンタ 112、レジスタ 114 及びエラー処理論理 (ERR LOGIC) 120 を含む。同様に、メモリ・コントローラ 110 も、カウンタ 112、レジスタ 114 及びエラー処理論理 120 を含むことができる。カウンタ 112 は、エラー率を計算し且つ障害条件をレジスタ 114 内にセットするために、エラー処理論理 120 によって使用されるエラー・カウンタとして機能することができる。カウンタ 112 は、ソフトウェア、ファームウェア、ハードウェア又はその組み合わせの形態で実装することができる。特定の障害レーンを識別するためのシンドロームの詳細な処理は、処理システム 102 のシンドローム処理論理 122 にオフロードすることができる。

10

【0030】

図 1 には、メモリ・コントローラ 110 を単一のメモリ装置上のハブ装置 104 に接続する単一のメモリ通信路 106 だけが示されているが、これらのモジュールから構成されるシステムは、2 つ以上の個別のメモリ通信路を含むことができる。その場合、これらのメモリ通信路の各々は、所望のシステム機能性及び / 又は性能を達成するために、(単一の通信路に複数のモジュールが装着されているときは) 単独で動作されるか又は (2 つ以上の通信路に複数のモジュールが装着されているときは) 並列に動作される。さらに、通信路 106 内には、任意の数のレーンを含めることができる。例えば、下流バス 116 は、13 ビット・レーンと、2 スペア・レーンと、1 クロック・レーンを含むことができる。それに対し、上流バス 118 は、20 ビット・レーンと、2 スペア・レーンと、1 クロ

20

【0031】

8、12 及び 16 転送フレームがサポートされるように (実施形態では、13 ビット・レーンが各転送内に含まれる)、下流 CRC の実施形態が選択 / 適用される。この下流 CRC は、任意のレーン障害、任意の転送障害及び最大 5 ビットのランダム・エラーを検出する。これに加えて、下流 CRC エラーが検出される場合は、その下流フレームの内容が無視され、そして障害情報レジスタ (FIR) ビットがレジスタ 114 内にセットされる。FIR は、ハブ装置 104 内で検出される障害に関する情報を格納するための、アーキテクチャで定義された手段である。メモリ・コントローラ 110 及び / 又は他のシステム要素は、FIR を照会することにより、どのようなアクションを実行する必要があるか (もしあれば) を決定することができる。システム 100 がイネーブルされている場合、セットされている FIR ビットに応答して、エラー回復状態に入ることができる。検査ビット用の「標準」ロケーションは、コードワードの先頭又は末尾にある。下流コードの実施形態は、検査ビット位置が「非標準」ロケーションにあるように設計されている。この非標準ロケーションが望ましいのは、プロトコルがどのように設計されているかという問題と関係するからである。さらに、検査ビットを標準の位置に配置した後、これらの検査ビットをあちこち移動させると、コードの重要な特性 (例えば、全レーン障害検出等) が破壊されることがある。さらに、全てのロケーションが CRC 検出を提供するのに適しているとは限らない。本明細書に開示する典型的な下流フレーム・フォーマットは、検査ビット位置の非標準ロケーションを使用する。

30

40

【0032】

最大 20 ビット・レーンが最大 8 転送についてカバーされるように、上流 CRC が選択 / 適用される。この上流 CRC は、任意のレーン障害、任意の転送障害 (エスケープ率は $2^{**}(-16)$) 及び最大 4 ビットのランダム・エラーを検出する。さらに、全ての上流ハブ装置 104 は、当該ハブ装置 104 を通過する際に上流 CRC データをモニタすることにより、上流 CRC エラーを検出する。任意のエラーが検出されると、当該ハブ装置 104 は、全ての読み取りトラフィックを中断し、ポイズンされた (poisoned) CRC を転送し、FIR ビットをセットし、エラー回復状態に入る。

【0033】

実施形態では、下流 CRC (エラー検出) コードは、13 レーン × 16 ビート (最大)

50

フレーム・フォーマット上で使用される。このCRCコードは、任意のレーン障害、任意の転送障害及び最大5ビットのランダム・エラーを検出することができる。特に、ランダムなサイレント・エラー率は、ほぼ2のマイナス17乗（ $\sim 2^{*-17}$ ）である。

【0034】

このCRC多項式の実施形態は、次の通りである。

【数11】

$$g(x) = 1 + x + x^3 + x^4 + x^5 + x^8 + x^{12} + x^{13} + x^{15} + x^{16} + x^{17} + x^{18}$$

10

これは、（他のゼロのうち）連続的な5つのゼロを有する BCH（Bose Chaudhuri Hocquenghem）コードである。この典型的なコードは、最小距離6を有する。基本コードは、実際には17ビットを必要とするに過ぎないから、適切な長さを与えるために追加ビットが人為的に加えられている。

【0035】

図2は、本明細書に開示する通信路CRCの実施形態を使用する、下流の8転送フレームを示す。図3は、本明細書に開示する通信路CRCの実施形態を使用する、下流の12転送フレームを示す。同様に、図4は、本明細書に開示する通信路CRCの実施形態を使用する、下流の16転送フレームを示す。図2～図4に示すように、CRCビット位置は、次の通りである。156、157、158、159、169、170、171、172、182、183、184、185、186、195、196、197、198及び199。一般的なパリティ検査行列を計算した後に、前述の位置におけるCRCビットを計算するのに適した行列を得るために、ガウス消去法（Gaussian elimination）が使用された。CRCの符号化及び復号化の両方のために、標準的なシフトレジスタの実装を使用することができるが、高速バスについては、排他論理和を使用する並列アプローチが好ましい。エラー処理論理120内のCRC論理を再使用するために、CRCは、最長のフレーム・サイズについて定義される。16転送フレームの場合、最長のフレーム・サイズは、208ビットである。全ての208ビットを使用するとは限らない任意のフレームは、単に全ての未使用ビットをゼロにセットする。

20

【0036】

基本的なCRCアルゴリズムの実施形態は、CRC検査ビットを符号化し、フレーム・プロトコルに従って、これらのCRC検査ビットをバスを介して送信する。当該データが当該バスの他端（例えば、図1のハブ装置104内）にあるチェッカによって受け取られた後、新しい又は再生成された1組のCRC検査ビットが計算される。次に、シンδροーム・ベクトルを形成するために、前記受け取られたCRC検査ビット及び前記再生成されたCRC検査ビットが比較（排他論理和）される。もし、このシンδροームがビット単位の0ベクトルであれば、当該データの送信中にエラーが生じなかったと仮定される。任意の非ゼロ・シンδροームは、エラーが生じたことを示す。この実装は、標準的なCRCと同様に、シンδροームの調査による直接的なエラー分離をサポートしない。図1のハブ装置104は、下流CRCエラーを検出するとき、その下流フレームの全ての内容を無視し、適切なFIRビットをセットし、ポイズンし、障害のあるCRCを転送し、そしてイネーブルされていることを条件として、エラー回復状態に入る。

30

40

【0037】

図1のカウンタ112は、各受信機リンクごとに、CRCエラー率を計算するための構成可能なカウンタを含む。また、図1のカウンタ112は、各信号レーンごとに、各CRCシンδροームの分析結果を記録するためのエラー・カウンタを含むことができる。図1のエラー処理論理120内にあるエラー率論理は、各実行時間、メモリ通信路フレームごとにタイマを増分し、またカウンタ112を使用して、検出された任意の非ポイズンCRCエラーをカウントする。前述の下流のケースと類似する態様で、可能な障害レーンを決定するために、障害のある各CRCシンδροームがシンδροーム処理論理122によって

50

分析される。その結果は、これらの障害が存在し得るレーンに投票することにより、当該論理によって通信される。CRCは、或るフレーム内の全ての単一ビット・エラーについてその障害レーンを一意的に識別し且つ統計的に有意な数の障害についてのランダムなレーン障害の間にその障害レーンを正確に識別するのに十分に強力である。CRCエラー訂正は、完全にランダムなレーン・エラーについては一意的なエラー検出を保証するには十分に強力ではないので、複数の障害候補が識別されることがあり得る。カウンタ112内のレーン・エラー・カウンタは、それらのレーンが障害候補として識別される（当該レーンに投票が行われる）ごとに増分する。メモリ通信路106が正常に動作しているとき、カウンタ112内の全てのレーン・エラー・カウンタは、CRCエラー閾値を超過していないので、周期的にクリアされるであろう。メモリ通信路106が再初期化によって訂正

10

【0038】

シンドローム処理論理122は、カウンタ112内のレーン・エラー・カウンタを読み取り且つどのレーン（もしあれば）を修復すべきであるかを決定することにより、前記アテンション要求をサービスすることができる。各CRCエラーについて複数のレーン障害候補が識別されることがあるが、エラー・カウンタが閾値を超えるのに十分なCRCシンドローム分析結果を蓄積したときは、最も頻繁に障害を起こしているレーンの明らかな統計的指標が存在するであろう。もし、識別された障害を修復するためにスペア・レーンが使用可能であれば、処理システム102は、障害レーンを非活動化するコマンドを発行することにより、前記間欠障害をハード障害に変更することができる。このハード障害は、メモリ・コントローラ110及び/又はハブ装置104によって自動的に起動される後続の再初期化及び修復シーケンスによって検出し且つ訂正することができる。

20

【0039】

実施形態では、通信路106内の各受信機は、1つの障害CRCシンドロームの結果を記録するための、レジスタ114内の専用トラップ・レジスタを含む。かかるトラップ・レジスタは、検出された最初のCRCエラーを記録するか又は検出された最新のCRCエラーを連続的に更新するように構成することができる。新しいエラーが捕捉されるとき、有効ビットがトラップ・レジスタ内にセットされ、そしてトラップ・レジスタが処理システム102によって読み取られるとき、有効ビットが自動的にリセットされる。

30

【0040】

実施形態では、1つのレーンの投票が他のレーンの投票を著しく上回らなければ、複数のレーンのうち1つのレーンが選択され且つ修復される。次に、新しいエラー率がモニタされる。もし、（例えば、閾値内で）修復後の新しいエラー率が以前のエラー率よりも著しく良くなければ、最初の修復がバックオフされ（元に戻され）、そして他のレーンが選択され且つ修復される。この修復及びバックオフの処理は、新しいエラー率が以前のエラー率よりも著しく良くなるまで、継続することができる。実施形態では、2つ以上のレーン修復が許容されるならば、修復のために上位の候補から2つ以上のレーンが選択される。このようにして、複数の修復を実行することができる。

40

【0041】

図5は、本明細書に開示する通信路CRCの実施形態を使用する、上流の8転送フレームを示す。その上流CRCは、8転送フレーム・フォーマット並びにそのCRC及びエラー検査ビット番号について、次のように説明される。このコードは、20レーン×8ビット・フレーム・フォーマットについて使用することが意図される。このコードは、任意のレーン障害、任意の転送障害（エスケープ率は 2^{*-16} ）及び最大4ビットのランダム・エラーを検出することができる、

【0042】

実施形態では、上流CRC多項式は、次の通りである。

50

【数 1 2】

$$g(x) = 1 + x + x^2 + x^5 + x^7 + x^8 + x^9 + x^{10} + x^{11} + x^{15} + x^{16}$$

これは、(他のゼロのうち)連続的な4つのゼロを有するBCHコードである。従って、このコードは、最小距離5を有する。下流フォーマット用のこのコードの多項式は、上流フォーマット用のコードに $1 + x^2$ を乗算することにより得られた。図5に示されるようなCRCビット位置は、144、145、146、147、148、149、150、151、152、153、154、155、156、157、158及び159である。

10

【0043】

典型的なCRCアルゴリズムは、CRC検査ビットを符号化し、フレーム・プロトコルに従って、これらのCRC検査ビットをバスを介して送信することを含む。当該データが当該バスの他端(例えば、図1のハブ装置104内)にあるチェッカによって受け取られた後、新しい又は再生成された1組のCRC検査ビットが計算される。次に、シンδροーム・ベクトルを形成するために、前記受け取られたCRC検査ビット及び前記再生成されたCRC検査ビットが比較(排他論理和)される。もし、このシンδροームがビット単位の0ベクトルであれば、当該データの送信中にエラーが生じなかったと仮定される。任意の非ゼロ・シンδροームは、エラーが生じたことを示す。この実装は、標準的なCRCと同様に、シンδροームの調査による直接的なエラー分離をサポートしない。

20

【0044】

この説明は、特定の数のレーン及び転送を有する下流フレーム及び上流フレーム、特定の最大数の単一ビット・エラーのためのエラー検出コード、レーン・エラー及び潜在的な転送エラーに焦点を合わせているが、他のパラメータのためのエラー検出コードを設計することも可能である。本明細書に開示する技術は、エラー検出コードを使用する種々の通信バスに適用することができ、メモリ・システムへの適用に制限されない。

【0045】

実施形態では、ハブ装置104は、分岐接続又は2地点間バス構造(さらに、かかるバス構造は1つ以上の追加のハブ装置に対するカスケード接続を含むことができる)を通して、図1のメモリ・コントローラ110に接続することができる。メモリ・アクセス要求は、メモリ・コントローラ110からバス構造(例えば、メモリ・バス)を通して選択されたハブ装置104に送信される。ハブ装置104は、これらのメモリ・アクセス要求を受け取ることに応答してこれを変換することにより、ハブ装置104からの書き込みデータを格納するか又は読み取りデータをハブ装置104に供給するようにメモリ装置109を制御する。読み取りデータは1つ以上の通信フレームへ符号化され、メモリ・バスを通してメモリ・コントローラ110に送信される。

30

【0046】

代替実施形態では、メモリ・コントローラ110は、これを1つ以上のプロセッサ・チップ及びサポート用論理と統合して、1つ以上のプロセッサ及び/又はサポート用論理を搭載したマルチチップ・キャリア内に含まれる、個別のチップ(一般に「ノースブリッジ」チップと呼ばれるもの)内にパッケージ化するか、又はアプリケーション/環境と最も良く適合する種々の代替形式でパッケージ化することができる。これらの解決策のうち任意のものは、1つ以上のハブ・チップ及び/又はメモリ装置に接続するために、1つ以上の狭い/高速リンクを使用してもよいし、そのようなリンクを使用しなくてもよい。

40

【0047】

図6は、シンδροーム分析を使用して障害バス・レーンを検出するためのプロセス600を示す。ブロック602では、シンδροーム処理論理122は、バス(例えば、図1の上流バス118)を介して送信された複数のフレーム用のシンδροームを受け取る。各フレームは、図2~図5に示すように、レーンごとに複数のビット転送を含む。これらのシンδροームは、バス・インタフェース装置(例えば、メモリ・コントローラ110又はハ

50

ブ装置 104)からのトラップされた値とすることができる。これらのシンドロームは、図1のレジスタ114内にトラップすることができ、そしてエラー条件を分離するための詳細なシンドローム分析を開始すべき閾値をカウンタ112が超えたことをエラー検出論理120が決定するとき、障害指示がセットされる。

【0048】

ブロック604では、シンドローム処理論理122は、各レーンが障害レーンであるという仮定の下に、これらのシンドロームをエラー・ベクトルに復号する。これらのエラー・ベクトルは、或るエラー条件に寄与するであろう特定のシンドローム・ビットの組み合わせを選択する。同じシンドローム・ビットが複数のエラー・ベクトル計算に関係することがあり得るので、全ての可能なエラーの組み合わせについて当該エラーを単一レーンに分離することは可能ではないことがある。

10

【0049】

ブロック606では、シンドローム処理論理122は、複数のフレームのうち1つのフレームからのエラー・ベクトル内に単一ビット障害を有する唯一つのレーンを復号することに応答して、不良レーンを識別する。また、シンドローム処理論理122は、これらのシンドローム用の検証ビットが、これらのシンドロームから復号されたエラー・ベクトルに関して一致するか否かを決定することができる。なお、これらの検証ビットは、エラー検出コード内にある程度の冗長性を提供し、前記不良レーンに投票するためにエラー・ベクトルと組み合わせて使用することができる。シンドローム処理論理122は、前記単一ビット障害を有する唯一つのレーンを復号することに応答して、当該単一ビット障害に対

20

【0050】

ブロック608では、シンドローム処理論理122は、複数の単一ビット障害が存在するという決定に応答して、本明細書に開示する投票プロセスの実施形態を使用することにより、エラー・ベクトルが複数のフレームにわたる或るエラーを一貫して示す場合には、不良レーンを識別する。実施形態では、シンドローム処理論理122は、或るエラーが一貫して示されるか否かを決定するために、受け取られた投票の数を比較する。この比較は、より少ない投票数を有するレーンに対するより多い投票数を有するレーンの比率を計算した後、当該計算された比率を比率閾値と比較することを含むことができる。例えば、或るレーンが示す障害頻度が他のレーンが示す障害頻度よりも4倍以上大きければ、当該レーンを不良レーンとして宣言することができる。この比較は、統計的に有意なサンプル・セットが使用されることを保証するために、所定数のシンドロームが分析された後に、これを行うことができる。実施形態では、走行カウンタは、不良レーンを識別し且つ修正アクション(例えば、バス・インタフェース装置のリセット、スペア・レーンの使用又はバス・レーンのリトレーニング)を開始した後にリセットされる。他の実施形態では、走行カウンタは、指定された期間の後にリセットされる。

30

【0051】

請求項に記載された全ての手段又はステップ+機能要素に対応するフレーム、材料、行為及びそれらの均等物は、請求項に明示的に記載された他の要素と組み合わせてその機能を実施するための任意のフレーム、材料又は行為を含むことが意図される。本発明に関する記述は、例示及び説明を目的として与えられたものであり、網羅的であること及び開示された形態に本発明を限定することを意図するものではない。当業者にとって、本発明の範囲及び精神から逸脱することなく、多くの修正及び変形を施し得ることが明らかであろう。実施形態は、本発明の原理及び実際の応用を最もよく説明し、考えられる特定の用途に適するような種々の修正を伴う種々の実施形態に関して当業者が本発明を理解することを可能にするために、選択され説明されたものである。

40

【0052】

本発明の諸能力は、ソフトウェア、ファームウェア、ハードウェア又はそれらの組み合わせの形態で実装することができる。

50

【 0 0 5 3 】

当業者には明らかなように、本発明の諸側面は、システム、方法又はコンピュータ・プログラムとして具体化することができる。従って、本発明の諸側面は、完全にハードウェアの実施形態、(ファームウェア、常駐ソフトウェア、マイクロコード等を含む)完全にソフトウェアの実施形態、又はソフトウェア及びハードウェア側面を組み合わせた実施形態の形式を取ることができ、これらの全てを一般に「回路」、「モジュール」又は「システム」と称することができる。さらに、本発明の諸側面は、コンピュータ可読プログラム・コードを1つ以上のコンピュータ可読媒体上に具体化したコンピュータ・プログラムの形式を取ることができる。

【 0 0 5 4 】

図1のシンドローム処理論理122を実行する諸命令を格納するために、1つ以上のコンピュータ可読媒体の任意の組み合わせを使用することができる。コンピュータ可読媒体は、コンピュータ可読信号媒体又はコンピュータ可読ストレージ媒体とすることができる。例えば、コンピュータ可読ストレージ媒体は、電子、磁気、光学、電磁気、赤外線、半導体システム、装置又はこれらの任意の適切な組み合わせとすることができる。コンピュータ可読ストレージ媒体の特定の例は、1つ以上の線を有する電気接続、ポータブル・コンピュータ用のフレキシブル・ディスク、ハード・ディスク、ランダム・アクセス・メモリ(RAM)、読み取り専用メモリ(ROM)、消去可能プログラマブル読み取り専用メモリ(EPROM又はフラッシュ・メモリ)、光ファイバ、ポータブルのコンパクト・ディスクを使った読み出し専用メモリ(CD-ROM)、光ストレージ装置、磁気ストレージ装置又はこれらの任意の適切な組み合わせとすることができる。本明細書の文脈では、コンピュータ可読ストレージ媒体は、命令実行システム等に関連して又はこれらによって使用するためのプログラムを保持するか又は格納することができる、任意の媒体とすることができる。

【 0 0 5 5 】

コンピュータ可読信号媒体は、伝搬されるデータ信号の形式を有することもできるが、その場合には、ベースバンド内に又は搬送波の一部として、コンピュータ使用可能プログラム・コードを具体化することができる。そのような伝搬信号は、電磁気、光学又はその任意の適切な組み合わせ等を含む、種々の形式のうち任意の形式を取ることができる。コンピュータ可読信号媒体は、コンピュータ可読ストレージ媒体ではない任意のコンピュータ可読媒体であって、命令実行システム等に関連して又はこれらによって使用するためのプログラムを通信し、伝搬し又は移送することができる。

【 0 0 5 6 】

コンピュータ可読媒体上に具体化されたプログラム・コードは、無線、有線、光ファイバ・ケーブル、RF又はこれらの任意の適切な組み合わせを含む、適切な任意の媒体を使用して送信することができる。

【 0 0 5 7 】

本発明の諸側面に係る動作を実施するためのコンピュータ・プログラム・コードは、Java、Smalltalk、C++等のようなオブジェクト指向プログラミング言語及び「C」プログラミング言語又は同様のプログラミング言語のような通常の手続き的プログラミング言語を含む、1つ以上のプログラミング言語の任意の組み合わせで書くことができる。かかるプログラム・コードは、完全にユーザのコンピュータ上で、部分的にはユーザのコンピュータ上で、独立のソフトウェア・パッケージとしてユーザ・コンピュータ上で完全に実行可能であり、その一部をユーザ・コンピュータ上で且つ他の一部を遠隔コンピュータ上で実行可能であり、或いは遠隔コンピュータ又はサーバ上で完全に実行可能である。後者のシナリオでは、遠隔コンピュータは、ローカル・エリア・ネットワーク(LAN)又は広域ネットワーク(WAN)を含む任意のタイプのネットワークを通してユーザ・コンピュータに接続することができ、或いはその接続を(例えば、インターネット・サービス・プロバイダを使用するインターネットを通して)外部コンピュータに行うことができる。

【 0 0 5 8 】

以上では、本発明の実施形態に従った方法、装置（システム）及びコンピュータ・プログラムのフローチャート及び／又はブロック図を参照して、本発明の諸側面を説明した。この点に関し、フローチャート及び／又はブロック図の各ブロック、並びにフローチャート及び／又はブロック図の諸ブロックの組み合わせは、諸コンピュータ・プログラム命令によって実装することができることを理解されたい。これらのコンピュータ・プログラム命令を、汎用コンピュータ、専用コンピュータ又は他のプログラム可能なデータ処理装置のプロセッサに提供すると、前記コンピュータ又は他のプログラム可能なデータ処理装置のプロセッサ上で実行される諸命令が、前記フローチャート又はブロック図の諸ブロックで指定された機能／行為を実装するための手段を作成することを目的として、一のマシンを生産することができる。また、これらのコンピュータ・プログラム命令をコンピュータ可読媒体内に格納すると、前記コンピュータ可読媒体内に格納された諸命令が、前記フローチャート及び／又はブロック図の諸ブロックで指定された機能／行為を実装する命令手段を含む一の製品を生産することを目的として、コンピュータ又は他のプログラム可能なデータ処理装置に対し特定の態様で機能するように指示することができる。

10

【 0 0 5 9 】

また、これらのコンピュータ・プログラム命令を、コンピュータ、他のプログラム可能なデータ処理装置又は他の装置にロードすると、前記コンピュータ、他のプログラム可能なデータ処理装置又は他の装置上で実行される諸命令が、前記フローチャート及び／又はブロック図の諸ブロックで指定された機能／行為を実装するためのプロセスを提供することを目的として、一のコンピュータ実装方法を生成するように前記コンピュータ、他のプログラム可能なデータ処理装置又は他の装置上で一連の動作ステップを実行させることができる。

20

【 0 0 6 0 】

諸図面のうちフローチャート及びブロック図は、本発明の種々の実施形態に従った、システム、方法及びコンピュータ・プログラムの可能な実装のアーキテクチャ、機能性及び動作を示す。この点に関連して、フローチャート又はブロック図内の各ブロックは、指定された論理機能を実装するための1つ以上の実行可能命令から成る、モジュール、セグメント又はコード部分を表すことがある点に留意されたい。また、幾つかの代替的実装では、ブロック内に表記された機能を図面に示した順序とは異なる順序で実施することができる点にも留意されたい。例えば、特定の機能性に依存して、連続的に示した2つのブロックを実質的に並列に実施したり、これらのブロックを反対の順序で実施することができる。さらに、ブロック図又はフローチャートの各ブロック及び複数ブロックの組み合わせは、指定された機能又は行為を実行する専用のハードウェア・ベースのシステム又は専用ハードウェア及びコンピュータ命令の組み合わせによって実装することができる点にも留意されたい。

30

【 0 0 6 1 】

添付図面は、1例であるに過ぎない。本発明の精神から逸脱することなく、これらの図面又はそこに記載された諸ステップ（諸動作）に対し多くの変形を施すことができる。例えば、これらのステップを異なる順序で行ったり、諸ステップを追加、除去又は修正することができる。これらの変形の全ては、本発明の範囲に属するものと考えられる。

40

【 符号の説明 】

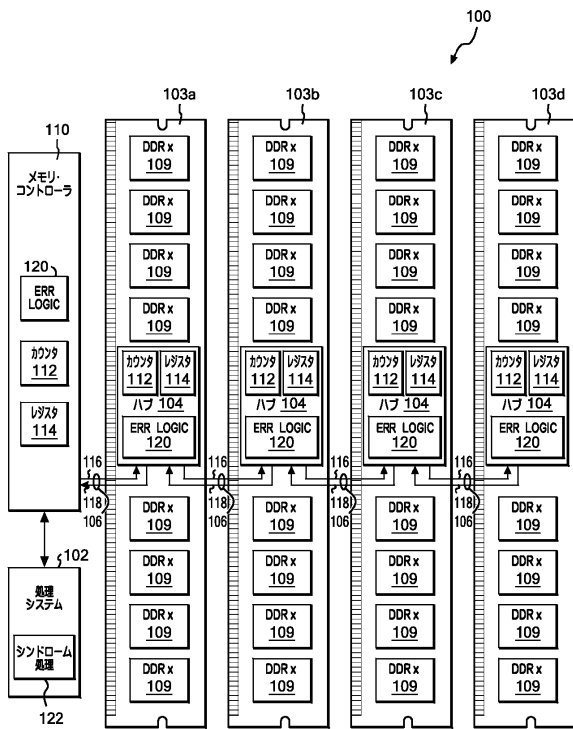
【 0 0 6 2 】

- 1 0 0 . . . メモリ・システム
- 1 0 2 . . . 処理システム
- 1 0 3 a ~ 1 0 3 d . . . デュアル・インライン・メモリ・モジュール
- 1 0 4 . . . ハブ装置
- 1 0 6 . . . メモリ通信路
- 1 0 9 . . . メモリ装置
- 1 1 0 . . . メモリ・コントローラ

50

- 1 1 2 . . . カウンタ
- 1 1 4 . . . レジスタ
- 1 1 6 . . . 単方向性下流バス
- 1 1 8 . . . 単方向性上流バス
- 1 2 0 . . . エラー処理論理
- 1 2 2 . . . シンドローム処理論理

【図 1】



【図 2】

		8 転送フレーム															
		下流通信レーン															
		12	11	10	9	8	7	6	5	4	3	2	1	0			
ブロック 1	0	104	105	106	107	108	109	110	111	112	113	114	115	116			
	1	117	118	119	120	121	122	123	124	125	126	127	128	129			
	2	130	131	132	133	134	135	136	137	138	139	140	141	142			
	3	143	144	145	146	147	148	149	150	151	152	153	154	155			
ブロック 0	0	crc00	crc01	crc02	crc03	160	161	162	163	164	165	166	167	168			
	1	crc04	crc05	crc06	crc07	173	174	175	176	177	178	179	180	181			
	2	crc08	crc09	crc10	crc11	crc12	187	188	189	190	191	192	193	194			
	3	crc13	crc14	crc15	crc16	crc17	200	201	202	203	204	205	206	207			

【図 3】

		1 2 転送フレーム															
		下流通信レーン															
		12	11	10	9	8	7	6	5	4	3	2	1	0			
ブロック 2	0	52	53	54	55	56	57	58	59	60	61	62	63	64			
	1	65	66	67	68	69	70	71	72	73	74	75	76	77			
	2	78	79	80	81	82	83	84	85	86	87	88	89	90			
	3	91	92	93	94	95	96	97	98	99	100	101	102	103			
ブロック 1	0	104	105	106	107	108	109	110	111	112	113	114	115	116			
	1	117	118	119	120	121	122	123	124	125	126	127	128	129			
	2	130	131	132	133	134	135	136	137	138	139	140	141	142			
	3	143	144	145	146	147	148	149	150	151	152	153	154	155			
ブロック 0	0	crc00	crc01	crc02	crc03	160	161	162	163	164	165	166	167	168			
	1	crc04	crc05	crc06	crc07	173	174	175	176	177	178	179	180	181			
	2	crc08	crc09	crc10	crc11	crc12	187	188	189	190	191	192	193	194			
	3	crc13	crc14	crc15	crc16	crc17	200	201	202	203	204	205	206	207			

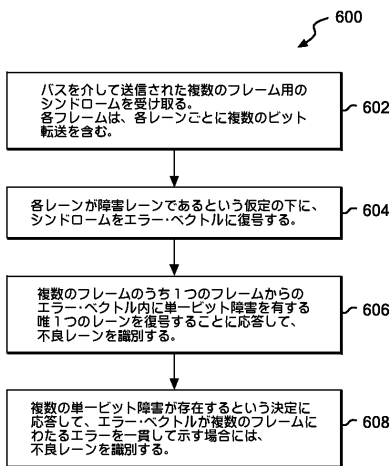
【 図 4 】

16 転送フレーム														
下流通信路レーン														
	12	11	10	9	8	7	6	5	4	3	2	1	0	
ブロック 3	0	0	1	2	3	4	5	6	7	8	9	10	11	12
	1	13	14	15	16	17	18	19	20	21	22	23	24	25
	2	26	27	28	29	30	31	32	33	34	35	36	37	38
ブロック 2	3	39	40	41	42	43	44	45	46	47	48	49	50	51
	0	52	53	54	55	56	57	58	59	60	61	62	63	64
	1	65	66	67	68	69	70	71	72	73	74	75	76	77
ブロック 1	2	78	79	80	81	82	83	84	85	86	87	88	89	90
	3	91	92	93	94	95	96	97	98	99	100	101	102	103
	0	104	105	106	107	108	109	110	111	112	113	114	115	116
ブロック 0	1	117	118	119	120	121	122	123	124	125	126	127	128	129
	2	130	131	132	133	134	135	136	137	138	139	140	141	142
	3	143	144	145	146	147	148	149	150	151	152	153	154	155
ブロック 0	0	crc00	crc01	crc02	crc03	160	161	162	163	164	165	166	167	168
	1	crc04	crc05	crc06	crc07	173	174	175	176	177	178	179	180	181
	2	crc08	crc09	crc10	crc11	crc12	187	188	189	190	191	192	193	194
	3	crc13	crc14	crc15	crc16	crc17	200	201	202	203	204	205	206	207

【 図 5 】

上流通信路レーン														
	12	11	10	9	8	7	6	5	4	3	2	1	0	
ブロック 3	0	0	1	2	3	4	5	6	7	8	9	10	11	12
	1	13	14	15	16	17	18	19	20	21	22	23	24	25
	2	26	27	28	29	30	31	32	33	34	35	36	37	38
ブロック 2	3	39	40	41	42	43	44	45	46	47	48	49	50	51
	0	52	53	54	55	56	57	58	59	60	61	62	63	64
	1	65	66	67	68	69	70	71	72	73	74	75	76	77
ブロック 1	2	78	79	80	81	82	83	84	85	86	87	88	89	90
	3	91	92	93	94	95	96	97	98	99	100	101	102	103
	0	104	105	106	107	108	109	110	111	112	113	114	115	116
ブロック 0	1	117	118	119	120	121	122	123	124	125	126	127	128	129
	2	130	131	132	133	134	135	136	137	138	139	140	141	142
	3	143	144	145	146	147	148	149	150	151	152	153	154	155
ブロック 0	0	crc00	crc01	crc02	crc03	160	161	162	163	164	165	166	167	168
	1	crc04	crc05	crc06	crc07	173	174	175	176	177	178	179	180	181
	2	crc08	crc09	crc10	crc11	crc12	187	188	189	190	191	192	193	194
	3	crc13	crc14	crc15	crc16	crc17	200	201	202	203	204	205	206	207

【 図 6 】



フロントページの続き

- (72)発明者 ガウアー、ケヴィン
アメリカ合衆国 12540 ニューヨーク州 ラグレーンジビル エイラリ・ロード・エクステ
ンション 8
- (72)発明者 ラストラス・モンターノ、ルイス
アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ ルート134 キチャワ
ン・ロード 1101 ティージェイワトソン・リサーチ・センター エム/ディー 22-144
- (72)発明者 ミーニー、パトリック、ジェームズ
アメリカ合衆国 12601 ニューヨーク州 ポキプシー サウス・ロード 2455 エム/
ディー ピー310

審査官 古河 雅輝

- (56)参考文献 国際公開第2007/146515(WO, A1)
米国特許出願公開第2008/0002590(US, A1)
米国特許出願公開第2008/0005706(US, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 11/08 - 11/10
G06F 12/00 - 12/06
G06F 12/16
G06F 13/00
G06F 13/16 - 13/378