

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-89873

(P2012-89873A)

(43) 公開日 平成24年5月10日(2012.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 8 F	5 F 0 5 8
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 21/265 (2006.01)	H O 1 L 29/78 6 5 2 K	
H O 1 L 21/316 (2006.01)	H O 1 L 29/78 6 5 8 E	
審査請求 有 請求項の数 13 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2011-272490 (P2011-272490)	(71) 出願人	000005821
(22) 出願日	平成23年12月13日 (2011.12.13)		パナソニック株式会社
(62) 分割の表示	特願2000-43043 (P2000-43043) の分割	(74) 代理人	110000040 特許業務法人池内・佐藤アンドパートナーズ
原出願日	平成12年2月21日 (2000.2.21)	(72) 発明者	北畠 真 大阪府門真市大字門真1006番地 パナソニック株式会社内
(31) 優先権主張番号	特願平11-44370	(72) 発明者	内田 正雄 大阪府門真市大字門真1006番地 パナソニック株式会社内
(32) 優先日	平成11年2月23日 (1999.2.23)	(72) 発明者	高橋 邦方 大阪府門真市大字門真1006番地 パナソニック株式会社内
(33) 優先権主張国	日本国 (JP)		最終頁に続く

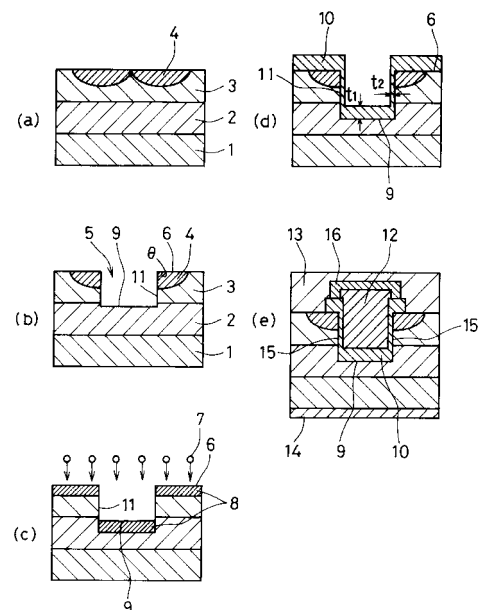
(54) 【発明の名称】 絶縁ゲート型半導体素子の製造方法

(57) 【要約】

【課題】 良好な半導体素子特性を得るために好ましい炭化珪素基板を用いながらも、絶縁耐圧を高く維持できるトレンチ構造を有する絶縁ゲート型半導体素子を提供する。

【解決手段】 炭化珪素基板の表面をエッチングして前記表面に凹部を形成する工程と、前記表面の上方から粒子線を照射することにより、少なくとも前記凹部の底面および前記凹部近傍の前記基板の表面に損傷層を形成する工程と、前記炭化珪素基板を酸化雰囲気中で熱処理することにより、少なくとも前記凹部の側面と前記損傷層が形成された前記底面および前記凹部近傍の前記基板の表面とに、前記凹部の側面上では薄く、前記底面上および前記凹部近傍の前記基板の表面上では厚い酸化膜を形成する工程と、を含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

炭化珪素基板の表面をエッチングして前記表面に凹部を形成する工程と、前記表面の上方から粒子線を照射することにより、少なくとも前記凹部の底面および前記凹部近傍の前記基板の表面に損傷層を形成する工程と、前記炭化珪素基板を酸化雰囲気中で熱処理することにより、少なくとも前記凹部の側面と前記損傷層が形成された前記底面および前記凹部近傍の前記基板の表面とに、前記凹部の側面上では薄く、前記底面上および前記凹部近傍の前記基板の表面上では厚い酸化膜を形成する工程と、を含むことを特徴とする絶縁ゲート型半導体素子の製造方法。

【請求項 2】

炭化珪素基板の表面が、 β -SiCの(111)Si面または α -SiCの(0001)Si面である請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 3】

炭化珪素基板が、第 1 導電型の炭化珪素板上に、第 1 導電型の層と第 2 導電型の層とがこの順に積層された多層構造を含む請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 4】

凹部の側面と炭化珪素基板の表面とが80度以上120度以下の角度をなすように、前記凹部を形成する請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 5】

凹部を形成した後であって粒子線を照射する前に、少なくとも前記凹部の側面にエピタキシャル層を形成する工程をさらに含む請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 6】

粒子線がイオン線である請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 7】

イオン線が、珪素、酸素、窒素、水素および不活性ガスから選ばれる少なくとも 1 種のイオン線である請求項 6 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 8】

イオン線のエネルギーが、1keV以上10MeV以下である請求項 6 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 9】

イオンのドーズ量が 10^{14}cm^{-2} 以上である請求項 6 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 10】

異なるエネルギーを有する粒子線を照射する請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 11】

炭化珪素基板を500℃以下に保ちながら粒子線を照射する請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 12】

前記炭化珪素基板は、第 2 導電型の層の表面に形成された第 1 導電型層をさらに備え、前記凹部を形成する工程では、前記第 1 導電型層内に前記凹部が形成され、前記凹部近傍の前記基板の表面が前記第 1 導電型層の表面である、請求項 3 に記載の絶縁ゲート型半導体素子の製造方法。

【請求項 13】

前記損傷層を形成する工程では、少なくとも前記凹部の底面および前記基板の表面全面に損傷層が形成される、請求項 1 に記載の絶縁ゲート型半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素基板を用いた絶縁ゲート型半導体素子に関し、特に、いわゆるトレンチ構造を有する縦型の絶縁ゲート型半導体素子の製造方法に関する。

【背景技術】

【0002】

炭化珪素を用いた絶縁ゲート型半導体素子では、炭化珪素基板の表面を酸化処理して酸化珪素膜（酸化膜）を形成し、これがゲート絶縁膜として用いられる。トレンチ構造を有する縦型の炭化珪素絶縁ゲート型半導体素子は、高い耐圧と大きな電流容量とを有する大電力用素子として開発が進められている。

【0003】

10

図5に、従来の縦型の炭化珪素絶縁ゲート型半導体素子の断面を例示する。この半導体素子は、図6に示した炭化珪素基板を用いて作製される。この炭化珪素基板は、導電性を有する炭化珪素の n^+ 型基板101上に、 n 型のエピタキシャル成長層102および p 型のエピタキシャル成長層103がCVD法により成膜されたものである。この基板の表面には、局所的なイオン打ち込みと熱処理とにより、部分的に n^+ 層104が形成されている。その結果、この炭化珪素基板には、表面から順に、 $n^+/p/n$ の積層構造が形成されている。この積層構造には、さらに基板の表面からフォトリソグラフィーとエッチングとにより、トレンチ構造を実現するために、凹部105が形成されている。

【0004】

20

基板上には、酸化処理により酸化珪素膜（酸化膜）110が形成される。酸化膜110は、エッチングされて、凹部の側面（トレンチ構造の壁面）111、凹部の底面（トレンチ構造の底面）109および凹部近傍の基板表面106を残して除去される。酸化膜110上には、ゲート電極112および絶縁膜116が形成される。また、基板101の両面には、ソース電極113およびドレイン電極114が形成される。ゲート電極12に印加される電圧によってon/offされるチャンネル115は、 p 型のエピタキシャル層103と酸化膜110との界面に形成される。

【0005】

上記従来技術の内容は、例えば、Silicon Carbide; A Review of Fundamental Questions and Applications, edited by W.J.Choyke, H.Matsunami, and G.Pensl, Akademie Verlag 1997のVol.II pp.369-388 に開示されている。

30

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Silicon Carbide; A Review of Fundamental Questions and Applications, edited by W.J.Choyke, H.Matsunami, and G.Pensl, Akademie Verlag 1997のVol.II pp.369-388

【発明の概要】

【発明が解決しようとする課題】

【0007】

40

炭化珪素は、結晶方位に対して酸化速度が異なる。例えば、 α -SiC(0001)Si面は最も酸化速度の遅い面であり、この面が180度回転した α -SiC(000-1)C面は最も酸化速度が速い面である。このため、凹部が形成され、複数の異なる結晶方位に対応する表面を含む基板を酸化処理すると、形成される酸化膜（絶縁膜）の膜厚が異なることになる。酸化膜の膜厚がトレンチ構造内において一様でないと、ゲート電極から印加される電圧に応じて酸化膜内に生じる電界も不均一となる。

【0008】

炭化珪素基板の表面が α -SiC(0001)Si面である場合には、良好な結晶性を有するエピタキシャル成長層が得られる。しかし、この表面を用いて絶縁ゲート型半導体素子を作製すると、図5に示したように、基板表面106およびトレンチ構造底面109に相対的に薄い酸化膜110が形成され、トレンチ構造壁面111に相対的に厚い酸化膜110が形成

50

される。この状態では、トレンチ構造壁面 1 1 1 のチャンネル部分 1 1 5 上の酸化膜よりもトレンチ構造底面 1 0 9 上の酸化膜に大きな電界が印加されることとなる。このため、絶縁耐圧を確保するために必要な厚さの酸化膜をトレンチ構造底面に形成すると、さらに厚い酸化膜がチャンネル 1 1 5 近傍に形成され、その結果、ゲート電圧に対する素子のレスポンスの効率が悪くなるという問題があった。

【0009】

その一方、素子のレスポンスを考慮してトレンチ構造壁面 1 1 1 における酸化膜 1 1 0 の膜厚を調整すると、トレンチ構造底面 1 0 9 における酸化膜 1 1 0 が薄くなり、素子の絶縁耐圧が低くなってしまう。

【0010】

α -SiC(000-1)C面を用いて上記素子を作製すると、炭化珪素基板の表面およびトレンチ構造底面には厚い酸化珪素が、トレンチ構造壁面には薄い酸化珪素膜が形成される。この絶縁ゲート型半導体素子は、酸化珪素絶縁膜の厚さ分布という点では良いが、エピタキシャル成長層の結晶性が α -SiC(0001)Si面上に形成したエピタキシャル成長層に比べて悪くなる。このため、良好な半導体素子特性が実現できない。

【0011】

このように、従来の絶縁ゲート型半導体素子では、良好な半導体素子特性を維持しながら、絶縁耐圧を高くすることが困難であった。

【0012】

そこで、本発明は、良好な半導体素子特性を得るために好ましい炭化珪素基板の表面を用いながら、絶縁耐圧を高く維持できる絶縁ゲート型半導体素子の製造方法を提供することにある。

【課題を解決するための手段】

【0013】

本発明の絶縁ゲート型半導体素子の製造方法は、炭化珪素基板の表面をエッチングして前記表面に凹部を形成する工程と、前記表面の上方から粒子線を照射することにより、少なくとも前記凹部の底面および前記凹部近傍の前記基板の表面に損傷層を形成する工程と、前記炭化珪素基板を酸化雰囲気中で熱処理することにより、少なくとも前記凹部の側面と前記損傷層が形成された前記底面および前記凹部近傍の前記基板の表面とに、前記凹部の側面上では薄く、前記底面上および前記凹部近傍の前記基板の表面上では厚い酸化膜を形成する工程と、を含むことを特徴とする。

【発明の効果】

【0014】

本発明によれば、良好な半導体素子特性を得るために好ましい炭化珪素基板の表面を用いながらも、絶縁耐圧を高く維持できる絶縁ゲート型半導体素子が提供できる。本発明は、高い耐圧と大きい電流容量とを備え、大電力用に適した縦型の絶縁ゲート型半導体素子の特性を改善するものとして、当該技術分野において、極めて大きな利用価値を有する。

【図面の簡単な説明】

【0015】

【図1】本発明の製造方法を素子の断面により示す工程図である。

【図2】本発明の絶縁ゲート型半導体素子の一形態を示す断面図である。

【図3】本発明の一実施形態におけるイオンのドーズ量と炭化珪素に導入される欠陥密度との関係を示す図である。

【図4】本発明の一実施形態におけるイオンのドーズ量と酸化処理により得られる酸化膜の厚さとの関係を示す図である。

【図5】従来の絶縁ゲート型半導体素子の断面図である。

【図6】従来の絶縁ゲート型半導体素子に用いられてきた炭化珪素基板の断面図である。

【発明を実施するための形態】

【0016】

以下、図面を参照しながら本発明の好ましい実施形態について説明する。

10

20

30

40

50

【0017】

まず、図1(a)に示したように、例えばn+型炭化珪素基板1の α -SiC(0001)Si面上に、n型エピタキシャル成長層2、p型エピタキシャル成長層3をこの順に成長させる。次いで、部分的なイオン打ち込みおよび熱処理により、p型エピタキシャル成長層3の表面にn+型層4を形成する。

【0018】

こうして得た炭化珪素基板の表面を、図1(b)に示したように、エッチングして凹部5を形成する。この凹部は、n⁺型層4が形成された領域内に形成される。また、凹部は、好ましくはその底面(トレンチ構造底面)9がn型エピタキシャル成長層2内に存在するように形成される。

10

【0019】

凹部の側面(トレンチ構造壁面)11と基板表面6とがなす角度 θ は、80度以上120度以下が好ましい。次工程において、基板表面6とトレンチ構造底面11、特にトレンチ構造底面に高密度にイオン衝撃を導入しながら、トレンチ構造壁面11のイオン衝撃を低密度に保つためである。

【0020】

次に、図1(c)に示したように、基板表面6の上方からイオン7を打ち込む。イオン線は、基板表面6に実質的に垂直な方向から照射される。このイオン線の照射により、照射損傷層8がトレンチ構造底面9および凹部近傍の基板表面6に形成される。

【0021】

20

角度 θ を上記範囲とすると、イオン線の広がりも考慮しても、イオンはトレンチ構造壁面に対してはごく浅い角度でしか入射しない。したがって、この面については、イオン損傷も表面近傍にごく浅く形成されるだけである。 θ を80度未満とすると、トレンチ構造壁面が庇となって、トレンチ構造底面へのイオン照射を部分的に遮るおそれがある。 θ が120度を超えると、トレンチ構造壁面にも照射損傷層が深く形成される場合がある。

【0022】

イオン7としては、珪素、酸素、窒素、水素、またはヘリウム、ネオン、アルゴンなどの不活性ガスが好適である。複数の種類のイオンを用いてもよい。酸素イオンは、炭化珪素中に打ち込まれた後に残留していても、炭化珪素の酸化に寄与する。窒素、水素および不活性ガスは、炭化珪素中に打ち込まれた後に残留していても珪素原子や炭素原子と強い結合を形成することがないため、酸化膜(絶縁膜)の形成を阻害しにくい。

30

【0023】

イオン線のエネルギーは1keV以上10MeV以下が好ましい。1keV未満のエネルギーでは、トレンチ構造底面9に厚い照射損傷層が形成されにくい。また、10MeVを超えるエネルギーを有するイオン線は形成自体が困難である。

【0024】

2種類以上のエネルギーを有するイオン線を用いて多重打ち込みをすると良好な照射損傷層が得られる。高いエネルギーを有するイオン線の打ち込みにより形成される照射損傷層は、表面から深い部分に形成される。このように表面近傍の損傷状態が低い基板を酸化処理すると、損傷部分にまで酸化が到達しない限り、酸化膜が効率良く形成されない。しかし、上記のような多重打ち込みにより、表面から連続した照射損傷層を形成でき、その結果、厚い酸化膜を効率的に形成できる。

40

【0025】

イオン7のドーズ量は 10^{14}cm^{-2} 以上が好ましい。ドーズ量が十分でないと、炭化珪素中に形成される照射損傷の密度が、効率的に酸化を進行できる程度には高くないことがある。ドーズ量の上限は、特に制限されないが、 10^{18}cm^{-2} 程度が適当である。

【0026】

イオンを打ち込みの際には、炭化珪素基板を500℃以下に保つことが好ましい。炭化珪素基板の温度が500℃を超えると、イオン照射中に照射損傷がアニールされてしまうおそれが生じる。

50

【0027】

上記のようなイオン打ち込みにより、炭化珪素基板の表面に照射損傷層が形成される。照射損傷層における炭化珪素の損傷の程度は、本発明の目的が達成できる範囲で、炭化珪素の結晶状態における規則性が損なわれていればよい。しかし、照射損傷層は、実質的に非晶質層とみなせる層として形成することが好ましい。ここで、非晶質層とは、原子配列の周期性が実質的に観察されない層をいう。

【0028】

引き続き、図1(d)に示すように、照射損傷層8を含んだ基板表面を酸化雰囲気中で熱処理して、絶縁膜として酸化膜10を形成する。原子配列の規則性が損なわれている照射損傷層では、結晶状態における炭化珪素と比較して、熱処理による酸化が進行しやすい。このため、照射損傷層8が形成されている領域では、損傷を受けていない領域や損傷の程度が軽微である領域よりも、酸化膜の成長速度が速くなる。こうして、酸化膜10は、トレンチ構造壁面11上では薄く、トレンチ構造底面9および基板表面6上では厚く形成される。

【0029】

トレンチ構造壁面における酸化膜の厚さ t_2 に対する底面における酸化膜の厚さ t_1 の比(t_1/t_2)は、1以上が好ましく、より好ましくは1.5以上である。また、形成可能な範囲を考慮すると、比(t_1/t_2)は10以下が適当である。

【0030】

なお、酸化雰囲気としては、炭化珪素が酸化できれば制限はなく、例えば酸素雰囲気が適用できるが、大気など酸素を含む雰囲気や水蒸気を含む雰囲気を用いてもよい。

【0031】

さらに、図1(e)に示したように、酸化膜10をパターニングし、ゲート電極12、絶縁膜16およびソース電極13を順次形成する。ゲート電極12は、トレンチ構造壁面および底面に沿って成膜された酸化膜10上に形成される。このゲート電極を覆うように、さらに絶縁膜16が形成される。ソース電極13は、予め形成された n^+ 型層4と接するように形成される。一方、炭化珪素基板の他方の表面にはドレイン電極14が形成される。ソース電極13およびドレイン電極14は基板を挟み込むように縦型に配置されている。なお、これらの各電極および絶縁膜の形成には、従来用いられてきた方法を適用できる。例えば、絶縁膜16は、酸化珪素膜や窒化珪素膜をCVD法などにより形成すればよい。

【0032】

図1(e)に示した絶縁ゲート型半導体素子では、トレンチ構造底面9上の酸化膜がトレンチ構造壁面11上の酸化膜よりも厚く形成されている。したがって、チャンネル部分15に効率的にゲート電極12による電界を印加しながら、必要な絶縁耐圧(例えば400V以上)を確保しやすい。なお、ここで、絶縁耐圧とは、素子がoff状態での漏れ電流が100 μ Aになるソース・ドレイン間電圧をいい、上記形態では、ゲート電極とドレイン電極との間の耐圧に実質的に依存する。

【0033】

上記の製造工程において、凹部を形成した状態(図1(b))の後、イオンを打ち込む(図1(c))前に、トレンチ構造壁面11にさらにエピタキシャル成長層を形成してもよい。この場合は、酸化処理後にトレンチ構造壁面に形成される酸化膜10がエピタキシャル成長層の酸化により得られることとなって好ましい結果が得られる。特に、エピタキシャル成長層をp型以外とすると、酸化膜内のトラップ準位などに起因する電荷密度が低く保たれるため、さらに良好なMOS特性が得られる。追加のエピタキシャル成長層17を形成してから酸化処理して得た絶縁ゲート型半導体素子の断面の例を図2に示す。

【0034】

従来は、 α -SiCの(0001)Si面に形成したトレンチ構造では、トレンチ構造壁面の酸化膜の膜厚が、底面の膜厚よりも相対的に厚くなるという問題があった。しかし、上記で説明した本発明の一形態によれば、上記Si面に形成された酸化膜の膜厚を、この面にほぼ垂直となるトレンチ構造の壁面に形成された酸化膜の膜厚よりも厚くできる。

【0035】

なお、本発明は上記で説明した形態に限られず、特に、適用できる基板表面、粒子線、凹部の形状、各層や基板の導電型などは上記に限定されない。例えば凹部の断面形状は、矩形ではなくU字形などであっても構わない。

【実施例】

【0036】

(実施例1)

以下、図1(a)～図1(e)と同様にして、絶縁ゲート型半導体素子を作製した。まず、 $3 \times 10^{18} \text{cm}^{-3}$ の濃度で窒素をドーピングしたn型の6H-SiCにおける(0001)Si面([11-20]方向4度オフカット)の炭化珪素基板を用意した。表面洗浄後、この基板表面に、 $5 \times 10^{15} \text{cm}^{-3}$ で窒素をドーピングしたn型エピタキシャル成長層を6 μm の厚みとなるように形成し、さらにこの層の上に、 $2 \times 10^{17} \text{cm}^{-3}$ でAlをドーピングしたp型エピタキシャル成長層を2 μm の厚みとなるように形成した。次いで、このp型エピタキシャル成長層の表面から、200keVのエネルギーで窒素のイオン打ち込みを局所的に行い、熱処理して表面にn⁺層を形成した。なお、窒素のドーズ量は $5 \times 10^{15} \text{cm}^{-2}$ とした。

【0037】

この6H-SiC(0001)Si面を用いた積層基板を、CF₄とO₂の混合気体を用いたRIEでエッチングし、深さ3 μm の略U字型の凹部を形成した。こうして形成したトレンチ構造の壁面と基板表面とのなす角度(図1(b)における θ)は、ほぼ90度であった(誤差5度以内)。

【0038】

さらに、積層基板の表面の上方から酸素イオンを打ち込んだ。酸素イオンは、150keVのイオンと30keVのイオンとをそれぞれ $1 \times 10^{15} \text{cm}^{-2}$ のドーズ量で多重に打ち込んだ。このとき、基板は水冷により100℃以下に保持した。こうして、低温に保たれた基板表面に照射損傷による非晶質化した損傷層を形成した。この損傷層は、実質的には、トレンチ構造近傍の基板表面領域とトレンチ構造底面とに選択的に形成されている。

【0039】

こうして損傷を導入した基板を酸化処理炉に導入し、1100℃、3時間の条件でウェット酸化した。この酸化により、照射層を含む基板表面およびトレンチ構造底面では280nmの酸化膜が形成された。一方、トレンチ構造壁面における酸化膜の厚さは100nmであった。

【0040】

引き続き、図1(e)と同様の構造となるように、ソース電極、ドレイン電極、ゲート電極などを形成した。ゲート電極はポリシリコン膜として形成し、さらにソース電極およびドレイン電極は、Niのオーミック電極を堆積させ、熱処理して形成した。また、ゲート電極とソース電極とを絶縁する絶縁膜は、CVD法により形成した。こうして絶縁ゲート型半導体素子を完成した。

【0041】

一方で、イオン打ち込みを省略した点を除いては、上記と同様にして絶縁ゲート型半導体素子を形成した。この半導体素子の絶縁耐圧は、イオン打ち込みを行って作製した上記半導体素子(絶縁耐圧400V以上)の1/2以下であった。なお、イオン打ち込みを行わない場合、トレンチ構造底面における酸化膜の膜厚は30nm程度であって、トレンチ構造壁面における酸化膜の膜厚よりも薄かった。

【0042】

また、上記と同様にして、 β -SiC(111)、4H α -SiC(0001)および15R-SiCの各Si面について半導体素子を作製したところ、上記と同様、酸化膜の膜厚の分布を調整できることが確認された。また、最上層のn⁺層を、イオン打ち込みではなくエピタキシャル成長により形成しても特性改善の効果が確認できた。また、上記エピタキシャル成長層の多層構造をイオン打ち込みにより形成しても同様に特性は改善した。また、酸素イオンに代えて、珪素、窒素、水素または不活性ガスを用いても同様の効果が得られた。

(実施例2)

本実施例では、図2に示した構造と同様の断面を有する絶縁ゲート型半導体素子を作製した。すなわち、本実施例では、基本的な作製工程を実施例1と同様としながら、RIEによる凹部形成の後、酸素イオンを打ち込む前に、凹部表面にエピタキシャル成長層を形成した。

【0043】

具体的には、基板をCVDエピタキシャル成長装置に導入し、その表面に 10^{15}cm^{-3} で窒素をドーピングしたn型エピタキシャル成長層を厚さが50nmとなるように形成した。この追加のエピタキシャル成長層は、トレンチ構造壁面、トレンチ構造底面およびトレンチ構造近傍を含む表面に、ほぼ同様の厚さで形成された。

【0044】

このように、少なくともトレンチ構造壁面を含む領域に追加エピタキシャル成長層を形成してから、実施例1と同様の条件により、イオン打ち込みおよび酸化処理を行った。トレンチ構造底面および基板表面では、イオン打ち込みにより、追加エピタキシャル成長層は高密度のイオン衝撃を受け、酸化処理により全体が酸化膜となった。このため、酸化処理後には、実質的にはトレンチ構造壁面にのみ追加エピタキシャル成長層が残存することとなった。

【0045】

追加エピタキシャル成長層を形成してから酸化処理を行って得た絶縁ゲート型半導体素子は、トレンチ構造壁面のチャンネル部に、低濃度のn型エピタキシャル成長層が酸化して形成された酸化膜が形成されている。このため、実施例1と同じく絶縁耐圧が向上するばかりではなく、実施例1のようにp型の炭化珪素を酸化して酸化膜を形成した場合よりも、トラップ準位などの密度が低く保たれ、良好なMOS特性が得られた。特に、実施例2による絶縁ゲート型半導体素子のチャンネル移動度は、実施例1による素子のチャンネル移動度に対し、20%以上大きな値を示した。このように、追加エピタキシャル成長層を形成すれば、良好な炭化珪素半導体/酸化珪素絶縁体界面が形成され、高移動度のチャンネルが得られることが確認された。

【0046】

なお、本実施例では、窒素ドーピングのn型追加エピタキシャル成長層を形成したが、追加エピタキシャル成長層はこれに限られず、p型以外のエピタキシャル成長層でなければ、上記と同様、高いチャンネル移動度が実現できることも確認できた。

(実施例3)

さらに、適切なイオンのドーズ量について検討を行った。図3は、上記と同様の6H-SiCの4度オフ(0001)Si面に、30keVで酸素イオンを打ち込んだときの、ドーズ量と欠陥密度との関係を示す図である。欠陥密度はRBSにより測定した。図4は、上記と同様、6H-SiCの4度オフ(0001)Si面に、30keVで酸素イオンまたはネオンイオンを打ち込んだときの、ドーズ量と得られた酸化膜の膜厚との関係を示す図である。なお、打ち込んだイオンは $^{18}\text{O}^+$ および $^{20}\text{Ne}^+$ である。図3と図4との対比から、イオンの打ち込みにより導入された欠陥量が酸化膜の膜厚に直接寄与していることが確認できる。

【0047】

また、酸素イオンはネオンイオンよりも厚い酸化膜の形成により効果的である。図3および図4に示したように、イオンのドーズ量には、イオン種などに応じた好ましい範囲が存在する。一般に好ましいイオンのドーズ量は 10^{15}cm^{-2} 以上 10^{18}cm^{-2} 以下である。特に上記条件で酸素イオンを打ち込む場合に好ましいドーズ量は 10^{16}cm^{-2} 以上 10^{18}cm^{-2} 以下、同じくネオンを打ち込む場合に好ましいドーズ量は 10^{17}cm^{-2} 以上 10^{18}cm^{-2} 以下である。

【符号の説明】

【0048】

- 1 炭化珪素基板 (n型基板)
- 2 n型エピタキシャル成長層
- 3 p型エピタキシャル成長層
- 4 n⁺型層

10

20

30

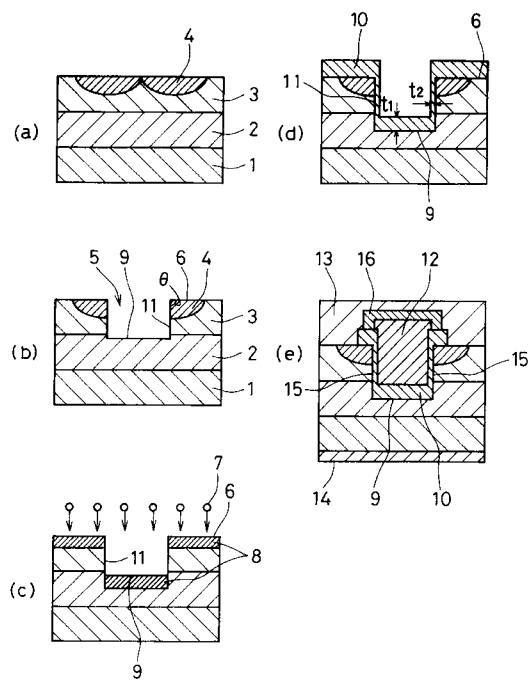
40

50

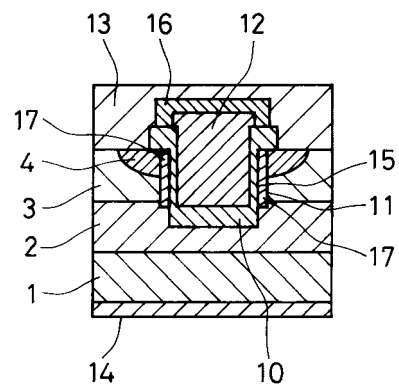
- 5 凹部
- 6 基板表面
- 7 イオン
- 8 照射損傷層
- 9 トレンチ構造底面
- 10 酸化膜
- 11 トレンチ構造壁面
- 12 ゲート電極
- 13 ソース電極
- 14 ドレイン電極
- 15 チャンネル部
- 16 絶縁膜
- 17 追加エピタキシャル成長層

10

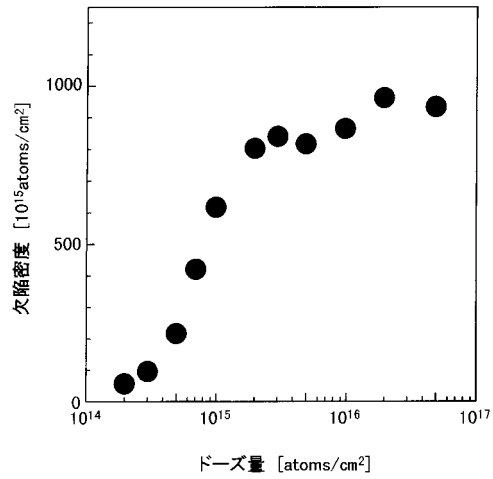
【図 1】



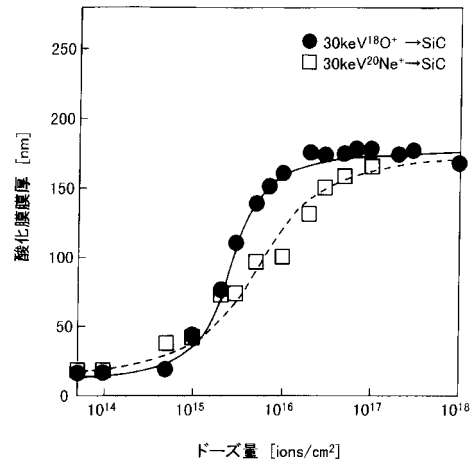
【図 2】



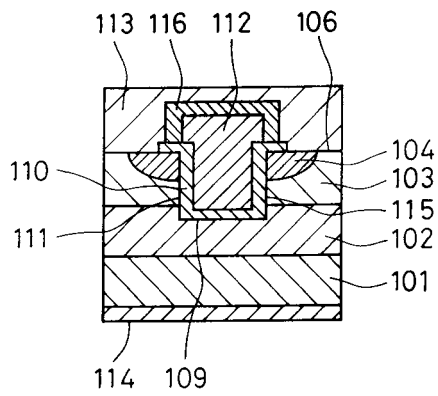
【図 3】



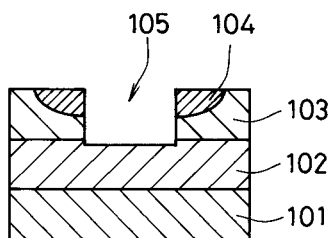
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	6 5 2 E
	H 0 1 L 21/265	Q
	H 0 1 L 21/265	F
	H 0 1 L 21/265	Z
	H 0 1 L 21/265	R
	H 0 1 L 21/316	S

(72)発明者 上野山 雄

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム (参考) 5F058 BC02 BE07 BF63 BJ06