

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 9 日(09.09.2016)



(10) 国際公開番号

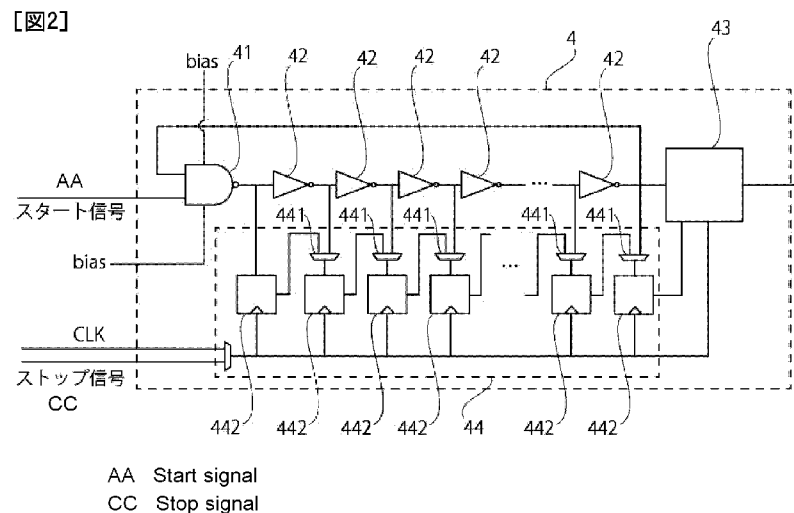
WO 2016/139958 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2016/001185
- (22) 国際出願日: 2016 年 3 月 4 日(04.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-044113 2015 年 3 月 5 日(05.03.2015) JP
- (71) 出願人: 国立大学法人千葉大学(NATIONAL UNIVERSITY CORPORATION CHIBA UNIVERSITY) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町 1 番 3 3 号 Chiba (JP).
- (72) 発明者: 難波 一輝(NAMBA, Kazuteru); 〒2638522 千葉県千葉市稲毛区弥生町 1 番 3 3 号 国立大学法人千葉大学 大学院融合科学研究科内 Chiba (JP). 崔 日(CUI, Ri); 〒2638522 千葉県千葉市稲毛区弥生町 1 番 3 3 号 国立大学法人千葉大学 大学院融合科学研究科内 Chiba (JP).
- (74) 代理人: 久保田 芳譽(KUBOTA, Yoshitaka); 〒2620014 千葉県千葉市花見川区さつきが丘 1 丁目 4 3 番地 2 8 Chiba (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND DELAY MEASUREMENT CIRCUIT

(54) 発明の名称: 半導体集積回路及び遅延測定回路



(57) Abstract: A semiconductor integrated circuit according to one aspect of the present invention is provided with: a circuit unit to be measured provided with a plurality of connected flip-flop circuits; a clock generation circuit unit; and a delay measurement circuit unit which is provided with a NAND circuit, a plurality of NOT circuits connected in series with the NAND circuit, a counter circuit connected to terminals of the plurality of NOT circuits, and a scan chain circuit in which a plurality of selector circuits and a plurality of flip-flop circuits are connected. The NAND circuit is provided with at least two bias voltage input gates.

(57) 要約: 本発明の一観点に係る半導体集積回路は、接続された複数のフリップフロップ回路を有する被測定回路部と、クロック生成回路部と、NAND回路と、NAND回路に直列に接続される複数のNOT回路と、複数のNOT回路の末端に接続されるカウンタ回路と、複数のセレクタ回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回路と、を備えた遅延測定回路部と、を備えた半導体集積回路であって、NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備えている。

WO 2016/139958 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体集積回路及び遅延測定回路

技術分野

[0001] 本発明は、半導体集積回路及び遅延測定回路に関し、更には遅延測定回路較正方法に関する。

背景技術

[0002] 半導体集積回路は、半導体材料若しくは絶縁材料の表面又は半導体材料の内部にトランジスタその他の回路素子を生成させ、電子回路の機能を有するよう設計したものであり、パーソナルコンピュータや携帯電話等に用いられており、特に近年、半導体集積回路における微細化技術の進歩によりめざましく高速化が図られている。

[0003] しかしながら、半導体集積回路の高速化は、トランジスタと配線の加工のばらつきや配線間の容量結合等の増加等に起因する回路における信号の伝播時間のばらつきをもたらし、このばらつきを如何に抑えるかが重要な課題となっている。すなわち高速動作が可能な半導体集積回路を歩留まりよく作製するためには回路における伝播時間及びその統計的なばらつきを把握し、改善していくことが必要である。この伝播時間が必要以上に長くなっていないかを確認する方法として遅延測定がある。

[0004] 遅延測定とは、テスト信号を入力して応答信号を得るまでの時間を計測することをいい、この結果、計測した時間が所定の期間内に納まっているか否かを判定し、不良品であるか否かを判断することができる。

[0005] ところが、半導体集積回路に搭載される遅延測定を行う回路自体も製造バラツキの影響を受け、その測定自体に誤差が生じることとなる。その場合、正確な遅延測定を行うことは困難となってしまう。

[0006] そこで、公知の技術として、例えば下記特許文献1及び2に、遅延測定回路におけるバラツキによる測定誤差を軽減する技術が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：特開 2 0 1 1 - 1 1 4 7 1 6 号公報

特許文献2：特開 2 0 1 3 - 2 1 9 7 7 1 号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、上記特許文献 1 に記載の技術では、電圧降下や温度変化等、グローバルなばらつきによる測定誤差に対応することができるが、各遅延素子の製造ばらつきなどのローカルなばらつきには対応することができない。また、高精度な較正が困難である。また、上記特許文献 2 に記載の技術では複数のディレイラインを用いており、大型化してしまうといった課題が残る。

[0009] そこで、本発明は、上記課題に鑑み、回路の大型化をもたらさずに高精度な較正が可能な半導体集積回路及び遅延測定回路を提供することを目的とする。

課題を解決するための手段

[0010] 上記課題を解決する本発明の一観点に係る遅延測定回路は、クロック生成回路と、論理出力回路と、前記論理出力回路に直列に接続される複数の遅延回路と、複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた遅延測定回路であって、論理出力回路及び複数の遅延回路の少なくとも一つは遅延時間が可変である。

[0011] また、本観点において、論理出力回路は、NAND 回路及び NOR 回路の少なくともいずれかを含むことが好ましい。

[0012] また、本観点において、遅延回路は、NOT 回路及びバッファ回路の少なくともいずれかを含むことが好ましい。

[0013] また、本観点において、複数のセレクト回路及び複数のフリップフロップ回路が接続されたスキャンチェーン回路を備えることが好ましい。

[0014] また、本発明の他の一観点に係る半導体集積回路は、被測定回路と、クロ

ック生成回路と、論理出力回路と、論理出力回路に直列に接続される複数の遅延回路と、複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた半導体集積回路であって、論理出力回路及び前記複数の遅延回路の少なくとも一つは、少なくとも二つのバイアス電圧入力ゲートを備える。

[0015] また、本観点において、論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含むことが好ましい。

[0016] また本観点において、遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含む。

[0017] また本観点において、複数のセクタ回路及び複数のフリップフロップ回路が接続されたスキャンチェーン回路を備えることが好ましい。

[0018] また本発明の他の一観点に係る半導体集積回路は、接続された複数のフリップフロップ回路を有する被測定回路部と、クロック生成回路部と、NAND回路と、NAND回路に直列に接続される複数のNOT回路と、複数のNOT回路の末端に接続されるカウンタ回路と、複数のセクタ回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回路と、を備えた遅延測定回路部と、を備えた半導体集積回路であって、NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備えている。

[0019] また本発明の他の一観点に係る遅延測定回路は、NAND回路と、NAND回路に直列に接続される複数のNOT回路と、複数のNOT回路の末端に接続されるカウンタ回路と、複数のセクタ回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回路と、を備えており、NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備えている。

発明の効果

[0020] 本発明は、上記課題に鑑み、回路の大型化をもたらさずに高精度な較正が可能な半導体集積回路及び遅延測定回路並びに遅延測定回路較正方法を提供することができる。

図面の簡単な説明

[0021] [図1]実施形態に係る半導体集積回路の機能ブロック図である。

[図2]実施形態に係る遅延測定回路の回路図である。

[図3]実施形態に係るNAND回路の回路図である。

[図4]実施形態に係る遅延測定回路較正方法における電圧信号を示す図である

[図5] p型のスイッチング素子のバイアス電圧の変化、n型のスイッチング素子のバイアス電圧の変化におけるNAND回路の遅延時間一例を示す図である。

発明を実施するための最良の形態

[0022] 以下、本発明の実施形態について、図面を用いて詳細に説明する。ただし、本発明は多くの異なる形態による実施が可能であり、以下に示す実施形態、実施例の例示に限定されるものではない。

[0023] 図1は、本実施形態に係る半導体集積回路（以下「本集積回路」という。）1の機能ブロックを示す図である。本図で示すように、本集積回路1は、接続された複数のフリップフロップ回路を備える被測定回路2と、クロック生成回路3と、遅延測定回路4と、を備えている。

[0024] 本実施形態において被測定回路2は、遅延の測定対象となる回路であって、限定されるわけではないが、複数のフリップフロップ回路FFを有している。本実施形態においてフリップフロップは、入力される信号を記憶することのできるものであって、この機能を有する限りにおいて限定されるわけではないが、例えばマスターラッチとスレイブラッチとの組み合わせを備えたものを例示することができる。なお、フリップフロップは、クロック生成回路3にそれぞれ接続されており、クロック信号の入力に応じて入力された信号の記憶、フリップフロップ外への記録した値の出力を行うことができる。

[0025] 本実施形態において、クロック生成回路3は、本明細書の記載から明らかのようにクロック信号を作成し、出力するものである。なお本実施形態において、クロック信号の周波数は可変であり、クロック生成回路自体は較正されており、遅延なく正確に動作する。

[0026] また本実施形態において、遅延測定回路4は、被測定回路における遅延を

測定することができるものである。本実施形態に係る遅延測定回路４は、図２で示すように、NAND回路４１と、NAND回路４１に直列に接続される複数のNOT回路４２と、複数のNOT回路４２の末端に接続されるカウンタ回路４３と、複数のセレクト回路４４１及び複数のフリップフロップ回路４４２が数珠繋ぎで接続されるスキャンチェーン回路４４、を備えている。

[0027] 本実施形態においてNAND回路４１は、論理出力回路であって、クロック生成回路３が生成するスタート信号としてのクロック信号と、NAND回路４１に接続される複数のNOT回路（遅延回路）の末端の出力を入力信号とするとともに、少なくとも二つのバイアス電圧入力ゲートを備えている。この回路の具体的な構成については限定されるわけではないが、例えば図３で示す構成を示すことができる。本図で示すように、NAND回路４１は、複数のスイッチング素子が、自己に隣接するスイッチング素子のソース／ドレイン領域が導通するよう接続されており、その接続の一方の端が接地（GND）されており、他方の端がVDDに接続されている。

[0028] また、本実施形態のNAND回路４１では、その両端近傍のスイッチング素子において、バイアス電圧流入力ゲートを備えており、具体的には一方はn型のトランジスタ、他方はp型のトランジスタを備えており、バイアス電源に接続されている。この結果、本遅延測定回路４は、NAND回路が遅延時間可変となっている。なお、本実施形態の例では、論理出力回路としてNAND回路を用いているが、同様の機能を有することができるものであればNOR回路で構成することも可能である。

[0029] また本実施形態の複数のNOT回路４２は、遅延回路であり、上記論理出力回路としてのNAND回路の出力に直列的に接続されており、一つのNOT回路の出力が次段のNOT回路の入力となっているとともに、スキャンチェーン回路におけるセレクト回路及び複数のフリップフロップ回路にもその値が入力されるよう接続されている。なおNOT回路の数は特に限定されるものではなく、必要とされる遅延測定範囲、精度等に応じて適宜調整可能で

ある。また、NOT回路のほか遅延回路としての機能を有する限り限定されず、遅延を生じさせるいわゆるバッファ回路を設けることも可能である。

[0030] また本実施形態において、カウンタ回路43は、上記のとおり、複数のNOT回路の末端に接続されており、末端のNOT回路の出力をカウントする。

[0031] また本実施形態においてスキャンチェーン回路44は、複数のセクタ回路441及び複数のフリップフロップ回路442が接続されており、複数のNOT回路それぞれの出力に接続されており、それらの出力の値を記憶することができる。この回路の構成の一例については上記図2に示したとおりである。なお、スキャンチェーン回路44は、クロック生成回路3が生成するストップ信号としてのクロック信号の入力を受け付ける構成となっており、このストップ信号が入力された場合、その時における値を保持する。

[0032] (遅延測定の波形図)

次に、本集積回路を用いて、遅延時間測定を校正する方法について具体的に説明する。図4は、本実施形態における遅延測定回路校正方法における電圧信号を示す図である。

[0033] まず、クロック生成回路3は、スタート信号としてのクロック信号を生成し、出力する。なお、クロック生成回路3は、スタート信号を生成した後、一定の期間経過後、ストップ信号としてのクロック信号を生成し、出力する。このスタート信号とストップ信号の間が測定時間Tとなる。

[0034] まず、スタート信号が変化すると、NAND回路に入力され、その結果を受けて複数のNOT回路の接続により構成されるライン（ディレイライン（遅延回路））が発振を始める。具体的には、NAND回路から順次値の変化が伝搬され、最後のNOT回路迄の値の変化が伝搬されるとカウンタ回路におけるカウンタ値が1加算されると同時に再びNAND回路にこの値の変化が伝搬される。なお本図ではわかりやすくするため、奇数番目の値を反転させている。

[0035] 一方、ストップ信号が変化した時、ディレイライン上の信号値がスキャン

チェーンへと記憶されると同時にカウンタ回路が動作を停止する（図中の太線がスキャンチェーンへ記憶される値）。なお本図の例では、カウンタの値は5であり、カウンタが5となった後NAND、INV1（1段目のNOT回路の出力、以下「INV」において同じ）、INV2が変化し、INV3、からINVnが変化していないことが観測できる。よって、本図の場合、スタート信号が入力されてからストップ信号が入力されるまでの時間は、以下の値の和であるといえる。

（1）ディレイラインの遅延時間の5倍

（2）NAND回路、INV1、INV2の遅延時間の和

[0036]（NANDゲートの特性）

立ち上がり、立下り遅延時間を調整するためにはn型スイッチング素子、p型スイッチング側のバイアス電圧を変化させることで可能である。ディレイラインはチップ内に埋め込まれており、製造によるばらつきの影響を受けてしまう。したがって、バイアス電圧と遅延時間の関係を設計時に知ることは出来ない。そこで、下記手順による測定を行うことで較正を行う。ここではクロック信号生成回路によるクロック信号は正確であり、このクロック信号であるスタート信号及びストップ信号の間の時間を既知とし、調整することで各測定を行う。

[0037]（A）ディレイライン全体の遅延時間測定

まずカウンタの値が変化してからNAND、INVの値が観測されない（スキャンフリップフロップの値が全て0又は全て1である）時間Tを探す。このときのTをT1とし、カウンタの値をn1とする。ここでn1はなるべく大きな値にすることが好ましい。そしてこの結果、 $T1/n1$ がディレイライン全体の遅延時間であるとして求めることができる。なお、通常T1の分解能はあまり高くないが、n1を大きくすることによって結果に対する分解能を高めることができる。

[0038]（B）NANDゲートのバイアス電圧と遅延時間の関係を求める

p型のスイッチング素子、n型のスイッチング素子毎にNANDにおける

遅延時間の増加 d を求める。バイアス電圧においてカウンタの値が変化してから $NAND$ 、 INV の変化が観測されない時間 T を探し、この時の時間 T を T_2 とし、カウンタの値を n_2 とする。ここで、 d は $T_2 / n_2 - T_1 / n_1$ という式で表せる。なおこの場合においても精度を高めるために n_2 はなるべく大きな値にしておくことが好ましい。なお、 p 型のスイッチング素子のバイアス電圧の変化、 n 型のスイッチング素子のバイアス電圧の変化における $NAND$ 回路の遅延時間一例について図 5 に示しておく。なお図中、横軸はバイアス電圧を、縦軸は $NAND$ 回路の遅延時間を、丸印は予想されるばらつきによる遅延時間の上限を、三角印は遅延時間の理想値を、四角印は予想されるばらつきによる遅延時間の下限をそれぞれ示している。

[0039] (C) バイアス電圧を加えない場合における $NAND$ ゲートの遅延時間測定

そして、スキャンフリップフロップの値が $1000\cdots 0$ 又は $0111\cdots 1$ である時間 T を探す。バイアス電圧をかけるとフリップフロップの値は $0000\cdots 0$ 又は $1111\cdots 1$ を経て $0000\cdots 1$ 又は $1111\cdots 0$ へと変化するため、 $0000\cdots 0$ 又は $1111\cdots 1$ となる最小又は最大のバイアス値を求め V_1 、 V_2 とする。なおこの場合において V_1 、 V_2 に対応する遅延時間の増加量を d_1 、 d_2 ($d_2 > d_1$) とする。なおこの場合において、カウンタの値は常に n であるとする。

[0040] すると、バイアス電圧を加えないときの $NAND$ ゲートの遅延時間は $(d_2 - d_1) / n - d_1$ によって得られる。なおこの場合において、 n は、 d_1 、 d_2 の誤差の影響をなるべく小さくするため、小さくすることが好ましい。より具体的には、 n_1 、 n_2 と同程度に大きな n を用いてしまうとクロック信号生成回路の分解能と同程度にまで測定精度が落ちてしまうので注意が必要である。

[0041] (D) 各 NOT 回路の遅延時間を測定する

上記 (C) と同様の測定によって行う。具体的には、 INV_i の遅延時間を測定する場合は、 $1\cdots 100\cdots 0$ (1 が i 個連続) 又は $0\cdots 011\cdots 1$ (0 が i 個連続) である最小最大のバイアス値 V_1 、 V_2 を求め、この時の N

ANDゲートの遅延時間を d_1 、 d_2 、カウンタ値を n とし、これらの値からINV i の遅延時間は $(d_2 - d_1) n$ によって求めることができる。

[0042] すなわち、上記(A)～(D)を実施することにより、較正を完了させることができる。

[0043] 以上本集積回路によると、回路の大型化をもたらさずに高精度な較正が可能な半導体集積回路及び遅延測定回路並びに遅延測定回路較正方法を提供することができる。

産業上の利用可能性

[0044] 本発明は、半導体集積回路として産業上利用可能性がある。

請求の範囲

- [請求項1] クロック生成回路と、
 論理出力回路と、前記論理出力回路に直列に接続される複数の遅延回路と、前記複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた遅延測定回路であって、
 前記論理出力回路及び前記複数の遅延回路の少なくとも一つは、遅延時間可変である遅延測定回路。
- [請求項2] 前記論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含む請求項1記載の遅延測定回路。
- [請求項3] 前記遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含む請求項1記載の遅延測定回路。
- [請求項4] 複数のセレクト回路及び複数のフリップフロップ回路が接続されたスキャンチェーン回路を備える請求項1記載の遅延測定回路。
- [請求項5] 被測定回路と、
 クロック生成回路と、
 論理出力回路と、前記論理出力回路に直列に接続される複数の遅延回路と、前記複数の遅延回路の末端に接続されるカウンタ回路と、を有する遅延測定回路と、を備えた半導体集積回路であって、
 前記論理出力回路及び前記複数の遅延回路の少なくとも一つは、少なくとも二つのバイアス電圧入力ゲートを備える半導体集積回路。
- [請求項6] 前記論理出力回路は、NAND回路及びNOR回路の少なくともいずれかを含む請求項5記載の半導体集積回路。
- [請求項7] 前記遅延回路は、NOT回路及びバッファ回路の少なくともいずれかを含む請求項5記載の半導体集積回路。
- [請求項8] 複数のセレクト回路及び複数のフリップフロップ回路が接続されたスキャンチェーン回路を備える請求項5記載の半導体集積回路。
- [請求項9] 接続された複数のフリップフロップ回路を有する被測定回路と、
 クロック生成回路と、

NAND回路と、前記NAND回路に直列に接続される複数のNOT回路と、複数の前記NOT回路の末端に接続されるカウンタ回路と、複数のセクタ回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回路と、を有する遅延測定回路と、を備えた半導体集積回路であって、

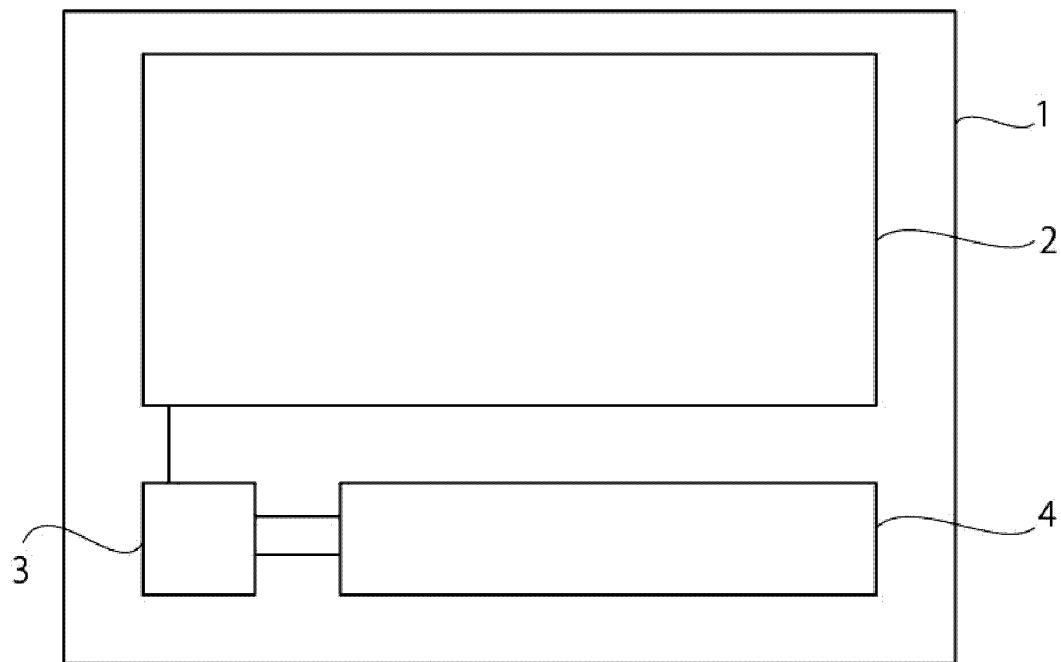
前記NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備える半導体集積回路。

[請求項10]

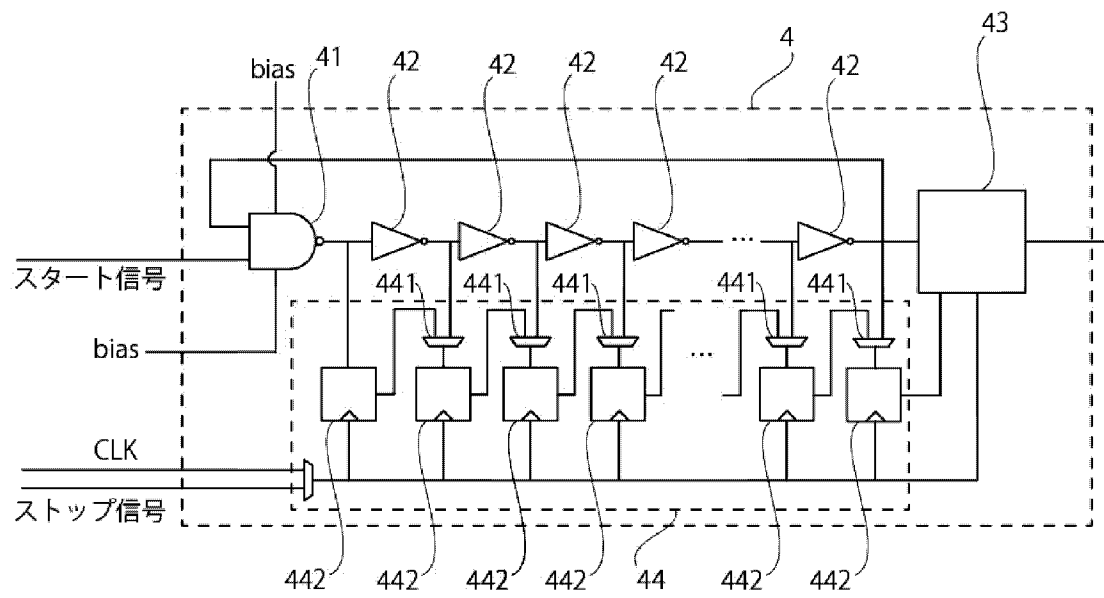
NAND回路と、前記NAND回路に直列に接続される複数のNOT回路と、複数の前記NOT回路の末端に接続されるカウンタ回路と、複数のセクタ回路及び複数のフリップフロップ回路が接続されるスキャンチェーン回路と、を備え、

前記NAND回路は、少なくとも二つのバイアス電圧入力ゲートを備えた遅延測定回路。

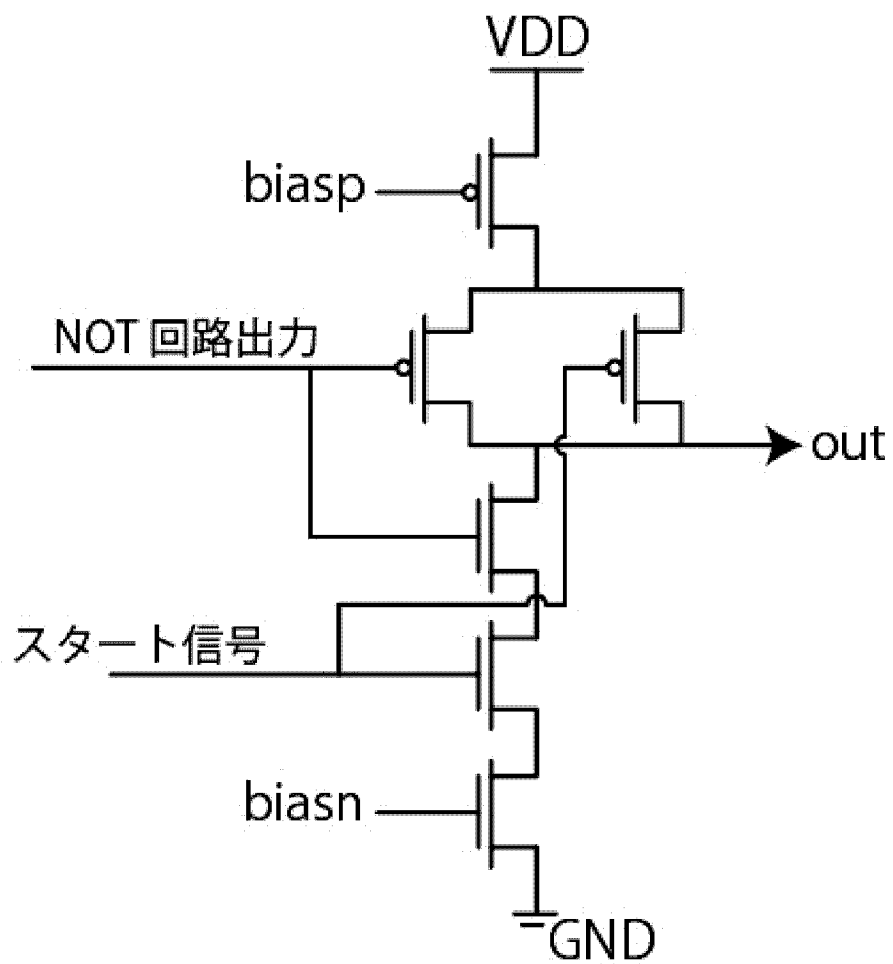
[図1]



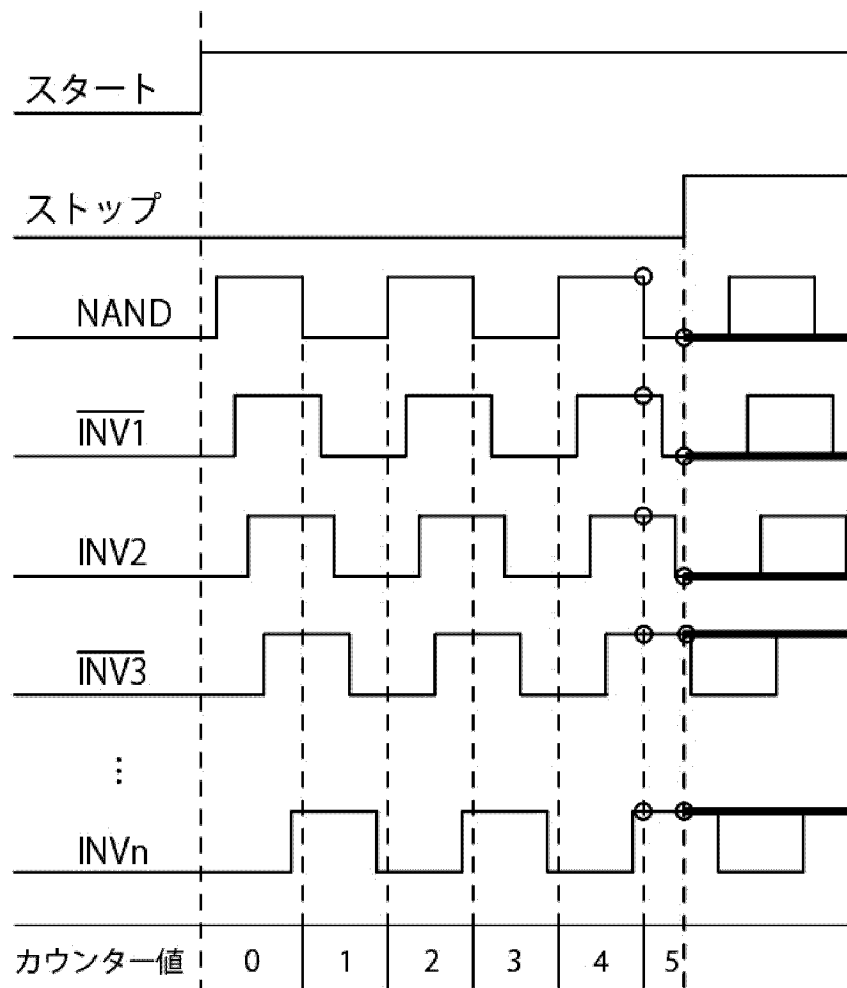
[図2]



[図3]

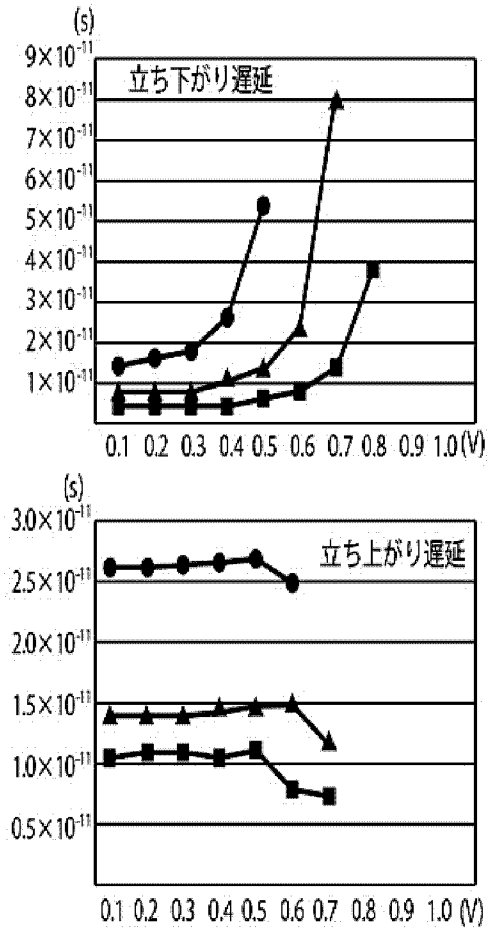


[図4]

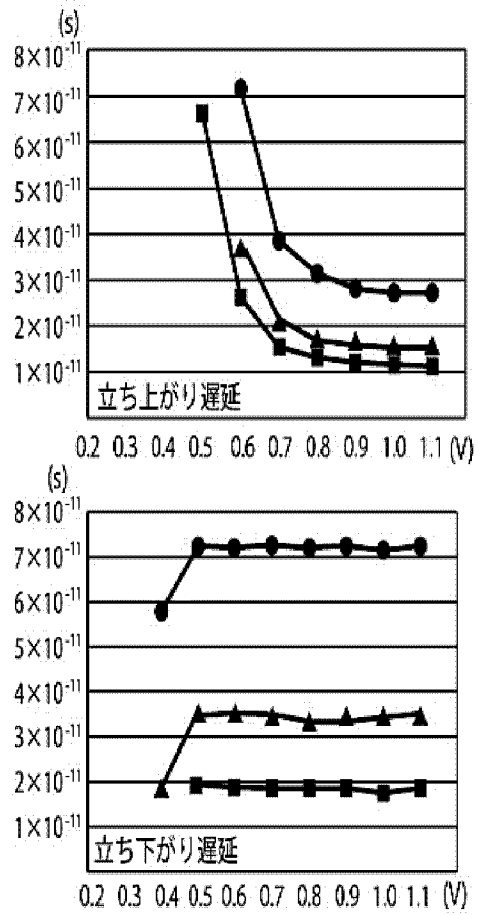


[図5]

p型スイッチング素子のバイアス電圧を変化



n型スイッチング素子のバイアス電圧を変化



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001185

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28, H01L21/822, H01L27/04, H03K5/14, H03K5/26, G04F10/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-113984 A (National University Corporation Chiba University), 09 June 2011 (09.06.2011), paragraphs [0017], [0030]; fig. 1, 6 (Family: none)	1-10
Y	JP 2007-322235 A (Denso Corp.), 13 December 2007 (13.12.2007), paragraphs [0029] to [0047], [0052] to [0061]; fig. 5 & US 2007/0280054 A1 paragraphs [0037] to [0116], [0131] to [0156]; fig. 6 & DE 102007023889 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
17 May 2016 (17.05.16)

Date of mailing of the international search report
31 May 2016 (31.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001185

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-114716 A (Renesas Electronics Corp.), 14 June 2012 (14.06.2012), paragraphs [0006] to [0007], [0022] to [0024], [0035] (Family: none)	5-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G01R31/28(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G01R31/28, H01L21/822, H01L27/04, H03K5/14, H03K5/26, G04F10/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-113984 A（国立大学法人 千葉大学）2011.06.09, 段落0017, 0030, 図1, 図6 （ファミリーなし）	1-10
Y	JP 2007-322235 A（株式会社デンソー）2007.12.13, 段落0029-0047, 0052-0061, 図5 & US 2007/0280054 A1, 段落0037-0116, 0131-0156, FIG.6 & DE 102007023889 A	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.05.2016

国際調査報告の発送日

31.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

菅藤 政明

2S

9305

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-114716 A (ルネサスエレクトロニクス株式会社) 2012.06.14, 段落0006-0007, 0022-0024, 0035 (ファミリーなし)	5-10