

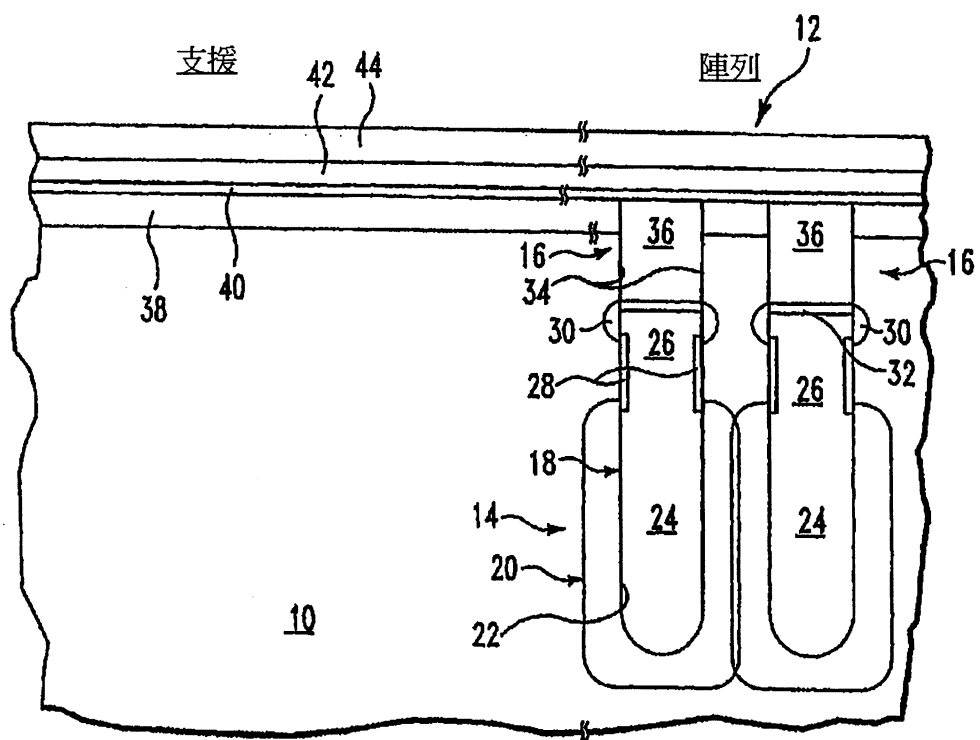


圖 1

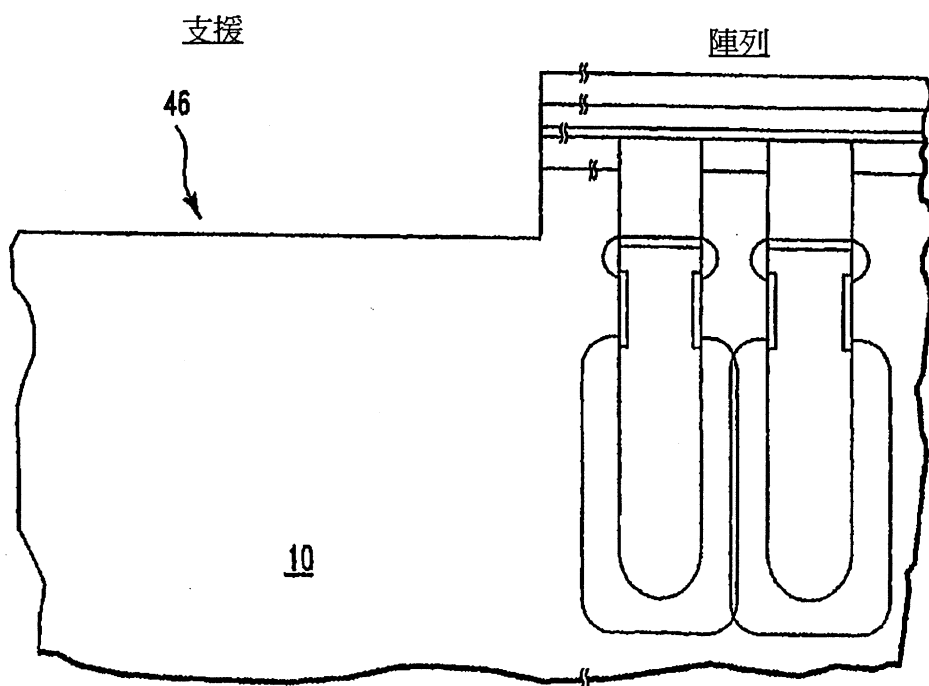


圖 2

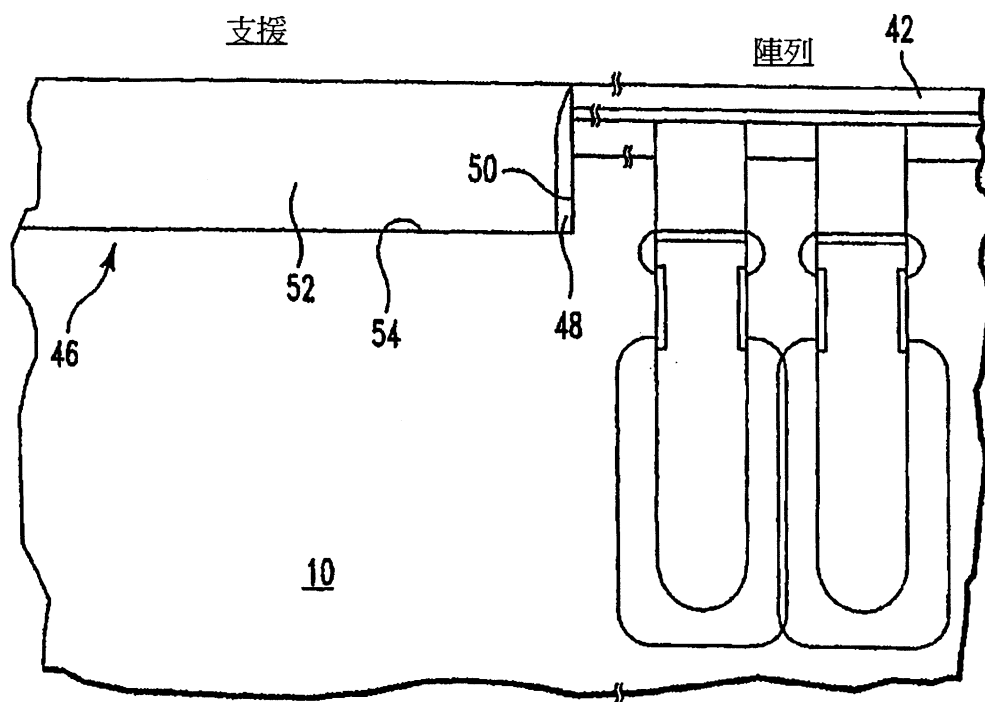


圖 3

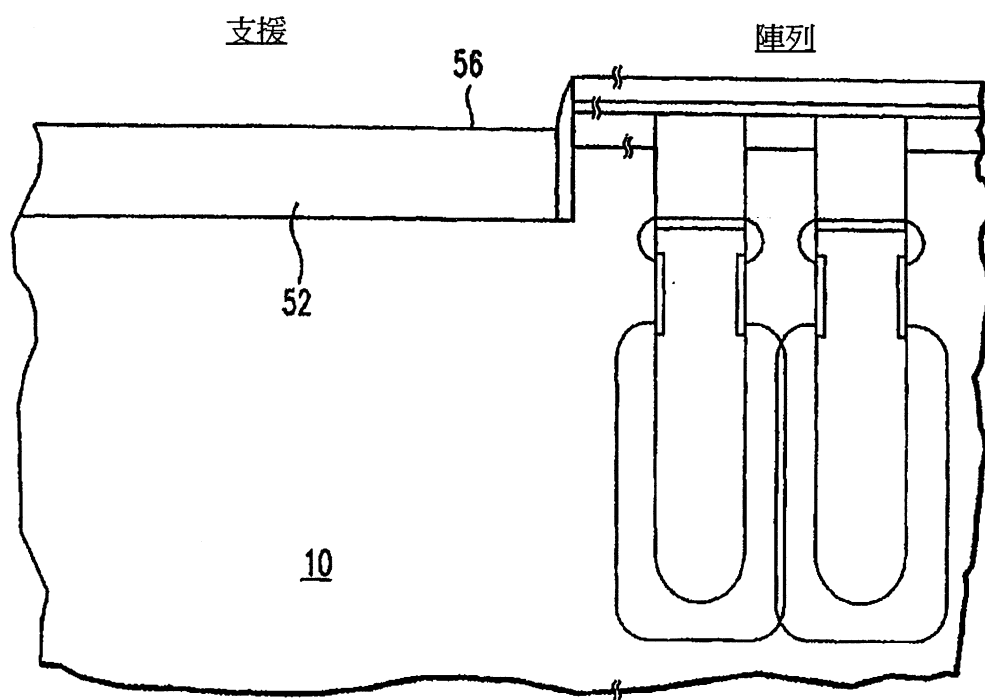


圖 4

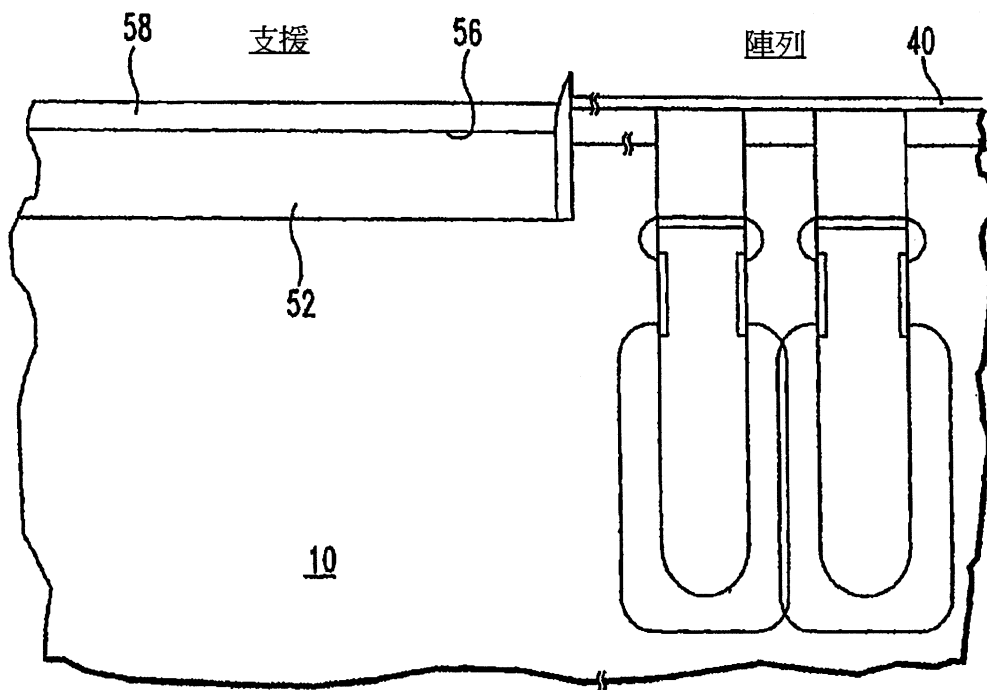


圖 5

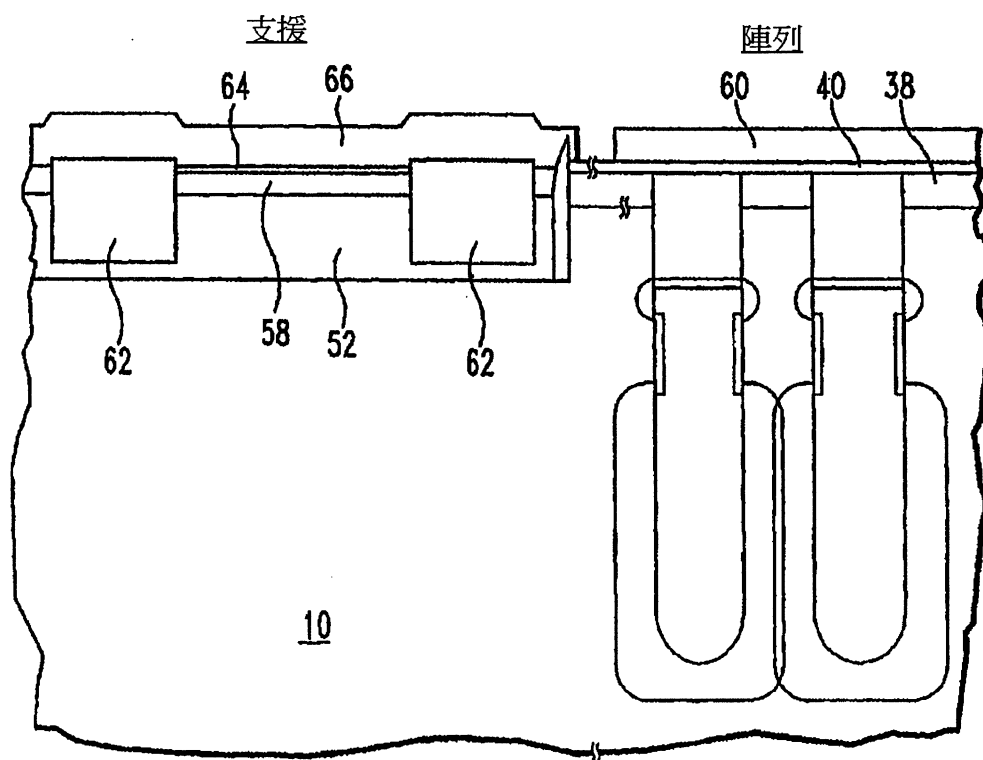


圖 6

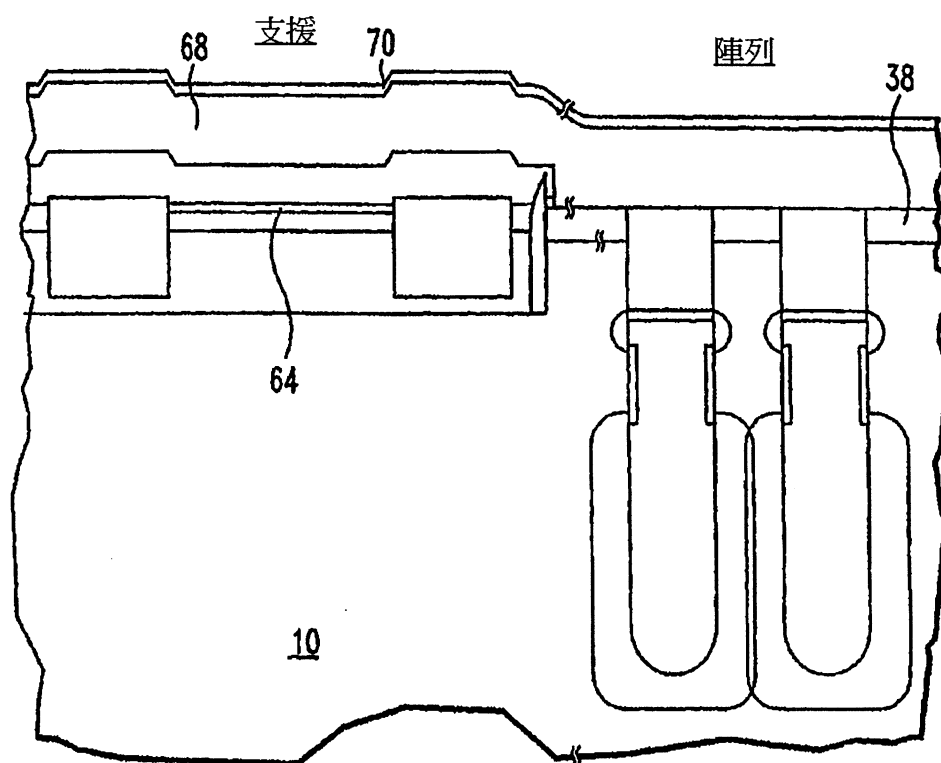


圖 7

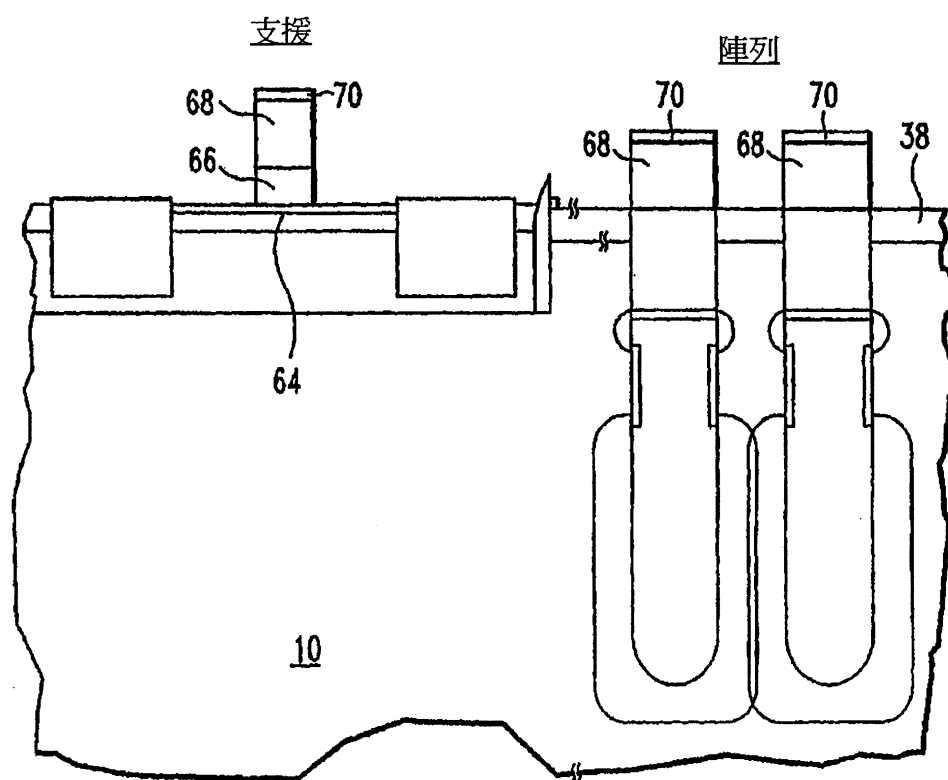


圖 8

申請日期： 93.1.5	IPC分類
申請案號： 93100168	H01L 21/8242

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有應變矽之高效能嵌式動態隨機存取記憶體技術
	英文	HIGH PERFORMANCE EMBEDDED DRAM TECHNOLOGY WITH STRAINED SILICON
二、 發明人 (共3人)	姓名 (中文)	1. 傑克 A 曼得門 2. 傑弗瑞 P 甘比諾 3. 王 耿
	姓名 (英文)	1. MANDELMAN, JACK A. 2. GAMBINO, JEFFREY P. 3. WANG, GENG
	國籍 (中英文)	1. 美國 US 2. 美國 US 3. 中國大陸 CN
	住居所 (中文)	1. 美國北卡羅萊納州盤石市克雷盟路11號 2. 美國佛蒙特州05494威斯佛市韓特立路98號 3. 美國紐約州12508貝肯市南拉奇林路6A號
	住居所 (英文)	1. 11 Claremont Drive, Flat Rock, NC 28731 USA 2. 98 Huntly Rd., Westford, VT 05494 USA 3. 6A S. Locky Woods Rd., Beacon, NY 12508 USA
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 萬國商業機器公司
	名稱或 姓名 (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國紐約州10504亞芒克市新奧爾察德路 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. New Orchard Road, Armonk, NY 10504, USA
	代表人 (中文)	1. 傑羅 羅森梭
	代表人 (英文)	1. Gerald Rosenthal



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

專利合作條約(PCT) PC2003/01/08 US03/00562

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

一、【發明所屬之技術領域】

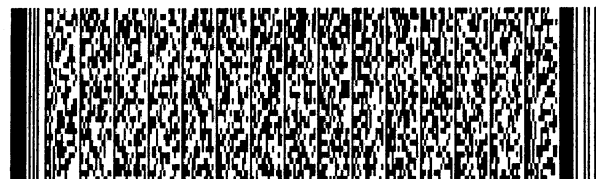
本發明之領域為半導體製程。特別是，本發明關係到在相同基板之一應變層區及一無應變層區形成半導體元件。

二、【先前技術】

半導體元件，如在應變矽通道所形成之金氧半場效電晶體 (MOSFETs)，在遷移率及效能上已明顯提供相當引人注目之改善。然而對於嵌式動態隨機存取記憶體 (embedded-DRAM) 之應用，仍尚未達成在相同之半導體晶片上將記憶體，如密集的、低漏電 DRAM 陣列，與高效能應變矽邏輯形態之 MOSFETs 成功地加以整合，此乃因為在邏輯支援區 (logic support areas) 提供應變矽時，在 DRAM 陣列區卻需要維持高品質、無缺陷的矽。應變矽及被要求產生應變之基板本質地形成大量矽差排 (dislocations) 的增加，造成與低漏電 DRAM 單元不相容。再者，為了符合 DRAM 形成之要求而超過某特定溫度之半導體製程可能與目前實務上應變矽的形成不相容。所以，在具低漏電高密度 DRAM 單元之相同基板上，形成高效能應變矽支援之 MOSFETs 是需要的。

三、【發明內容】

所以，本發明之一目的為在具有低漏電高密度 DRAM 單元之相同基板上形成高效能應變矽支援之 MOSFETs。

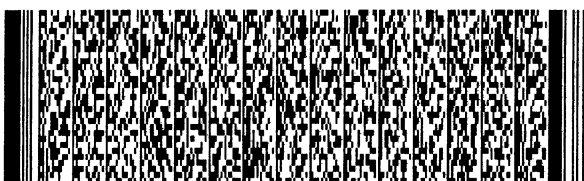


五、發明說明 (2)

本發明揭露形成在一半導體基板之一無應變層區中之一第一半導體元件，如一低漏電 DRAM 單元。在此相同之半導體基板上，選擇性地在與無應變層區隔開之半導體基板中形成一應變層區，且在此應變層區形成一第二半導體元件，例如，一高效能 MOSFET。

四、【實施方式】

參考圖 1，提供一 P 型矽基板 10，此 P 型矽基板具有記憶體單元 12 係形成在此基板 10 之一無應變層區。在圖 1 中，記憶體單元 12 為具有一溝渠儲存電容 14 及一直立 MOSFET 16 的一 DRAM 單元，此 DRAM 單元可依美國專利 6,225,158B1 之描述來形成，在此作為參考附件。雖然圖 1 顯示有一溝渠儲存電容器 14 及直立 MOSFET 16 之記憶體單元 12，必須注意到的是，使用其他形式電容及 FETs，如一堆疊的電容器或一平坦的 MOSFET 也可形成記憶體單元 12。在此實施例中，溝渠儲存電容 14 包含：深溝渠 18、n+埋入式底板 20、氮化物 / 氧化物節點介電質 22、n+多晶矽 24 及 26、軸環氧化物 28 及 n+埋入式帶擴散 (n+ buried strap diffusion) 30。再者，直立的 MOSFET 16 包含：溝渠頂端氧化物 32、形成在深溝渠 18 之邊壁上的閘極氧化物 34、及 n+多晶矽閘極導體 36。必須注意的是，從圖 1 到圖 8 有兩個記憶體單元 12 顯示在陣列區。然而，必須瞭解的是，在陣列區中係可形成任何數目之一個或多個記憶體單元 12。



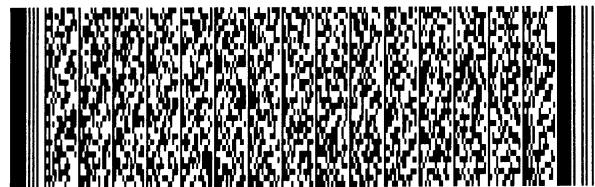
五、發明說明 (3)

在基板10之無應變層區中形成記憶體單元12之後，在基板10中形成應變層區以接續形成高效能MOSFETs。所以，製程之不相容性被避免，例如要避免在記憶體單元的形成中使用高溫，因為應變區及MOSFETs形成在記憶體單元形成之後。

如圖1，在墊薄膜(pad film)38(其可包含如一墊氮化層及一墊氧化層)及閘極導體36的露出部分上沉積一薄層40(如二氧化矽)。在接下來之製程中，氧化層40供作一蝕刻中止層。接著，在氧化層40上沉積另一層42(如氮化矽)，及在氮化矽層42上沉積一硬罩層44(如二氧化矽)。

在氧化硬罩層44上有已圖案化之一塊光阻(未顯示)，使用一離子性蝕刻來蝕刻穿過層38、40、42、44之露出部分而進入基板10，到一較佳深度約100nm到約400nm，更佳係約200nm，以形成如圖2所示之溝渠46。

參考圖3，以一標準製程如反應性離子蝕刻，選擇性地對氮化矽層42及溝渠46所露出之矽，而將氧化硬罩層44移除。藉如傳統沉積及RIE，在溝渠46之邊壁表面50上形成間隔壁48，此間隔壁48包含如氧化矽或氮化矽係為矽或矽化鍺(SiGe)不會在上面成核(nucleate)的一種材料。一線性分等的緩衝層技術(linear graded buffer layer



五、發明說明 (4)

technique) 可被用來在溝渠46中成長具有低差排密度($\sim 10^5 \text{cm}^{-2}$)的SiGe層52。成長的狀況係較佳地在基板10上選擇性地形成SiGe層52，而不是在間隔壁48。較佳的狀況是，SiGe層52係自溝渠46的露出底表面54磊晶式地向上成長，一直到SiGe層52超過氮化矽層42之頂端表面。將成長過度之SiGe層52以如化學機械研磨(CMP)之製程平坦化到氮化矽層42之頂端表面。習知之矽CMP製程可用來平坦化SiGe層52。

雖然間隔壁48可視需要被省略，但是，間隔壁48係避免SiGe層52從邊壁表面50成核或磊晶式地向外成長而造成SiGe層52中有兩個成長前緣(fronts)。除此以外，間隔壁隔離在基板10之晶片支援區中SiGe層52所產生之應變，所以將在陣列中儲存電容單元與應變隔離。

接著，藉一蝕刻製程，如採用一SF₆氣體或後接一HF濕式蝕刻之一氧化反應的一反應性離子蝕刻，將SiGe層52的上表面56下凹到低於氮化矽層42之上表面的一深度，如圖4所示。SiGe層52之下凹可視需要地被省略，因為接下來成長之應變層是很薄的。

參考圖5，一磊晶矽薄層58係選擇性地成長在SiGe層52之上表面56。磊晶矽層58的成長厚度較佳是低於約50nm，更佳為自2.5nm到約10nm。因為SiGe層52與薄磊晶

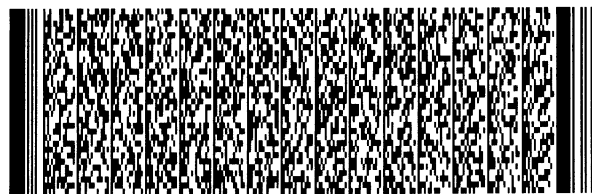


五、發明說明 (5)

矽層58之間的晶格失去良好的相配(mismatch)，磊晶矽層58經歷一延伸之晶格應變，此應變加強接下來形成的FETs的遷移率。磊晶矽層58成長之後，用已知之製程如一包含熱磷酸之濕式蝕刻製程，選擇性地對氧化層40及磊晶矽層58，而將氮化矽層42移除。必須注意的是，應變層58也可以用其他方法來形成，如在SiGe層52之上表面56上沉積鈦(Ti)及鈷(Co)金屬，而形成一層鈦之矽化物或鈷的矽化物。另一個形成應變層58的例子包含在SiGe層52之上表面56中植入具有一晶格常數與SiGe不同之一元素，例如，碳(C)或鍺(Ge)。

參考圖6，一氮化矽層60係沉積在氧化層40及應變矽層58上，且接著被圖案化以露出支援區部分而保留在陣列區之部分。將在支援區的主動區圖案化以形成淺溝渠隔離(STI)62，然後利用已知方法如TEOS CVD氧化物或HDP氧化物加以充填，接著加以平坦化。在支援區中成長犧牲氧化物(未顯示)且形成好的植入(implants)(未顯示)。移除犧牲氧化物，且藉由成長一介電薄膜，如熱氧化物或已氮化之氧化物(nitrided oxide)在應變矽層58上形成支援閘極介電質64。支援閘極導體66係形成在應變層區(支援區)，而利用一塊罩幕移除一部分已保留在應變層區(陣列區)之閘極導體66。

參考圖7，自陣列區藉由本項技藝中已知之方法，如



五、發明說明 (6)

包含熱磷酸之一濕式蝕刻，選擇性地對氧化層40，而將氮化矽層60去除。接著，選擇性地對氮化矽層38，而將氧化層40去除。在支援及陣列區中沉積字線導體(wordline conductor)68，例如鎢/鎢之矽化物、及覆蓋層如氮化矽70。

參考圖8，以一共用的單幕同時將支援閘極66、字線68及覆蓋層70圖案化且蝕刻。並依需要地，可使用兩個單幕以形成支援閘極66及字線68。例如，為了要個別地最佳化各自特有之性質，例如為效能考量的線寬，可用一個單幕來形成支源閘極66而另一個單幕用來形成字線68。

接下來之標準製程包含：支援S/D延伸，暈區(halo)及接觸植入(contact implants)；閘極邊壁氧化以癒合來自閘極蝕刻的任何傷害；間隔壁形成；支援及位元線接觸鑲針(contact studs)；內層介電層；及，線路之上層的沉積及圖案化，包含位元導體。

除此以外，矽差排自應變層SiGe區矽擴展進入無應變層記憶體陣列也是一個問題，在應變層(支援)及無應變層(陣列)區之間可以使用偽造(dummy)深儲存溝渠作為一緩衝。

當本發明參考上述之較佳實施例來描述時，應瞭解到



五、發明說明 (7)

本發明之精神及範圍是不受以上所述限制。更明確的是，在不背離本發明以上所述及在此所附之申請專利範圍之所有範圍下，對本發明以上所述是可作到多樣化的修飾。



圖式簡單說明

五、【圖式簡單說明】

本發明之前述及其他特徵在讀過本發明詳細說明後將會變得更明顯。以下附圖有許多圖式供詳細說明時作參考，其中：

圖1到圖8 顯示依據本發明之方法在步驟過程中所出現之半導體結構的剖面圖

圖式元件符號說明

10	基板	12	DRAM單元
14	溝渠儲存電容	16	直立MOSFET
18	深溝渠	20	n+埋入式底板
22	節點介電質	24	n+多晶矽
26	n+多晶矽	28	環軸氧化物
30	n+埋入式捆帶擴散	32	溝渠頂端氧化物
34	閘極氧化物	36	n+多晶矽閘極導體
38	墊薄膜	40	氧化層
42	氮化矽	44	硬罩層
46	溝渠	48	間隔壁
50	邊壁表面	52	SiGe層
54	溝渠46的露出底表面	56	SiGe層52的上表面
58	磊晶矽薄層(應變矽層)		
60	氮化矽層	62	淺溝渠隔離
64	支援閘極介電質	66	支援閘極導體
68	字線導體	70	覆蓋層

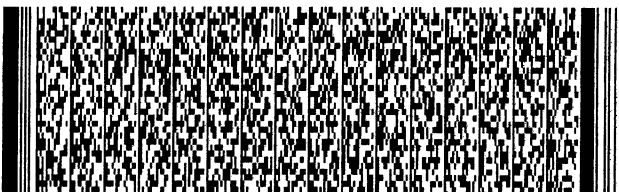


四、中文發明摘要 (發明名稱：具有應變矽之高效能嵌式動態隨機存取記憶體技術)

在相同基板之一應變層 (strained layer)區及無應變層 (strained layer-free)區中所製造之半導體元件。一第一半導體元件，如一記憶體單元 (memory cell)，亦如一深溝渠儲存單元，係形成在此基板之一無應變層區中。在此相同之基板選擇性地形成一應變層區。在此應變層區中形成一第二半導體元件，如一 FET，亦如一 MOSFET 邏輯元件。

五、英文發明摘要 (發明名稱：HIGH PERFORMANCE EMBEDDED DRAM TECHNOLOGY WITH STRAINED SILICON)

Semiconductor devices are fabricated in a strained layer region and strained layer-free region of the same substrate. A first semiconductor device, such as a memory cell, e.g. a deep trench storage cell, is formed in a strained layer-free region of the substrate. A strained layer region is selectively formed in the same substrate. A second semiconductor device,



四、中文發明摘要 (發明名稱：具有應變矽之高效能嵌式動態隨機存取記憶體技術)

五、英文發明摘要 (發明名稱：HIGH PERFORMANCE EMBEDDED DRAM TECHNOLOGY WITH STRAINED SILICON)

such as an FET, e.g. an MOSFET logic device, is formed in the strained layer region.



六、申請專利範圍

1. 一種半導體結構，包含：

具有一無應變層(strained layer-free)區及一應變層區(strained layer)之一半導體基板，其中該應變層區具有一溝渠係選擇性地形成在該基板中，而且包含在該溝渠中所形成之一SiGe層，及在該SiGe層上所形成之一磊晶矽層(epitaxial silicon layer)；

在該半導體基板之無應變層區中形成一第一元件；及
在該半導體基板之應變層區中形成一第二元件。

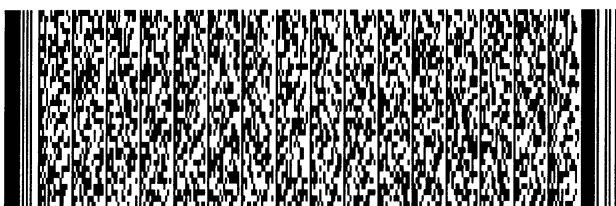
2. 如申請專利範圍第1項所述之半導體結構，其中該第一元件包含一記憶體單元(memory cell)，且該第二元件包含一FET。

3. 如申請專利範圍第2項所述之半導體結構，其中該記憶體單元為一低漏電DRAM單元，而該FET為一MOSFET邏輯元件。

4. 如申請專利範圍第1項所述之半導體結構，其中該磊晶矽層之厚度自約2.5到約10nm。

5. 如申請專利範圍第1項所述之半導體結構，其中該SiGe層係磊晶式地(epitaxially)成長。

6. 如申請專利範圍第1項所述之半導體結構，其中該應變



六、申請專利範圍

層區進一步包含在該溝渠的一邊壁上所形成之一間隔壁，該間隔壁將在該應變層區所產生之應變與該無應變區隔離。

7. 如申請專利範圍第1項所述之半導體結構，其中該溝渠的深度自約100nm到約400nm。

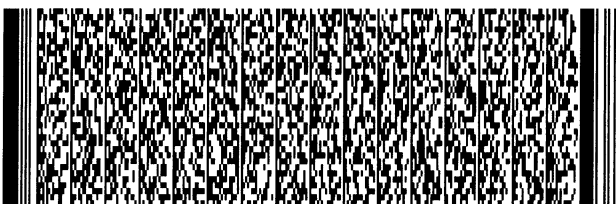
8. 一種製造一半導體結構的方法，包含步驟為：

- a) 提供具有一無應變層區之一半導體基板；
- b) 在該半導體基板之無應變區形成一第一元件；
- c) 在該半導體基板選擇性地形成一應變層區包含：
 - i) 形成具有一底部表面及一邊壁表面之一溝渠；
 - ii) 在該溝渠中形成一SiGe層；及
 - iii) 在該SiGe層上形成一矽層；及
- d) 在該應變層區形成一第二元件。

9. 如申請專利範圍第8項所述之方法，其中該步驟(ii)包含磊晶式地成長該SiGe層。

10. 如申請專利範圍第8項所述之方法，其中該步驟(iii)包含磊晶式地成長該矽層。

11. 如申請專利範圍第8項所述之方法，其中該矽層之厚度係自約2.5nm到約10nm。



六、申請專利範圍

12. 如申請專利範圍第8項所述之方法，其中在該步驟(i)之後，在該邊壁表面上形成一間隔壁。

13. 如申請專利範圍第8項所述之方法，其中該第一元件包含一記憶體單元，及該第二元件包含一FET。

14. 如申請專利範圍第13項所述之方法，其中該記憶體體單元為一低漏電DRAM 單元，而該FET為一MOSFET邏輯元件。



六、指定代表圖

(一)、本案代表圖為：圖 8

(二)、本案代表圖之元件代表符號簡單說明：

10 基板	66 支援閘極導體
68 字線導體	70 覆蓋層

