



(12)发明专利

(10)授权公告号 CN 105980959 B

(45)授权公告日 2019.08.06

(21)申请号 201580007810.2

(22)申请日 2015.02.05

(65)同一申请的已公布的文献号
申请公布号 CN 105980959 A

(43)申请公布日 2016.09.28

(30)优先权数据
14/177,073 2014.02.10 US

(85)PCT国际申请进入国家阶段日
2016.08.09

(86)PCT国际申请的申请数据
PCT/US2015/014688 2015.02.05

(87)PCT国际申请的公布数据
W02015/120199 EN 2015.08.13

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 D·R·帕尔 P·I·彭泽什
M·W·奥勒姆

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 亓云

(51)Int.Cl.
G06F 1/3234(2019.01)

(56)对比文件
US 2004/0193934 A1,2004.09.30,
CN 103163940 A,2013.06.19,
CN 103248358 A,2013.08.14,

审查员 任洪潮

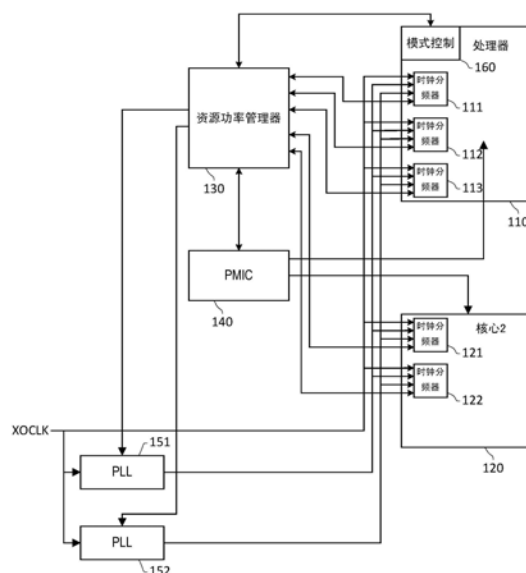
权利要求书2页 说明书8页 附图6页

(54)发明名称

低等待时间切换下的动态时钟和电压缩放

(57)摘要

可使集成电路以低等待时间在各频率-电压模式之间切换的用于动态时钟和电压缩放的系统和方法。这些系统包括可控制功率管理集成电路(PMIC)、诸锁相环(PLL)和时钟分频器的资源功率管理器。该资源功率管理器控制各频率-电压模式之间的转换。这些系统和方法提供了动态时钟和电压缩放,其中频率-电压模式之间的转换为原子操作。另外,资源功率管理器可并行地控制许多模块,例如,时钟分频器。本发明可因频率-电压模式之间的较低等待时间而可提供改善的系统性能和降低的系统功率。



1. 一种集成电路,包括:

被配置成执行软件指令的处理器模块;

多个时钟分频器模块,所述时钟分频器模块中的每一者被配置成基于控制输入来产生输出时钟信号;以及

被配置成从所述处理器模块接收模式选择的资源功率管理器模块,所述模式选择指示多种操作模式中的一种操作模式,所述资源功率管理器模块被进一步配置成基于所述模式选择来选择多个模式寄存器中的一者以及并发地提供来自所述多个模式寄存器中的所选模式寄存器的所述控制输入以控制所述多个时钟分频器模块中的至少两个时钟分频器模块以根据所述多种操作模式中的所选一种操作模式来操作,所述多个模式寄存器中的每一者包括以下两者:(1)用于根据所述多个操作模式中的相应操作模式来操作所述多个时钟分频器模块的控制输入;以及(2)用于用信号指示与所述多个操作模式中的相应操作模式相关联的特定电压电平的相关联控制输入。

2. 如权利要求1所述的集成电路,其特征在于,由所述资源功率管理器模块控制的所述多个时钟分频器模块的操作包括选择多个输入时钟信号中的一个输入时钟信号、指示所述输出时钟信号的频率与所选输入时钟信号的频率之比的分频值。

3. 如权利要求2所述的集成电路,其特征在于,由所述资源功率管理器模块控制的所述多个时钟分频器模块的操作进一步包括对于所述输出时钟信号是否被启用的选择。

4. 如权利要求2所述的集成电路,其特征在于,进一步包括一个或多个锁相环(PLL),所述PLL中的每一者被配置成产生一个或多个时钟信号,

其中所述资源功率管理器模块被进一步配置成控制所述PLL以根据所述多种操作模式中的所选一种操作模式来操作,以及

其中所述多个时钟分频器模块的所述多个输入时钟信号包括由所述PLL产生的所述时钟信号。

5. 如权利要求1所述的集成电路,其特征在于,控制所述多个时钟分频器模块以根据所述多种操作模式中的所选一种操作模式来操作是原子操作。

6. 如权利要求1所述的集成电路,其特征在于,所述资源功率管理器模块被进一步配置成根据所述多种操作模式中的所选一种操作模式来控制功率管理集成电路(PMIC)以对所述集成电路提供电源电压。

7. 如权利要求6所述的集成电路,其特征在于,所述资源功率管理器模块被进一步配置成相对于对所述多个时钟分频器模块进行控制的定时来控制对所述PMIC进行控制的定时。

8. 如权利要求6所述的集成电路,其特征在于,所述多种操作模式包括使所述PMIC在相同水平提供所述电源电压的两种操作模式,所述两种操作模式中的每种操作模式使所述多个时钟分频器模块中的至少一个时钟分频器模块产生不同频率的相关联输出时钟信号。

9. 一种用于切换集成电路中的操作模式的方法,所述方法包括:

选择多种频率-电压模式中的一种频率-电压模式作为用于所述集成电路的新操作模式,每种频率-电压模式指定用于所述集成电路的时钟模块控制和电压;

将由所选频率-电压模式指定的所述电压发信号通知给功率管理集成电路;

基于所选频率-电压模式来选择多个模式寄存器中的一者,所述多个模式寄存器中的每一者包括由所述多种频率-电压模式中的相应频率-电压模式指定的时钟模块控制;以及

将所述时钟模块控制从所选模式寄存器提供到多个时钟分频器模块,每个时钟分频器模块被配置成基于所述时钟模块控制来产生输出时钟信号,

其中来自所选模式寄存器的所述时钟模块控制被并发地提供给所述多个时钟分频器模块中的至少两个时钟分频器模块。

10.如权利要求9所述的方法,其特征在于,所述用于所述多个时钟分频器模块中的每个时钟分频器模块的时钟模块控制包括用于选择多个输入时钟信号中的一个输入时钟信号的信号以及用于指示所述输出时钟信号的频率与所选输入时钟信号的频率之比的分频值的信号。

11.如权利要求10所述的方法,其特征在于,所述时钟模块控制进一步包括所述输出时钟信号是否被启用。

12.如权利要求10所述的方法,进一步包括将由所选频率-电压模式指定的锁相环(PLL)控制发信号通知给一个或多个PLL,每个PLL被配置成基于所述锁相环控制来产生一个或多个时钟信号,其中所述多个时钟分频器模块的所述多个输入时钟信号包括由所述PLL产生的所述时钟信号。

13.如权利要求9所述的方法,其特征在于,选择所述多种频率-电压模式中的一种频率-电压模式由处理器执行。

14.如权利要求10所述的方法,其特征在于,所述多种频率-电压模式包括指定相同电压水平的两种频率-电压模式,所述两种频率-电压模式中的每种频率-电压模式指定针对所述时钟分频器模块中的至少一个时钟分频器模块的不同时钟模块控制。

低等待时间切换下的动态时钟和电压缩放

背景技术

[0001] 领域

[0002] 本发明涉及集成电路和电子处理系统,尤其涉及在集成电路和电子处理系统中动态控制时钟和电压缩放。

[0003] 背景

[0004] 集成电路已变得越来越复杂。为了改善性能与功率之间的折衷,集成电路可在不同时间以不同频率和不同电压操作。例如,集成电路可在包括高性能模式和低功率模式的各种频率-电压模式中操作。高性能模式使用高时钟频率和高电源电压,并且由此提供高性能,但还具有高功耗。低功率模式使用低时钟频率和低电源电压,并且由此提供低功耗,但还具有低性能。另外,集成电路内部的各个块可按不同频率和不同电压操作。

[0005] 概述

[0006] 提供了可使集成电路以低等待时间在各频率-电压模式之间切换的用于动态时钟和电压缩放的系统和方法。这些系统包括可控制功率管理集成电路 (PMIC)、锁相环 (PLL) 和时钟分频器的资源功率管理器模块。资源功率管理器控制频率-电压模式之间的转换。这些系统和方法提供了动态时钟和电压缩放,其中频率-电压模式之间的转换为原子操作。另外,资源功率管理器模块可并行地控制许多模块,例如,时钟分频器。由于频率-电压模式之间的较低等待时间,本发明可以提供改善的系统性能和降低的系统功率。

[0007] 在一个方面,提供了一种集成电路,包括:被配置成执行软件指令的处理器模块;多个时钟分频器模块,每个时钟分频器模块被配置成基于控制输入来产生输出时钟信号;以及被配置成从处理器模块接收模式选择的资源功率管理器模块,该模式选择指示多种操作模式中的一种操作模式,资源功率管理器模块被进一步配置成并发地提供控制输入以控制多个时钟分频器模块中的至少两个时钟分频器模块以根据多种操作模式中的所选一种操作模式来操作。

[0008] 在一个方面,提供了一种用于切换集成电路中的操作模式的方法,包括:选择多种频率-电压模式中的一种频率-电压模式作为用于该集成电路的新操作模式,每种频率-电压模式指定用于该集成电路的时钟模块控制和电压;将由所选频率-电压模式指定的电压发信号通知给功率管理集成电路;以及将由所选频率-电压模式指定的时钟模块控制发信号通知给多个时钟分频器模块,每个时钟分频器模块被配置成基于控制输入来产生输出时钟信号,其中由所选频率-电压模式指定的时钟模块控制被并发地提供给多个时钟分频器模块的至少两个时钟分频器模块。

[0009] 在一个方面,提供了一种集成电路,包括:被配置成执行软件指令的处理器模块;多个时钟分频器模块,每个时钟分频器模块被配置成基于控制输入来产生输出时钟信号;以及被配置成从处理器模块接收模式选择的用于管理资源功率的装置,该模式选择指示多种操作模式中的一种操作模式,且该用于管理资源功率的装置被配置成并发地控制多个时钟分频器模块中的至少两个时钟分频器模块以根据多种操作模式中的所选一种操作模式来操作。

[0010] 本发明的其它特征和优势将在藉由示例解说本发明的诸方面的以下描述中变得显而易见。

[0011] 附图简述

[0012] 就本发明的结构和操作方法两方面的详情可部分地通过研究附图来收集,在附图中相同的附图标记被用来指代相同的部分,其中:

[0013] 图1是解说用于集成电路的时钟和电压缩放的各方面的功能框图;

[0014] 图2是解说根据当前公开的实施例的用于片上系统的集成电路的时钟和电压缩放的各方面的功能框图;

[0015] 图3是解说根据当前公开的实施例的资源功率管理器模块的操作的各方面的功能框图;

[0016] 图4是解说根据当前公开的实施例的资源功率管理器模块与处理器之间的接口的功能框图;

[0017] 图5是解说根据当前公开的实施例的用于控制时钟和电压缩放的方法的流程图;

[0018] 图6是解说根据当前公开的实施例的锁相环控制的各方面的功能框图;以及

[0019] 图7是解说根据当前公开的实施例的用于切换集成电路中的操作模式的过程的流程图。

[0020] 详细描述

[0021] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以简化形式示出众所周知的结构和组件以避免湮没此类概念。

[0022] 图1的功能框图中解说了示例集成电路。该集成电路包括处理器模块110和核心模块120。处理器模块110和核心模块120以由功率管理IC (PMIC) 140提供的独立的电源电压操作。该PMIC可以是单独的集成电路。

[0023] 该集成电路还包括接收时钟信号(XOCLK,例如,来自晶体振荡器)并产生供处理器模块110和核心模块120使用的时钟信号的第一PLL 151和第二PLL 152。由处理器模块110控制PLL的操作,包括所产生的时钟信号频率。

[0024] 处理器模块110包括第一时钟分频器模块111、第二时钟分频器模块112和第三时钟分频器模块113。时钟分频器模块产生供处理器模块110的子模块使用的时钟。每个时钟分频器模块基于时钟模块控制来产生输出时钟。每个时钟分频器模块可通过从XOCLK和诸PLL的输出中选择输入时钟信号并通过分频值将所选输入时钟信号分频来产生其输出时钟。相应地,时钟模块控制可包括指示输入时钟信号的选择并指示分频值的信号。分频值指示输出时钟信号的频率和所选输入时钟信号的频率之比。输入时钟信号和分频值的选择由处理器模块110控制。在一实现中,处理器模块110可具有三个以上时钟分频器模块,例如,集成电路可具有数百个时钟分频器模块。处理器模块110还可包括存储由可编程处理器执行的软件指令的存储器。

[0025] 核心模块120可包括集成电路的其他功能,例如图形处理器或通信调制解调器。核心模块120包括第一时钟分频器模块121和第二时钟分频器模块122。这些时钟分频器模块类似于处理器模块110的诸时钟分频器模块,但核心模块120中的时钟分频器模块产生供核

心模块120的子模块使用的时钟。核心模块120的分频器模块的操作也由处理器模块110控制。在一实现中,核心模块120可具有两个以上时钟分频器模块。另外,集成电路可包括类似处理器模块110或核心模块120的许多其他模块。

[0026] 处理器模块110还控制PMIC 140的操作。例如,处理器模块可控制PMIC的输出电压,包括由处理器模块110使用的电源电压。

[0027] 处理器模块110可通过写入与待改变的各种功能相关联的(例如,位于时钟分频器模块内的)控制寄存器来控制频率-电压模式之间的改变。处理器模块110对于频率-电压模式的软件控制可导致模式之间的改变较慢。例如,模式改变可导致处理器写入数百个控制寄存器,并花费数百微秒。

[0028] 模式之间的较慢改变(等待时间)可损害集成电路的性能。例如,从高功率模式向低功率模式的较慢改变可导致集成电路在转换期间消耗额外能量。由于集成电路进入低功率模式被延迟,该集成电路在低功率模式中花费的时间较少。对于另一示例,从低性能模式到高性能模式的较慢改变可导致集成电路在执行其功能时被延迟。由于集成电路进入高性能模式被延迟,因此该集成电路在转换期间执行较慢。另外,处理器用于执行频率-电压模式改变的周期不能被用于执行其他功能。

[0029] 提供低等待时间频率-电压模式改变可改善集成电路的性能。低等待时间频率-电压模式改变可通过增加集成电路处于低功率模式的时间量来降低功耗。低等待时间频率-电压模式改变还可以通过允许更早地开始高性能模式来提高性能。

[0030] 另外,当集成电路处于中间状态时,由处理器模块执行的模块改变可被中断。例如,中间状态可使其中一些时钟分频器被设置成新模式而使其他时钟分频器被设置在先前模式中。恢复原始模式或行进至新模式可能很复杂。相应地,提供作为原子操作的频率-电压模式改变可解决该复杂性。

[0031] 图2是示出用于片上系统(SoC)集成电路(IC)的时钟和电压缩放的各方面的功能框图。图2的集成电路类似于图1的集成电路,除了所描述的区别以外,相似命名的模块以相似方式操作。例如,集成电路可以是可被用于移动电话的移动系统调制解调器。例如,集成电路可使用CMOS工艺来制造。

[0032] 图2的集成电路包括资源功率管理器模块130。资源功率管理器模块130控制PLL 151、152、PMIC 140和时钟分频器模块111-113、121-122的操作。资源管理器模块130连接至处理器模块110,并且可从处理器模块110的模式控制模块160接收切换至新频率-电压模式的命令。例如,该资源功率管理器模块130可从模式控制模块160接收模式选择。该模式选择可指示将使用来自一组模式寄存器中的所选一个模式寄存器的值。

[0033] 例如,模式控制模块160可以是具有执行来自存储器的指令以执行模式控制模块160的功能的处理器模块110的软件模块。模式控制模块160可替换地是与处理器模块110分开的模块。

[0034] 例如,模式控制模块160可通过从处理器模块110到资源功率管理器模块130的单次寄存器写入来触发切换至新模式。资源功率管理器模块130随后可执行频率-电压模式的改变而无需与处理器模块110的进一步交互。资源功率管理器模块130可并发地执行模式改变的多个部分,例如,改变时钟分频器模块中的分频值。这可允许模式改变比由处理器串行执行时更快地执行。另外,当资源功率管理器模块130执行模式改变时,处理器模块110随后

可执行其他任务。此外,模式改变操作可以是不受制于处理器中断的原子操作。当模式改变操作是原子操作时,模式改变一旦启动就将被完成。相应地,集成电路无需能够在部分完成的模式改变下操作,也无需处置从部分完成的模式改变中恢复的逻辑。

[0035] 图3是解说图2的集成电路的资源功率管理器模块130的操作的各方面的功能框图。资源功率管理器模块130使用一组模式寄存器,例如图3中所示的四个模式寄存器(第一模式寄存器310、第二模式寄存器320、第三模式寄存器330和第四模式寄存器340)。每个模式寄存器用于一种频率-电压模式。例如,第一模式寄存器310可用于高频高电压模式,而第四模式寄存器340可用于低频低电压模式。每个模式寄存器包含针对该模式设置操作条件的控制位。对于具有多于或少于四种频率-电压模式的集成电路而言,资源功率管理器模块将具有相应数目的模式寄存器。

[0036] 例如,第一模式寄存器310包括第一时钟分频器值311、第一时钟源选择值312和第一时钟输出启用值313。第一时钟分频器值311、第一时钟源选择值312和第一时钟输出启用值313被用于控制集成电路中的诸时钟分频器模块中的第一个时钟分频器模块。第一时钟输出启用值313被用于控制第一时钟模块的输出时钟是否被启用。第一时钟源选择值312被用于控制哪个源时钟(例如,PLL输出时钟或XOCLK)被第一时钟分频器模块(例如,时钟分频器模块111)使用。第一时钟分频器值311被用于控制第一时钟分频器模块(例如,时钟分频器模块111)的分频值。时钟分频器值、时钟源选择值和时钟输出启用值可被称为时钟模块控制。

[0037] 第一模式寄存器310还包括针对集成电路中每个其他时钟分频器模块的时钟分频器值、时钟源选择值和时钟输出启用值。对于给定模式寄存器,不同的时钟分频器模块可针对各种频率组合来控制。第一模式寄存器310还包括用于控制PMIC操作的PMIC控制值317(例如,设置电压)和用于控制诸PLL操作(例如,设置频率)的PLL控制值318。PMIC控制值也可被称为PMIC控制,而PLL控制值也可称为锁相环控制。其他模式寄存器包含针对其他模式的相应控制值。

[0038] 模式寄存器中的值可通过硬件重置被设置成某些值。这些值也可通过初始化过程(例如,从PROM)来初始化。在一实施例中,模式寄存器中的值也可由处理器模块设置。例如,处理器模块可通过向相关联的模式寄存器写入新值来重新定义诸模式中的一种模式。在一实施例中,仅模式寄存器的子集可由处理器模块写。

[0039] 包括在集成电路中的频率-电压模式的数量可以是设计折衷。数量较大的模式可允许诸模式被紧密定制成集成电路的各种操作条件。大量模式还增加了电路复杂性。当集成电路的一块以较高频率操作时,其也需要以较高电压操作。然而,该块可以较低频率和较高电压操作。与频率改变相比,电压改变一般较慢。集成电路可包括时钟频率不同但使用相同电压的一组或多组频率-电压模式。集成电路可非常迅速地在使用相同电压的一组模式中的诸模式之间改变。例如当模式被短期使用时,这可提供改善的功率-性能折衷。另外,一些寄存器硬件可在诸模式之间共享。

[0040] 当频率-电压模式改变时,模式选择信号控制选择器341以从与所选模式相对应的模式寄存器中选择值。例如,资源功率管理器模块130可控制模式选择信号。替换地,模式控制模块160可提供模式选择信号。所选值被提供给由资源功率管理器模块130控制的各个模块。例如,如图3所解说的,所选时钟启用值、所选时钟分频器值和所选时钟源选择值被提供

给时钟分频器模块351中的一个时钟分频器模块(例如,时钟分频器模块111、或其他时钟分频器模块112、113、121和122之一)。例如,诸值可以被提供给时钟分频器模块351中的诸寄存器。时钟分频器模块351使用所提供的控制信号以产生其输出时钟clk_out。尽管在图3中未解说,但集成电路将具有许多附加时钟分频器模块,这些附加时钟分频器模块具有由选择器341提供的控制信号。来自选择器341的控制信号也提供给PMIC和诸PLL。

[0041] 资源功率管理器模块可按各种方式将其控制信号提供给由资源功率管理器模块控制的模块(诸如时钟分频器模块111-113、121-122、PLL 151、152和PMIC 140)。例如,控制信号可被并行地提供给由资源功率管理器模块控制的所有模块。替换地,资源功率管理器模块可串行地提供其中一些控制信号。用于资源功率管理器模块与由资源功率管理器模块控制的诸模块之间的接口的时钟信号可在模式改变之间被闸门关断。

[0042] 资源功率管理器模块130控制新控制信号何时被提供给各个模块。具体地,资源功率管理器模块130可相对于时钟分频器模块控制的定时来控制PMIC控制的定时。例如,当频率(例如,时钟分频器值)和电源电压两者都被增大时,电源电压一般将首先增大,之后改变频率。类似地,当频率和电源电压两者都将减小时,时钟分频器值一般将首先减小,之后改变电源电压。另外,为了避免时钟输出上的毛刺或不期望定时,资源功率管理器模块可在改变时钟源选择之前禁用时钟分频器模块的输出,并在设置新源选择之后重新启用时钟分频器模块的输出。资源功率管理器模块可使用有限状态机来控制模式改变的定时。

[0043] 图4是解说根据当前公开的实施例的资源功率管理器模块430与处理器460之间的接口的功能框图。该接口可被用于图2中的集成电路,例如,资源功率管理器模块430和处理器模式控制模块460分别为资源功率管理器模块130和处理器模块110(使用模式控制模块160)。图4中解说的接口是示例性的,且也可使用其他接口。

[0044] 该接口包括从处理器460至资源功率管理器模块430的发信号通知频率-电压模式的OPP信号。例如,该OPP信号可指示图3中解说的诸模式寄存器310、320、330、340中的一个模式寄存器。当OPP信号改变时,资源功率管理器模块430用OPP_ack (OPP_确收) 信号来向处理器460确收该改变。

[0045] 该接口还包括来自处理器460的可触发资源功率管理器模块430以准备改变频率-电压模式的OPP_pwork (OPP_准备工作) 信号。资源功率管理器模块430用OPP_pwork_ack信号来向处理器460确收OPP_pwork信号。该准备工作是对模式改变的准备。

[0046] 接口包括处理器460向资源功率管理器模块430发送的用以触发实际模式改变的更新信号。当改变完成后,用从资源功率管理器模块430发送给处理器460的Update_ack (更新_ack) 信号来确收更新。

[0047] 图5是解说根据当前公开的实施例的用于控制时钟和电压缩放的过程的流程图。该过程可用图2的集成电路并使用图4的接口来执行。例如,资源功率管理器模块130可使用从模式控制模块160接收的信号来执行该过程。类似过程可用其他集成电路和使用其他接口来执行。所解说的过程可被用于将集成电路从当前频率-电压模式改变为新频率-电压模式。

[0048] 所解说的过程始于指定当前频率-电压模式的当前OPP 505。当资源功率管理器模块130从模式控制模块160接收到OPP_pwork信号时,资源功率管理器模块130进入新OPP评估步骤510。这发信号通知集成电路将从当前OPP改变为新OPP。在步骤510,该过程针对由

新OPP指定的时钟分频器检查哪些源用于输入时钟信号。对于被指定为在新OPP中提供输入时钟信号之一的每个PLL而言,该过程评估所指定的PLL的状态。如果所指定的PLL关闭,则根据针对新OPP的指定值对所指定的PLL编程。例如,资源功率管理器模块130可通过写入与该PLL相关联的控制寄存器来对所指定的PLL编程。该过程随后等待PLL锁定在其新状态中。

[0049] 另外,在新OPP中指定的时钟源(对于时钟分频器模块或对于向时钟分频器模块提供输入时钟信号的PLL)可来自未在当前OPP中运行的时钟模块(例如,晶体振荡器)。如果时钟源来自当前未运行的时钟模块,则该过程向该时钟模块请求该时钟源并等待该时钟源运行。例如,该资源功率管理器模块130可写入与时钟模块相关联的控制寄存器以启用该控制寄存器。

[0050] 该过程随后进入等待更新步骤520。资源功率管理器模块130向模式控制模块160发送OPP_prework_ack以发信号通知准备工作完成。资源功率管理器模块130随后等待向它发信号通知继续OPP模式改变的更新。如果资源功率管理器模块130在等待更新信号的同时接收到附加OPP_prework,则该过程返回至新OPP评估步骤510以重新评估新OPP。

[0051] 当资源功率管理器模块130接收到更新信号时,该过程继续至步骤530。在步骤530,资源功率管理器模块130将新时钟模块控制(例如,分频值和输入时钟信号选择)提供给时钟分频器模块。资源功率管理器模块130随后等待时钟分频器模块切换至其新状态。例如,该过程可等待某个数目的时钟周期。

[0052] 该过程随后继续至步骤540。在步骤540,资源功率管理器模块130向模式控制管理器160发信号通知Update_ack。这指示新OPP生效。该过程还可更新OPP寄存器以反映新OPP的值。

[0053] 例如,资源功率管理器模块130可使用有限状态机或可编程处理器来执行图5的过程。在一实施例中,处理器模块110可以能够超驰由资源功率管理器130执行的步骤。例如,资源功率管理器模块130可在该过程的各个点处中断处理器以允许处理器模块110干预。

[0054] 图6是解说根据当前公开的实施例的PLL控制的各方面的功能框图。PLL控制可被用于图2的集成电路。该PLL由与所选频率-电压模式相关的各种信号控制。控制信号可包括PLL模式(例如,包括开启模式、关闭模式以及一种或多种待机模式)、频率选择(例如,通过M和N分频器值发信号通知)、输入时钟选择和输出时钟启用。

[0055] 除了用于合成PLL频率的分频器值以外,PLL可在输出时钟上包括分频器653、654。在PLL输出时钟上使用分频器以降低其频率可简化接收PLL输出时钟的时钟分频器模块的设计。例如,时钟分频器模块在处于低电压时不需要以最大频率操作。功耗也可降低。例如,在具有低频率和低电压的频率-电压模式中,包括PLL输出时钟分频器可降低时钟分频器模块被设计成在其电源处于低电压时操作的最大频率。类似地,时钟缓冲电路的性能要求也能被降低。

[0056] 图6解说了PLL 650、第一时钟分频器模块651和第二时钟分频器模块652。当图6的PLL控制被用于图2的集成电路时,PLL 650、第一时钟分频器模块651和第二时钟分频器模块652分别可以为例如PLL 151、时钟分频器模块111和时钟分频器模块121。时钟分频器模块从资源功率管理器模块接收控制信号以控制其分频值、其源选择和它们的时钟输出是否被启用。时钟源选择的可能源包括PLL 650的两个输出。

[0057] 如图6中所解说的,PLL 650产生由门655、656启用或禁用的两个输出时钟。来自门

655的第一输出由来自OR(或)门640的信号启用。来自门656的第二输出由来自OR门641的信号启用。当相关联的时钟信号将被诸时钟分频器的一个时钟分频器使用时,OR门一般启用相应的输出。仅在时钟信号被使用时才启用来自PLL的输出时钟信号可降低功耗。

[0058] 当任何OR门的输入信号活跃时,OR门640启用门655。当来自门655的PLL时钟信号被第一时钟分频器模块651选择时,第一时钟分频器模块651向OR门640提供请求信号。当来自门655的PLL时钟信号被第二时钟分频器模块652选择时,第二时钟分频器模块652也向OR门640提供请求信号。OR门640还接收控制信号SW0。例如,该控制信号SW0可以是软件控制寄存器值以当PLL输出时钟信号不被诸时钟分频器模块中的一个时钟分频器模块使用时超驰禁用PLL输出时钟信号的正常操作。第二门656以类似于第一门655的方式起作用。

[0059] 诸PLL输出时钟信号的启用在OR门642被组合以启用PLL。OR门642还可接收两个控制信号SW2、M2,控制信号SW2、M2例如可由处理器模块和资源功率管理器模块提供。来自OR门642的对PLL的启用还提供给OR门644以启用对PLL 650的电源电压。电源电压启用还可由控制信号M4、SW4控制。来自OR门642的对PLL的启用还提供给OR门643以生成振荡器启用信号。振荡器启用还可由控制信号M3、CLK_REQ(时钟_请求)控制。

[0060] 图7是解说根据当前公开的实施例的用于在集成电路中切换操作模式的过程的流程图。例如,该过程可使用图2的集成电路来执行。

[0061] 在步骤710,选择新操作模式用于集成电路。例如,新操作模式可由模式控制模块160来选择。新操作模式从多种频率-电压模式中选择。每种频率-电压模式指定用于集成电路的操作时钟频率和电压。

[0062] 在步骤720,将由所选频率-电压模式指定的电压发信号通知给功率管理集成电路。例如,资源功率管理器模块130可发信号通知PMIC 140切换至新电压。

[0063] 在步骤730,将由所选频率-电压模式指定的频率发信号通知给多个时钟分频器模块。例如,资源功率管理器模块130可写入与时钟分频器模块111-113、121-122相关联的寄存器以发信号通知时钟分频器模块的新输出时钟频率(例如,使用输入时钟信号选择和分频值)。诸频率被并发地提供给一些或所有时钟分频器模块。

[0064] 例如,用于切换操作模式的过程可通过添加、省略、重排序或更改步骤来修改。例如,当频率和电压正减小时,步骤730可在步骤720之前执行。另外,诸步骤可并发地执行。

[0065] 尽管以上针对特定实施例描述了本发明的各实施例,但本发明的许多变型可包括具有不同数目的电源电压、不同数目的时钟分频器和不同数目的PLL的变型。另外,各个实施例的特征可以在与以上所述的那些组合不同的组合中被组合。

[0066] 本领域技术人员将领会结合本文公开的实施例描述的各种解说性框和模块能以各种形式实现。一些框和模块已经在上文以其功能性的形式作了一般化描述。此类功能性如何被实现取决于加诸于整体系统上的设计约束。技术人员对于每个特定应用可用不同的方式来实现所描述的功能性,但这样的实现决策不应被解读成导致脱离了本发明的范围。另外,在一模块、框或步骤内的功能的编组是为了便于描述。具体功能或步骤可以从一个模块或框中移除而不会脱离本发明。

[0067] 结合本文所公开的实施例描述的各种解说性逻辑框以及模块可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何

组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,处理器可以是任何处理器、控制器、微控制器、或状态机。处理器还可以被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协作的一个或多个微处理器、或任何其他此类配置。

[0068] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或这两者的组合来实现。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM、或任何其它形式的存储介质中。示例性存储介质可被耦合到处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。

[0069] 提供前面对所公开的实施例的描述是为了使本领域任何技术人员皆能制作或使用本发明。对这些实施例的各种修改对本领域技术人员来说将是显而易见的,且本文所描述的一般原理可被应用于其它实施例而不背离本发明的精神或范围。因此,应理解本文给出的描述和附图表示本发明的当前优选实施例并且由此代表本发明所广泛地构想的主题。应进一步理解,本发明的范围完全涵盖可对本领域技术人员显而易见的其他实施例,并且本发明的范围相应地只受到所附权利要求的限制。

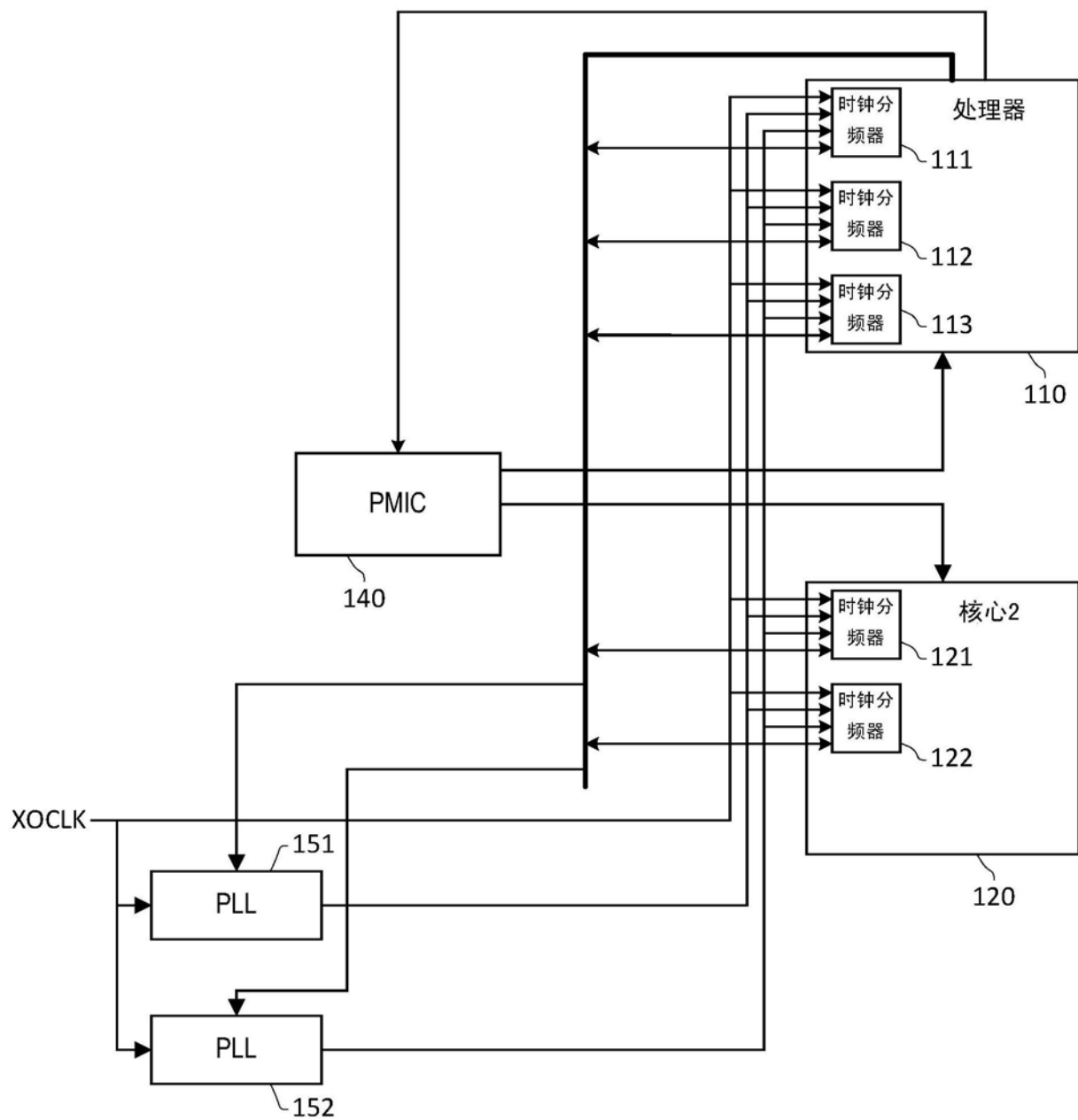


图1

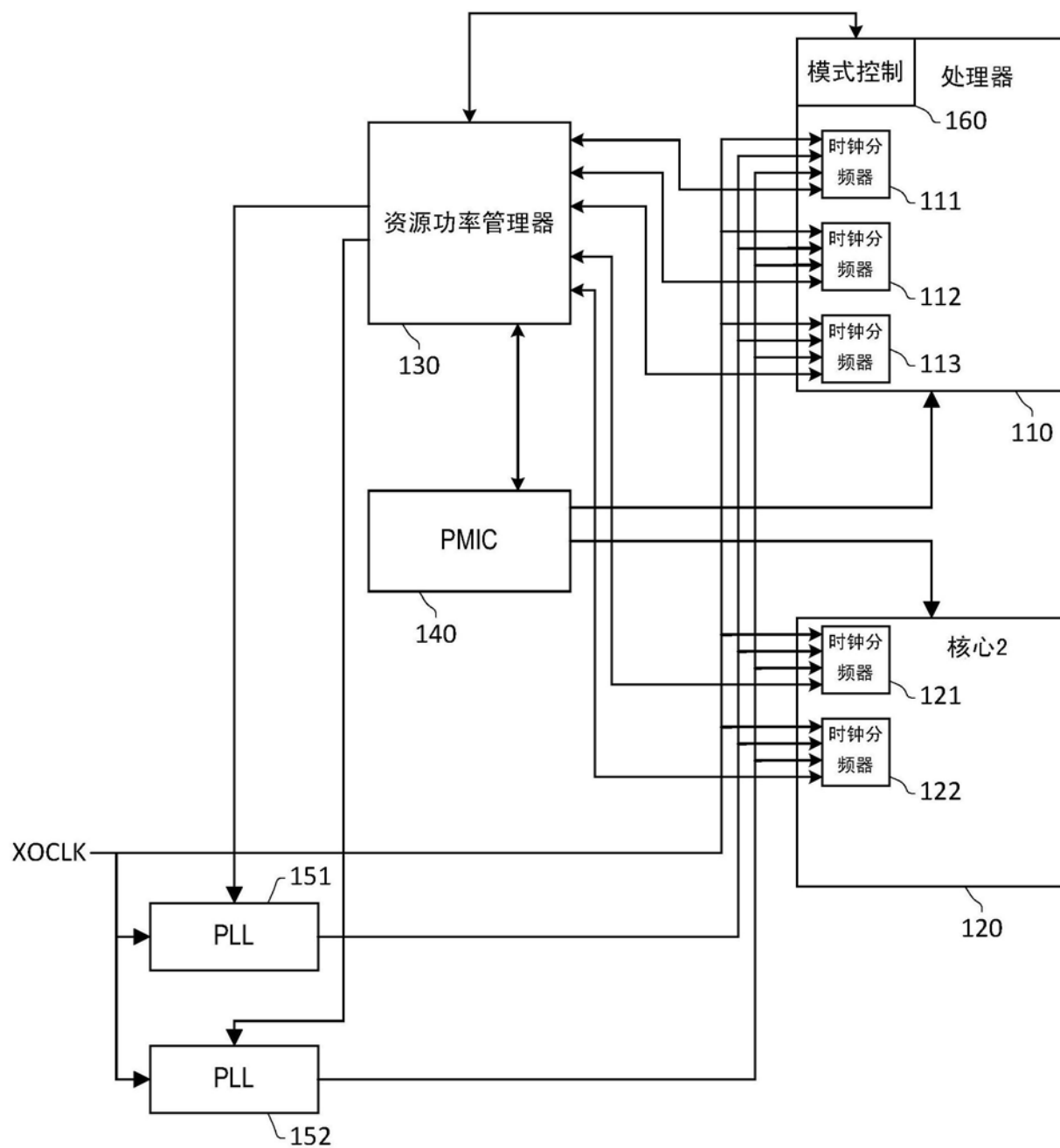


图2

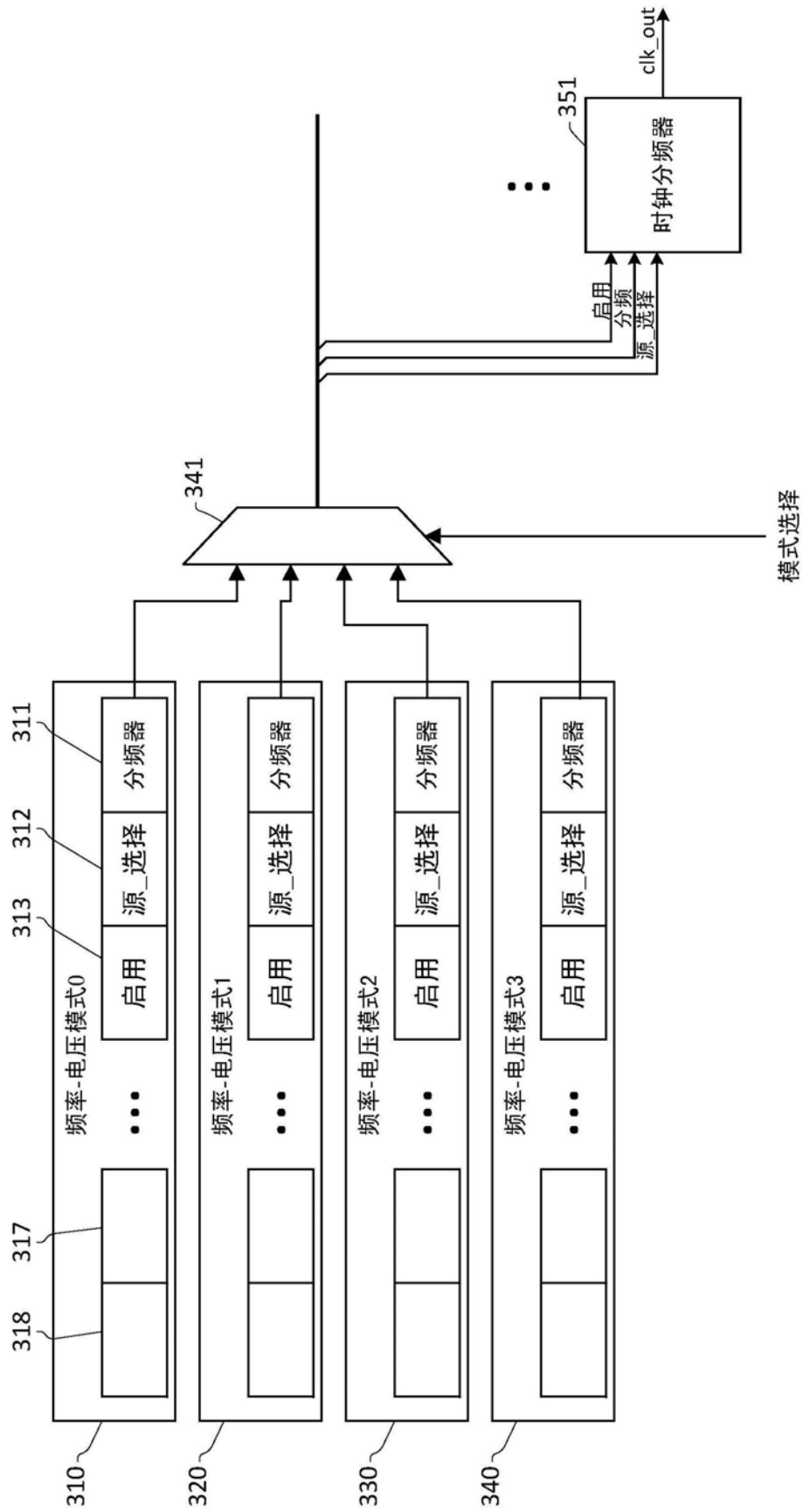


图3

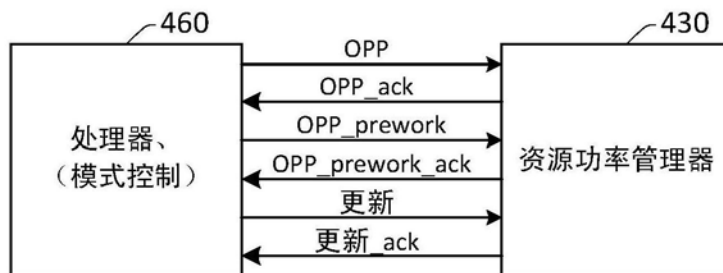


图4

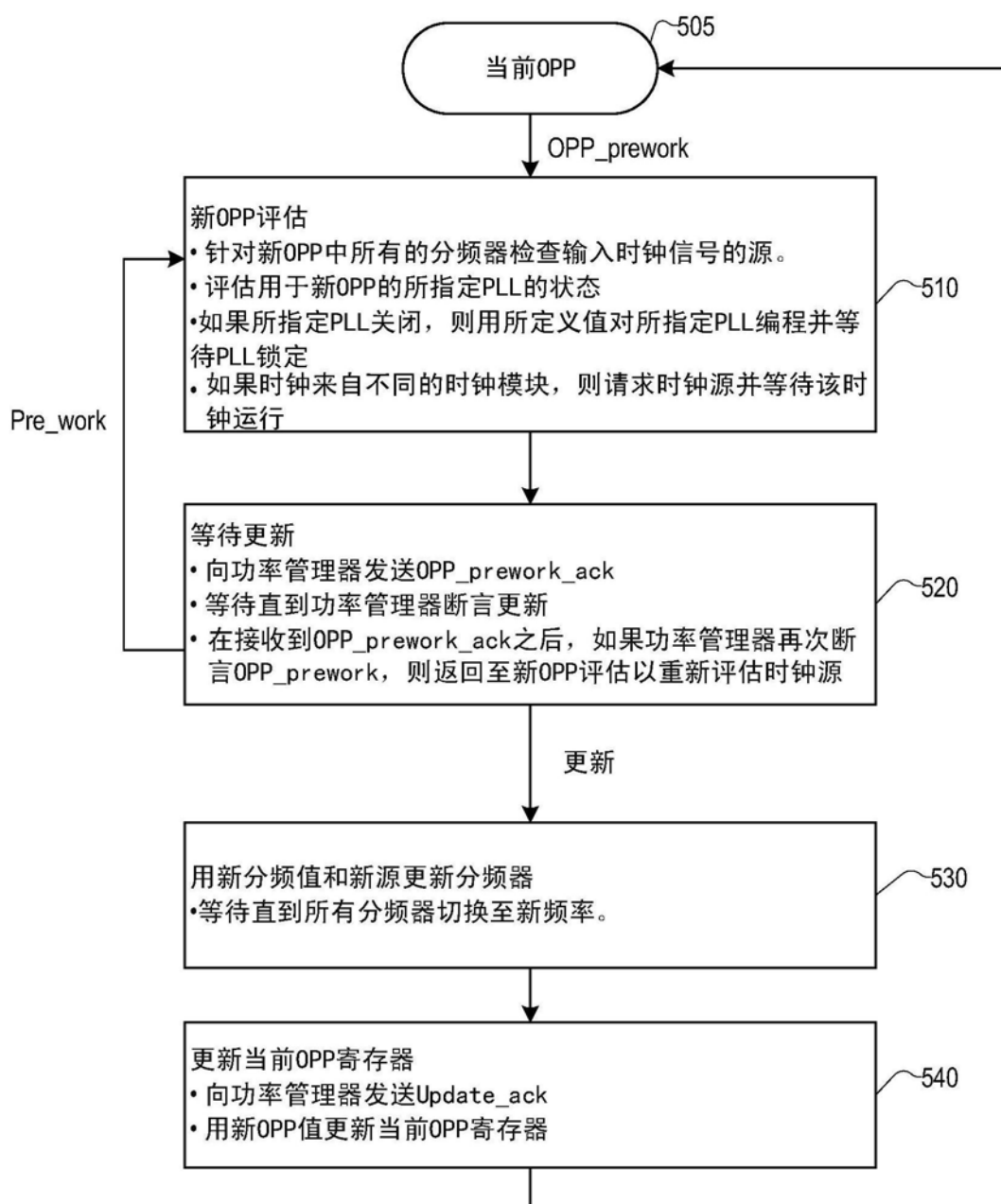


图5

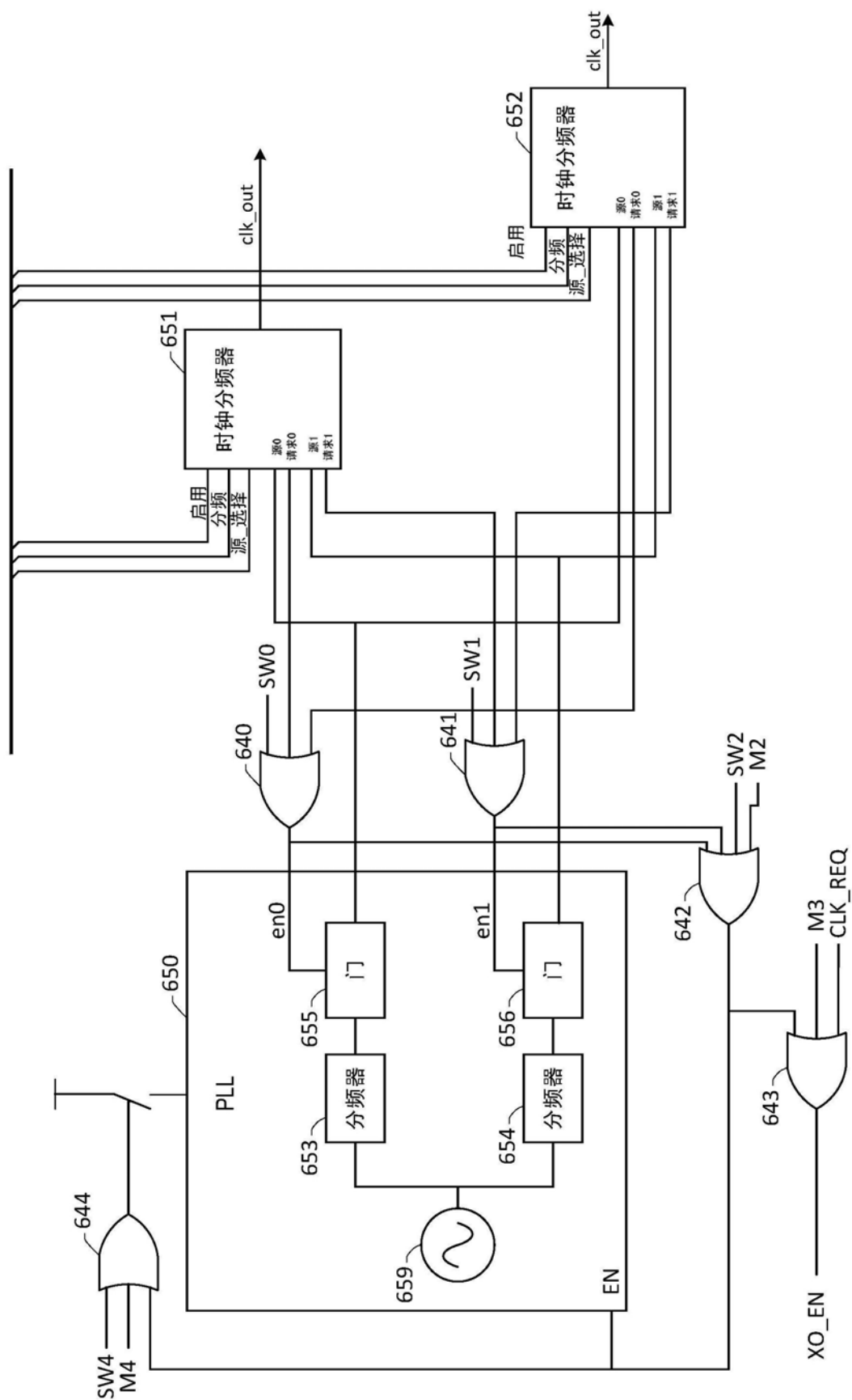


图6

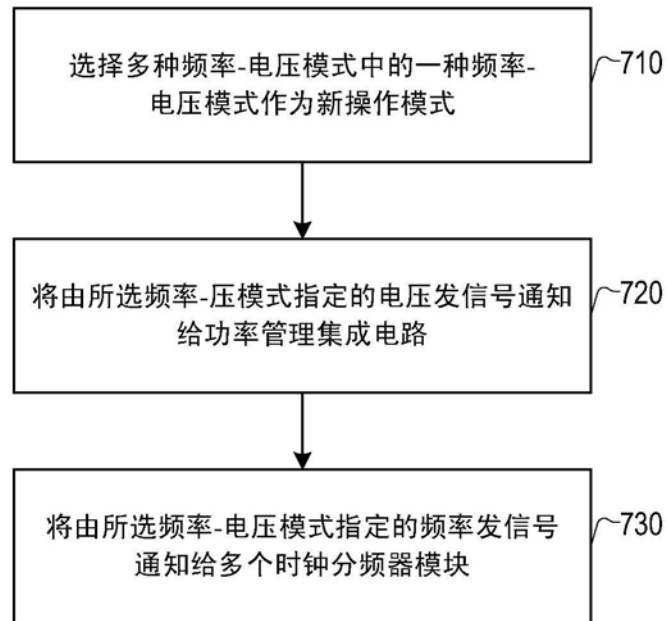


图7