(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3614522号
(P3614522)
(45)発行日　平成17年1月26日(2005.1.26)　(24)登録日　平成16年11月12日(2004.11.12)

(51)Int.Cl.[7]　F I
H01L 27/10　H01L 27/10　431

請求項の数 2　(全 19 頁)

(21)出願番号　特願平7-198746
(22)出願日　平成7年8月3日(1995.8.3)
(65)公開番号　特開平9-45871
(43)公開日　平成9年2月14日(1997.2.14)
審査請求日　平成14年7月31日(2002.7.31)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100078282
弁理士　山本　秀策
(72)発明者　岩田　浩
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内
(72)発明者　柿本　誠三
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内
(72)発明者　佐藤　浩哉
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
基板上に設けられた複数本の帯状の第１の導電層と、
該第１の導電層に対して該第１の導電層と交差するよう配置された複数本の帯状の第２の導電層と、
該第１の導電層と該第２の導電層との間に介在する絶縁膜とを備え、
該絶縁膜の、該第１及び第２の導電層の交差部分には、記憶すべき情報に応じて情報記憶用コンタクト孔が形成してあり、
該第１の導電層と第２の導電層とは、該情報記憶用コンタクト孔の形成部分にてショットキー接合により接続されており、
前記第１の導電層は、金属または金属シリサイドよりなる低抵抗層と、金属とのショットキー接合が可能となるよう低濃度に不純物がドープされたシリコン層と、これらの層の間に配置された、該シリコン層と同一の導電型を有し、高濃度に不純物がドープされた低抵抗シリコン層とからなる半導体記憶装置。
【請求項２】
前記ショットキー接合は、単結晶シリコン領域、もしくは多結晶シリコン膜の少なくともグレインバウンダリーが存在しない領域と、この領域の上にエピタキシャル成長された金属または金属シリサイド膜との接触により形成されている請求項１に記載の半導体記憶装置。
【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は、半導体記憶装置及びその製造方法に関し、特に、受注から納品までの時間｛Ｔｕｒｎ　Ａｒｏｕｎｄ　Ｔｉｍｅ（ＴＡＴ）｝の短い高集積化が可能なマスクＲＯＭに関する。
【０００２】
【従来の技術】
図１０は特公昭６１－１９０４号公報に開示されている従来のマスクＲＯＭの構造を説明するための図であり、図１０（ａ）はマスクＲＯＭを示す平面図，図１０（ｂ）は図１０（ａ）のＸｂ－Ｘｂ線断面図である。
【０００３】
図において、７００はマスクＲＯＭで、基板上に互いに平行して設けられたＮ型を呈する多数本の帯状多結晶シリコン層７０１と、該シリコン層７０１上に絶縁膜７０２を介して互いに平行して設けられた複数本の帯状導電層７０３とを有している。このマスクＲＯＭ７００では、上記シリコン層７０１と導電層７０３の交点に記憶させるべき情報に応じて適宜コンタクト孔７０４を形成し、そのコンタクト孔７０４を形成した箇所のシリコン層７０１に対して逆導電型の不純物を導入してＰＮ接合を形成してある。
【０００４】
また特開昭６４－３００９６号公報には、上記マスクＲＯＭを改良したものが開示されている。図１１はこの公報記載のマスクＲＯＭの構造を説明するための図であり、図１１（ａ）はマスクＲＯＭを示す平面図，図１１（ｂ）は図１１（ａ）のＸＩｂ－ＸＩｂ線断面図である。図において、８００はマスクＲＯＭで、基板上に互いに平行して設けられた多数本の帯状多結晶シリコン層８０１と、該シリコン層８０１上に絶縁膜８０２を介して互いに平行して設けられた複数本の帯状多結晶シリコン層８０３を有している。このマスクＲＯＭ８００では、帯状多結晶シリコン層８０１をこれが第１導電型を呈するよう、また帯状多結晶シリコン層８０３をこれが第２導電型を呈するよう構成しており、そして該両シリコン層の交点に記憶させるべき情報に応じて、適宜ＰＮ接合を形成するためのコンタクト孔８０４を形成している。
【０００５】
このような構成のマスクＲＯＭ８００では、ＰＮ接合を形成する箇所にイオン注入を施す必要がなくなるので、マスクの枚数が減少し、工程数が減少する。
【０００６】
【発明が解決しようとする課題】
ところで、マスクＲＯＭの市場においては、ユーザーからの発注に応じてプログラミングし、ＴＡＴの短縮，つまりいかに早く納品できるかがもっとも重要になる。よってプログラミング以前の工程までをすでに製造しておき、発注に応じてプログラミング以降の工程をできるだけ早く完了させる技術が重要となる。
【０００７】
ところが、上記従来のマスクＲＯＭのように、プログラミングをメモリセル内のコンタクト孔の開口部分でのＰＮ接合の形成によって行っているものでは、コンタクト孔の開口後にＰＮ接合を形成する必要があり、ＴＡＴを短縮できないという問題点があった。
【０００８】
例えば、特公昭６１－１９０４号公報記載のマスクＲＯＭでは、ユーザーからの発注を受けた後、図１２に示すように、まず、情報記憶用コンタクト孔を形成するために、フォトリソグラフィー工程、エッチング工程、及びレジスト除去工程が必要である。また、ＰＮ接合を形成するための選択的な不純物のイオン注入を行うために、フォトリソグラフィー工程、不純物イオン注入工程、レジスト除去工程が必要である。さらに、不純物注入後の熱処理を行うために、外方拡散防止用ｃａｐ酸化膜の堆積工程、不純物活性化熱処理工程、ｃａｐ酸化膜除去工程が必要である。そして、これらの工程の後に、上部配線を形成するために、メタル堆積工程、フォトリソグラフィー工程、エッチング工程、及びレジスト

除去工程が必要である。その後、水素シンター工程、素子のカバー膜の堆積工程、さらにはボンディング用コンタクトを形成するための、フォトリソグラフィー工程、エッチング工程、及びレジスト除去工程を経て半導体記憶装置が完成される。

【０００９】

また、特開昭６４－３００９４号公報記載のマスクＲＯＭでは、受注後、図１２に示すように、情報記憶用コンタクト孔を形成するための工程（フォトリソグラフィー工程、エッチング工程、及びレジスト除去工程）の後に、上部配線を形成するための工程として、多結晶シリコン堆積工程、不純物ドーピング工程、フォトリソグラフィー工程、エッチング工程、及びレジスト除去工程が必要である。さらに、回路接続用のコンタクト孔を形成するための、フォトリソグラフィー工程、エッチング工程、及びレジスト除去工程に加えて、上記特公昭６１－１９０４号公報記載のマスクＲＯＭの製造方法におけるメタル堆積工程以降の工程が必要である。

【００１０】

本発明は上記のような問題点を解決するためになされたもので、ＴＡＴを大幅に短縮することができ、しかも占有面積が非常に小さいメモリセルを実現できる半導体記憶装置及びその製造方法を得ることを目的とする。

【００１１】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、基板上に設けられた複数本の帯状の第１の導電層と、該第１の導電層に対して該第１の導電層と交差するよう配置された複数本の帯状の第２の導電層と、該第１の導電層と該第２の導電層との間に介在する絶縁膜とを備え、該絶縁膜の、該第１及び第２の導電層の交差部分には、記憶すべき情報に応じて情報記憶用コンタクト孔が形成してあり、該第１の導電層と第２の導電層とは、該情報記憶用コンタクト孔の形成部分にてショットキー接合により接続されており、前記第１の導電層は、金属または金属シリサイドよりなる低抵抗層と、金属とのショットキー接合が可能となるよう低濃度に不純物がドープされたシリコン層と、これらの層の間に配置された、該シリコン層と同一の導電型を有し、高濃度に不純物がドープされた低抵抗シリコン層とからなる。そのことにより上記目的が達成される。

【００１４】

前記ショットキー接合は、単結晶シリコン領域、もしくは多結晶シリコン膜の少なくともグレインバウンダリーが存在しない領域と、この領域の上にエピタキシャル成長された金属または金属シリサイド膜との接触により形成されている。

【００２０】

以下、本発明の作用について説明する。

【００２１】

本発明においては、複数本の帯状の第１の導電層と、その上に層間絶縁膜を介して該第１の導電層と交差するよう配置された複数の第２の導電層とを備え、記憶情報に応じて該両導電層の交差部にコンタクト孔を形成し、該両導電層間にショットキー接合を形成して、プログラミングを行うようにしたから、ユーザからの発注を受ける前に、予め半導体記憶装置における周辺回路及びメモリセル部について、回路構成用のコンタクト孔の形成段階まで作製しておき、受注後には、プログラム用（情報記憶用）のコンタクト孔の形成、メタライゼーション処理、及び素子表面のカバー膜の形成のみでウエハレベルでの製品を完成させるようにすることができる。このため、従来のＰＮ接合の形成によりプログラミングを行っていたマスクＲＯＭに比べると、受注後の、選択的なイオン注入のための処理や不純物をドープした多結晶シリコン膜の形成のための処理を不要として、ＴＡＴの大幅な短縮を図ることができる。

【００２２】

さらに、第１の導電層のピッチをｘ、第２の導電層のピッチをｙとすると、１つのメモリセルの面積は、ｘｙとなり、メモリセル自体の基板上での占有面積を非常に小さいものとできる。また、第１の導電層及び第２の導電層の両方とも最小加工寸法ｆで加工した場合

、基板上で１つのメモリセルに割り当てられる面積は（２ｆ）^{2}となり、導体層の最小加工寸法で決まる最小面積のメモリセルを実現できる。ここで、下部配線（第１の導体層）と、コンタクト孔を形成するためのホトマスクとの間に位置合わせマージンΔｆを取る場合、１つのメモリセルに割り当てられる面積は、｛２（ｆ＋Δｆ）｝^{2}となる。

【００２３】

本発明においては、第１の導電層を、その上部が低濃度シリコン層、その下部が高濃度シリコン層からなる配線構造としたので、第１の導電層を低抵抗化できる。また、該第１の導電層は、低濃度シリコン層によりその上側の金属または金属シリサイド配線（第２の導電層）との間でショットキー接合を形成できる。

【００２４】

本発明においては、上記第１の導体層を、金属あるいは金属シリサイドからなる低抵抗層と、金属とのショットキー接合が可能な低濃度層と、これらの間に形成された抵抗が低い高濃度不純物層とから構成したので、該第１の導体層の低抵抗化により読出し速度を大きく向上させて、より高速な動作が可能なマスクＲＯＭを実現できる。

【００２５】

本発明においては、プログラミングのためのショットキー接合を、シリコン膜上に金属または金属シリサイド膜をエピタキシャル成長して形成しているため、非常に界面状態の良いショトキー接合を実現でき、これにより逆バイアスリークを低減でき、低消費電力動作を実現できる。

【００２６】

本発明においては、メモリセルを構成する第１の導電層として、単結晶シリコン膜、もしくは該結晶成長用コンタクト孔の形成部以外の領域にはグレインバウンダリーが存在しない多結晶シリコン膜を、半導体基板の表面領域ではなく、絶縁膜上に形成しているため、半導体基板へのリーク電流を低減させることが可能となる。また、半導体基板の表面領域に形成した周辺回路による制約を受けることなく、メモリセル領域のレイアウトを自由に設計でき、集積度も向上する。

【００２７】

さらに、第１の導電層を構成する結晶性シリコンは、少なくとも結晶成長用コンタクト孔の形成部以外には、グレインバウンダリーが存在しないものであるため、グレインバウンダリーがランダムに形成されている多結晶シリコン等と比べて、ショットキー接合の逆バイアスリークを低減することが可能となる。

【００２８】

本発明においては、半導体基板表面の周辺回路部上に層間絶縁膜を介してメモリセル部を配置したので、メモリ装置の周辺回路部をチップ面積全体を使って設計することが可能であり、しかも、メモリセル領域を、上記周辺回路部上にチップ全面に渡って形成することが可能となる。このため、チップ面積に対して非常に記憶容量を大きくすることができる。

【００２９】

【発明の実施の形態】

以下、本発明の実施の形態による半導体記憶装置及びその製造方法について説明する。

【００３０】

（実施の形態１）

図１は本発明の第１の実施の形態による半導体記憶装置としてマスクＲＯＭを説明するための図であり、図１（ａ）はこのマスクＲＯＭにおけるメモリセル領域の回路構成を示す図、図１（ｂ）はメモリセル領域を示す平面図、図１（ｃ）は図１（ｂ）のＩｃ－Ｉｃ線断面の構造を示す図である。

【００３１】

図において、１００は本実施の形態のマスクＲＯＭで、シリコン基板もしくは絶縁基板上に設けられた複数本の帯状の第１の導電層１０１と、これらの導電層１０１上に絶縁膜１０２を介して上記第１の導電層１０１と交差する方向に設けられた複数本の帯状の第２の

導電層１０４とを有している。

【００３２】

また、本実施の形態では、第１の導電層１０１は半導体層により構成されており、また、第２の導電層１０４は金属膜により構成されている。そして、上記第１の導電層１０１及び第２の導電層の間に形成された層間絶縁膜１０２の、第１及び第２の導電層が交差する部分には、記憶情報に応じてコンタクト孔１０３が形成されている。該コンタクト孔１０３の形成部分では、上記第１及び第２の導電層の接触により金属－半導体ショットキー接合が形成されている。

【００３３】

ここでは、記憶情報は、導電層１０１と導電層１０４をこれらの交点でショットキー接合により接続するためのコンタクト孔の有無により記憶するようにしている。例えば、３×３のメモリセル部で考える。この場合、図１（ａ）に示すように、メモリセル部は３つの第１の導電層１０１ａ～１０１ｃと、３つの第２の導電層１０４ａ～１０４ｃとを有する。コンタクト孔が開口している状態を情報「１」、コンタクト孔が開口していない状態を情報「０」としたとき、交点（１、１）の情報は、情報「１」となる。実際にこの情報を読み出す方法としては、導電層１０１ａと導電層１０４ａを選択して、導電層１０４ａに電圧を与え、導電層１０１ａ側に対し、導通がとれているかどうかで情報「１」，「０」を判断する。

【００３４】

上記交点（１、１）ではコンタクト孔が開口しており、導電層１０４ａが、ＨＩＧＨの状態では、コンタクト孔部分のショットキー接合が順バイアスとなるので、導電層１０１ａに順方向電流が流れるため、情報「１」が読みとれる。また、交点（３、１）では、導電層１０１ｃと導電層１０４ａを選択したとき、導電層１０４ａがＨＩＧＨの状態であっても、該交点部分にはコンタクト孔が無いため、導電層１０１ｃに流れる電流は、導電層１０４ａ，交点（１、１）のコンタクト孔，導電層１０１ａ，交点（１、３）のコンタクト孔部，導電層１０４ｃ，交点（３、３）のコンタクト孔部，導電層１０１ｃの経路で流れてくる電流のみである。

【００３５】

しかし、交点（１、３）のコンタクト孔部は、ショットキー接合の逆方向リーク電流のみであり、ショットキー接合の順方向電流とは桁違いに小さい。よって情報”０”が読みとれる。

【００３６】

上記説明では、第１の導電層１０１が低濃度のｎ型半導体により構成した場合を前提としているが、第１の導電層１０１を低濃度のｐ型半導体により構成してもよく、この場合は、金属－半導体ショットキー接合では、第１の導電層１０１から第２の導電層１０４側に向けて順方向電流が流れる構成となる。

【００３７】

次に製造方法について説明する。

【００３８】

もっとも単純な製法としては以下のような方法がある。下部配線（第１の導体層）１０１として、半導体基板にｎ型（もしくはｐ型）の互いに平行な帯状の半導体層を形成し、その上に層間絶縁膜１０２を堆積する。その後、プログラミングに応じて上記下層配線１０１まで到達するコンタクト孔を上記層間絶縁膜１０２に形成し、その上に金属（例えば、アルミ系材料）を堆積し、これをパターニングして上記下部配線１０１と交差する方向に互いに平行な帯状の上部配線１０４を形成する。

【００３９】

本実施の形態のマスクＲＯＭでは、周辺回路部及びメモリセル領域におけるコンタクト孔の形成工程までを、ユーザーからの発注を受ける前に予め作製しておくことが可能であり、受注後は、図１２に示すように、ユーザーのニーズに合わせて、記憶情報をプログラミングするためのコンタクト孔の形成、メタル配線の形成、カバー膜の形成を行うだけでよ

く、従来のマスクＲＯＭに比べてＴＡＴを大きく短縮できる。

【００４０】

なお、この第１の実施の形態では、第１の導電層１０１を低濃度のｎ型もしくはｐ型の半導体層により構成しているため、上部メタル配線（第２の導電層）とショットキー接合を形成するには、該第１の導電層としての半導体層を10^{18}／ｃｍ^{3}以下の濃度にすることが望ましい。これは、該半導体層の濃度が濃いと、上部メタル配線との接合がオーミック接合となるからである。ところが、該半導体層が低濃度になると、第１の導電層が非常に配線抵抗が大きなものとなり、読み出し速度が遅くなる。

【００４１】

（実施の形態２）

図２は、本発明の第２の実施の形態によるマスクＲＯＭの構造を示す断面図である。

【００４２】

この実施の形態は、上記第１の実施の形態における読出し速度低下の問題を解決したものである。図において、２００は本実施の形態のマスクＲＯＭであり、このマスクＲＯＭ２００では、下部配線としての第１の導電層２００ａを、高濃度（10^{20}／ｃｍ^{3}以上の濃度）にドープされた低抵抗シリコン層２０１と、低濃度（10^{18}／ｃｍ^{3}以下の濃度）にドープされた、金属との間でショットキー接合が形成可能なシリコン層２０２とからなる２層構造としている。ただし、上記低抵抗シリコン層２０１と、ショットキー接合のためのシリコン層２０２とは、同一導電型にする必要がある。

【００４３】

その他の構成は、上記第１の実施の形態と同様であり、該第１の導電層２００ａ上には層間絶縁膜２０３を介して第２の導体層２０５が形成されている。この第２の導体層２０５は、上記導電層２００ａと交差する方向に延びる、互いに平行な複数の帯状の金属層からなる。また、上記層間絶縁膜２０３の、第１及び第２の導体層が交差する部分には、記憶情報に応じてコンタクト孔２０４が形成されている。このコンタクト孔２０４内では、上記第１及び第２の導体層の接触により金属－半導体ショットキー接合が形成されている。

【００４４】

このような構成の第２の実施の形態では、下部配線としての第１の導電層２００ａを、高濃度に不純物をドープした低抵抗シリコン層２０１と、金属との間でショットキー接合を形成可能な低濃度のシリコン層２０２からなる２層構造としたので、上記下部配線２００ａの、コンタクト孔２０４の形成部分外では、電流が低抵抗のシリコン層２０１を流れることとなり、読み出し速度を向上させることができる。

【００４５】

（実施の形態３）

図３は、本発明の第３の実施の形態によるマスクＲＯＭの構造を示す断面図である。

【００４６】

図において、３００は第３の実施の形態のマスクＲＯＭであり、このマスクＲＯＭ３００では、下部配線としての第１の導電層３００は、高濃度にドープされた半導体層よりなる低抵抗配線層３０２と、その上に形成された、金属との間でショットキー接合を形成可能な低濃度のシリコン層３０３と、該低抵抗配線層３０２の下側に形成された、該低抵抗配線層３０２より更に低抵抗な金属層もしくは金属シリサイド層３０１とから構成されている。

【００４７】

その他の構成は、上記第１の実施の形態と同様であり、該第１の導電層３００ａ上には層間絶縁膜３０４を介して第２の導体層３０６が形成されている。この第２の導体層３０６は、上記導電層３００ａと交差する方向に延びる、互いに平行な複数の帯状の金属層からなる。また、上記層間絶縁膜３０４の、第１及び第２の導体層が交差する部分には、記憶情報に応じてコンタクト孔３０５が形成されている。このコンタクト孔３０５内では、上記第１の導体層３００ａと第２の導体層３０６の接触により金属－半導体ショットキー接合が形成されている。

【００４８】
このような構成の第３の実施の形態では、下部配線としての第１の導電層３００ａを、不純物濃度が高い低抵抗シリコン層３０２と、該シリコン層３０２上に形成された、金属との間でショットキー接合を形成可能な不純物濃度が低いシリコン層３０３と、該シリコン層３０２に下側に形成された、低抵抗な金属層もしくは金属シリサイド層３０１とからなる３層構造としたので、上記下部配線３００ａの、コンタクト孔３０５の形成部分以外では、電流が低抵抗の金属層もしくは金属シリサイド層３０１を流れることとなり、第２の実施の形態に比べてさらに読み出し速度を向上させることができる。
【００４９】
（実施の形態４）
図４は、本発明の第４の実施の形態によるマスクＲＯＭを説明するための図であり、図４（ａ）は該第４の実施の形態のマスクＲＯＭの断面構造を示している。
【００５０】
図において、４００は本実施の形態のマスクＲＯＭで、これは、上記各実施の形態における金属－半導体ショットキー接合を、半導体基板上にエピタキシャル成長によって形成した金属と、半導体層との間で形成している。
【００５１】
すなわち、このマスクＲＯＭ４００では、シリコン基板４０１上にフィールド酸化膜４０２を形成して、活性領域と素子分離領域とを分離した後、半導体基板と逆導電型の不純物のイオン注入を行って、活性領域上に帯状の半導体導電層４０３を形成している。このとき、不純物の注入を、低ドーズ量（10^{13}／cm^2 オーダー）かつ低エネルギーでもって行えば、上記半導体導電層４０３の不純物濃度は10^{18}／cm^3 オーダーとなる。一方、不純物の注入を、高ドーズ量（10^{15}／cm^2 オーダー）かつ高エネルギー（８０～１５０ｋｅＶ）でもって行い、活性化熱処理を、注入プロファイルを崩さないような条件（例えば、１０００℃、１０秒程度の急速加熱処理）で行えば、第２の実施の形態のようにショットキー接合面での濃度（表面濃度）を10^{18}／cm^3 オーダーに抑えつつ低抵抗の配線を実現できる。
【００５２】
このようにして半導体層よりなる互いに平行な帯状の下層導電層４０３を形成した後、その上に層間絶縁膜４０４を、例えば、シリコン酸化膜や、ボロン、燐を含むシリケートガラスを堆積して形成する。そして記憶情報に応じたプログラミングを、該層間絶縁膜４０４にコンタクト孔４０５を形成することにより行う。
【００５３】
その後、本実施の形態における半導体下層導電層４０３（シリコン単結晶）上にコバルトシリサイド膜４０８をエピタキシャル成長させる。
【００５４】
すなわち、コンタクト孔４０５を形成した後、チタン膜４０６を２～１０ｎｍ程度の厚さにコンタクト孔底部に堆積し、引き続き、雰囲気の大気解放を行うことなく、コバルト膜４０７を１０～５０ｎｍ程度の厚さに堆積し、４００°Ｃ～７００°Ｃ程度の急速加熱処理を行う。このときチタン膜４０６によるシリコン表面の自然酸化膜の還元が行われると同時に、コバルトが該チタン膜４０６中を拡散してシリコン単結晶層４０３と反応し、これによりコバルトシリサイド膜４０８がエピタキシャル成長する。
【００５５】
その後、金属上部導電層４０９として、Ａｌ－Ｓｉ（１％）－Ｃｕ（０．５％）等のアルミ系金属層を形成する。
【００５６】
この実施の形態では、半導体下層導電層４０３と金属上部導電層４０９とは、コバルトシリサイド膜４０８を介して電気的に接続されており、金属上部導電層４０９とコバルトシリサイド膜４０８との接続はオーミック接続、半導体下層導電層４０３とコバルトシリサイド膜４０８との接続はショットキー接続となっている。

【００５７】
また、コバルトシリサイド膜４０８は半導体下層導電層４０３（シリコン単結晶）上にエピタキシャル成長により形成されたものであるため、これらの間のショットキー接合は、非常に逆接合リークの少ない状態となっており、かつ低抵抗，高速化を実現できる。
【００５８】
図４（ｂ）は、上記第４の実施の形態の第１の変形例によるマスクＲＯＭを示す断面図である。図において、４１０は第１の変形例のマスクＲＯＭであり、このマスクＲＯＭ４１０は、図４（ａ）における半導体下層導電層４０３を、低抵抗化したものである。つまり、この実施の形態では、シリコン基板の、素子分離された素子領域上には、シリコン基板と逆導電型の高濃度単結晶シリコン層４１３ａが形成されており、その上には、エピタキシャル成長されたコバルトシリサイド層４１３ｂ、高濃度単結晶シリコン層４１３ｃ、及び低濃度単結晶シリコン層４１３ｄが順次形成されている。ここで、コバルトシリサイド膜４０８は、上記第４の実施の形態と同様のエピタキシャル成長により形成したものである。
【００５９】
また、単結晶コバルトシリサイド層４１３ｂ上へのシリコン膜のエピタキシャル成長は、選択エピタキシャル成長法にて行っている。
【００６０】
本変形例では、下部配線を非常に低抵抗な構造としているため、上記第４の実施の形態に比べて、読み出し速度が速くなるという効果がある。
【００６１】
図４（ｃ）は、上記第４の実施の形態の第２の変形例によるマスクＲＯＭを示す断面図である。図において、４２０は第２の変形例のマスクＲＯＭであり、このマスクＲＯＭ４２０は、第４の実施の形態で半導体基板４０１の表面領域に形成している半導体下層導電層４０３に代えて、半導体基板４０１上に形成した半導体下層導電層４２３を備えたものである。
【００６２】
この半導体下層導電層４２３は、活性領域上に選択シリコンエピタキシャル法により半導体層を積み上げることにより形成している。
【００６３】
この第２の変形例では、微細化によるメモリセルの離間間隔の縮小により、下層半導体導電層より半導体基板を通じて隣のセルの下層半導体導電層に電流がリークする現象、例えば図４（ａ）における隣接するセル４００ａの一方から他方へ電流がリークする現象を抑制することができる効果がある。
【００６４】
図４（ｄ）は、上記第４の実施の形態の第３の変形例によるマスクＲＯＭを示す断面図である。図において、４３０は第３の変形例のマスクＲＯＭであり、このマスクＲＯＭ４３０は、図４（ｃ）に示す、メモリセル間のリークを抑えることができる構造と、図４（ｂ）に示す、下層配線の低抵抗化を実現できる構造とを組み合わせたものである。
【００６５】
つまり、本実施の形態では、図４（ｃ）の、基板より上に積み上げて形成したエピタキシャルシリコン膜４２３に代えて、多層構造の下層配線４３３を備えたものである。
【００６６】
この多層構造の下層配線４３３は、シリコン基板の、素子分離された素子領域上に積み上げた、シリコン基板と逆導電型の高濃度単結晶エピタキシャルシリコン層４３３ａを有し、このエピタキシャルシリコン層４３３ａ上に、エピタキシャル成長されたコバルトシリサイド層４３３ｂ、高濃度単結晶シリコン層４３３ｃ、及び低濃度単結晶シリコン層４３３ｄが順次形成された構造となっている。ここで、コバルトシリサイド膜４０８は、上記第４の実施の形態と同様のエピタキシャル成長により形成したものである。また、単結晶コバルトシリサイド層４３３ｂ上へのシリコン膜のエピタキシャル成長は、選択エピタキ

シャル成長法にて行っている。

【００６７】

（実施の形態５）

図５は本発明の第５の実施の形態による半導体記憶装置の製造方法における第１の導体層のパターニングまでの処理を説明するための図である。図５（ａ）～図５（ｃ）は、上記パターニングまでの処理を工程順に示す平面図、図５（ｄ），図５（ｅ），図５（ｆ）は、図５（ａ）のＶｄ－Ｖｄ線断面図，図５（ｂ）のＶｅ－Ｖｅ線断面図，図５（ｃ）のＶｆ－Ｖｆ線断面図である。

【００６８】

図６は上記第５の実施の形態の半導体記憶装置の製造方法における第１の導体層のパターニング後、層間絶縁膜を形成するまでの処理を説明するための図であり、図６（ａ）～図６（ｃ）は、上記層間絶縁膜の形成までの処理を工程順に示す、図５（ｃ）のＶＩ－ＶＩ線に相当する部分の平面図である。

【００６９】

図７は、上記第５の実施の形態の半導体記憶装置の製造方法における、層間絶縁膜の形成後、第２の導体層を形成するまでの処理を説明するための図であり、図７（ａ）～７（ｃ）は、上記第２の導体層の形成までの処理を工程順に示す、プログラミング用（情報記憶用）のコンタクト孔部の拡大断面図である。

【００７０】

まず、図５（ａ），（ｄ）に示すように、半導体基板５０１上に堆積した層間絶縁膜５０２に、半導体基板５０１まで届くコンタクト孔５０３を所望の領域に開口し、その後、該層間絶縁膜５０２上にアモルファスシリコン膜５０４を堆積する。

【００７１】

次に、図５（ｂ），（ｅ）に示すように、アモルファスシリコン膜５０４上にシリコン酸化膜５０５、多結晶シリコン膜５０６、アモルファスシリコン膜と比較し熱エネルギー吸収率が低く、つまり光反射率が高くかつ融点の高い膜５０７を堆積し、該多結晶シリコン膜５０６及びタングステン金属膜５０７を上記コンタクト孔５０３を覆うように所望の配線パターンにパターンニングする。本実施の形態では、上記光反射率が高くかつ融点の高い膜５０７としてタングステン金属膜を形成している。

【００７２】

次に、図５（ｃ），（ｆ）に示すように、電子ビームもしくはレーザー（本実施の形態では、電子ビーム）により、上記アモルファスシリコン膜５０４を溶融再結晶化する。ここで、タングステン金属膜５０７が存在する領域のアモルファスシリコンは、タングステン金属膜５０７が電子ビームを反射するため、タングステン金属膜５０７が存在しない領域のアモルファスシリコンと比較し、温度が上昇しにくくかつ冷めやすくなっている。つまり再結晶化はタングステン膜５０７が存在する領域の下部から開始され、周辺のアモルファスあるいは多結晶の結晶状態を引き継がずに成長が起こるため、上記アモルファスシリコン膜５０４の溶融再結晶化後の結晶性シリコン膜は、グレインバウンダリーが、タングステン金属膜５０７のない領域には存在するが、タングステン金属膜５０７の下側の領域には、グレインバウンダリーが存在しないものとなる。但し、場合によっては、上記結晶性シリコン膜は、タングステン金属膜５０７の下側の領域でも、コンタクト孔５０３の形成部分ではグレインバウンダリーが形成されることがある。この時、タングステン金属膜５０７直下の多結晶シリコン膜５０６は高温のためタングステン金属膜５０７と反応し、一部タングステンシリサイド膜５０９に変化する。ここで、上記多結晶シリコン膜５０６は、タングステン金属膜５０７の加熱時の応力緩和層として働くこととなり、タングステン金属膜５０７の膜剥がれを防止する効果がある。

【００７３】

また、上記多結晶シリコン膜５０６の下のシリコン酸化膜５０５は、加熱時のタングステン金属がアモルファスシリコン層５０４（溶融した後は多結晶シリコン層５０８）へ拡散するのを防止するバリア膜としての効果がある。

【００７４】
次に、上記タングステン金属膜５０７、及びタングステンシリサイド膜５０９をマスクとしてシリコン酸化膜５０５をエッチングする。これにより、該シリコン酸化膜５０５は、配線パターンと同一パターンとなる。
【００７５】
本実施の形態における電子ビームアニール処理は、電子ビームの偏向板に高周波をかけることにより、再結晶化のための電子ビーム走査方向と垂直方向に電子ビームを高速で振動させて形成した疑似線状ビームを用い、ビーム加速電圧：１０ＫＶ（ビーム加速エネルギー：１０ＫｅＶ）、ビーム電流：６～１０ｍＡ、ビーム走査速度：１００ｍｍ／秒、ビーム径：１００～１５０μｍ、偏向周波数：１５ＭＨｚ、偏向振幅１．２ｍｍ、基板温度：５００℃の処理条件で行っている。
【００７６】
次に、図６（ａ）に示すように、上記タングステン金属膜５０７、タングステンシリサイド膜５０９、シリコン酸化膜５０５をマスクとして上記多結晶シリコン膜５０８をエッチングし、単結晶シリコン膜、あるいはコンタクト孔５０３の形成部分以外にグレインバウンダリーの存在しない多結晶シリコン膜よりなる配線５１０を形成する。
【００７７】
次に、図６（ｂ）に示すように、上記タングステン金属膜５０７、タングステンシリサイド膜５０９、シリコン酸化膜５０５を除去する。
【００７８】
次に、図６（ｃ）に示すように、上記単結晶シリコン膜よりなる配線５１０に、不純物をイオン注入法によりドーピングし、熱処理により活性化する。本実施の形態では、注入プロファイルを崩さないため、該活性化のための熱処理として、１０００℃、１０秒の急速加熱処理を行っている。この時、高エネルギーでイオン注入を行うことにより、第２の実施の形態で示すように、該単結晶シリコン膜の表面部分の濃度を低濃度（10^{18}／cm^3以下の濃度）に、その下部領域を高濃度（10^{20}／cm^3以上の濃度）にすることができる。
【００７９】
次に、図６（ｄ）に示すように、層間絶縁膜５１１を堆積し、該層間絶縁膜５１１に、記憶情報に応じてコンタクト孔５１２を開口して、マスクＲＯＭのプログラミングを行う。
【００８０】
次に、図７（ａ）に示すように、厚さ２～１０ｎｍ程度のチタン膜５１３をコンタクト孔５１２の底部に堆積した後、引き続き、雰囲気の大気解放を行うことなく、厚さ１０～５０ｎｍ程度のコバルト膜５１４を堆積する。
【００８１】
次に、図７（ｂ）に示すように、４００°Ｃ～７００°Ｃ程度の急速加熱処理を行う。このとき、チタン膜により単結晶シリコン膜５１０の表面の自然酸化膜が還元されるとともに、該チタン膜中にコバルトが拡散して単結晶シリコン膜５１０と反応し、コバルトシリサイド膜５１５のエピタキシャル成長が生ずる。
【００８２】
次に、全面にアルミ系金属膜を形成し、該金属膜、コバルト膜及びチタン膜をパターニングする。これにより、図７（ｃ）に示すように、下部配線５１０に対して交差する、アルミ系金属からなる上部配線５１６を形成する。
【００８３】
また、本実施の形態におけるチタン膜５１３の形成から上部配線となるアルミ系金属堆積までの工程における処理は、堆積チャンバーと急速加熱処理チャンバーが真空搬送系でつながれたマルチチャンバー装置を用いて行っている。つまり、チタン膜５１３の堆積，コバルト膜５１４の堆積，急速加熱処理によるコバルトシリサイド膜５１５のエピタキシャル成長，アルミ系金属５１６の堆積までの一連の処理は、マルチチャンバー装置のベースプレッシャーを$1～2\times10^{-8}$ｔｏｒｒに保持して、処理雰囲気を大気解放することな

く行っている。
【００８４】
本実施の形態の方法によれば、第４の実施の形態のように半導体基板表面を下部配線に使用しなくても、単結晶シリコンよりなる下部配線を形成することが可能である。
【００８５】
また、上記下部配線５１０を、第４の実施の形態のようなコバルトシリサイド４１３ｂあるいは４３３ｂで裏打ちされた配線構造とすることも可能である。
【００８６】
なお、本発明の絶縁膜上へのシリコンエピタキシャル成長配線形成技術は、ショットキー接合型マスクＲＯＭにかぎらず、従来構造のような、ＰＮ接合型マスクＲＯＭにも適用できる。このようなＰＮ接合型マスクＲＯＭを形成する場合には、例えば、上記第５実施の形態の図６（ｄ）に示す工程、図７（ａ）に示す工程、あるいは図７（ｂ）に示す工程の後で、下部配線５１０にこれと逆導電型の不純物を注入すればよい。
【００８７】
また、上記第５の実施の形態では、絶縁膜上のアモルファスシリコン膜５０４の溶融再結晶化を行う際、アモルファスシリコン膜５０４の配線となるべき領域上に、電子ビームやレーザービーム等のエネルギービームの吸収率の低い膜、つまりタングステン膜を形成し、該エネルギービームの照射によりアモルファスシリコン膜５０４の配線となるべき領域を選択的に溶融再結晶化したが、このような絶縁膜上に単結晶シリコンからなる配線を形成する方法は、第５の実施の形態の方法に限るものではない。
【００８８】
（実施の形態６）
次に、本発明の第６の実施の形態として、上記第５の実施の形態とは異なる、絶縁膜上での単結晶シリコン配線の形成方法について説明する。
【００８９】
図８（ａ）はこの実施の形態による単結晶シリコン配線の形成方法における溶融再結晶化処理を説明するための図であり、図８（ｂ）は本実施の形態との比較のために、第５の実施の形態における溶融再結晶化処理（図５（ｂ）に示すもの）をあらためて示している。
【００９０】
この第６の実施の形態の半導体記憶装置の製造方法は、第５の実施の形態における多結晶シリコン膜５０６及びタングステン膜５０７に代えて、該膜５０６，５０７のパターンとはそのポジ，ネガを反転したパターンを有するシリコン窒化膜５６０をシリコン酸化膜５０５上に形成し、その後エネルギービームの照射によりアモルファスシリコン膜５０４の配線となるべき領域を選択的に溶融再結晶化するようにしている。
【００９１】
すなわち、図５（ａ）に示すアモルファスシリコン膜５０４上にシリコン酸化膜５０５，シリコン窒化膜５６０を順次堆積し、上記シリコン窒化膜５６０を、これが第５の実施の形態のタングステン膜５０７とはホジ、ネガを反転したようなパターンとなるようパターンニングする。つまり、このパターニングでは、シリコン窒化膜の、アモルファスシリコン膜５０４の配線となるべき領域上の部分を除去する。
【００９２】
ここで、シリコン窒化膜は熱エネルギー吸収率がアモルファスシリコンに比べて高いため、第５の実施の形態と同様に、電子ビームの照射を行った場合、アモルファスシリコン膜の、シリコン窒化膜が存在する領域では、他の領域に比べて、シリコン窒化膜が電子ビームをより多く吸収する。つまり、アモルファスシリコン膜の、シリコン窒化膜が存在する領域は、シリコン窒化膜が存在しない領域と比較して、温度が上昇しやすくかつ冷めにくい。つまり再結晶化は、シリコン窒化膜５６０が存在しない領域から開始され、周辺のアモルファスあるいは多結晶の結晶状態を引き継がずに成長が起こるため、上記アモルファスシリコン膜５０４の溶融再結晶化してなる結晶性シリコン膜では、グレインバウンダリーがシリコン窒化膜５６０が存在する領域に形成され、該シリコン窒化膜５６０が存在し

ない領域は、グレインバウンダリーが存在しない領域となる。但し、場合によっては、上記結晶性シリコン膜は、シリコン窒化膜の存在しない領域でも、結晶成長用コンタクト孔の形成部分では、グレインバウンダリーが形成されることがあるものである。

【００９３】

その後の工程は上記第５の実施の形態と同様である。

【００９４】

このような構成の本発明の第６の実施の形態においても上記第５の実施の形態と同様の効果がある。

【００９５】

（実施の形態７）

図９（ａ）は、本発明の第７の実施の形態による半導体記憶装置の構造を概念的に示す斜視図、図９（ｂ）はその平面図である。

【００９６】

図において、６００は本実施の形態の半導体記憶装置で、これは、シリコン半導体基板６０１上に形成された、トランジスタ６１１を含む周辺回路部６１０と、該周辺回路部６１０上に絶縁膜６１２を介して形成されたメモリセル部６２０とから構成されている。

【００９７】

該メモリセル部６２０は、互いに平行に配置された複数の下部配線６２１と、該下部配線６２１と交差するよう互いに平行に配置された複数の上部配線６２２と、該上部配線６２２と下部配線６２１とを接続して、これらの間にショットキー接合を形成するためのコンタクト孔部分６２３とを有している。なお、６００ａは、メモリセル部６２０の１つのメモリセルに相当する領域である。

【００９８】

ここで、上記メモリセル部としては、上記第１～第３，第５，第６の実施の形態におけるメモリセル領域の構成を用いることができる。

【００９９】

例えば、上記メモリセル部６２０に第５の実施の形態のメモリセル領域の構成を用いた場合、下部配線６２１は、高濃度単結晶シリコン膜６２１ａとその上に形成された低濃度単結晶シリコン膜６２１ｂとから構成され、上部配線６２２は、アルミ系金属膜６２２ｂと、その下側に形成されたチタン膜とコバルト膜の２層構造の膜６２２ａとから構成されることとなる。但し、上記２層構造の膜６２２ａは、コンタクト孔部分６２３では、コンタクト孔底部の低濃度単結晶シリコン膜６２１ｂに対してエピタキシャル成長しているコバルトシリサイド膜を有する構造となっており、つまり、下側からコバルトシリサイド膜，チタン膜，コバルト膜の順に積層された３層構造となる。なお、コンタクト孔部分６２３では、場合によっては、コバルト膜が低濃度単結晶シリコン膜との反応により消失していることもある。

【０１００】

また、下部配線を多結晶シリコンからなる単層膜、上部配線をメタルからなる単層配線膜として工程を簡略化してもよいが、この場合は、ショットキー逆接合リークは増大し、素子の動作スピードも遅くなるという、製造プロセスと素子特性との間でのトレードオフの関係がある。

【０１０１】

このような構成の本発明の第７の実施の形態では、チップ面積の全体を使用して周辺回路部を構成することが可能であり、しかも、メモリセル部を該周辺回路部上の層間絶縁膜上に、チップ面積全体を使用して構成することが可能となる。

【０１０２】

さらに、図示していないが、メモリセル部を集積度に合わせて積層化することも可能である。このような構造では、ゆるい加工ルールで、非常に集積度を上げることが可能となる。

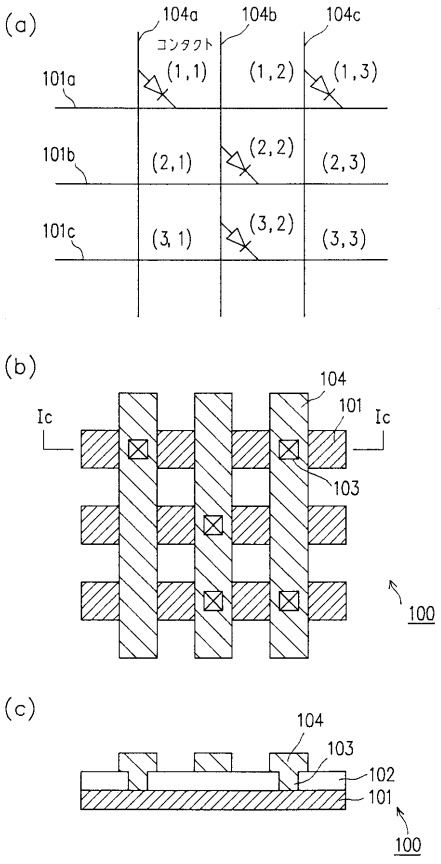
【０１０３】

【発明の効果】
以上のように本発明に係る半導体記憶装置によれば、複数本の帯状の第１の導電層と、その上に層間絶縁膜を介して該第１の導電層と交差するよう配置された複数の第２の導電層とを備え、記憶情報に応じて該両導電層の交差部にコンタクト孔を形成し、該両導電層間にショットキー接合を形成して、プログラミングを行うようにしたので、ユーザからの発注を受ける前に、予め半導体記憶装置における周辺回路及びメモリセル部について、回路構成用のコンタクト孔の形成段階まで作製しておき、受注後には、プログラム用のコンタクト孔の形成、メタライゼーション処理、及び素子のカバー膜の形成のみでウエハレベルでの製品を完成させるようにすることができる。このため、従来のＰＮ接合の形成によりプログラミングを行っていたマスクＲＯＭに比べると、受注後の、選択的なイオン注入のための処理を不要として、ＴＡＴの大幅な短縮を図ることができる。
【０１０４】
また、上下に配置された第１及び第２の導電層を、その交差部にてショットキー接触させてプログラミングを行うので、基板上でメモリセル自体が占める面積は、上記両導電層の重なっている部分のみとなり、非常に占有面積の小さいメモリセルを実現できる。
【０１０５】
本発明によれば、上記第１の導体層を、抵抗が低い高濃度不純物層と、金属とのショットキー接合が可能な低濃度層とから構成したので、該第１の導体層の低抵抗化により読出し速度を高めて、高速動作可能なマスクＲＯＭを実現できる。
【０１０６】
本発明によれば、上記第１の導体層を、金属あるいは金属シリサイドからなる低抵抗層と、金属とのショットキー接合が可能な低濃度層と、これらの間に形成された抵抗が低い高濃度不純物層とから構成したので、該第１の導体層の低抵抗化により読出し速度を大きく向上させて、より高速な動作が可能なマスクＲＯＭを実現できる。
【０１０７】
本発明によれば、プログラミングのためのショットキー接合を、シリコン膜上に金属または金属シリサイド膜をエピタキシャル成長して形成しているため、非常に界面状態の良いショットキー接合を実現でき、これにより逆バイアスリークを低減でき、低消費電力動作を実現できる。
【０１０８】
本発明によれば、メモリセルを構成する第１の導電層として、単結晶シリコン膜、もしくは結晶成長用コンタクト孔の形成部以外の領域にはグレインバウンダリーが存在しない多結晶シリコン膜を、半導体基板の表面領域ではなく、絶縁膜上に形成しているため、半導体基板へのリーク電流を低減させることが可能となる。また、半導体基板の表面領域に形成した周辺回路による制約を受けることなく、メモリセル領域のレイアウトを自由に設計でき、集積度の向上も図ることができる。
【０１０９】
さらに、第１の導電層を構成する結晶成シリコンは、少なくとも結晶成長用コンタクト孔の形成部以外の部分には、グレインバウンダリーが存在しないものであるため、グレインバウンダリーがランダムに形成されている多結晶シリコン等と比べて、ショットキー接合の逆バイアスリークを低減することが可能となる。
【０１１０】
本発明によれば、半導体基板表面の周辺回路部上に層間絶縁膜を介してメモリセル部を配置したので、メモリ装置の周辺回路部をチップ面積全体を使って設計することが可能であり、しかも、メモリセル領域を、上記周辺回路部上にチップ全面に渡って形成することが可能となる。このため、チップ面積に対して非常に記憶容量を大きくすることができる。
【図面の簡単な説明】
【図１】本発明の第１の実施の形態による半導体記憶装置としてマスクＲＯＭを説明するための図であり、図１（ａ）はこのマスクＲＯＭにおけるメモリセル領域の回路構成を示す図、図１（ｂ）はメモリセル領域を示す平面図、図１（ｃ）は図１（ｂ）のＩｃ－Ｉｃ

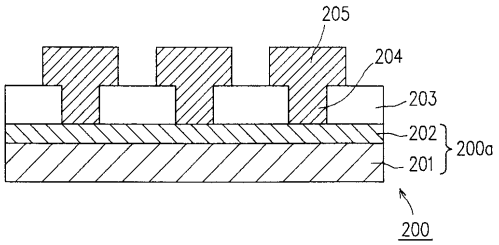
線断面の構造を示す図である。
【図２】本発明の第２の実施の形態によるマスクＲＯＭの構造を示す断面図である。
【図３】本発明の第３の実施の形態によるマスクＲＯＭの構造を示す断面図である。
【図４】本発明の第４の実施の形態によるマスクＲＯＭを説明するための図であり、図４（ａ）は該第４の実施の形態のマスクＲＯＭの断面構造を示している。図４（ｂ）～図４（ｄ）は、上記第４の実施の形態の第１～第３の変形例によるマスクＲＯＭを示す断面図である。
【図５】本発明の第５の実施の形態による半導体記憶装置の製造方法における第１の導体層のパターニングまでの処理を説明するための図である。図５（ａ）～図５（ｃ）は、上記パターニングまでの処理を工程順に示す平面図、図５（ｄ），図５（ｅ），図５（ｆ）は、図５（ａ）のＶｄ－Ｖｄ線断面図，図５（ｂ）のＶｅ－Ｖｅ線断面図，図５（ｃ）のＶｆ－Ｖｆ線断面図である。
【図６】上記第５の実施の形態の半導体記憶装置の製造方法における第１の導体層のパターニング後、層間絶縁膜を形成するまでの処理を説明するための図である。図６（ａ）～図６（ｄ）は、上記層間絶縁膜の形成までの処理を工程順に示す、図５（ｃ）のＶＩ－ＶＩ線に相当する部分の平面図である。
【図７】上記第５の実施の形態の半導体記憶装置の製造方法における、層間絶縁膜の形成後、第２の導体層を形成するまでの処理を説明するための図である。図７（ａ）～７（ｃ）は、上記第２の導体層の形成までの処理を工程順に示す、プログラミング用のコンタクト孔部の拡大断面図である。
【図８】本発明の第６の実施の形態による半導体記憶装置の製造方法を説明するための図であり、図８（ａ）は、シリコン窒化膜のパターニング処理を示し、図８（ｂ）は、該処理に対応する第５の実施の形態におけるパターニング処理を示している。
【図９】図９（ａ）及び図９（ｂ）は、それぞれ本発明の第７の実施の形態による半導体記憶装置の構造を概念的に示す斜視図及び平面図である。
【図１０】特公昭６１－１９０４号公報に開示されている従来例のマスクＲＯＭのメモリセル領域の構造を示す断面図である。
【図１１】特開昭６４－３００９６号公報に開示されている従来例のマスクＲＯＭのメモリセル領域の構造を示す断面図である。
【図１２】本発明の半導体記憶装置の製造方法と、従来の半導体記憶装置の製造方法とを比較して示す図である。
【符号の説明】
１００，２００，３００　マスクＲＯＭ
１０１，２００ａ，３００ａ　第１の導電層
１０２，２０３，３０４，４０４，５０２，５１１　層間絶縁膜
１０３，２０４，３０５，４０５，５０３，５１２　コンタクト孔
１０４，２０５，３０６　第２の導電層
２０１　低抵抗シリコン層
２０２　低濃度シリコン層
３０１　金属シリサイド層
３０２　低抵抗配線層
３０３　低濃度半導体層
４０１　シリコン基板
４０２　フィールド酸化膜
４０３　帯状の半導体導電層
４０６，５１３　チタン膜
４０７，５１４　コバルト膜
４０８，４１３ｂ，４３３ｂ，５１５　コバルトシリサイド層
４０９　金属上部導電層
４１３ａ　高濃度単結晶シリコン層

４１３ｃ，４３３ｃ　高濃度単結晶シリコン層
４１３ｄ，４３３ｄ　低濃度単結晶シリコン層
４２３　シリコン膜
４３３ａ　高濃度単結晶エピタキシャルシリコン層
５０１　半導体基板
５０４　アモルファスシリコン膜
５０５　シリコン酸化膜
５０６　多結晶シリコン膜
５０７　タングステン金属膜
５０８　多結晶シリコン層
５０９　タングステンシリサイド膜
５１０　下部配線
５１６　アルミ系金属
５６０　シリコン窒化膜

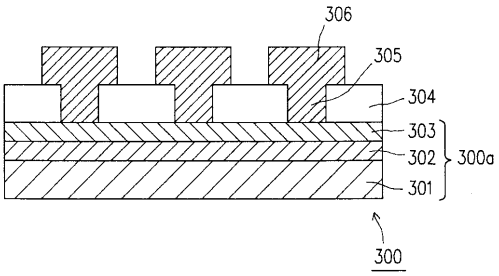
【図１】



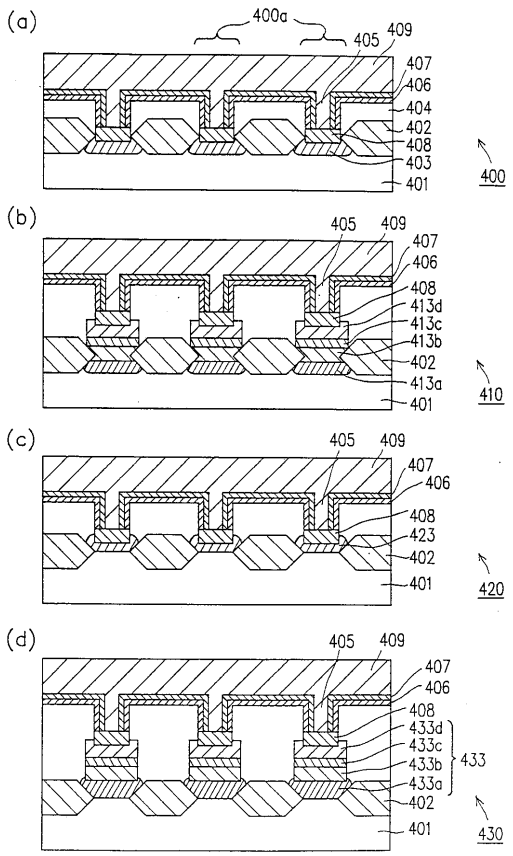
【図２】



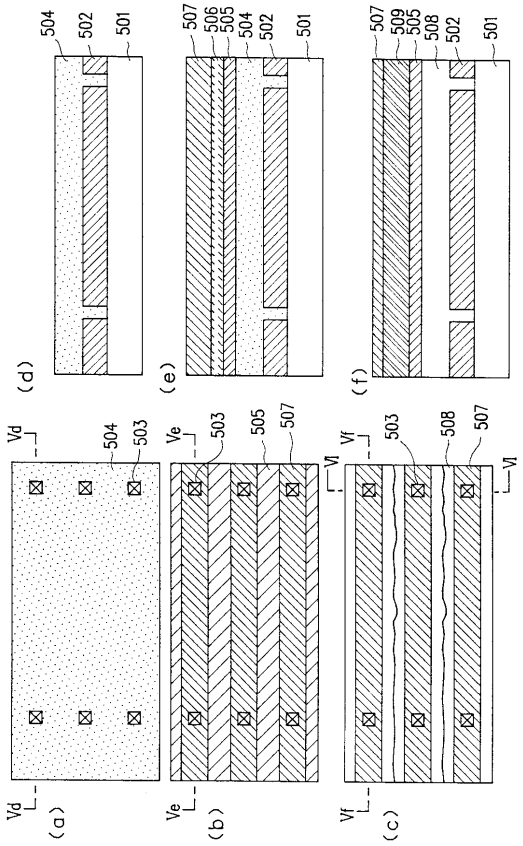
【図３】



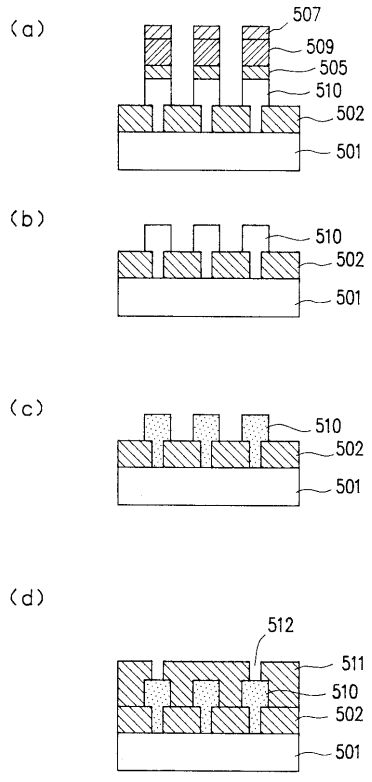
【図４】


(a)
400a
405
409
407
406
404
402
408
403
401
400
(b)
405
409
407
406
408
413d
413c
413b
402
413a
401
410
(c)
405
409
407
406
408
423
402
401
420
(d)
405
409
407
406
408
433d
433c
433b
433a
433
402
401
430

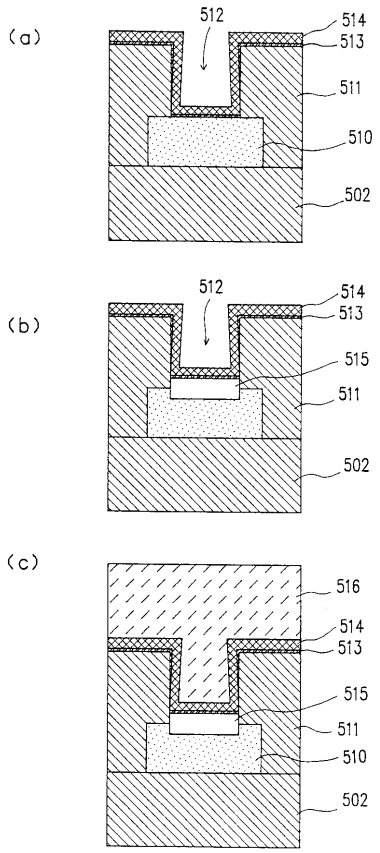
【図５】


504
502
501
(d)
507
506
505
504
502
501
(e)
507
509
505
508
502
501
(f)
Vd
504
503
(a)
Ve
503
505
507
(b)
Vf
503
508
507
(c)

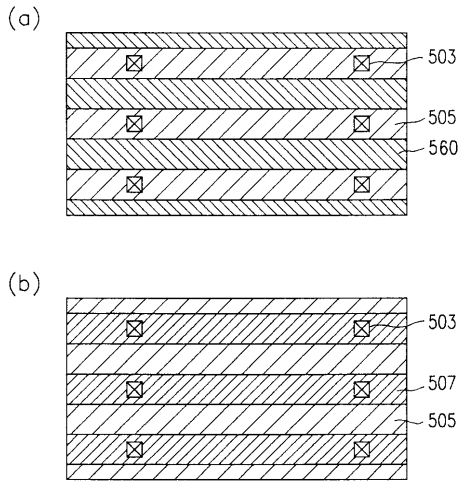
【図６】


(a)
507
509
505
510
502
501
(b)
510
502
501
(c)
510
502
501
(d)
512
511
510
502
501

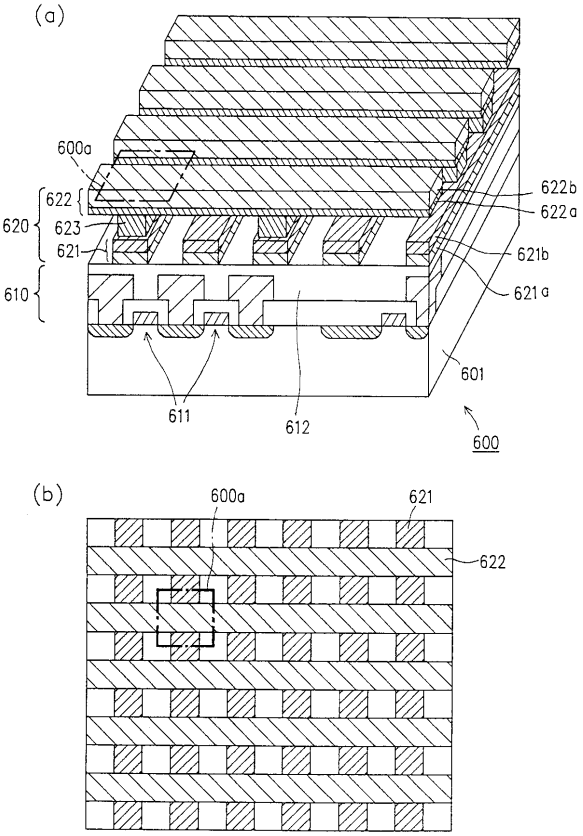
【図７】


(a)
512
514
513
511
510
502
(b)
512
514
513
515
511
502
(c)
516
514
513
515
511
510
502

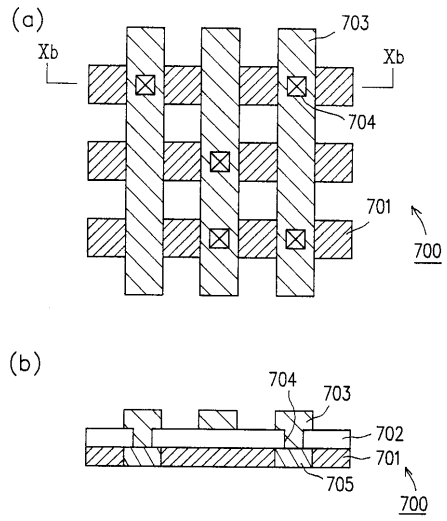
【図８】


(a)
503
505
560
(b)
503
507
505

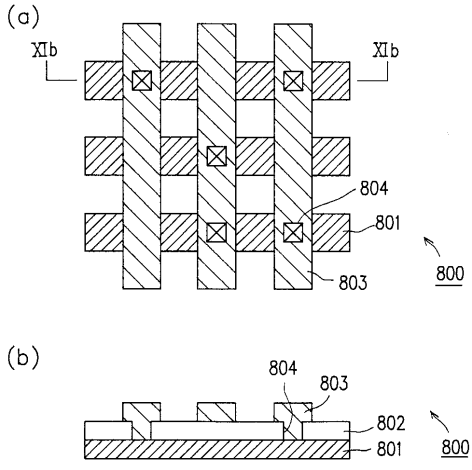
【図９】


(a)
600a
622
620
623
621
610
622b
622a
621b
621a
601
611
612
600
(b)
600a
621
622

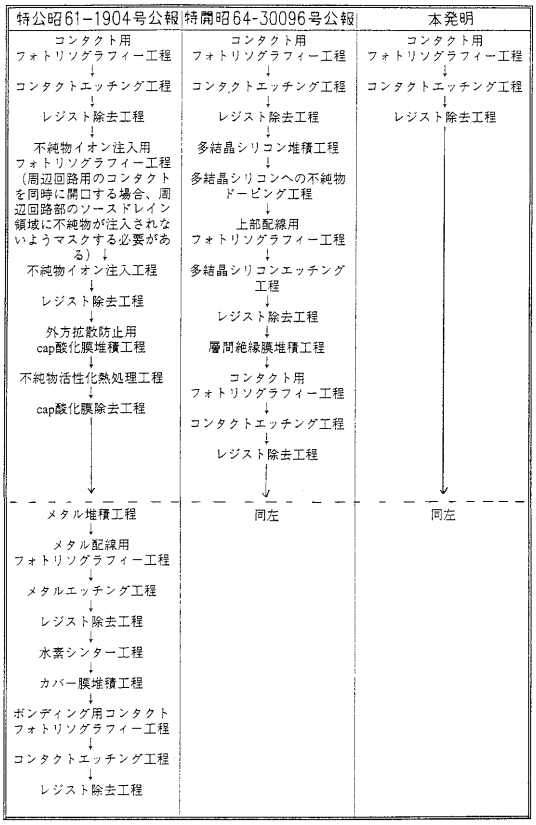
【図１０】


(a)
Xb
Xb
703
704
701
700
(b)
704
703
702
701
705
700

【図１１】


(a)
XIb
XIb
804
801
803
800
(b)
804
803
802
801
800

【図１２】


特公昭61−1904号公報
特開昭64-30096号公報
本発明
コンタクト用
フォトリソグラフィー工程
コンタクトエッチング工程
レジスト除去工程
不純物イオン注入用
フォトリソグラフィー工程
（周辺回路用のコンタクトを同時に開口する場合、周辺回路部のソースドレイン領域に不純物が注入されないようマスクする必要がある）
不純物イオン注入工程
レジスト除去工程
外方拡散防止用
cap酸化膜堆積工程
不純物活性化熱処理工程
cap酸化膜除去工程
多結晶シリコン堆積工程
多結晶シリコンへの不純物ドーピング工程
上部配線用
フォトリソグラフィー工程
多結晶シリコンエッチング工程
レジスト除去工程
層間絶縁膜堆積工程
メタル堆積工程
メタル配線用
フォトリソグラフィー工程
メタルエッチング工程
水素シンター工程
カバー膜堆積工程
ボンディング用コンタクト
フォトリソグラフィー工程
同左

フロントページの続き

(72)発明者　古林　久敏
大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内

審査官　正山　旭

(56)参考文献　特開昭５７－１８６２９５（ＪＰ，Ａ）
特開昭６２－１８１４６４（ＪＰ，Ａ）
特開平０６－１１２１２１（ＪＰ，Ａ）
特開平０２－２９５１１０（ＪＰ，Ａ）
特開平０４－０９９３７０（ＪＰ，Ａ）
特開平０６－３３４１３９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/10　431
H01L 21/20