

(43) 国際公開日
2006年3月23日 (23.03.2006)

PCT

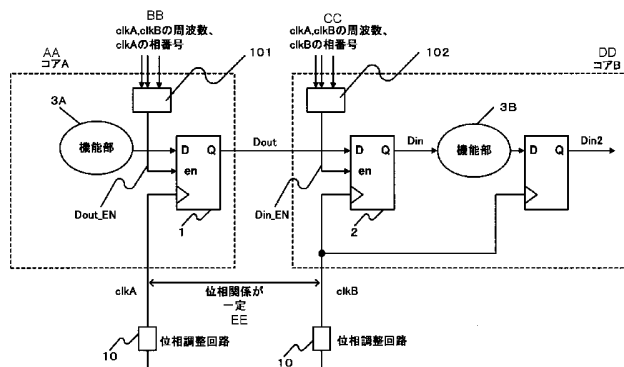
(10) 国際公開番号
WO 2006/030904 A1

- (51) 国際特許分類:
H04L 7/00 (2006.01) G06F 1/12 (2006.01)
- (21) 国際出願番号: PCT/JP2005/017165
- (22) 国際出願日: 2005年9月16日 (16.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-270435 2004年9月16日 (16.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 柴山 充文 (SHIBAYAMA, Atsufumi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo
- (JP). 野瀬 浩一 (NOSE, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 水野 正之 (MIZUNO, Masayuki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宇高 克己 (UDAKA, Katsuki); 〒1010025 東京都千代田区神田佐久間町1-14 第二東ビル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND COMMUNICATION CONTROL METHOD

(54) 発明の名称: 半導体装置、及び通信制御方法



AA... CORE A
 3A... FUNCTION PART
 BB... FREQUENCY OF clkA, FREQUENCY OF clkB, AND PHASE NUMBER OF clkA
 CC... FREQUENCY OF clkA, FREQUENCY OF clkB, AND PHASE NUMBER OF clkB
 3B... FUNCTION PART
 DD... CORE B
 EE... PHASE RELATIONSHIP IS FIXED
 10... PHASE ADJUSTING CIRCUIT

(57) Abstract: [PROBLEMS] To provide a technique capable of achieving inter-core communication in which the flexibility of the clock frequencies that can be established by the cores is great, the operation is deterministic, the communication latency is small, and the reliability is high. It is an object of the present invention to provide a highly reliable semiconductor device by analyzing, from the communication histories in semiconductor devices, the factors that affect the performances of those semiconductor devices and then reflecting such analyses to semiconductor devices of a next generation. [MEANS FOR SOLVING PROBLEMS] An inventive semiconductor device has a core A that transmits data in synchronism with a clock signal (clkA), a core B that receives the data in synchronism with a clock signal (clkB) that coincides with a rising or falling edge of the clock signal (clkA) in a given period, and a control part that controls communication between the cores A and B. The control part controls such that the core B can receive only the data arriving prior to a setup of the clock signal (clkB). Moreover, it stores the history of the inter-core communication statuses.

/ 続葉有 /



WO 2006/030904 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 【課題】 各コアが設定できるクロック周波数の自由度が大きく、動作が決定的(deterministic)で、通信レイテンシが小さく、信頼性の高い、コア間の通信ができる技術を提供することにある。又、本発明の目的は、半導体装置内の通信履歴から半導体装置の性能に影響を与える要因を解析し、次世代の半導体装置に反映させることにより、信頼性の高い半導体装置を提供することにある。 【解決手段】 本発明の半導体装置は、クロック信号clkAに同期してデータを送信するコアAと、ある一定の周期でクロック信号clkAの立ち上がり又は立ち下がりと一致するクロック信号clkBに同期してデータ受信するコアBと、コアAとコアBとの間の通信を制御する制御部とを有する。制御部は、クロック信号clkBのセットアップより前に到着するデータのみをコアBが受信できるように制御する。更に、コア間の通信状況を履歴保存する。

明 細 書

半導体装置、及び通信制御方法

技術分野

- [0001] 機能ブロックを複数有する半導体装置に関し、特に、異なるクロック周波数で動作する複数のコア間で通信する半導体装置及びその方法に関する。

背景技術

- [0002] 従来、異なるクロック周波数で動作するコア（機能ブロック）同士の通信方法には、主に同期方式及び非同期方式の2種類がある。
- [0003] 図12は、同期方式を用いて通信する半導体装置を示す図である。
- [0004] このような半導体装置において、コアAとコアBとで通信する場合、同期方式では通信する2つのコアの各クロックの周波数比が1対整数倍（例えば、1:2, 1:3, ...等）や、1対整数分の1倍（例えば、1:1/2, 1:1/3, ...等）であり、かつ2つのクロックの位相が等しいことが条件となる。すなわち、同期通信はクロック同士が同期しているコア間でのみ行うことが出来る通信方法である。
- [0005] 図13は、非同期方式を用いて通信する半導体装置を示す図である。
- [0006] 2つのコアの各クロックの周波数比が1対整数倍や、1対整数分の1倍ではなく、かつ2つのクロックの位相が等しくないコア間で行われる通信が非同期通信である。非同期方式を用いて通信すると、信号を出力するタイミングと信号を入力するタイミングとが非同期関係になり、信号が“0”と“1”との間をある時間揺らぐ状態（この状態をmeta stability:メタスタビリティという）になるので、メタスタビリティによる誤動作を防止する為、通常、同期化回路が用いられる技術が提案されている（例えば、特許文献1）。
- [0007] 特許文献1に記載の技術は、第1のクロック信号に同期して所定の動作を行う第1のコアと、第2のクロック信号に同期して所定の動作を行う第2のコアとの間に同期化回路を設けている。そして、この同期化回路は第1のコアの出力データを第1のクロック信号に同期してラッチし、ラッチした信号を第2のクロック信号に同期して出力している。
- [0008] また、上記以外にもメタスタビリティによる誤動作を防止する技術が提案されている（

例えば、特許文献2)。

- [0009] 特許文献2に記載の技術は、データ入力信号とクロック入力信号の変化を検知し、セットアップ若しくはホールドタイムを満足しない場合にフリップフロップのデータ入力の信号を変更しないように制御して、メタスタビリティによる誤動作を防止している。

特許文献1:特開2003-273847号

特許文献2:特開平6-45880号

発明の開示

発明が解決しようとする課題

- [0010] 従来の同期方式は、各コアのクロック周波数比が1対整数倍や1対整数分の1倍に限定されるという問題がある。この制限は通信するコアの数が増加するにつれて益々深刻になる。
- [0011] さらに近年、消費電力の低減の為に、各コア毎に周波数及び電源電圧を動作時に動的に変更する動的周波数電圧制御方式(Dynamic Frequency Voltage Scaling: DFVS)が提案されている。コア毎にDFVSを実施する場合、電源電圧が変更されることによりクロックの分配遅延が変化するため、コア間で同期関係が保てなくなる。すなわち、従来の同期方式では通信できないという問題がある。また、各コアが設定できるクロック周波数が限定されていると、DFVSの低電力化に対する効果が減少するという問題がある。
- [0012] 一方、上述した特許文献1のような非同期方式には主に次に示す問題がある。
- [0013] 第1に、非決定性動作の問題がある。チップデバイスの特性ばらつきや動作環境等に依存して、クロックサイクルのレベルでの動作が非決定的(nondeterministic)になる。その結果、ハードウェア/ソフトウェアの検証・デバックやテストにかかるコストが増大してしまう。
- [0014] 第2に、通信レイテンシが大きいという問題がある。同期化に要する遅延の為に通信レイテンシが増加し、通信スループットが低下する。その結果、性能の低下や、それを補償するために面積・電力が増加してしまう。
- [0015] 第3に、メタスタビリティによる誤動作の可能性がある、この結果、信頼性が低下するという問題がある。これは、クロック周波数の増加や低電圧化や同期化を行う箇所の

増加にともない益々悪化する。信頼性を向上するには、メタスタビリティを解消する為の時間を十分に確保する必要があるが、その結果、同期化に要する遅延が益々増大し、通信レイテンシが増加する。

[0016] 又、上述した特許文献2の技術は、動作時にデータ入力信号とクロック入力信号の変化を検知し、セットアップ若しくはホールドタイムを満足しているか否かを判断するが、チップデバイスの特性ばらつきや動作環境等に依存してその判断基準が変動するため、クロックサイクルのレベルでの動作が非決定的になるという問題がある。

[0017] そこで、本発明の目的は、上記問題点を鑑みて発明されたものであって、各コアが設定できるクロック周波数の自由度が大きく、動作が決定的(deterministic)で、通信レイテンシが小さく、信頼性の高い、コア間の通信ができる技術を提供することにある。

[0018] 又、本発明の目的は、半導体装置内の通信履歴から半導体装置の性能に影響を与える要因を解析し、次世代の半導体装置に反映させることにより、信頼性の高い半導体装置を提供することにある。

課題を解決するための手段

[0019] 上記課題を解決するための第1の発明は、半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりと一致する第2の
クロック信号に基づいてデータ入力する第2の信号処理回路と、
前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力する
ように制御する制御回路と
を有することを特徴とする。

[0020] 上記課題を解決するための第2の発明は、半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりと位相差があ
る一定値になる第2のクロック信号に基づいてデータ入力する第2の信号処理回路と
と
前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力する
ように制御する制御回路と

を有することを特徴とする。

[0021] 上記課題を解決するための第3の発明は、上記第1又は第2の発明において、前記制御回路は、前記第1のクロック信号に同期して複数のデータを入力された順に、ある一定の周期に予め定められた数のデータを出力するように制御する出力制御回路であることを特徴とする。

[0022] 上記課題を解決するための第4の発明は、上記第1又は第2の発明において、前記制御回路は、複数のデータの中から前記セットアップ時間より前に到着するデータを選択して入力するように制御する入力制御回路であることを特徴とする。

[0023] 上記課題を解決するための第5の発明は、上記第1又は第2の発明において、前記制御回路は、前記セットアップ時間より前に到着しないデータを出力しないように前記第1の信号処理回路を制御する出力制御回路であることを特徴とする。

[0024] 上記課題を解決するための第6の発明は、上記第1又は第2の発明において、前記制御回路は、前記セットアップ時間より前に到着しないデータを入力しないように前記第2の信号処理回路を制御する入力制御回路であることを特徴とする。

[0025] 上記課題を解決するための第7の発明は、上記第1又は第2の発明において、前記制御回路は、前記セットアップ時間より前に到着しないデータは、データを一定時間だけ遅延させる遅延部で遅延させたデータを入力するように制御する遅延選択制御回路であることを特徴とする。

[0026] 上記課題を解決するための第8の発明は、上記第7の発明において、前記遅延部は、前記セットアップより前に到着しないデータを前記第2のクロック信号の1クロック分遅延させることを特徴とする。

[0027] 上記課題を解決するための第9の発明は、上記第1から第8のいずれかの発明において、前記データは、

前記第1のクロックに同期して所定の動作を行う第1の機能部から出力される、処理要求を示す処理要求データ、若しくは処理要求データを受信したことを示す処理要求リセットデータであることを特徴とする。

[0028] 上記課題を解決するための第10の発明は、上記第9の発明において、前記処理要求データ及び前記処理要求リセットデータは、前記第1の機能部と、前記第2のク

ロックに同期して所定の動作を行う第2の機能部との間で送受信されるデータであることを特徴とする。

[0029] 上記課題を解決するための第11の発明は、上記第9の発明において、前記処理要求データ及び前記処理要求リセットデータは、前記第1の機能部と、バスとの間で送受信されるデータであることを特徴とする。

[0030] 上記課題を解決するための第12の発明は、上記第1から第11のいずれかの発明において、前記半導体装置は、
前記データの送受信中の動作状況を履歴情報として保持する履歴保存手段を有することを特徴とする。

[0031] 上記課題を解決するための第13の発明は、上記第12の発明において、前記半導体装置は、
前記履歴保存手段が保持する履歴情報に基づいて、半導体装置の性能低下の原因を解析する解析手段を有することを特徴とする。

[0032] 上記課題を解決するための第14の発明は、上記第12又は第13の発明において、前記履歴保存手段は、前記履歴情報を外部に出力する出力手段を有することを特徴とする。

[0033] 上記課題を解決するための第15の発明は、上記第1から第14のいずれかの発明において、前記セットアップ時間を、動作時に動的に変更することを特徴とする。

[0034] 上記課題を解決するための第16の発明は、半導体装置の通信制御方法であって
、

第1のクロック信号に基づいて送信されたデータの中、ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりと一致する第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御することを特徴とする。

[0035] 上記課題を解決するための第17の発明は、半導体装置の通信制御方法であって
、

第1のクロック信号に基づいて送信されたデータの中、ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御することを特

徴とする。

- [0036] 上記課題を解決するための第18の発明は、上記第16又は第17の発明において、前記通信制御方法は、前記第1のクロック信号に同期して複数のデータを入力された順に、ある一定の周期に予め定められた数のデータを出力するように制御することを特徴とする。
- [0037] 上記課題を解決するための第19の発明は、上記第16又は第17の発明において、前記通信制御方法は、複数のデータの中から前記セットアップ時間より前に到着するデータを選択して入力するように制御することを特徴とする。
- [0038] 上記課題を解決するための第20の発明は、上記第16又は第17の発明において、前記通信制御方法は、前記セットアップ時間より前に到着しないデータを出力しないように制御することを特徴とする。
- [0039] 上記課題を解決するための第21の発明は、上記第16又は第17の発明において、前記通信制御方法は、前記セットアップ時間より前に到着しないデータを入力しないように制御することを特徴とする。
- [0040] 上記課題を解決するための第22の発明は、上記第16又は第17の発明において、前記通信制御方法は、前記セットアップ時間より前に到着しないデータは、データを一定時間だけ遅延させる遅延部で遅延させたデータを入力するように制御することを特徴とする。
- [0041] 上記課題を解決するための第23の発明は、上記第22の発明において、前記通信制御方法は、前記セットアップ時間より前に到着しないデータを前記遅延部で前記第2のクロック信号の1クロック分遅延させることを特徴とする。
- [0042] 上記課題を解決するための第24の発明は、上記第16から第23のいずれかの発明において、前記セットアップ時間を、動作時に動的に変更することを特徴とする請求項16から請求項23のいずれかに記載の通信制御方法。
- [0043] 本発明の半導体装置は、送信する側のクロックと受信側のクロックのエッジ間の時間差が、ある設計時に決定する遅延設計値Tdよりも大きい場合はデータ通信し、小さい場合はデータ通信しない。
- [0044] データを通信しない第1の方法として、送信側がそのクロックエッジではデータを出

力しない、または受信側がそのクロックエッジではデータを入力しない方法がある。第2の方法として、データを遅延させて受信側が受信側の次のクロックのエッジで入力するようにする。

発明の効果

[0045] 本発明によると、設計時に予め想定する範囲内で、各コアのクロック周波数を自由に設定することが可能であり、そのクロックにより同期的に通信しているため、動作が決定的で、通信レイテンシが小さく、信頼性の高い、コア間通信を実現することができる。又、これにより、非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ低レイテンシ、低スループットのコア間通信を実現することができる。

[0046] 更に、半導体装置内の通信履歴から半導体装置の性能に影響を与える要因を解析しているので、次世代の半導体装置に反映させ、信頼性の高い半導体装置を提供することができる。

発明を実施するための最良の形態

[0047] 本発明の実施の形態を説明する。

[0048] 本発明の半導体装置は、クロック信号clkAに同期してデータを送信するコアAと、ある一定の周期でクロック信号clkAの立ち上がり又は立ち下がりと一致するクロック信号clkBに同期してデータ受信するコアBと、コアAとコアBとの間の通信を制御する制御部とを有する。

[0049] 制御部は、クロック信号clkBのセットアップ時間より前に到着するデータのみをコアBが受信できるように制御する。

[0050] 制御する方法としては、クロック信号clkAの立ち上がりエッジとその立ち上がりのすぐ後に立ち上がるクロック信号clkBの立ち上がりエッジとの位相差に相当する時間が遅延設計値Td以下の場合には、コアAはデータを出力しない又はコアBは入力しないように制御する。あるいは、クロック信号clkAの立ち上がりエッジとその立ち上がりのすぐ後に立ち上がるクロック信号clkBの立ち上がりエッジとの位相差に相当する時間がTd以下の場合には、データを遅延させてコアBが次のクロックエッジのタイミングで入力できるように制御する。

[0051] 以下に具体的な実施例を説明する。

実施例 1

[0052] 本発明における実施例1について説明する。

[0053] 図1は、本発明における実施例1の半導体装置の構成図である。

[0054] コアA及びコアBは、所定の機能を有する回路ブロックであり、例えばCPU (Central Processing Unit) やDSP (Digital Signal Processor) 等である。各コアは、各々に入力される各クロックに同期して所定の処理を行う。

[0055] ここで、各コアに入力されるクロック信号について説明する。

[0056] 図2は、コアAに入力されるクロック信号clkA及びコアBに入力されるクロック信号clkBのタイミングチャートである。

[0057] クロック信号clkAとクロック信号clkBとの周波数は、任意の基準周波数を f ($f > 0$) とした場合、クロック信号clkAは mf 、クロック信号clkBは nf (m, n は整数) になるように設計される。また、クロック信号clkAとクロック信号clkBとの位相関係が常に一定になるように、即ち、ある一定の周期で各クロック信号の立ち上がり又は立ち下がりが一致するように、各コアに入力される前に位相調整回路10で調整される。このように調整されたクロック信号clkAは m サイクル毎にクロック信号clkBに対する位相関係が一巡(位相が一致)し、クロック信号clkBは n サイクル毎にクロック信号clkAに対する位相関係が一巡(位相が一致)する。図2は、例として上記 m が8、 n が5である場合、すなわちクロック信号clkAの周波数が $8f$ 、クロック信号clkBの周波数が $5f$ である場合を示している。この場合、クロック信号clkAは8サイクル毎、クロック信号clkBは5サイクル毎にそれぞれのクロック信号の立ち上がりが一致する。また、クロック信号clkAとクロック信号clkBとの立ち上がりが一致するサイクルを0として、それぞれのクロックの各サイクルにつけた番号を相番号と呼ぶことにする。相番号が0のサイクルから、クロック信号clkAは m サイクル後、クロック信号clkBは n サイクル後に再びそれぞれのクロックの立ち上がりが一致するので、相番号はそれぞれ m 及び n で充分となる。尚、位相調整回路10は、例えばDLL (Digital Locked Loop) 回路等の遅延調整回路により実現することが出来る。たとえ、各コアの電圧が動的に変化する場合でも、それに追従して動的に位相調整することが可能である。

- [0058] 再び図1を参照すると、コアAは、クロック信号clkAに同期して所定の動作を行う各種機能部3Aと、フリップフロップ1と、データ出力制御回路101とを有する。ここで、機能部とは例えばCPUやDSP等における機能実行部に相当する。
- [0059] フリップフロップ1は、データ出力制御回路101の制御に基づいて、信号をクロック信号clkAに同期して出力する。尚、本実施例では、クロック信号clkAの立ち上がりエッジのタイミングで出力する場合を用いて説明するが、クロック信号clkAの立ち下がりエッジのタイミングで出力してもよい。
- [0060] データ出力制御回路101は、コアAからコアBへデータを送信する場合、コアAからコアBへのデータ送信時間を考慮して、コアBのフリップフロップ2のセットアップ時間より前に到着するデータのみを送信するように、クロック信号clkA及びクロック信号clkBの周波数とクロック信号clkAの相番号とに基づいてフリップフロップ1を制御する。詳細に述べると、例えば図2のクロック信号clkAの相番号3の立ち上がりエッジのタイミングでデータを出力すると、このデータを入力するタイミングは、クロック信号clkAの相番号3の立ち上がりエッジより後のクロック信号clkBの立ち上がりエッジのタイミングである。しかしながら、クロック信号clkBの相番号2の立ち上がりエッジのようにクロック信号clkAの立ち上がりエッジから、その後に立ち上がるクロック信号clkBの立ち上がりエッジまでの時間が短すぎると、正しいデータを入力することができない。従ってデータ出力制御回路101は、クロック信号clkAの立ち上がりエッジからその後に立ち上がるクロック信号clkBの立ち上がりエッジまでの位相差に相当する時間が遅延設計値Td以下の場合には、クロック信号clkAの相番号3の立ち上がりエッジのタイミングではデータを出力しないようにフリップフロップ1を制御する。また、図2のクロック信号clkAの相番号0及び相番号1のように、クロック信号clkBの相番号1の立ち上がりエッジまでの位相差が遅延設計値Td以上である立ち上がりエッジが2つある場合、どちらか一方の立ち上がりエッジのタイミングではデータを出力しないようにフリップフロップ1を制御するか、若しくはコアAの機能部3A自身がどちらか一方のサイクルにのみフリップフロップ1へデータを出力するように制御する。
- [0061] コアBはクロック信号clkBに同期して所定の動作を行う各種機能部3Bと、フリップフロップ2と、データ入力制御回路102とを有する。

- [0062] フリップフロップ2は、データ入力制御回路102の制御に基づいて、信号をクロック信号clkBに同期して入力する。尚、本実施例では、クロック信号clkBの立ち上がりエッジのタイミングで入力する場合を用いて説明するが、クロック信号clkBの立ち下がりエッジのタイミングで入力してもよいものとする。
- [0063] データ入力制御回路102は、コアAからコアBへデータを送信する場合、データの到着がコアBのフリップフロップ2のセットアップ時間に間に合わないデータを入力しないように、クロック信号clkA及びクロック信号clkBの周波数とクロック信号clkBの相番号とに基づいてフリップフロップ2を制御する。詳細に述べると、クロック信号clkAのある立ち上がりエッジからクロック信号clkBのある立ち上がりエッジまでの位相差が遅延設計値Td以下の場合には、そのサイクルではデータを入力しないようにフリップフロップ2を制御する。
- [0064] ここで、遅延設計値Tdの決定方法について図3を参照して説明する。
- [0065] 遅延設計値Tdは、フリップフロップ1がクロック信号clkAのある立ち上がりエッジのタイミングでデータ送信を開始してからコアBが受信するまでの時間であるデータ送信時間を考慮して設定する。詳細には、クロック信号clkAとクロック信号clkBとの間のクロックスキューの時間＋クロックジッタの時間をTskewG、フリップフロップの遅延時間をTff、フリップフロップのセットアップ時間をTsu、最小サイクル時間(最大周波数時のサイクル時間)をTcyc(min)とすると、遅延設計値Tdは、 $Tcyc(min) > Td > TskewG + Tsu + Tff$ となるように設定することになる。
- [0066] 続いて、本実施例の動作について説明する。尚、本実施例では、 $m=8$ 、 $n=5$ の場合を用いて説明する。
- [0067] 図4は、本実施例においてコアAからコアBにデータを送信する際にデータ出力制御回路101がデータの出力を制御する場合の動作を説明するためのタイムチャートである。
- [0068] 図中のクロック信号clkAはコアAのクロック信号clkAであり、図中のクロック信号clkBはコアBのクロック信号clkBである。 $m=8$ であるため、クロック信号clkAの周波数は $8f$ であり、相番号は $0\sim7$ までとなる。同様に $n=5$ であるためクロック信号clkBの周波数は $5f$ であり、相番号は $0\sim5$ までとなる。クロック信号clkA、クロック信号clkBの各相番

号が0のときに位相が一致(各クロック信号の立ち上がりのタイミングが一致)しているので、クロック信号clkAの8サイクル毎、クロック信号clkBの5サイクル毎に位相関係が一巡することになる。すなわち、データ出力制御回路101は、クロック信号clkAの8サイクル内及びクロック信号clkBの5サイクル内の位相関係を考慮してデータの通信制御を行うことになる。Dout_ENは、データ出力制御回路101からの制御信号である。Din_ENは、データ出力制御回路102からの制御信号である。Doutは、フリップフロップ1が出力する入力信号である。Dinは、フリップフロップ2が出力し、コアBの機能部3Bが入力する信号である。

[0069] ここで、遅延設計値Tdとしてクロック信号clkAのサイクル時間の半分を選択した場合、図4に示すように、クロック信号clkAの相番号3の立ち上がりエッジからクロック信号clkBの相番号2の立ち上がりエッジ、及びクロック信号clkAの相番号6の立ち上がりエッジからクロック信号clkBの相番号4の立ち上がりエッジへの位相差に相当する時間がTd以下になる。このことは、クロック信号clkA及びクロック信号clkBの周波数とクロック信号clkAの相番号とからわかるので、この場合、データ通信しないようにデータ出力制御回路101は制御することになる。

[0070] コアAがデータを出力しないように制御する場合、データ出力制御回路101はクロック信号clkAの周波数8f、クロック信号clkBの周波数5f及びクロック信号clkAの相番号0～7が与えられるので、クロック信号clkAの相番号3及び6の立ち上がりエッジのタイミングで出力しないように制御する。また、クロック信号clkAの相番号0及び1の立ち上がりエッジのタイミングで出力されたデータを、クロック信号clkBの相番号1の立ち上がりエッジのタイミングで入力することが出来るが、ここではクロック信号clkAの相番号1の立ち上がりエッジのタイミングで出力されたデータを受け取るようにする為、相番号0のタイミングではデータを出力しないように出力制御回路101が制御する場合について説明する。

[0071] まず、データ出力制御回路101は、クロック信号clkAの相番号1及び2でデータを出力するように、クロック信号clkAの相番号0の立ち上がりエッジのタイミングで制御信号Dout_ENをHighにする。

[0072] データ出力制御回路101は、クロック信号clkAの相番号3の立ち上がりエッジのタイ

ミングでフリップフロップ1がデータを出力しないように、クロック信号clkAの相番号2の立ち上がりエッジのタイミングからホールド時間経過後、制御信号Dout_ENをLowにする。

[0073] クロック信号clkAの相番号4の立ち上がりエッジのタイミングでフリップフロップ1がデータを出力できるように、クロック信号clkAの相番号3の立ち上がりエッジのタイミングからホールド時間経過後、制御信号Dout_ENをHighにする。

[0074] データ出力制御回路101は、クロック信号clkAの相番号6の立ち上がりエッジのタイミングでフリップフロップ1がデータを出力しないように、クロック信号clkAの相番号5の立ち上がりエッジのタイミングからホールド時間経過後、制御信号Dout_ENをLowにする。

[0075] クロック信号clkAの相番号7の立ち上がりエッジのタイミングでフリップフロップ1がデータを出力できるように、クロック信号clkAの相番号6の立ち上がりエッジのタイミングからホールド時間経過後、制御信号Dout_ENをHighにする。

[0076] 次に、クロック信号clkAの相番号0の立ち上がりエッジのタイミングでフリップフロップ1がデータを出力しないように、クロック信号clkAの相番号7の立ち上がりエッジのタイミングで制御信号Dout_ENをLowにする。

[0077] 以上の動作を繰り返すことにより、非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ低レイテンシ、低スループットのコア間通信を実現することができる。

[0078] 位相差に相当する時間がTd以下の場合に、データを通信しないように制御する方法として、上述したコアAがそのタイミングではデータを出力しないようにデータ出力制御回路101がフリップフロップ1を制御する方法と、コアBがそのタイミングではデータを入力しないようにデータ入力制御回路102がフリップフロップ2を制御する方法がある。

[0079] 次に、データ入力制御回路102がフリップフロップ2を制御する方法について説明する。

[0080] 図5は、本実施例においてコアAからコアBにデータを送信する際にデータ入力制御回路102がデータの入力を制御する場合の動作を説明するためのタイムチャート

である。

- [0081] コアBがデータを入力しないように制御する場合、上述した通り、クロック信号clkAの相番号3及び6の立ち上がりエッジのタイミングで出力されたデータを入力しないように制御する。また、クロック信号clkAの相番号0及び1の立ち上がりエッジのタイミングで出力されたデータを、クロック信号clkBの相番号1の立ち上がりエッジのタイミングで入力することが出来るが、ここではコアAの機能部3Aがクロック信号clkAの相番号0か1のどちらか一方の立ち上がりエッジのタイミングでしかデータを出力しない場合について説明する。同様に、クロック信号clkAの相番号2、3及び4についても、コアAの機能部3Aが相番号2、3、4のいずれか1つの立ち上がりエッジのタイミングでしかデータを出力しないとする。更に、同様に、クロック信号clkAの相番号5、6及び7についても、コアAの機能部3Aが相番号5、6、7のいずれか1つの立ち上がりエッジのタイミングでしかデータを出力しないとする。
- [0082] まず、データ入力制御回路102は、クロック信号clkAの相番号3の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、クロック信号clkBの相番号2の立ち上がりエッジのタイミングでフリップフロップ2が入力しないように、クロック信号clkBの相番号1の立ち上がりエッジのタイミングで制御信号Din_ENをLowにする。
- [0083] クロック信号clkAの相番号4の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、クロック信号clkBの相番号3の立ち上がりエッジのタイミングでフリップフロップ2が入力できるように、クロック信号clkBの相番号2の立ち上がりエッジのタイミングで制御信号Din_ENをHighにする。
- [0084] データ入力制御回路102は、クロック信号clkAの相番号6の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、クロック信号clkBの相番号4の立ち上がりエッジのタイミングでフリップフロップ2が入力しないように、クロック信号clkBの相番号3の立ち上がりエッジのタイミングで制御信号Din_ENをLowにする。
- [0085] クロック信号clkAの相番号7の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、クロック信号clkBの相番号0の立ち上がりエッジのタイミングでフリップフロップ2が入力できるように、クロック信号clkBの相番号4の立ち上がりエッジのタイミングで制御信号Din_ENをHighにする。また、クロック信号clkAの相番号1の立ち

上がりエッジのタイミングでフリップフロップ1が出力したデータは、制御信号Din_ENがHighのままであるため、クロック信号clkBの相番号1の立ち上がりエッジのタイミングでフリップフロップ2が入力する。

[0086] 以上の動作を繰り返すことにより、非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ低レイテンシ、低スループットのコア間通信を実現することができる。

[0087] 尚、本実施例ではデータ出力制御回路101とデータ入力制御回路102とを有する半導体装置を構成例に挙げて説明したが、これに限るものではない。即ち、どちらか一方を有した構成であればよい。また、本実施例では、コアAからコアBにデータを送信する場合について説明したため、コアAがデータ出力制御回路101を、コアBがデータ入力制御回路102を有する構成であったが、コアBからコアAにデータを送信する場合は、コアAがデータ入力制御回路102を、コアBがデータ出力制御回路101を有する構成となる。又、コアA及びコアBにデータ出力制御回路101又はデータ入力制御回路102を有する構成をとり、コアAとコアBとでデータ送受信する構成であっても良い。

実施例 2

[0088] 実施例1において、位相差に相当する時間が遅延設計値Td以下の場合にデータを通信しない方法として、そのタイミングではデータを出力しない又は入力しない方法について説明したが、データを遅延させてコアBが次のクロックエッジのタイミングで入力できるようにしてもよい。本実施例では、データを遅延させる方法について説明する。尚、上述した実施例と同様の構成については、同一番号を付し、詳細な説明を省略する。

[0089] 図6は、本実施例の半導体装置の構成を示す図である。

[0090] フリップフロップ1は、信号をクロック信号clkAに同期して出力する。尚、本実施例では、クロック信号clkAの立ち上がりエッジのタイミングで出力する場合を用いて説明するが、クロック信号clkAの立ち下がりエッジのタイミングで出力してもよいものとする。

[0091] フリップフロップ2は、信号をクロック信号clkBに同期して入力する。尚、本実施例では、クロック信号clkBの立ち上がりエッジのタイミングで入力する場合を用いて説明す

るが、クロック信号clkBの立ち下がりエッジのタイミングで入力してもよいものとする。

[0092] 遅延素子30は、フリップフロップ1から出力されたデータを遅延値Tdly時間だけ遅延させる。

[0093] ここで、遅延値Tdlyの決定方法について図3を参照して説明する。

[0094] 遅延値Tdlyは、遅延設計値Td同様、コアAがクロック信号clkAのある立ち上がりエッジでデータ送信開始してからコアBが受信するまでの時間であるデータ送信時間を考慮して設定する。

最小サイクル時間(最大周波数時のサイクル時間)をTcyc(min)、クロック信号clkAとクロック信号clkBとの間のクロックスキュー+クロックジッタをTskewG、クロック信号clkA内またはクロック信号clkB内のクロックスキュー+クロックジッタをTskewL、クロック信号clkAとクロック信号clkBの位相差をTpd、フリップフロップの遅延をTff、フリップフロップのセットアップ時間をTsu、フリップフロップのホールド時間をThoとすると、Tdlyは $TskewG + Tsu + Tho < Tdly < Tcyc(min) - TskewL - Tsu - Tff$ となるように設定する。

[0095] データ遅延選択制御回路103は、クロック信号clkAの周波数、クロック信号clkBの周波数及びクロック信号clkBの相番号に基づいて、コアAからの出力データであるDoutまたは、その出力を遅延素子30が遅延値Tdly時間だけ遅延させたDout_DLYのいずれかからのデータをフリップフロップ2が入力するかセクタ4を制御する。

[0096] セクタ4は、データ遅延選択制御回路103からの制御信号Dselに基づいて、DoutまたはDout_DLYの出力値を選択する。

[0097] 続いて、本実施例における動作について説明する。

[0098] 図7は、データ遅延選択制御回路103の動作を説明するためのタイミングチャートである。尚、本実施例では、基準周波数をfとして、クロック信号clkAの周波数が8f、クロック信号clkBの周波数が5fとした場合の動作を説明する。

[0099] 図中のクロック信号clkAはコアAのクロック信号clkAであり、図中のクロック信号clkBはコアBのクロック信号clkBである。m=8であるため、クロック信号clkAの周波数は8fであり、相番号は0～7までとなる。同様にn=5であるためクロック信号clkBの周波数は5fであり、相番号は0～4までとなる。クロック信号clkA、クロック信号clkBの各相番号が0のときに位相が一致(各クロック信号の立ち上がりのタイミングが一致)している

ので、クロック信号clkAの8サイクル毎、クロック信号clkBの5サイクル毎に位相関係が一巡することになる。すなわち、データ遅延選択制御回路103は、クロック信号clkAの8サイクル内及びクロック信号clkBの5サイクル内の位相関係を考慮してデータの通信制御を行うことになる。Doutは、フリップフロップ1からの出力データであり、遅延させていないデータである。Dout_DLYは、フリップフロップからの出力データを遅延素子で遅延させたデータである。Dselは、データ遅延選択制御回路103からの制御信号である。Dinは、フリップフロップ2が出力するデータである。

[0100] 図7に示すように、クロック信号clkAの相番号3の立ち上がりエッジからクロック信号clkBの相番号2の立ち上がりエッジ、及びクロック信号clkAの相番号6の立ち上がりエッジからクロック信号clkBの相番号4の立ち上がりエッジへの位相差がTd以下となる。このことは、クロック信号clkA及びクロック信号clkBの周波数とクロック信号clkBの相番号とからわかるので、このときデータ遅延選択制御回路103は、clkAの相番号3及び相番号6の立ち上がりエッジのタイミングでフリップフロップ1が出力するデータを遅延素子によりTdlyだけ遅延されたデータをフリップフロップ2が入力するデータとして選択する。すなわち、クロック信号clkAの相番号3の立ち上がりエッジからクロック信号clkBの相番号2の立ち上がりエッジ、及びクロック信号clkAの相番号6の立ち上がりエッジからクロック信号clkBの相番号4の立ち上がりエッジでデータを送受信する代わりに、遅延素子30でTdlyだけ遅延させたデータをフリップフロップ2が入力するようにセレクト4を制御することにより、クロック信号clkAの相番号3の立ち上がりエッジからクロック信号clkBの相番号3の立ち上がりエッジ、及びクロック信号clkAの相番号6のクロックエッジからクロック信号clkBの相番号0の立ち上がりエッジのタイミングで入力するように制御する。

[0101] まず、クロック信号clkAの相番号0又は1の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、クロック信号clkBの相番号1の立ち上がりエッジのタイミングでフリップフロップ2がDoutから受信するように、データ遅延選択制御回路103はクロック信号clkBの相番号1の立ち上がりエッジのタイミングでは、DselにLowを出力する。

[0102] データ遅延選択制御回路103は、クロック信号clkAの相番号3の立ち上がりエッジ

のタイミングでフリップフロップ1が出力したデータをDout_DLYから受信するように、クロック信号clkBの相番号1の立ち上がりエッジのタイミングで、制御信号DoutをHighにする。

- [0103] クロック信号clkAの相番号4の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータをDoutから入力するように、クロック信号clkBの相番号2の立ち上がりエッジのタイミングで、制御信号DselをLowにする。
- [0104] クロック信号clkAの相番号6の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、Dout_DLYから入力するように、クロック信号clkBの相番号3の立ち上がりエッジのタイミングで、制御信号DselをHighにする。
- [0105] クロック信号clkAの相番号7の立ち上がりエッジのタイミングでフリップフロップ1が出力したデータを、Doutから入力するように、クロック信号clkBの相番号4の立ち上がりエッジのタイミングで、制御信号DselをLowにする。
- [0106] 以上により、非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ低レイテンシ、低スループットのコア間通信を実現することができる。

実施例 3

- [0107] 本実施例では、上述した半導体装置を使用したハンドシェイク回路について説明する。尚、上述した構成と同様の構成については同一番号を付し、詳細な説明を省略する。また、本実施例では上述した実施例2を用いた場合について説明するが、実施例1で説明した半導体装置を用いてもよい。
- [0108] 図8は、上述した実施例2の半導体装置を用いたリクエストのハンドシェイク回路を示す図である。尚、リクエストとはデータ通信やデータ処理などにおける処理要求のデータのことである。
- [0109] ハンドシェイク回路80は、データ遅延選択制御回路103A、データ遅延選択制御回路103B、データ遅延選択回路20A、データ遅延選択回路20B、データ遅延素子30及び同期式SRフリップフロップ81を有す。また、コアAとコアBとの電源電圧の差を変換するレベルシフタ回路82を有す。
- [0110] コアAの機能部3Aは、ハンドシェイク回路80を通じて、リクエストがある旨をコアBに

通知し、コアBはリクエストを受け取った旨をコアAに通知する。リクエストの有無は、コアA及びコアBで共有する同期式SRフリップフロップ81に保持され、それぞれのコアが備えるデータ遅延選択回路20A及び20Bを通じて同期的にハンドシェイク処理が行われる。

- [0111] 続いて、ハンドシェイクの動作について説明する。
- [0112] まず、リクエストをセットする動作について説明する。
- [0113] コアAの機能部3AはReq_setの信号をHighにすることで、同期式SRフリップフロップ81にリクエストをセットする(ステップBS301)。
- [0114] リクエストがセットされた旨は、同期式SRフリップフロップ81の出力Doutからの信号がHighとなって出力される(ステップBS302)。
- [0115] このリクエストがセットされた旨を示すDoutの値Highは、コアB側にあるデータ遅延選択回路20Bを通じてReq_Bに出力され、コアBにリクエストがある旨が通知される(ステップBS303)。
- [0116] ここで、ステップBS303について詳細に説明する。
- [0117] データ遅延選択制御回路103Bは、Doutの値がHighになった時、図7のクロック信号clkBの相番号0, 1, 3のように、この直前のクロック信号clkAの立ち上がりエッジからクロック信号clkBの立ち上がりまでTd以上ある場合は、Doutからの信号を入力するように制御する。フリップフロップ2は、Doutからの信号をクロック信号clkBの立ち上がりエッジのタイミングで入力し、Req_Bに出力する。
- [0118] 図7のクロック信号clkBの相番号2,4のように、直前のクロック信号clkAの立ち上がりからクロック信号clkBの立ち上がりまでがTd以下である場合は、Doutを遅延素子30によりTdlyだけ遅延させたDout_DLYからの信号を、入力するように制御する。フリップフロップ2はクロック信号clkBの立ち上がりエッジのタイミングで入力し、Req_Bに出力する。
- [0119] また、図7のクロック信号clkBの相番号0のように、クロック信号clkAの立ち上がりとクロック信号clkBの立ち上がりが等しい場合には、Doutをフリップフロップ2に入力せずに、直接Req_Bに出力するように制御する。
- [0120] 尚、データ遅延選択制御回路103Bは、クロック信号clkAの周波数、クロック信号cl

kBの周波数、クロック信号clkBの相番号、及び遅延設計値Tdを参照して、上記のように制御する。これにより、メタスタビリティを回避し、かつ確定的にコアAからのリクエストをコアBに通知する。

[0121] 上述のステップBS301及びBS302で説明した、リクエストがセットされた旨を示すDoutの値Highは、データ遅延選択回路20Aを通じてReq_Aに出力され、同期式SRフリップフロップ81にリクエストがセットされている旨がコアAに通知される(ステップAS303)。コアAは以前のリクエストがセットされている間は、新たなリクエストをセットすることはできない。

[0122] ここで、ステップAS303について詳細に説明する。

[0123] データ遅延選択制御回路103Aは、Doutの値がHighになった時、この直前のクロック信号clkBの立ち上がりエッジからクロック信号clkAの立ち上がりまでTd以上ある場合は、Doutからの信号を入力するように制御する。フリップフロップ1は、Doutからの信号をクロック信号clkAの立ち上がりエッジのタイミングで入力し、Req_Aに出力する。

[0124] 直前のクロック信号clkBの立ち上がりからクロック信号clkAの立ち上がりまでがTd以下である場合は、Doutを遅延素子30によりTdlyだけ遅延させたDout_DLYからの信号を、入力するように制御する。フリップフロップ1はクロック信号clkAの立ち上がりエッジのタイミングで入力し、Req_Aに出力する。

[0125] クロック信号clkBの立ち上がりとクロック信号clkAの立ち上がりとが等しい場合には、Doutをフリップフロップ1に入力せずに、直接Req_Aに出力するように制御する。

[0126] 尚、データ遅延選択制御回路103Aは、クロック信号clkAの周波数、クロック信号clkBの周波数、クロック信号clkAの相番号、及び遅延設計値Tdを参照して、上記のように制御する。

[0127] 続いてセットされたリクエストをリセットする動作について説明する。

[0128] コアBは、リクエストを受信すると、もしくはリクエストの対象となっている処置が完了すると、クロック信号clkBの立ち上がりエッジのタイミングでReq_resetをHighにすることでクロック信号clkBの立ち上がりエッジのタイミングで、同期式SRフリップフロップ81に保持されているリクエストをリセットする(ステップAR301)。このリクエストがリセットされた旨は、同期式SRフリップフロップ81の出力Doutからの信号がLowとなって出

力される(ステップAR302)。

[0129] このリクエストがセットされた旨を示すDoutの値Lowは、コアA側にあるデータ遅延選択回路20Aを通じてReq_Aに出力され、コアAにリクエストがある旨が通知される(ステップAR303)。

[0130] ここで、ステップAR303について詳細に説明する。

[0131] データ遅延選択制御回路103Aは、Doutの値がLowになった時、この直前のクロック信号clkBの立ち上がりエッジからクロック信号clkAの立ち上がりまでTd以上ある場合は、Doutからの信号を入力するように制御する。フリップフロップ1は、Doutからの信号をクロック信号clkAの立ち上がりエッジのタイミングで入力し、Req_Aに出力する。

[0132] 直前のクロック信号clkBの立ち上がりからクロック信号clkAの立ち上がりまでがTd以下である場合は、Doutを遅延素子30によりTdlyだけ遅延させたDout_DLYからの信号を、入力するように制御する。フリップフロップ1はクロック信号clkAの立ち上がりエッジのタイミングで入力し、Req_Aに出力する。

[0133] クロック信号clkAの立ち上がりとクロック信号clkBの立ち上がりが等しい場合には、Doutをフリップフロップ1に入力せずに、直接Req_Aに出力するように制御する。

[0134] 尚、データ遅延選択制御回路103Aは、クロック信号clkAの周波数、クロック信号clkBの周波数、クロック信号clkAの相番号、及び遅延設計値Tdlyを参照して、上記ように制御する。その結果、コアAにリクエストがリセットされた旨を通知する。コアAは新たなリクエストをセットすることができる。

[0135] 上述のステップAR301及びAR302で説明した、リクエストがリセットされた旨は、コアB側のデータ遅延選択回路20Bを通じてDoutの値がReq_Bに出力され、同期式SRフリップフロップ81にリクエストがリセットされた旨がコアBに通知される(ステップBR303)。コアAは以前のリクエストがセットされている間は、新たなリクエストをセットすることはできない。

[0136] ここで、ステップBR303について詳細に説明する。

[0137] データ遅延選択制御回路103Bは、Doutの値がLowになった時、この直前のクロック信号clkAの立ち上がりエッジからクロック信号clkBの立ち上がりまでTd以上ある場合は、Doutからの信号を入力するように制御する。フリップフロップ2は、Doutからの

信号をクロック信号clkBの立ち上がりエッジのタイミングで入力し、Req_Bに出力する。

[0138] 直前のクロック信号clkAの立ち上がりからクロック信号clkBの立ち上がりまでがTd以下である場合は、Doutを遅延素子30によりTdlyだけ遅延させたDout_DLYからの信号を、入力するように制御する。フリップフロップ2はクロック信号clkBの立ち上がりエッジのタイミングで入力し、Req_Bに出力する。

[0139] クロック信号clkBの立ち上がりとクロック信号clkAの立ち上がりとが等しい場合には、Doutをフリップフロップ1に入力せずに、直接Req_Bに出力するように制御する。

[0140] 尚、データ遅延選択制御回路103Bは、クロック信号clkAの周波数、クロック信号clkBの周波数、クロック信号clkBの相番号、及び遅延設計値Tdlyを参照して、上記のように制御する。

[0141] 上述したように、本発明のハンドシェイク回路によれば、コア間で同期的にリクエストの送受信が行えるため、非同期方式で問題となるメタスタビリティを回避し、動作がサイクルレベルで確定的でかつ低レイテンシ、低スループットのコア間通信を実現することが出来る。

実施例 4

[0142] 本実施例では、上述したハンドシェイク回路を有するバス・インターフェース回路を備えるSOC (System on a Chip) について説明する。

[0143] 図9は本発明におけるSOCの構成例である。

[0144] SOCを構成する各コアのクロックはすべて、バスのクロックにあわせて位相を調整し、コア間の通信は必ずバスを介して行われる。これにより各コアの周波数範囲に差がある場合でも、コア間が直接通信する方法に比べて、少ない周波数のステップ数で任意のコア間の通信を実現することができる。また、クロック周波数及び電源電圧を変更する場合でも、位相調整回路10により動的にクロック間の位相を一定に調整するので、同期通信が可能であり、すなわち非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ低レイテンシ、低スループットのコア間通信を実現することができる。

[0145] 図10は、バス・インターフェース回路の構成例である。

[0146] バス・インターフェース回路は、リクエストFIFO(requestFIFO)2101、データFIFO(da

ta FIFO)2102、データ遅延選択制御回路103A、及びデータ遅延選択制御回路103Bを備える。

[0147] リクエストFIFO2101は複数のハンドシェイク回路80を備え、コア(Master Core)2110からMReqに入力されるリクエストを、バス(Bus Interconnect)2120にReqを通じて同期的に通知する。また、そのリクエストに対応する命令(Cmd)、アドレス(Addr)、及びデータ(Data)をデータFIFOよりバス2120に出力する。尚、ここでのコア(Master Core)2110は、バスに対してリクエストを発行するコア全般を示す。

[0148] 続いて、動作について説明する。

[0149] コアはバスに対するリクエストを、MReqを通じて入力する。同時にそのリクエストの命令/アドレス/データをMCmd/MAddr/MDataを通じて入力する。バス・インターフェース回路は、リクエストFIFOに空きがあれば(リクエストがセットされていないハンドシェイク回路があれば)、リクエストFIFO内の空いているハンドシェイク回路のいずれかにそのリクエストをセットする。同時に、入力された命令/アドレス/データをデータFIFOに格納する。また、リクエストを受理した旨をSAckを通じてコアに通知する。一方、リクエストFIFOに空きがなく、リクエストを受理できない場合は、その旨をSAckを通じてコアに通知する。

[0150] リクエストFIFOのハンドシェイク回路にセットされたリクエストは、ハンドシェイク回路の機能により同期的にReqを通じてバスに出力される。同時にそのリクエストに対応する命令/アドレス/データがデータFIFOから取り出されて、Cmd/Addr/Dataを通じてバスに出力される。

[0151] バスは、リクエストを受理した場合は、その旨をAckを通じてバス・インターフェース回路に通知する。バス・インターフェース回路は受理されたリクエストがセットされていたハンドシェイク回路において、そのリクエストをリセットする。一方、バスがリクエストを受理できない場合は、その旨をAckを通じてバス・インターフェース回路に通知する。バス・インターフェース回路はリクエストが受理されるまで、バスへのリクエストの出力を継続する。

[0152] 上述したように、本発明のバス・インターフェース回路によりコアとバスとの間で同期

的にリクエストの送受信が行えるため、非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ、低レイテンシ、低スループットのコア間通信を実現することができる。

実施例 5

- [0153] 本実施例では、上述したコア間の通信、コアとバスとの間の通信における各部の動作状況を保持する構成について説明する。尚、上述した構成と同様の構成については同一番号を付し、詳細な説明を省略する。
- [0154] 図11は、本発明におけるオンチップ・デバッグ回路の構成例である。
- [0155] コア110は、CLK生成部111からのクロックに同期して動作する。又、他のコアとのデータ通信を、ハンドシェイク回路80及びバスを介して行う。尚、コア110は、上述したコア (Master Core) と同等である。
- [0156] CLK生成部111は、ある一定の周期でバスのクロック信号の立ち上がり又は立ち下がりと一致するクロック信号を生成する。
- [0157] 履歴保存部112は、実際にデータを出入力 (送受信) しているコア及びバスの動作状況を履歴情報として保存するものである。例えば、履歴保存部112は、コア及びバスのクロック周波数と、コア及びバスの電源電圧とが変化したタイミングと変化後の値と、コアのクロックの立ち上がりとバスのクロックの立ち上がり又はコアのクロックの立ち下がりとバスのクロックの立ち下がりと一緒になるタイミングとを履歴情報として保存する。更に、LSB (Least Significant Bit/Byte) 等のバスのデータの一部やreq信号、ack信号の送受信タイミングも履歴情報として保存する。尚、履歴保存は、バスのクロックの立ち上がりまたは立ち下がりエッジのタイミングで保存する構成であっても、若しくはコアのクロックの立ち上がりまたは立ち下がりエッジのタイミングで保存する構成であっても良い。
- [0158] 解析部113は、履歴保存部112が保持する履歴情報に基づいて半導体装置の性能低下の原因を解析し、コア周波数、コア電源電圧、バス周波数等を制御する。例えば、履歴保存部112が保持する履歴情報からreq信号、ack信号の送受信タイミングを解析し、ack信号の送信が遅い場合はバスの周波数を上げ、req信号の送信が遅い場合はコアの周波数を上げる制御をする。

- [0159] 出力部114は、履歴保存部112の履歴情報を外部に出力する。外部に出力された履歴情報は、デバッグS/W(ソフトウェア)でシミュレートさせ、半導体装置の性能低下の原因を解明する。尚、この出力部は、履歴情報が所定量蓄積させてから所定量毎に送信する構成であっても、予め定められた時間に送信する構成であっても、外部から要求された際に送信する構成であっても良い。
- [0160] 続いて、本実施例における動作について説明する。
- [0161] コア110は、他のコアとのデータ通信を、ハンドシェイク回路80及びバスを介して行う。
- [0162] その一方で、履歴保存部112は各種情報を収集して履歴情報を保存する。
- [0163] 解析部113は、履歴情報に基づいて各種解析を行い、コア周波数、コア電源電圧、バス周波数等を制御する。
- [0164] 履歴保存部112は、履歴情報を外部に出力する。
- [0165] 上述した構成をとると、バスの動作状況を履歴情報として保存し、その履歴情報に基づいてコアの周波数等を制御しているので、半導体装置全体の性能向上が可能となる。又、実動作しているコア及びバスの動作状況を履歴保存して外部に出力しているので、次世代の半導体装置に反映させることが可能となる。

実施例 6

- [0166] 実施例2において、コアAからコアBへの通信を行なう際に、コアAとコアBのそれぞれのクロックの位相差が遅延設計値 T_d 以下の場合にデータを通信しない方法として、位相差が T_d 以下の場合には、データを遅延値 T_{dly} だけ遅延させたデータをコアBが入力する方法を説明した。
- [0167] 実施例2の構成を説明する図6を参照すると、コアBがデータを T_{dly} だけ遅延させる遅延素子30を備える構成であるが、遅延素子30はコアAが備えてもよい。また、データを遅延させる方法として、遅延素子30を使用する代わりに、クロックの立下りでデータをラッチするフリップフロップを使用することもできる。
- [0168] 図14は、コアA側でクロックの立下りでデータをラッチするフリップフロップによってデータを遅延させる方法による半導体装置の構成を示す図である。図6の実施例2の構成と同様の構成要素については、同一番号を付し、詳細な説明を省略する。

- [0169] 図14を参照するとコアAは、フリップフロップ1の出力信号DoutをクロックclkAの立下りでラッチするフリップフロップ230を備える。すなわち、フリップフロップ230は信号DoutをクロックclkAのサイクル時間の半分だけ遅延させ、Dout DLYとして出力する機能を有する。これは遅延値TdlyがクロックclkAのサイクル時間の半分と等しい場合の遅延素子30と同様の機能であるので、本実施例の動作は図7に示した実施例2の場合と同様になる。本実施例の構成は実施例2の構成と比較して、遅延値TdlyはクロックclkAのサイクル時間の半分に限定されるが、遅延素子の遅延値のばらつきには影響されないという利点がある。

実施例 7

- [0170] コアAからコアBへの通信を行なう際に、コアAとコアBのそれぞれのクロックの位相差が遅延設計値Td以下の場合には、データを遅延値Tdlyだけ遅延させたデータをコアBが入力する方法の別の実施例を図15を参照して説明する。尚、上述した実施例と同様の構成については、同一番号を付し、詳細な説明を省略する。
- [0171] 図15は、本実施例の半導体装置の構成を示す図である。
- [0172] コアAが備えるイネーブル付きフリップフロップ231及び232は、機能部3Aが出力する信号Dout0をクロックclkAに同期してラッチし、それぞれ信号Dout1、Dout2としてコアBへ出力する。ただし、信号をラッチして出力するのはそれぞれのイネーブル信号en1、en2により動作を指示された場合のみである。データ出力選択制御回路202は、クロックclkAの相番号を参照して、フリップフロップ231及び232が1サイクル毎に交互に動作するようにイネーブル信号en1及びen2を生成する。すなわち信号Dout1及びDout2には、それぞれお互いにクロックclkAで1サイクル遅延させた信号が出力されることになる。詳細には、Dout1が出力する信号よりも1サイクル遅い信号がDout2に出力され、Dout2が出力する信号よりも1サイクル遅い信号がDout1に出力される。よって、本実施例では遅延値Tdlyは常にクロックclkAのサイクル時間と等しくなる。
- [0173] 一方、コアB側の構成は、実施例6におけるコアBの構成のデータ遅延選択制御回路103をデータ入力選択制御回路201に置き換えた以外は、実施例6におけるコアBの構成と同様の構成である。データ入力選択制御回路201の機能はデータ遅延選択制御回路103の機能と同様であるが、実施例6及び実施例2では信号Doutに対し

て常に信号Dout DLYに遅延した信号が出力されるのに対して、本実施例の構成では信号Dout1またはDout2に交互に遅延した信号が出力されるので、それに対応した制御がなされる。

[0174] 次に、図16を参照して本実施例の動作の詳細を説明する。

[0175] 図16は、本実施例の動作を説明するためのタイミングチャートである。尚、本実施例では、基準周波数を f として、クロック信号clkAの周波数が $8f$ 、クロック信号clkBの周波数が $5f$ とした場合の動作を説明する。

[0176] 図中のクロック信号clkAはコアAのクロック信号clkAであり、図中のクロック信号clkBはコアBのクロック信号clkBである。m=8であるため、クロック信号clkAの周波数は $8f$ であり、相番号は0～7までとなる。同様にn=5であるためクロック信号clkBの周波数は $5f$ であり、相番号は0～4までとなる。クロック信号clkA、クロック信号clkBの各相番号が0のときに位相が一致(各クロック信号の立ち上がりのタイミングが一致)しているので、クロック信号clkAの8サイクル毎、クロック信号clkBの5サイクル毎に位相関係が一巡することになる。すなわち、データ出力選択制御回路202及びデータ入力選択制御回路201は、クロック信号clkAの8サイクル内及びクロック信号clkBの5サイクル内の位相関係を考慮してデータの通信制御を行うことになる。

[0177] Dout0はコアAの機能部3Aが出力する信号である。

[0178] en1、en2はそれぞれフリップフロップ231及び232のイネーブル信号であり、データ出力選択制御回路202が出力する。Dout1はフリップフロップ231からの出力データであり、Dout2はフリップフロップ232からの出力データである。Dselは、データ入力選択制御回路201からの制御信号である。Dinは、フリップフロップ2が出力するデータである。

[0179] 図16に示すように、フリップフロップ231のイネーブル信号en1は、フリップフロップ231が1サイクル毎に動作するように、1サイクル毎にHighとLowを交互に繰り返す信号である。同様に、フリップフロップ232のイネーブル信号en2は、フリップフロップ232が1サイクル毎に動作するように、1サイクル毎にHighとLowを交互に繰り返す信号であるが、フリップフロップ232がフリップフロップ231と交互に動作するように、en1とは位相が反対である。

- [0180] 図16に示すように、クロック信号clkAの相番号3の立ち上がりエッジからクロック信号clkBの相番号2の立ち上がりエッジ、及びクロック信号clkAの相番号6の立ち上がりエッジからクロック信号clkBの相番号4の立ち上がりエッジへの位相差がTd以下となる。このことは、クロック信号clkA及びクロック信号clkBの周波数とクロック信号clkBの相番号とからわかるので、このときデータ入力選択制御回路201は、clkAの相番号3の立ち上がりエッジのタイミングでフリップフロップ232が出力するDout2よりもクロックclkAの1サイクル遅延したDout1をフリップフロップ2が入力するデータとして選択する。同様に、相番号6の立ち上がりエッジのタイミングでフリップフロップ231が出力するDout1よりもクロックclkAの1サイクル遅延したDout2をフリップフロップ2が入力するデータとして選択する。それ以外の場合には、フリップフロップ2がDout1またはDout2のうち遅延していない方のデータを入力するように選択する。Dout1またはDout2のいずれが遅延していていずれが遅延していないかは、データ入力選択制御回路201が入力するclkA、clkBの周波数情報、及びclkBの相番号から判断することができる。
- [0181] 次に、Dout1またはDout2のいずれかを選択する信号Dselの詳細を説明する。まず、クロック信号clkAの相番号1の立ち上がりエッジのタイミングでフリップフロップ232がDout2に出力したデータを、クロック信号clkBの相番号1の立ち上がりエッジのタイミングでフリップフロップ2がDout2から受信するように、データ入力選択制御回路201はクロック信号clkBの相番号1の立ち上がりエッジのタイミングでは、DselにHighを出力する。
- [0182] 次に、データ入力選択制御回路201は、クロック信号clkAの相番号3の立ち上がりエッジのタイミングでフリップフロップ232が出力したデータDout2ではなく、clkAの相番号2のタイミングでフリップフロップ231が出力したデータDout1を受信するように、クロック信号clkBの相番号2の立ち上がりエッジのタイミングでは、制御信号DselをLowにする。
- [0183] 次に、クロック信号clkAの相番号4の立ち上がりエッジのタイミングでフリップフロップ231が出力したデータDout1を入力するように、クロック信号clkBの相番号3の立ち上がりエッジのタイミングでは、制御信号DselをLowにする。
- [0184] 次に、クロック信号clkAの相番号6の立ち上がりエッジのタイミングでフリップフロ

プ231が出力したデータDout1ではなく、clkAの相番号5のタイミングでフリップフロップ232が出力したデータDout2を入力するように、クロック信号clkBの相番号4の立ち上がりエッジのタイミングでは、制御信号DselをHighにする。

[0185] 次に、クロック信号clkAの相番号7の立ち上がりエッジのタイミングでフリップフロップ232が出力したデータDout2を入力するように、クロック信号clkBの相番号0の立ち上がりエッジのタイミングでは、制御信号DselをHighにする。

[0186] 以上により、非同期方式で問題となるメタスタビリティ問題を回避し、動作がサイクルレベルで確定的で、かつ低レイテンシ、低スループットのコア間通信を実現することができる。

[0187] また、本実施例によれば、データDout1及びDout2はクロックclkAの2サイクル毎に変化し、2サイクルの間はデータが安定しているため、実施例2や実施例6のデータDout及びDout DLYがクロックclkAの1サイクル毎に変化するのに比べてタイミングに余裕があるので、特にフリップフロップ2のホールド制約に関して、タイミング設計が容易になるという効果がある。

[0188] 上述した本実施例はコアAにおいて2つのフリップフロップ231及び232を交互に動作させる構成であるが、フリップフロップの数は2つに限らず、3つ以上であっても良い。その場合、データ出力選択制御回路は、それぞれにフリップフロップを順々に同時には1つのフリップフロップのみが動作するように、各フリップフロップのイネーブル信号を生成する。フリップフロップが3つの場合の構成例を図17に示す。

[0189] フリップフロップ231、232に加えて信号Dout3を出力する3つ目のフリップフロップ233を備える。データ出力選択制御回路204は、それぞれの3つのフリップフロップのイネーブル信号en1,en2,en3を出力し、3つのフリップフロップが順々に動作するように制御する。データ入力選択制御回路203は、3つの信号Dout1, Dout2,Dout3のいずれか一つをフリップフロップが2つの場合と同様に適切に選択する。この場合データDout1,Dout2及びDout3はクロックclkAの3サイクル毎に変化し、3サイクルの間はデータが安定しているため、さらにタイミング設計が容易になるという効果がある。

実施例 8

[0190] 上述した実施例において、クロックclkAとclkBはある一定周期(相番号0)において立ち上がり又は立ち下がり一致するクロックであったが、クロックclkAとclkBが相番号0において立ち上がり又は立ち下がり一致する(すなわち位相差が0)クロックではなくて、ある一定値Tphになるようなクロックであったとしても、上述した各実施例と同様の方法でコア間通信を実現することが可能である。この場合、クロックclkA及びclkBの各エッジ間の位相差は、相番号0の時の位相差が0のときに比べてTphだけずれた位相差になる。

[0191] 例えば、図18に示すように、相番号0のときにclkAにくらべてclkBがTphだけ遅くなる場合には、その他の相番号のエッジ間の位相差は、相番号0の時の位相差が0の場合に比べて、Tphだけ大きくなる。データ遅延選択制御回路やデータ入力選択制御回路はそれを考慮してコア間の通信制御を行なうことで、上述した実施例と同様にコア間通信を実現することができる。

[0192] 実施例7及び図15に示した構成を、相番号0の時の位相差が0ではなくTphであっても動作するように変更した構成を図19に示す。図15の構成との違いは、データ入力選択制御回路201をデータ入力選択制御回路205に置き換えている。データ入力選択制御回路205は、位相差Tphを入力することで、位相差Tphを考慮した制御が可能である。また、相番号0の時に位相差を0にするように調整する必要がないので、位相調整回路10を省略している。すなわち、本構成によれば、位相を調整するのに必要な回路の面積や電力を削減することができるという効果がある。

実施例 9

[0193] 上述した実施例において、遅延設計値Tdは設計時に決定する定数であるとして説明したが、回路動作時に変更可能な変数であってもよい。

[0194] その場合、データ遅延選択制御回路やデータ入力選択制御回路はTdの値を動作時に考慮してコア間の通信制御を行なうことで、上述した実施例と同様にコア間通信を実現することができる。

[0195] 実施例7及び図15に示した構成を、動作時にTdが変更可能なように変更した構成を図20に示す。図15の構成との違いは、データ入力選択制御回路201をデータ入力選択制御回路206に置き換えたのみである。データ入力選択制御回路206は、遅

延設計値Tdを入力することで、動作時のTdの変更に追従した制御が可能である。すなわち、本構成によれば、クロックclkAやclkBのジッタの大きさやclkAとclkB間のスキューの大きさに応じて、遅延設計値Tdを適応的に柔軟に設定できる為、過剰なタイミング余裕を削減することができ、結果としてコア間通信の信頼性を確保しつつ、通信の性能を向上することができるという効果がある。

図面の簡単な説明

- [0196] [図1]図1は、本発明における実施例1の構成例である。
- [図2]図2は、タイミングチャートである。
- [図3]図3は、Td及びTdlyを説明するための図である。
- [図4]図4は、本発明の実施例1の動作を説明するためのタイミングチャートである。
- [図5]図5は、本発明の実施例1の動作を説明するためのタイミングチャートである。
- [図6]図6は、本発明の実施例2の構成例である。
- [図7]図7は、本発明の実施例2の動作を説明するためのタイミングチャートである。
- [図8]図8は、本発明の実施例3の構成例である。
- [図9]図9は、本発明の実施例4を説明するためのブロック図である。
- [図10]図10は、本発明の実施例4のバス・インターフェースの構成例である。
- [図11]図11は、本発明の実施例5のオンチップ・デバッグ回路の構成例である。
- [図12]図12は、従来の同期式回路の構成図である。
- [図13]図13は、従来の非同期式回路の構成図である。
- [図14]本発明の実施例6の構成を示す図である。
- [図15]本発明の実施例7の構成を示す図である。
- [図16]本発明の実施例7の動作を示すタイミングチャートである。
- [図17]本発明の実施例7の第2の構成を示す図である。
- [図18]本発明の実施例8の動作を説明するタイミングチャートである。
- [図19]本発明の実施例8の構成を示す図である。
- [図20]本発明の実施例9の構成を示す図である。

符号の説明

- [0197] 1 コアAのフリップフロップ

2	コアBのフリップフロップ
10	位相調整回路
80	ハンドシェイク回路
81	同期式SRフリップフロップ
82	レベルシフタ
101	データ出力制御回路
102	データ入力制御回路
103	データ選択制御回路
111	CLK生成部
112	履歴保存部
113	解析部
810	レベルシフタ

請求の範囲

- [1] 半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりと一致する第2のクロック信号に基づいてデータ入力する第2の信号処理回路と、
前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御する制御回路と
を有することを特徴とする半導体装置。
- [2] 半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第2のクロック信号に基づいてデータ入力する第2の信号処理回路と
と
前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御する制御回路と
を有することを特徴とする半導体装置。
- [3] 前記制御回路は、前記第1のクロック信号に同期して複数のデータを入力された順に、ある一定の周期に予め定められた数のデータを出力するように制御する出力制御回路であることを特徴とする請求項1又は請求項2に記載の半導体装置。
- [4] 前記制御回路は、複数のデータの中から前記セットアップ時間より前に到着するデータを選択して入力するように制御する入力制御回路であることを特徴とする請求項1又は請求項2に記載の半導体装置。
- [5] 前記制御回路は、前記セットアップ時間より前に到着しないデータを出力しないように前記第1の信号処理回路を制御する出力制御回路であることを特徴とする請求項1又は請求項2に記載の半導体装置。
- [6] 前記制御回路は、前記セットアップ時間より前に到着しないデータを入力しないように前記第2の信号処理回路を制御する入力制御回路であることを特徴とする請求項1又は請求項2に記載の半導体装置。

- [7] 前記制御回路は、前記セットアップ時間より前に到着しないデータは、データを一定時間だけ遅延させる遅延部で遅延させたデータを入力するように制御する遅延選択制御回路であることを特徴とする請求項1又は請求項2に記載の半導体装置。
- [8] 前記遅延部は、前記セットアップより前に到着しないデータを前記第2のクロック信号の1クロック分遅延させることを特徴とする請求項7に記載の半導体装置。
- [9] 前記データは、
前記第1のクロックに同期して所定の動作を行う第1の機能部から出力される、処理要求を示す処理要求データ、若しくは処理要求データを受信したことを示す処理要求リセットデータであることを特徴とする請求項1から請求項8のいずれかに記載の半導体装置。
- [10] 前記処理要求データ及び前記処理要求リセットデータは、前記第1の機能部と、前記第2のクロックに同期して所定の動作を行う第2の機能部との間で送受信されるデータであることを特徴とする請求項9に記載の半導体装置。
- [11] 前記処理要求データ及び前記処理要求リセットデータは、前記第1の機能部と、バスとの間で送受信されるデータであることを特徴とする請求項9に記載の半導体装置。
- [12] 前記半導体装置は、
前記データの送受信中の動作状況を履歴情報として保持する履歴保存手段を有することを特徴とする請求項1から請求項11のいずれかに記載の半導体装置。
- [13] 前記半導体装置は、
前記履歴保存手段が保持する履歴情報に基づいて、半導体装置の性能低下の原因を解析する解析手段を有することを特徴とする請求項12に記載の半導体装置。
- [14] 前記履歴保存手段は、前記履歴情報を外部に出力する出力手段を有することを特徴とする請求項12又は請求項13に記載の半導体装置。
- [15] 前記セットアップ時間を、動作時に動的に変更することを特徴とする請求項1から請求項14に記載の半導体装置。
- [16] 半導体装置の通信制御方法であって、
第1のクロック信号に基づいて送信されたデータの中、ある一定の周期で第1のクロ

ック信号の立ち上がり又は立ち下がりと一致する第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御することを特徴とする通信制御方法。

- [17] 半導体装置の通信制御方法であって、
第1のクロック信号に基づいて送信されたデータの中、ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御することを特徴とする通信制御方法。
- [18] 前記通信制御方法は、前記第1のクロック信号に同期して複数のデータを入力された順に、ある一定の周期に予め定められた数のデータを出力するように制御することを特徴とする請求項16又は請求項17に記載の通信制御方法。
- [19] 前記通信制御方法は、複数のデータの中から前記セットアップ時間より前に到着するデータを選択して入力するように制御することを特徴とする請求項16又は請求項17に記載の半導体装置。
- [20] 前記通信制御方法は、前記セットアップ時間より前に到着しないデータを出力しないように制御することを特徴とする請求項16又は請求項17に記載の通信制御方法。
- [21] 前記通信制御方法は、前記セットアップ時間より前に到着しないデータを入力しないように制御することを特徴とする請求項16又は請求項17に記載の通信制御方法。
- [22] 前記通信制御方法は、前記セットアップ時間より前に到着しないデータは、データを一定時間だけ遅延させる遅延部で遅延させたデータを入力するように制御することを特徴とする請求項16又は請求項17に記載の通信制御方法。
- [23] 前記通信制御方法は、前記セットアップ時間より前に到着しないデータを前記遅延部で前記第2のクロック信号の1クロック分遅延させることを特徴とする請求項22に記載の通信制御方法。
- [24] 前記セットアップ時間を、動作時に動的に変更することを特徴とする請求項16から請求項23のいずれかに記載の通信制御方法。

補正書の請求の範囲

[2006年2月20日(20.02.06)国際事務局受理：出願当初の請求の範囲3-24は補正された；新しい請求の範囲25-30が加えられた；他の請求の範囲は変更なし。]

請求の範囲

- [1] 半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりと一致する第2のクロック信号に基づいてデータ入力する第2の信号処理回路と、
前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御する制御回路と
を有することを特徴とする半導体装置。
- [2] 半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第2のクロック信号に基づいてデータ入力する第2の信号処理回路と、
前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御する制御回路と
を有することを特徴とする半導体装置。
- [3] (補正後) 半導体装置であって、
第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりと一致する第2のクロック信号に基づいてデータ入力する第2の信号処理回路と、
前記第1のクロック信号及び前記第2のクロック信号に関する情報に基づいて、前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御する制御信号を生成する制御回路と
を有し、
前記制御回路は、前記制御信号が入力される信号処理回路のクロック信号の立ち上がり又は立ち下がりのタイミングによって制御信号を変化させる制御回路であることを特徴とする半導体装置。
- [4] (補正後) 半導体装置であって、

第1のクロック信号に基づいてデータを出力する第1の信号処理回路と、
ある一定の周期で第1のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第2のクロック信号に基づいてデータ入力する第2の信号処理回路と、
前記第1のクロック信号及び前記第2のクロック信号に関する情報に基づいて、前記第2のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御する制御回路と
を有し、
前記制御回路は、前記制御信号が入力される信号処理回路のクロック信号の立ち上がり又は立ち下がりのタイミングによって制御信号を変化させる制御回路であることを特徴とする半導体装置。

- [5] (補正後) 前記制御回路は、前記第1のクロック信号に同期して複数のデータを入力された順に、ある一定の周期に予め定められた数のデータを出力するように制御する出力制御回路であることを特徴とする請求項1から請求項4のいずれかに記載の半導体装置。
- [6] (補正後) 前記制御回路は、複数のデータの中から前記セットアップ時間より前に到着するデータを選択して入力するように制御する入力制御回路であることを特徴とする請求項1から請求項4のいずれかに記載の半導体装置。
- [7] (補正後) 前記制御回路は、前記セットアップ時間より前に到着しないデータを出力しないように前記第1の信号処理回路を制御する出力制御回路であることを特徴とする請求項1から請求項4のいずれかに記載の半導体装置。
- [8] (補正後) 前記制御回路は、前記セットアップ時間より前に到着しないデータを入力しないように前記第2の信号処理回路を制御する入力制御回路であることを特徴とする請求項1から請求項4のいずれかに記載の半導体装置。
- [9] (補正後) 前記制御回路は、前記セットアップ時間より前に到着しないデータは、データを一定時間だけ遅延させる遅延部で遅延させたデータを入力するように制御する遅延選択制御回路であることを特徴とする請求項1から請求項4のいずれかに記載の半導体装置。

- [10] (補正後) 前記遅延部は、前記セットアップより前に到着しないデータを前記第2のクロック信号の1クロック分遅延させることを特徴とする請求項9に記載の半導体装置。
- [11] (補正後) 前記データは、前記第1のクロックに同期して所定の動作を行う第1の機能部から出力される、処理要求を示す処理要求データ、若しくは処理要求データを受信したことを示す処理要求リセットデータであることを特徴とする請求項1から請求項10のいずれかに記載の半導体装置。
- [12] (補正後) 前記処理要求データ及び前記処理要求リセットデータは、前記第1の機能部と、前記第2のクロックに同期して所定の動作を行う第2の機能部との間で送受信されるデータであることを特徴とする請求項11に記載の半導体装置。
- [13] (補正後) 前記処理要求データ及び前記処理要求リセットデータは、前記第1の機能部と、バスとの間で送受信されるデータであることを特徴とする請求項11に記載の半導体装置。
- [14] (補正後) 前記半導体装置は、前記データの送受信中の動作状況を履歴情報として保持する履歴保存手段を有することを特徴とする請求項1から請求項13のいずれかに記載の半導体装置。
- [15] (補正後) 前記半導体装置は、
前記履歴保存手段が保持する履歴情報に基づいて、半導体装置の性能低下の原因を解析する解析手段を有することを特徴とする請求項14に記載の半導体装置。
- [16] (補正後) 前記履歴保存手段は、前記履歴情報を外部に出力する出力手段を有することを特徴とする請求項14又は請求項15に記載の半導体装置。
- [17] (補正後) 前記セットアップ時間を、動作時に動的に変更することを特徴とする請求項1から請求項16に記載の半導体装置。
- [18] (補正後) 前記第1の信号処理回路は、前記第1のクロック信号の異なるサイクルでデータを出力する複数のフリップフロップを有し、
前記制御回路は、前記複数のフリップフロップの出力の中から前記セットアップ時間より前に到着する出力を、前記第2の信号処理回路が選択して入力するように制御

するように構成されていることを特徴とする請求項 1 から請求項 4 のいずれかに記載の半導体装置。

[19] (補正後) 半導体装置の通信制御方法であって、

第 1 のクロック信号に基づいて送信されたデータの中、ある一定の周期で第 1 のクロック信号の立ち上がり又は立ち下がりと一致する第 2 のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御することを特徴とする通信制御方法。

[20] (補正後) 半導体装置の通信制御方法であって、

第 1 のクロック信号に基づいて送信されたデータの中、ある一定の周期で第 1 のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第 2 のクロック信号のセットアップ時間より前に到着するデータのみを入力するように制御することを特徴とする通信制御方法。

[21] (補正後) 半導体装置の通信制御方法であって、

第 1 のクロック信号に基づいて送信されたデータの中、ある一定の周期で第 1 のクロック信号の立ち上がり又は立ち下がりと一致する第 2 のクロック信号のセットアップ時間より前に到着するデータのみを入力するように、前記第 1 のクロック信号及び前記第 2 のクロック信号に関する情報に基づいて制御することを特徴とする通信制御方法。

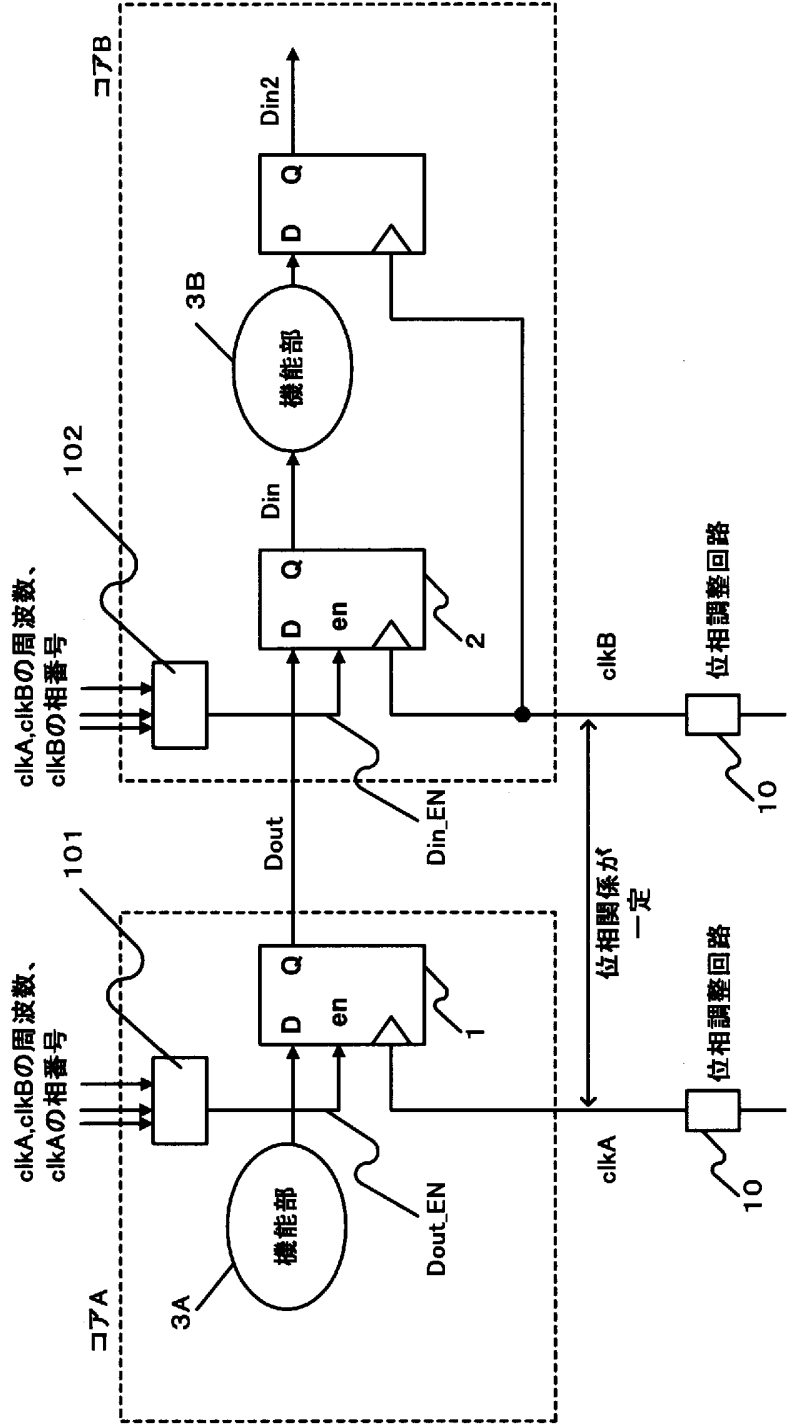
[22] (補正後) 半導体装置の通信制御方法であって、

第 1 のクロック信号に基づいて送信されたデータの中、ある一定の周期で第 1 のクロック信号の立ち上がり又は立ち下がりとの位相差がある一定値になる第 2 のクロック信号のセットアップ時間より前に到着するデータのみを入力するように、前記第 1 のクロック信号及び前記第 2 のクロック信号に関する情報に基づいて制御することを特徴とする通信制御方法。

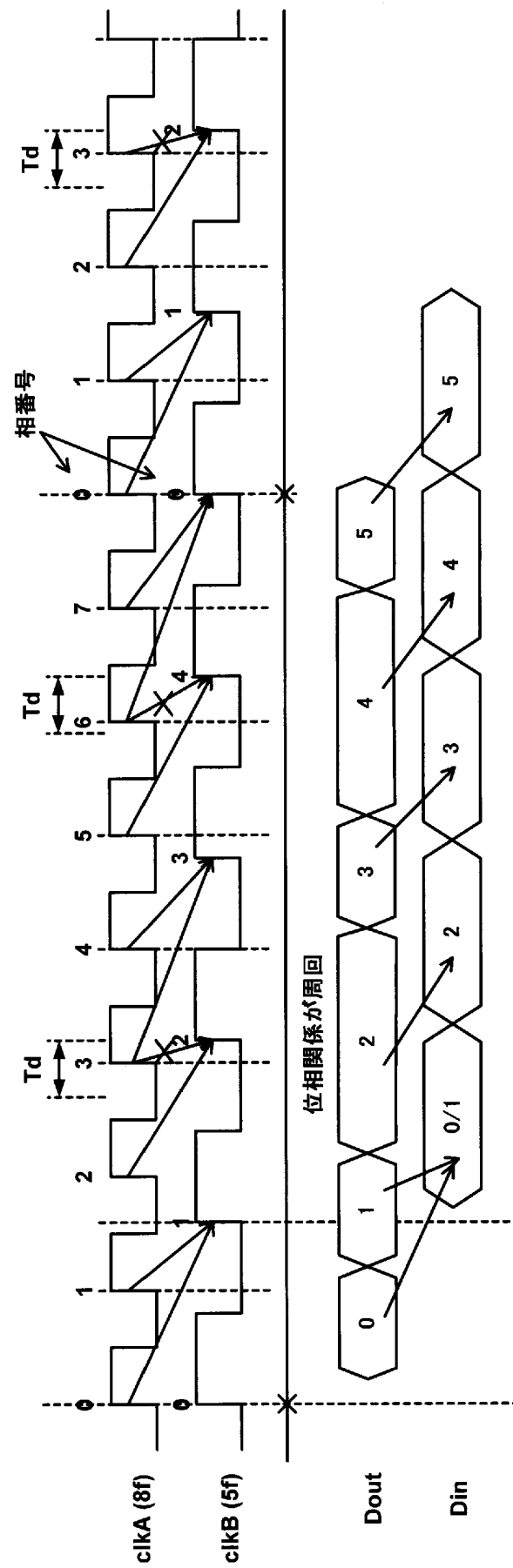
[23] (補正後) 前記通信制御方法は、前記第 1 のクロック信号に同期して複数のデータを入力された順に、ある一定の周期に予め定められた数のデータを出力するように制御することを特徴とする請求項 19 から請求項 22 のいずれかに記載の通信制御方法。

- [24] (補正後) 前記通信制御方法は、複数のデータの中から前記セットアップ時間より前に到着するデータを選択して入力するように制御することを特徴とする請求項 19 から請求項 22 のいずれかに記載の通信制御方法。
- [25] (追加) 前記通信制御方法は、前記セットアップ時間より前に到着しないデータを出力しないように制御することを特徴とする請求項 19 から請求項 22 のいずれかに記載の通信制御方法。
- [26] (追加) 前記通信制御方法は、前記セットアップ時間より前に到着しないデータを入力しないように制御することを特徴とする請求項 19 から請求項 22 のいずれかに記載の通信制御方法。
- [27] (追加) 前記通信制御方法は、前記セットアップ時間より前に到着しないデータは、データを一定時間だけ遅延させる遅延部で遅延させたデータを入力するように制御することを特徴とする請求項 19 から請求項 22 のいずれかに記載の通信制御方法。
- [28] (追加) 前記通信制御方法は、前記セットアップ時間より前に到着しないデータを前記遅延部で前記第 2 のクロック信号の 1 遅延させることを特徴とする請求項 27 に記載の通信制御方法。
- [29] (追加) 前記通信制御方法は、前記セットアップ時間を、動作時に動的に変更すること
を特徴とする請求項 19 から請求項 24 のいずれかに記載の通信制御方法。
- [30] (追加) 前記通信制御方法は、前記第 1 のクロック信号の異なるサイクルで出力されるデータの中から前記セットアップ時間より前に到着する出力を選択して入力するように制御することを特徴とする請求項 19 から請求項 22 のいずれかに記載の通信制御方法。

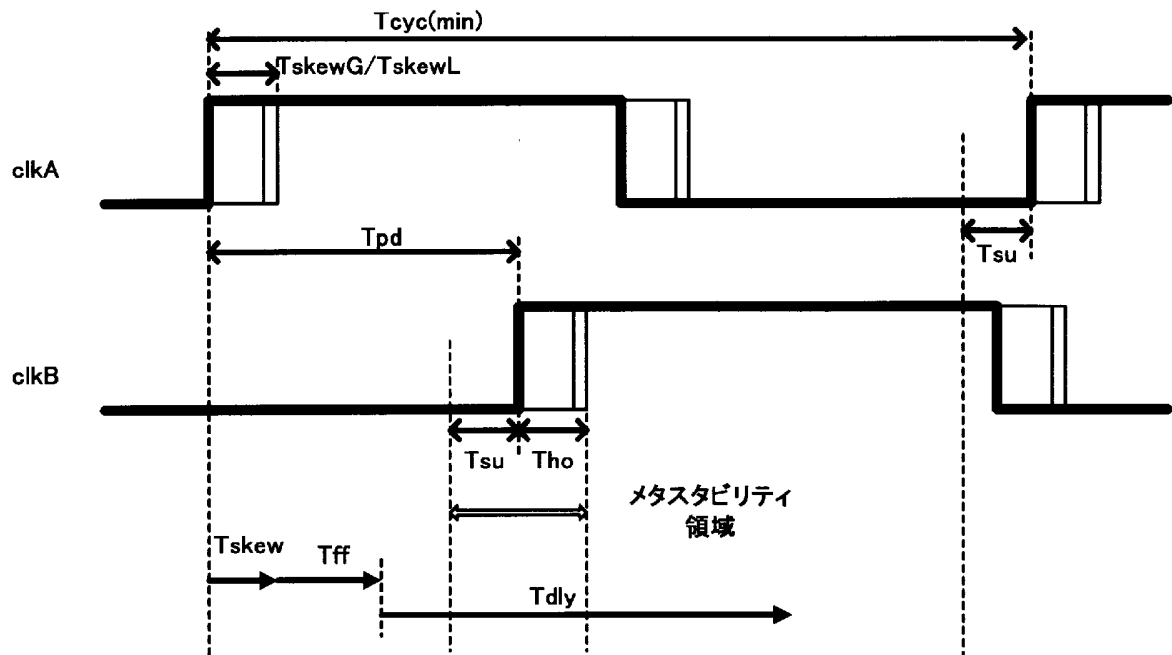
[図1]



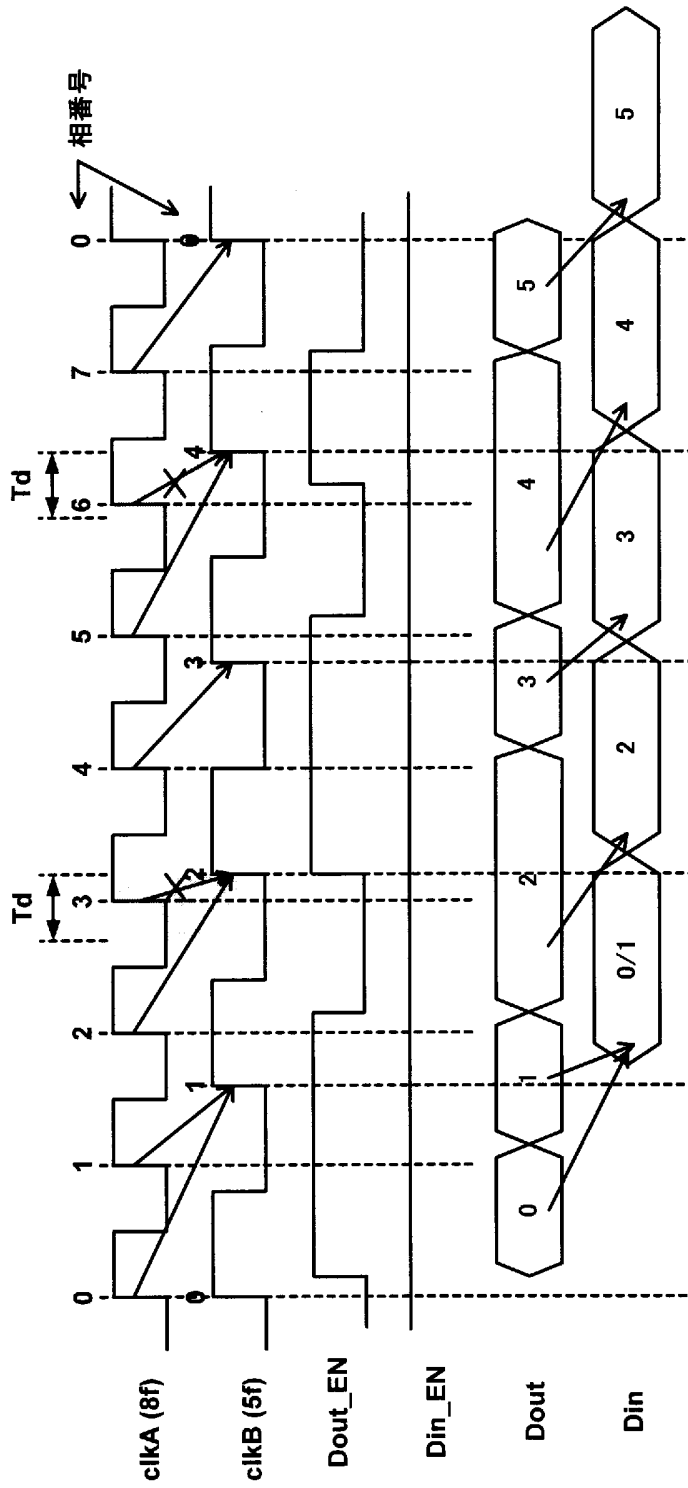
[図2]



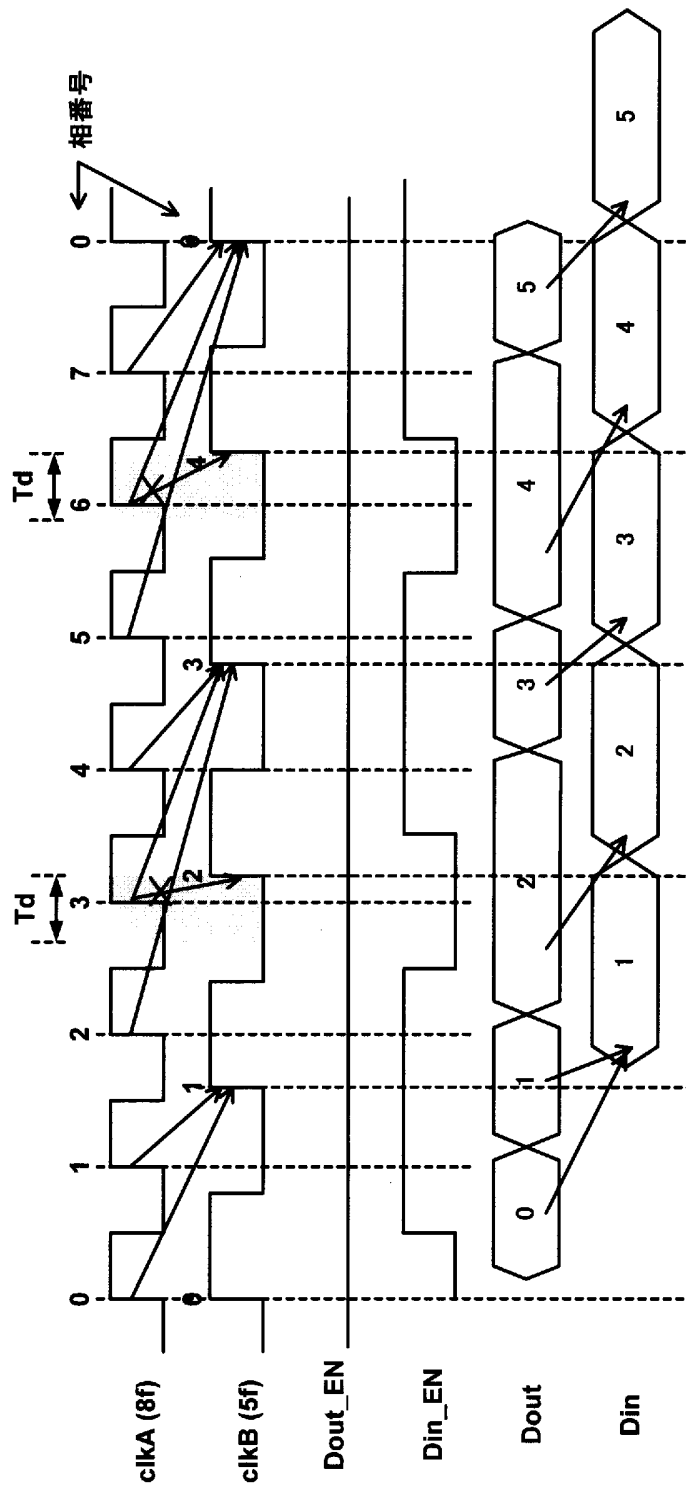
[図3]



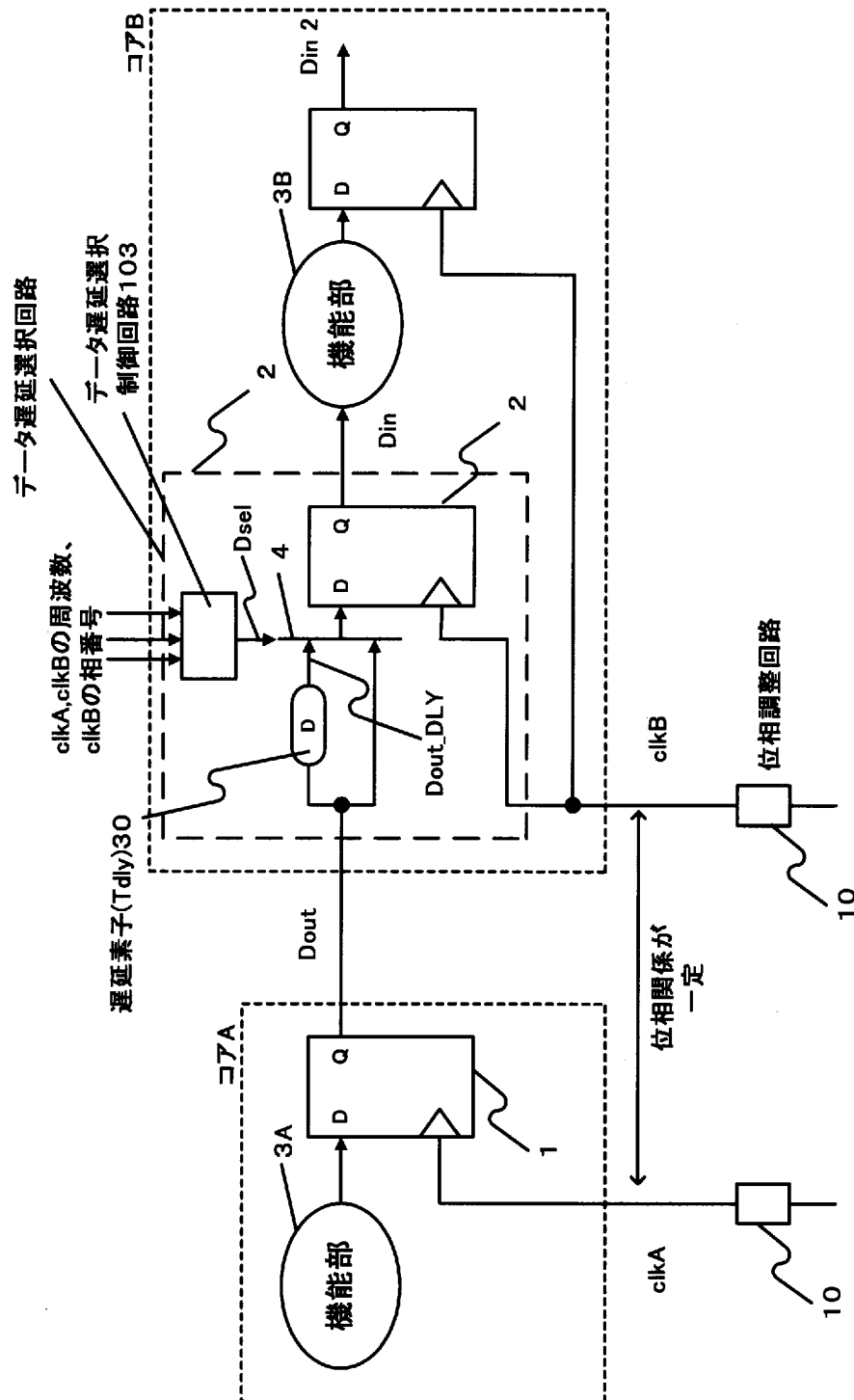
[図4]



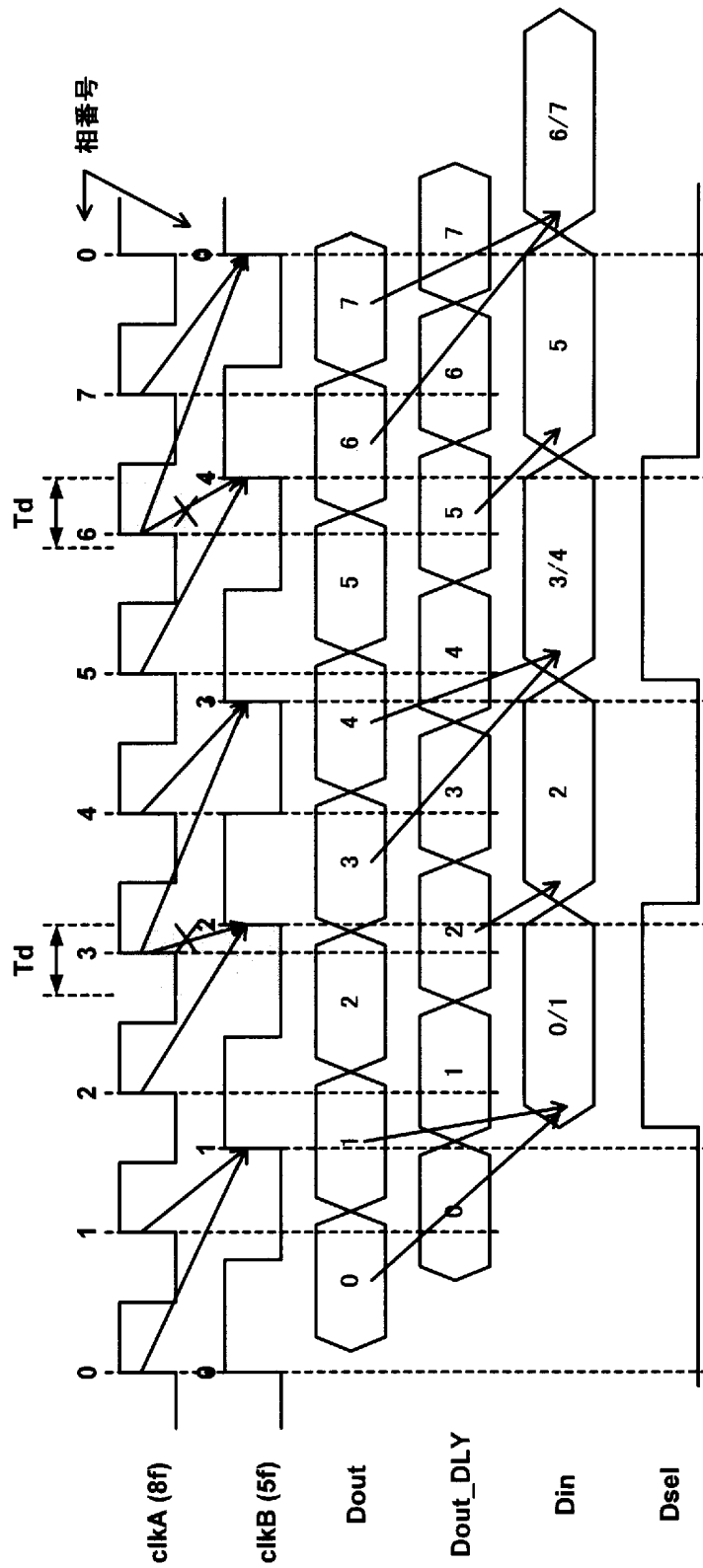
[図5]



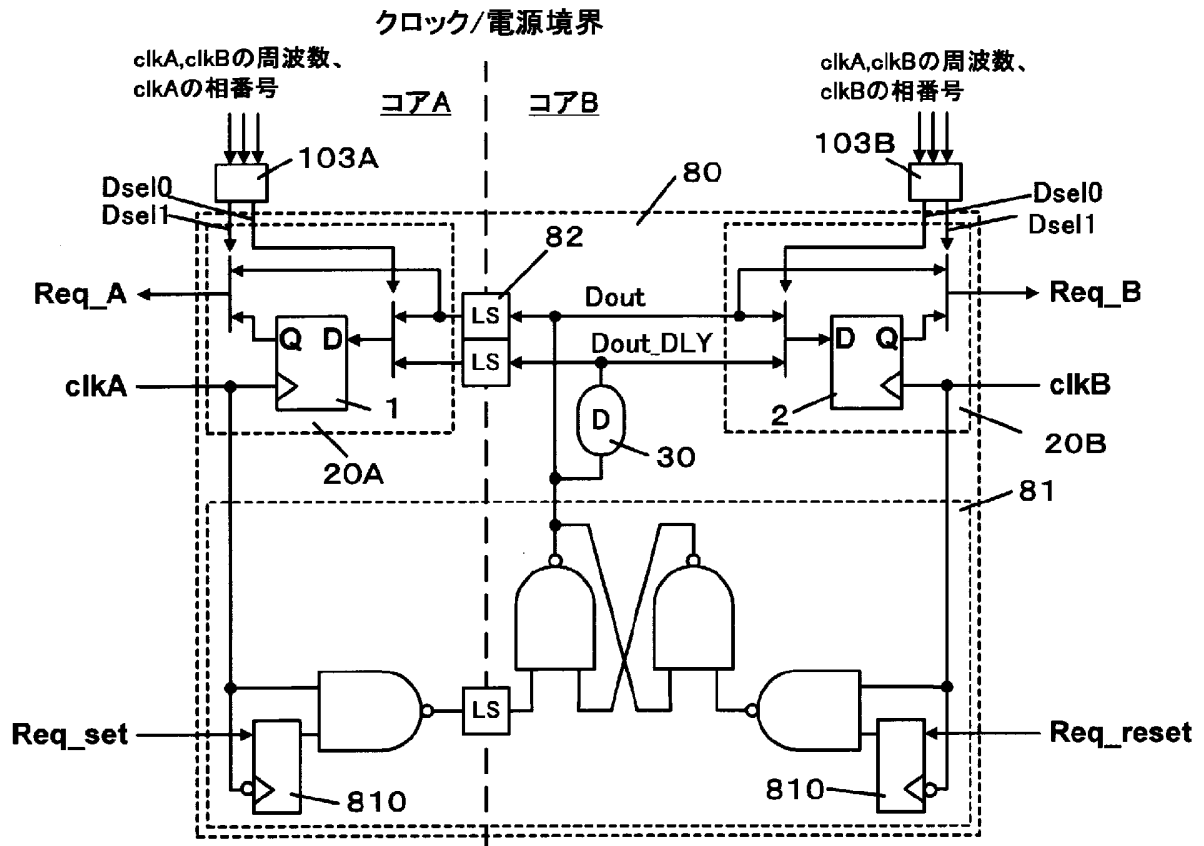
[図6]



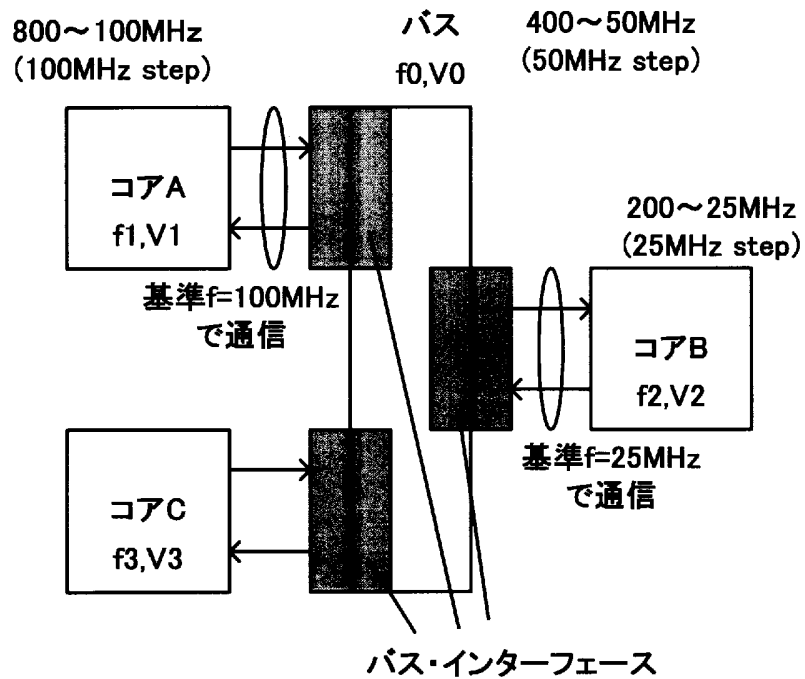
[図7]



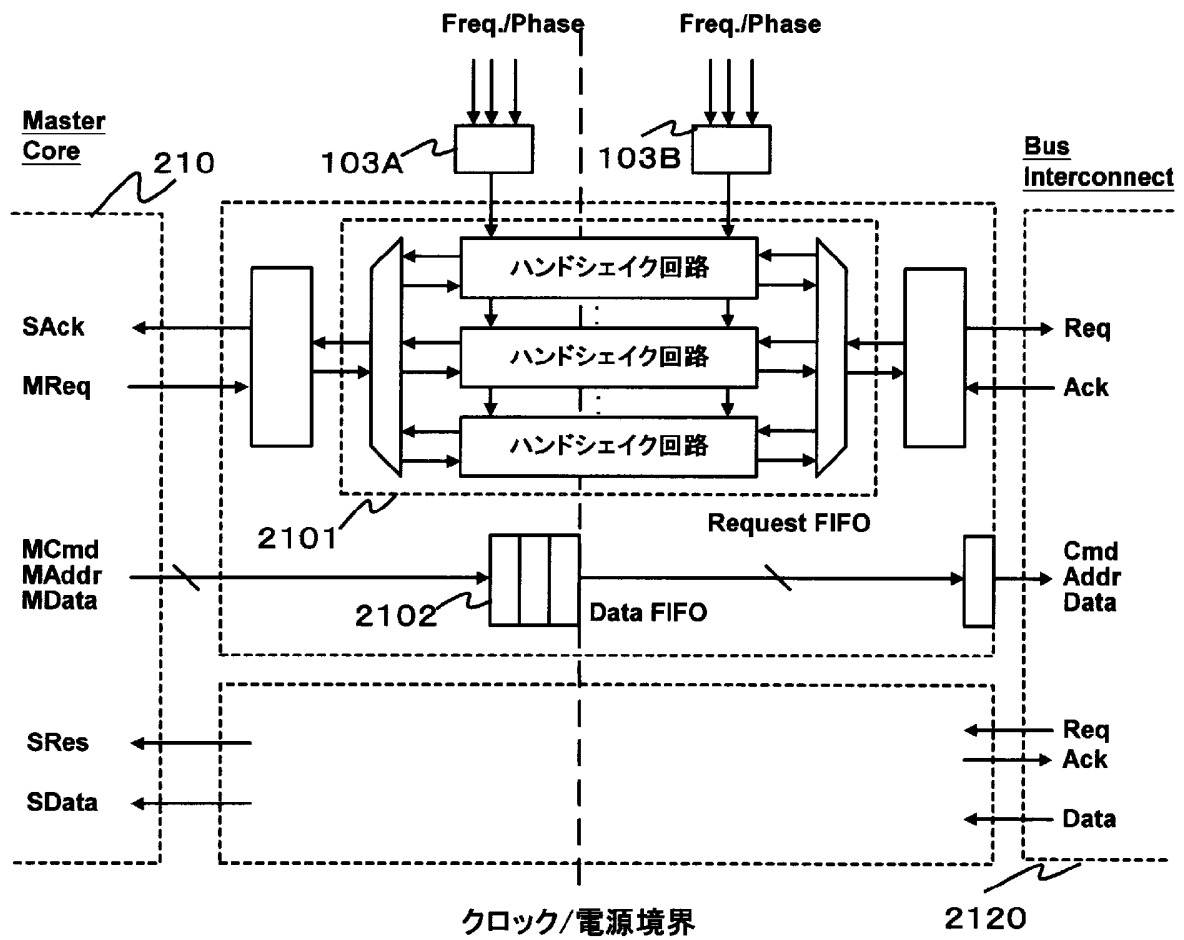
[図8]



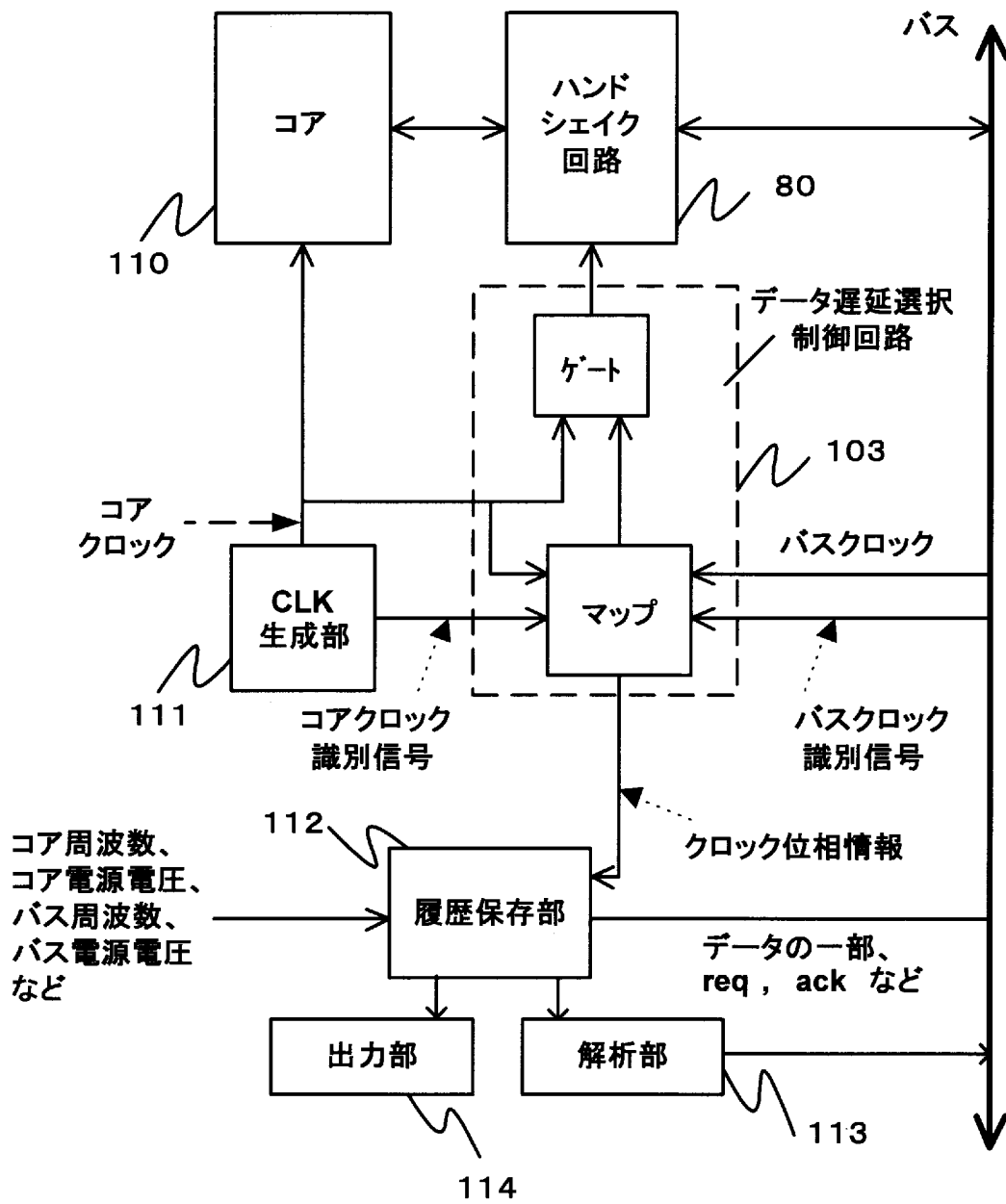
[図9]



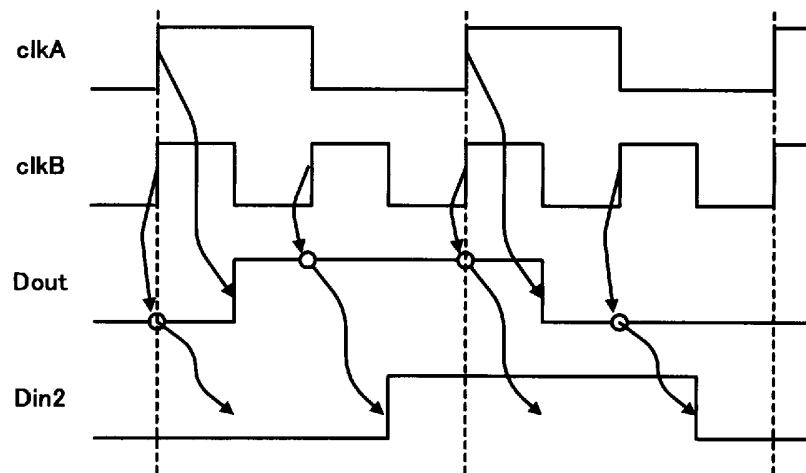
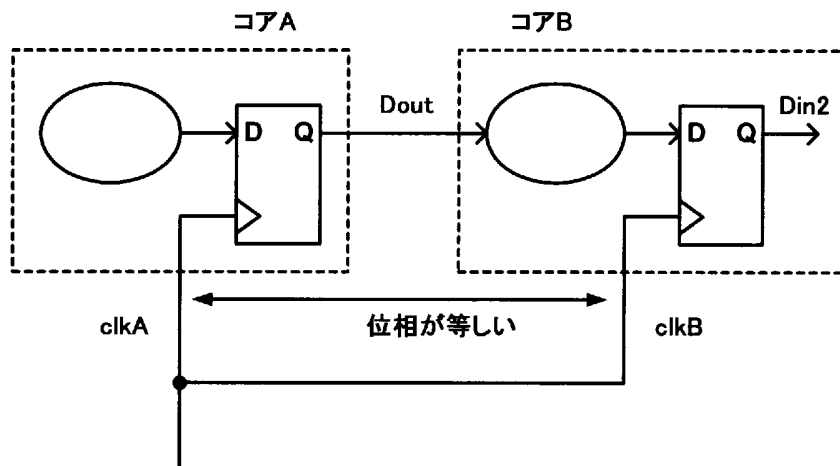
[図10]



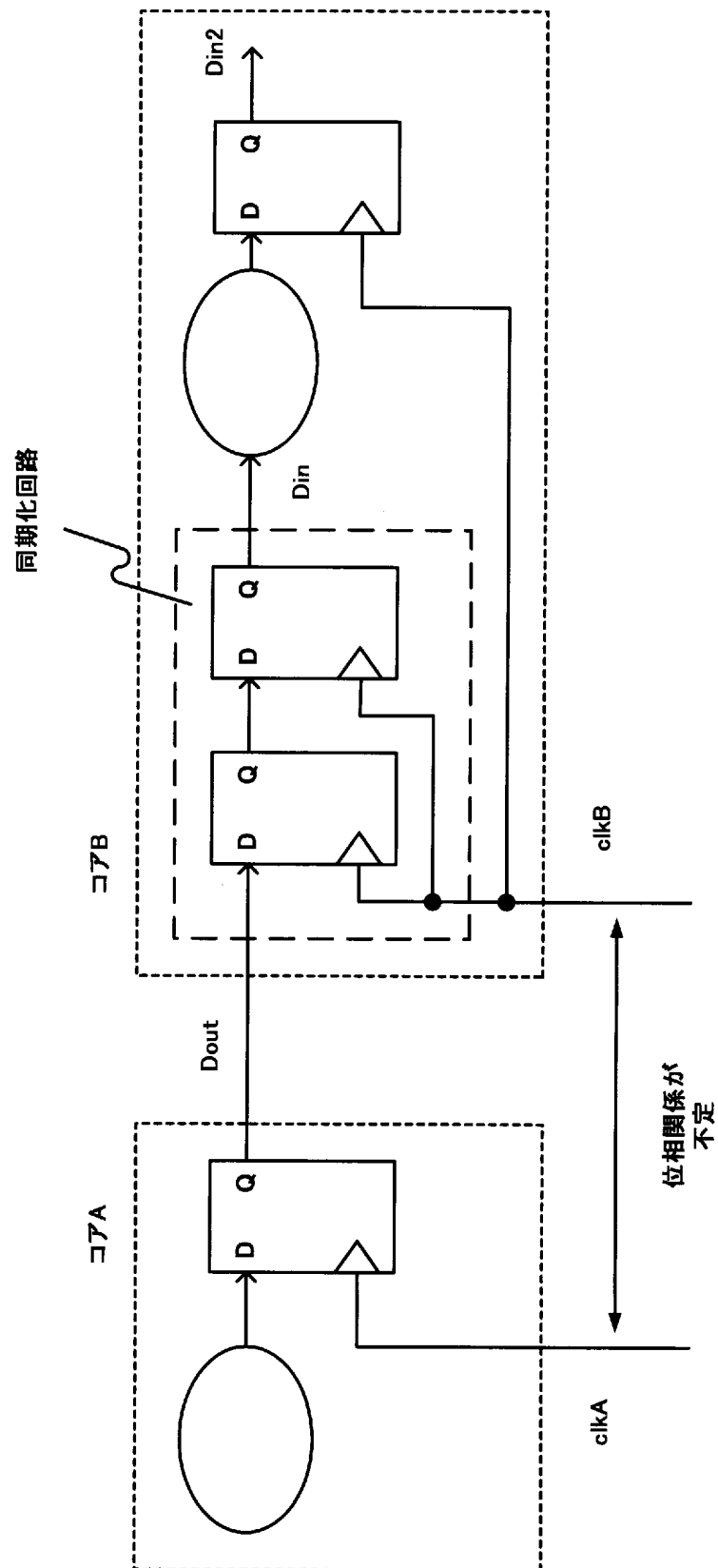
[図11]



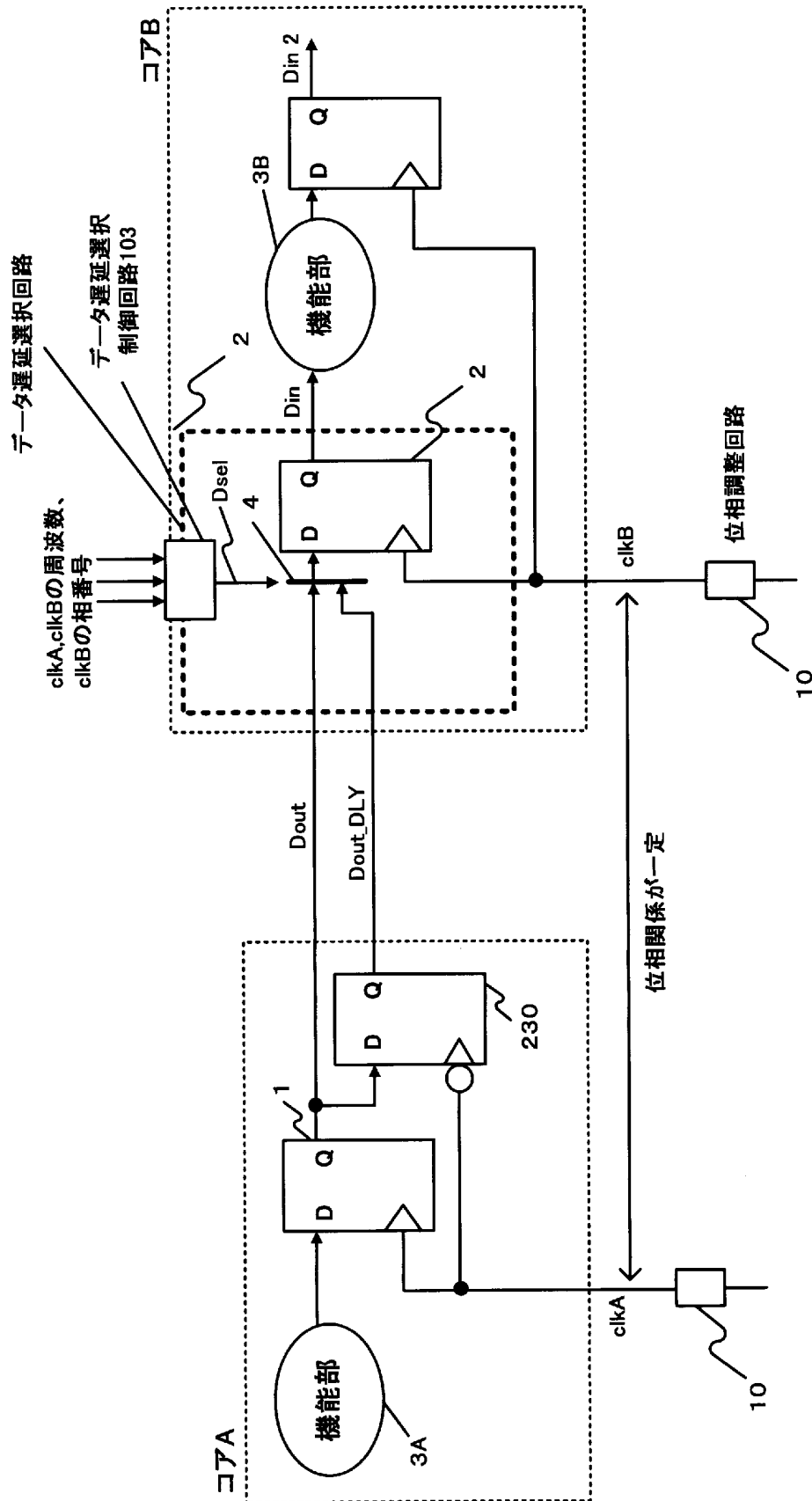
[図12]



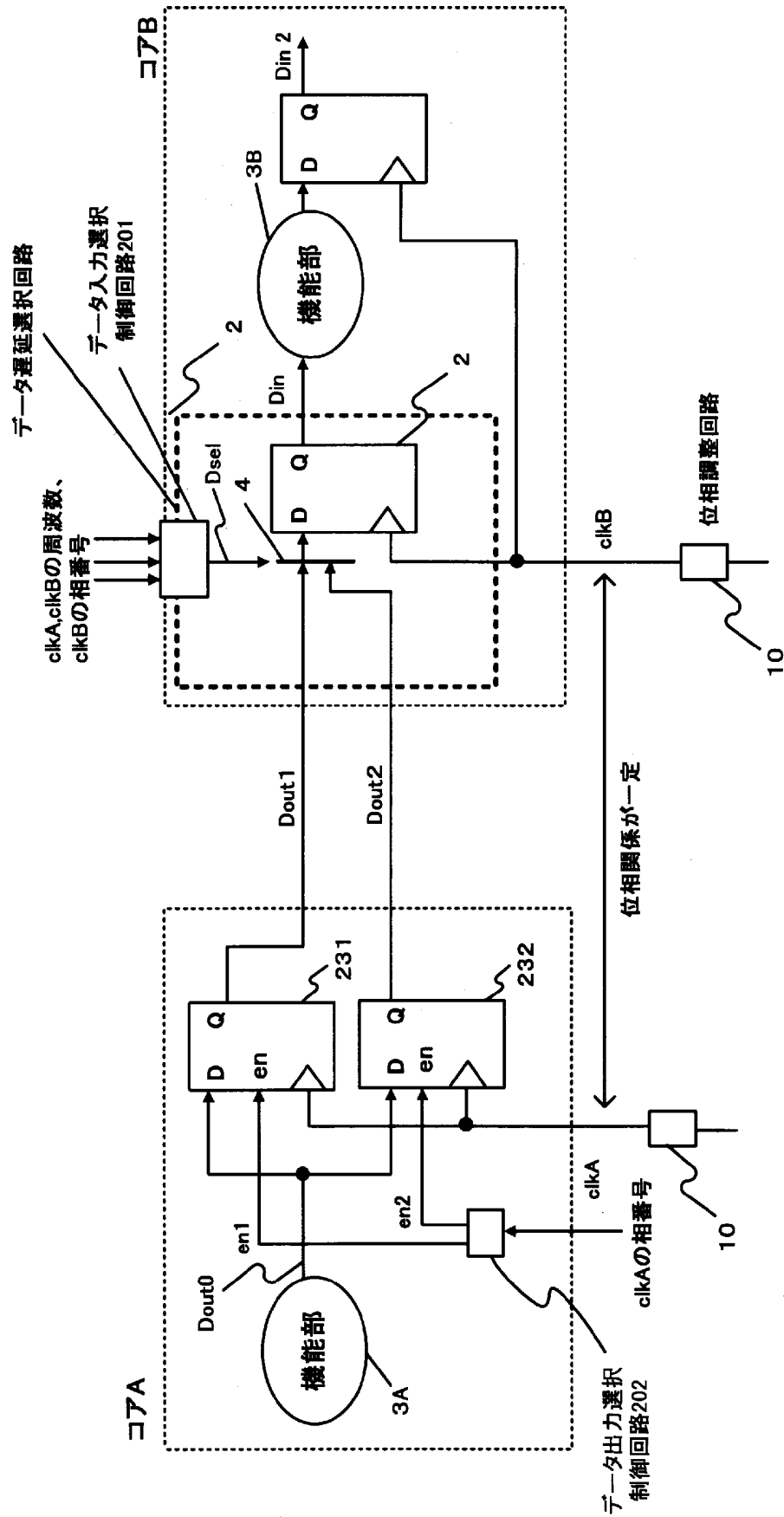
[図13]



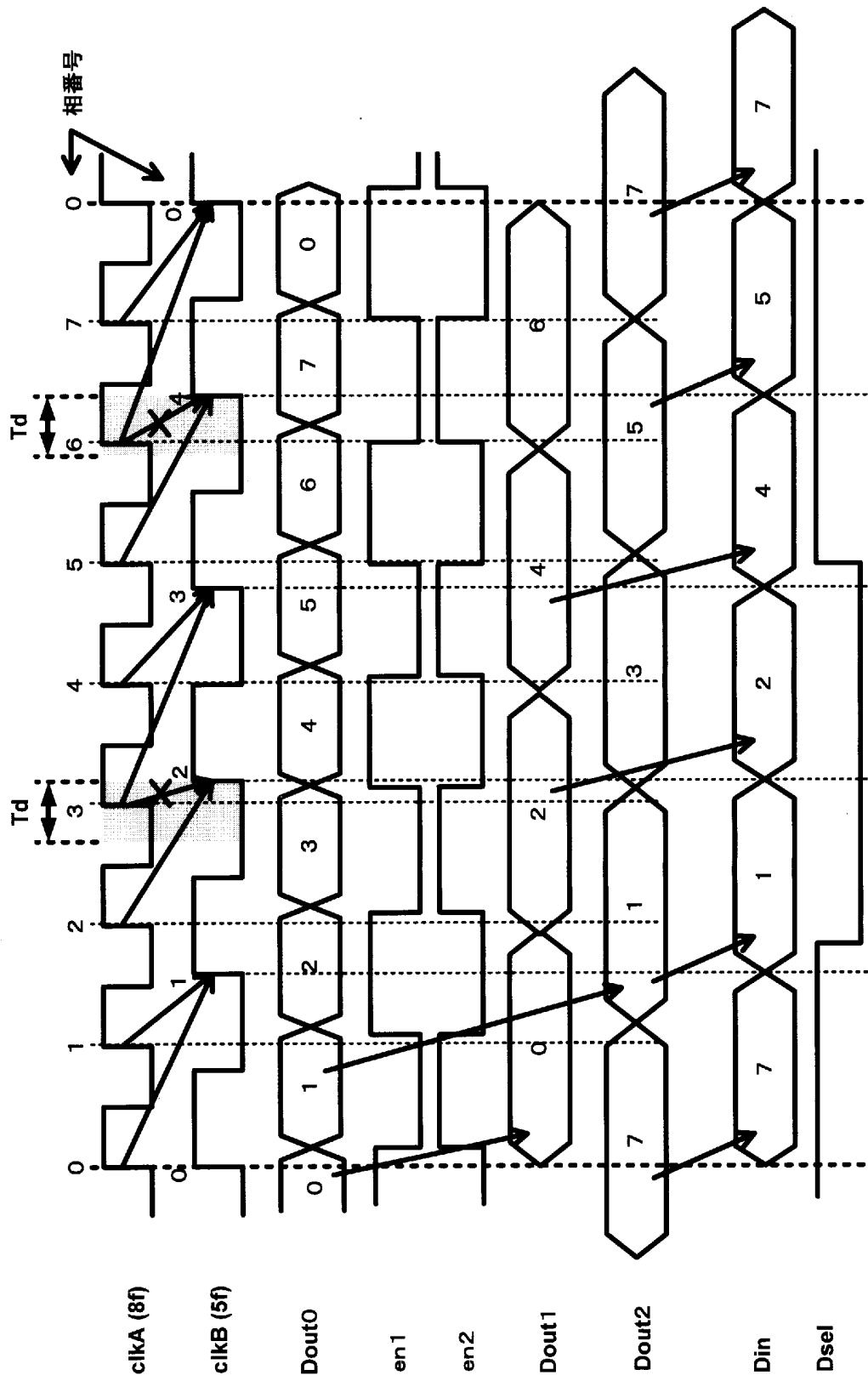
[図14]



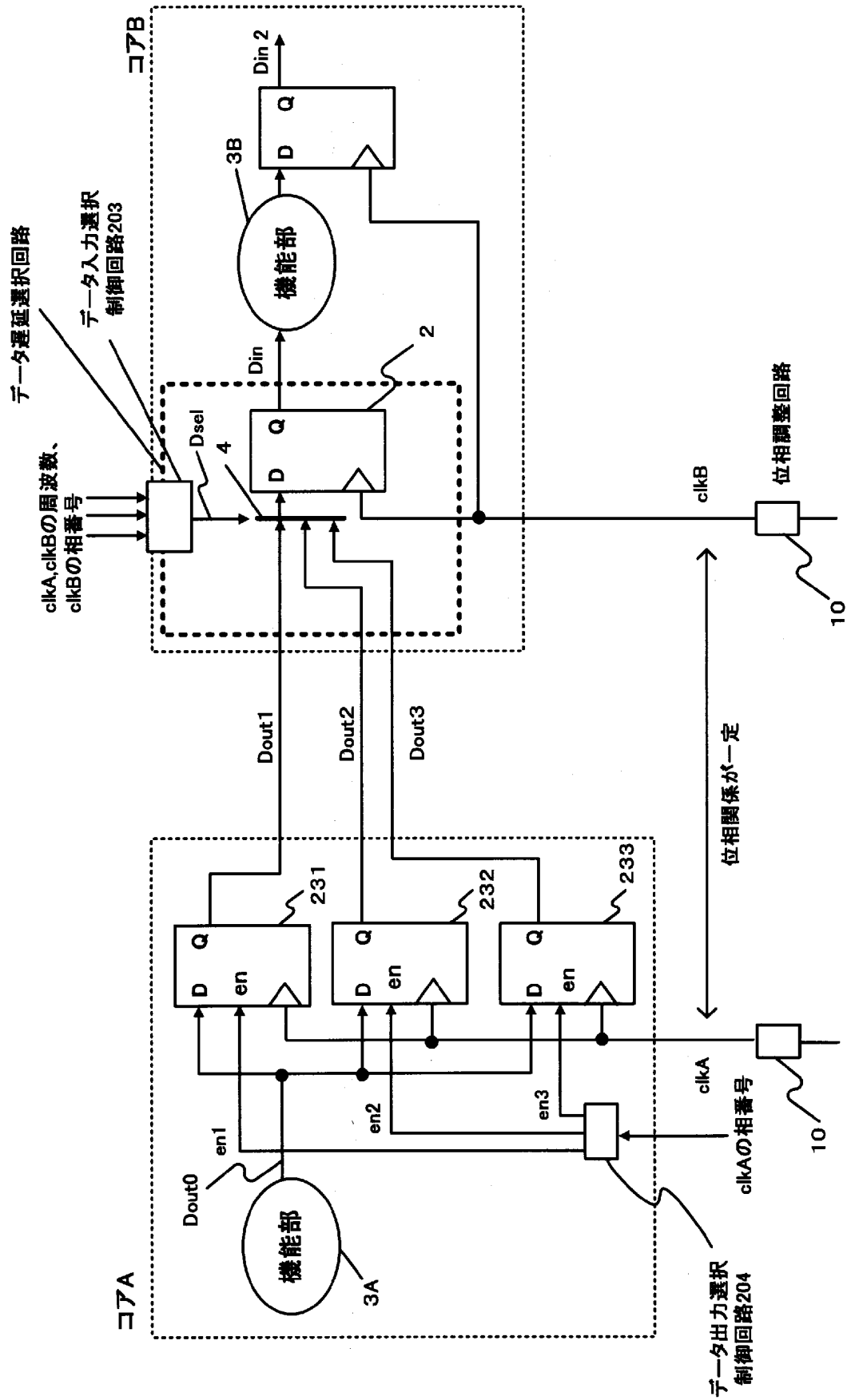
[図15]



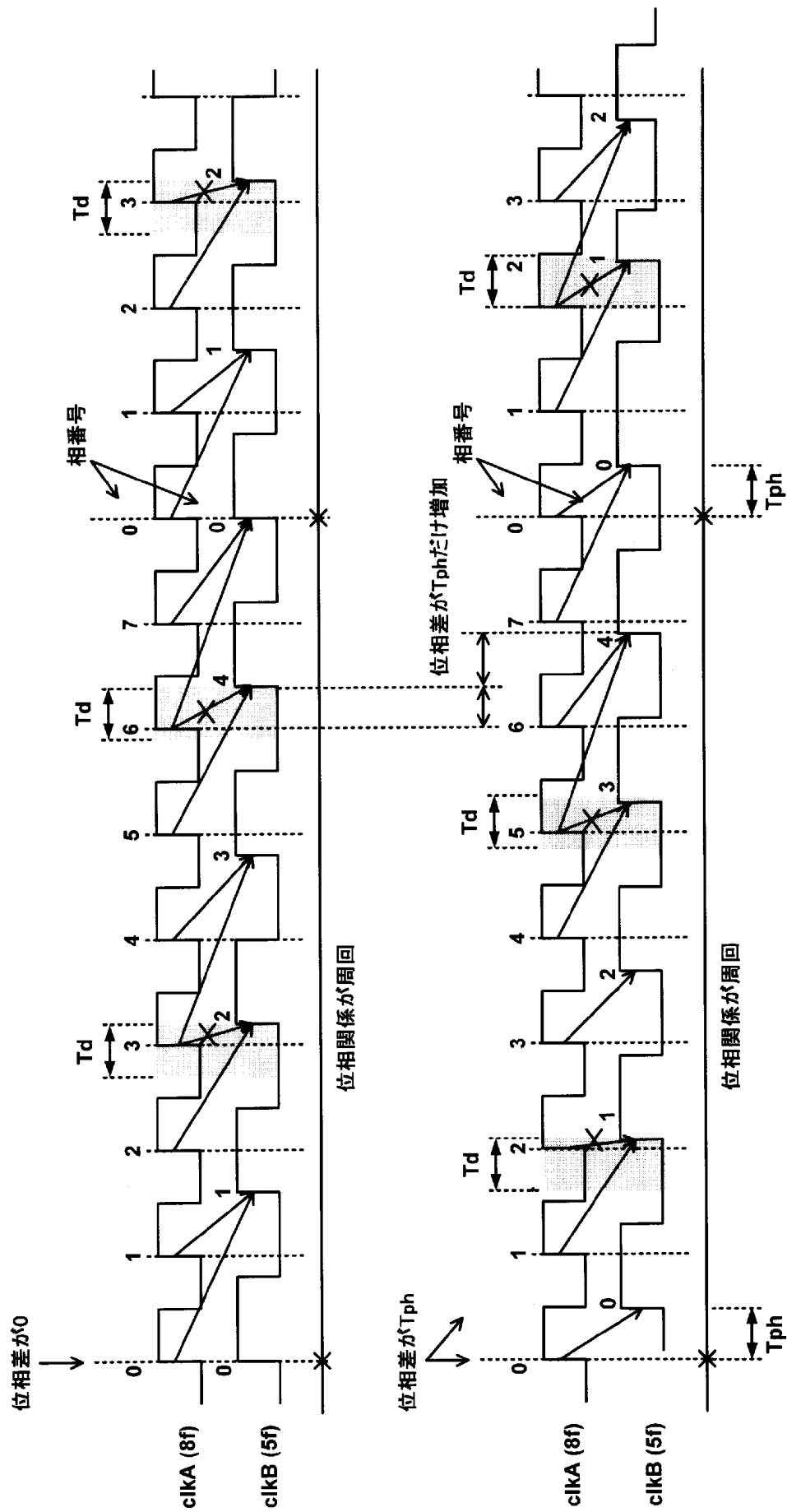
[図16]



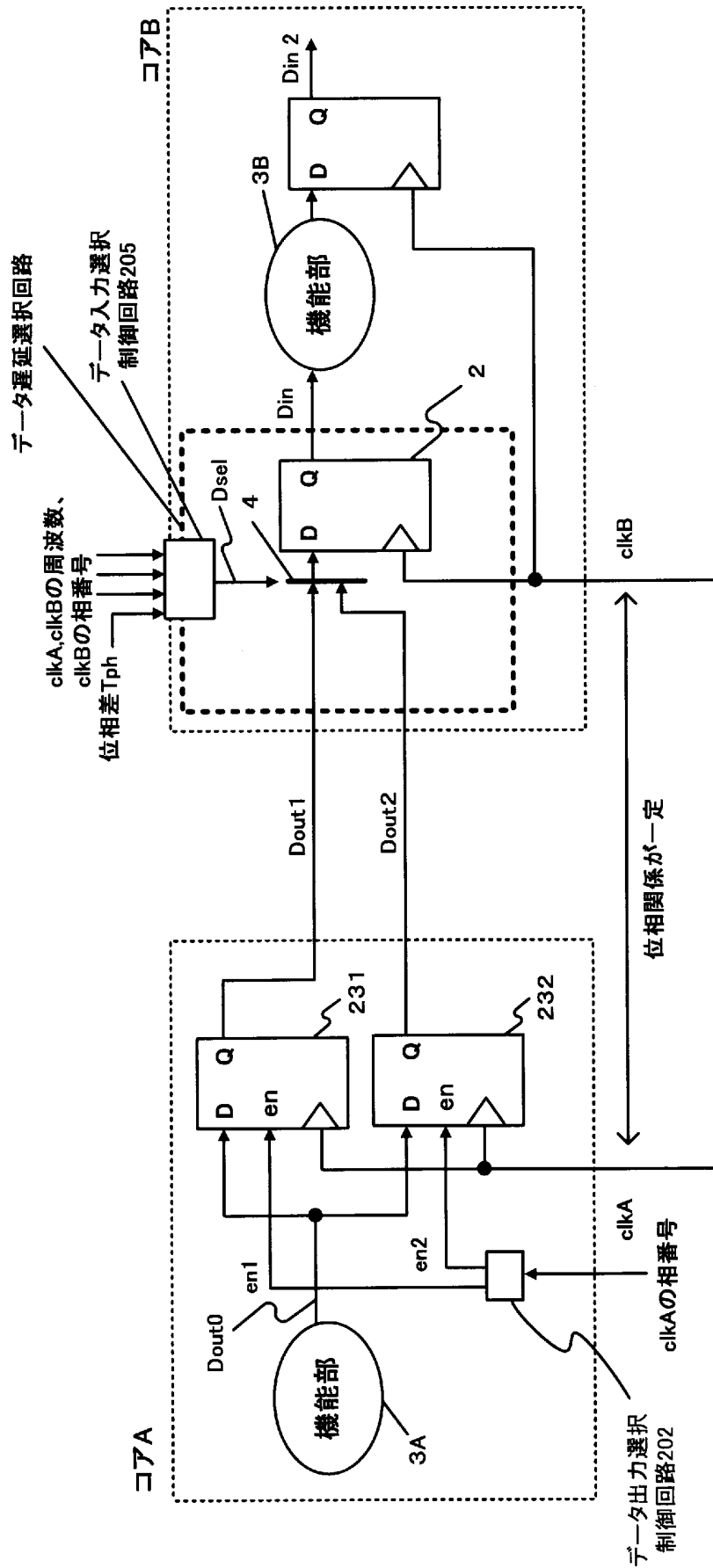
[図17]



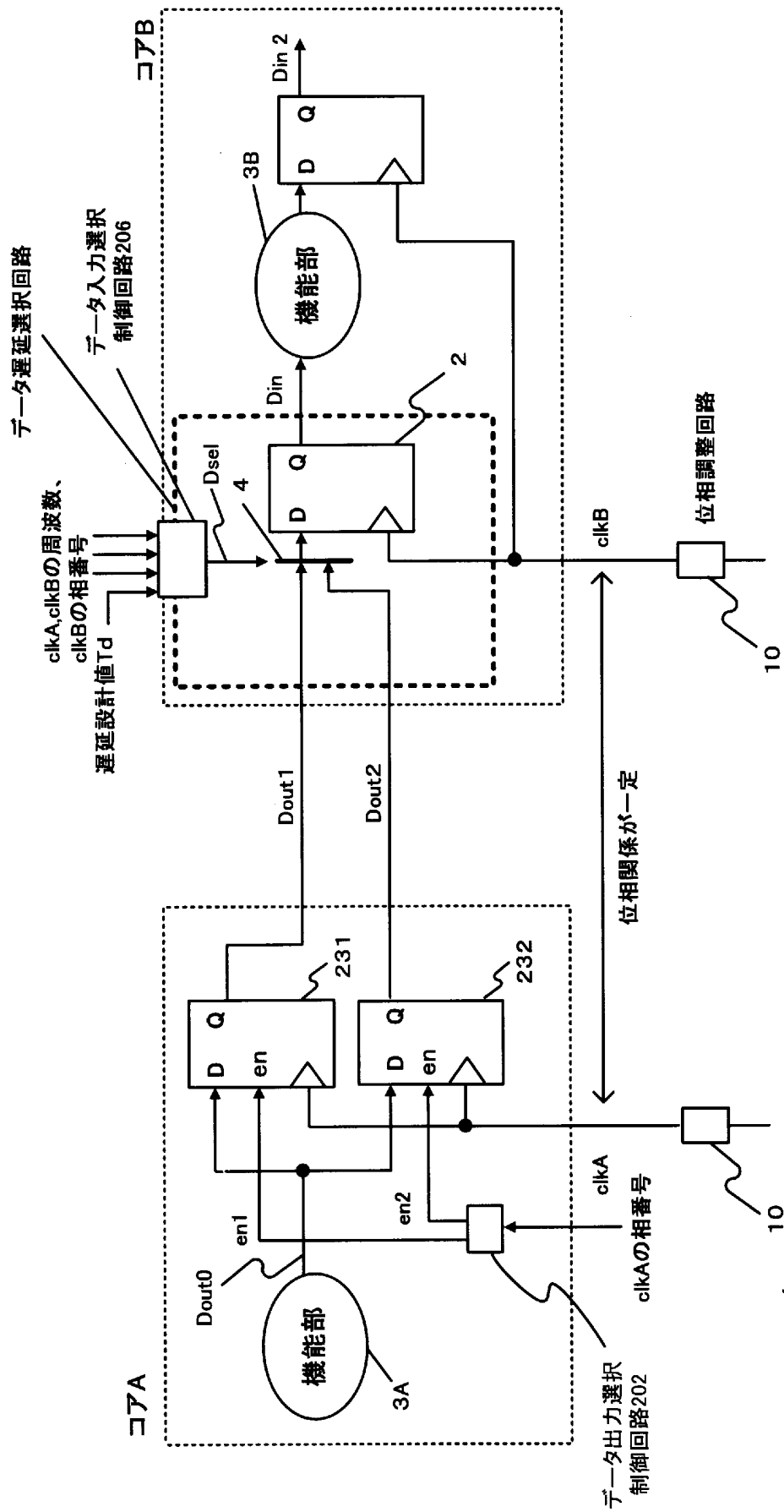
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017165

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/00 (2006.01) , **G06F1/12** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00 (2006.01) , **G06F1/12** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-77797 A (Thomson Licensing S.A.) , 23 March, 2001 (23.03.01) , Figs. 4 to 6; and explanations thereof; Par. No. [0035] & US 6549593 B1 & EP 1071005 A2 & CN 1281306 A	1-6, 16-21 7-15, 22-24
A	JP 7-306827 A (Intel Corp.) , 21 November, 1995 (21.11.95) , Full text & US 5754833 A & EP 683448 A1 & DE 69429614 D & AU 2437295 A & WO 1995/030946 A1 & CN 1116340 A & IL 113230 A & SG 47976 A	1-24

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2005 (13.12.05)

Date of mailing of the international search report
20 December, 2005 (20.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H04L7/00** (2006.01), **G06F1/12** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H04L7/00** (2006.01), **G06F1/12** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-77797 A (トムソン ライセンシング ソ シエテ アノニム) 2001.03.23, 第4図乃至第6図とそれらの説明、及び段落【0035】	1-6, 16-21
A	&US 6549593 B1 &EP 1071005 A2 &CN 1281306 A	7-15, 22-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.12.2005

国際調査報告の発送日

20.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

電話番号 03-3581-1101 内線 3556

5K

9382

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-306827 A (インテル・コーポレーション) 19 95. 11. 21, 全文 &US 5754833 A &EP 683448 A1 &DE 69429614 D &AU 2437295 A &WO 1995/030946 A1 &CN 1116340 A &IL 113230 A &SG 47976 A	1-24