

公告本

申請日期

類別

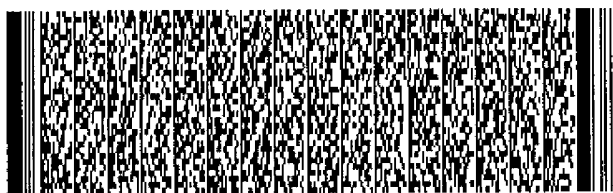
案號

(以上各欄由本局填註)

發明專利說明書

418420

一、 發明名稱	中文	於基體主要面及次要面上用於相同連接點佈局之路線拓撲
	英文	ROUTING TOPOLOGY FOR IDENTICAL CONNECTOR POINT LAYOUTS ON PRIMARY AND SECONDARY SIDES OF A SUBSTRATE
二、 發明人	姓名 (中文)	1. 易，道森 L. 2. 諾爾，艾耳 拉究
	姓名 (英文)	1. YEE, DAWSON L. 2. NOAR, EARL ROGER
	國籍	1. 加拿大 2. 美國
	住、居所	1. 美國華盛頓州雷曼市東北第158路9935號 2. 美國華盛頓州雷希市東南第三十九路7624號
三、 申請人	姓名 (名稱) (中文)	1. 美商英特爾公司
	姓名 (名稱) (英文)	1. INTEL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人 姓名 (中文)	1. F. 湯姆士. 當烈二世
	代表人 姓名 (英文)	1. F. THOMAS DUNLAP, JR.



418420

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/02/13 09/023,388

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景

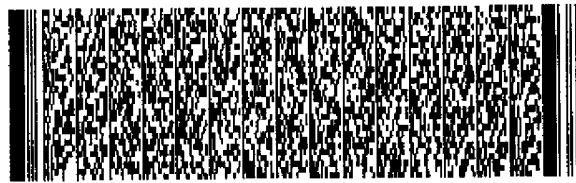
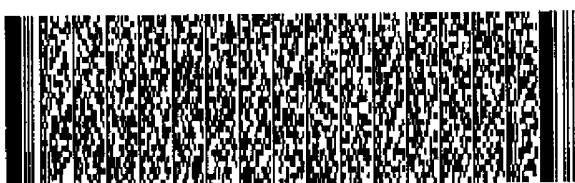
本發明之技術範疇：本發明乃關於追蹤路線拓撲，特別關於可使在基體之主要面及次要面相同連接點佈局之拓撲。

背景藝術：某些處理器，如微處理器，利用晶片外高速緩衝存儲晶片（有時稱為L2高速緩衝存儲器）以保持資料供處理器之處理器晶片之用。高速緩衝存儲器係裝在一基體上，如一印刷電路板及經由一高速匯流排連接至處理器核心晶片。

例如，由Intel公司所造之Pentium® II 處理器包括一基體，一處理器晶片及高速緩衝存儲器晶片即連接其上。基體包括連接點，其與在處理器晶片上之連接點及高速緩衝晶片匹配以將處理器晶片及高速緩衝存儲器連接至基體。基體包括多層。軌跡連接至基體之連接點以耦合一晶片之不同連接點至其他晶片之不同連接點。為避免軌跡至連接點，軌跡在不同之特別構型路由，軌跡可路由不同層，此等層係經由通路連接，以避免軌跡彼此接觸。基體連接至一連接點，該連接點可能經由一單邊連接點之金指狀物連接在母板上。

單晶片上之一連接點經由多個分支軌跡耦合至包括那些自一中間連接點之相同長度之軌跡之基體之同側上相同佈局位置中之一個以上之晶片上之一連接點。

在Pentium® II 處理器中使用之一基體包括許多層。每層均增加複雜性及成本。此外，更多之通路亦可增加複雜性



五、發明說明 (2)

(例如阻塞軌跡路由溝道)及成本。

發明之概述

在本發明之一特性下，本發明包括一多層基體。基體包括一主要面，具有第一組連接點，包括第一連接點，具有第一佈局以與第一晶片介面。基體尚包括一次要面，其具有第二組連接點，包括第二連接點，具有與第一佈局相同之佈局與第二晶片介面。基體尚包括一中間連接點經由具有實質上相等電長度之第一及第二分支軌跡，連接至第一及第二連接點。

圖式簡略說明

本發明將自以下之細節及實施例之附圖後而有較佳了解，但該說明不構成對特殊之實施例之限制，而僅供解釋及了解之目的。

圖1為包括連接點之基體。

圖2為圖1之基體之背視圖。

圖3為圖1中基體之連接點間之軌跡連接之簡略代表。

圖4為圖1之基體之側視之簡略代表。

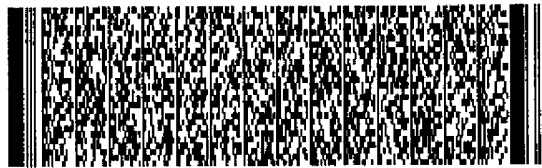
圖5為圖1之基體之連接點間之軌跡連接之簡略代表。

圖6為圖1或圖2之連接至連接點之晶片之底視圖。

圖7為圖6中晶片之側視圖。

較佳實施例之詳細敘述

參考圖1及圖2，基體10可能是一印刷電路板，包括一主要面12及一次要面14。基體10包括5組連接點：一組連接點18及連接點組22-1，22-2，22-3及22-4。僅供舉例之



五、發明說明 (3)

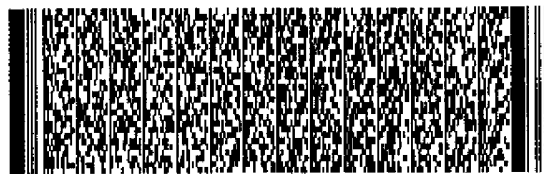
用，連接點可為在通路上之墊或其他導體。

例如，基體10可能為一處理器之一部份，其包括一處理器晶片連接至一組連接點18。處理器尚包括四個高速緩衝存儲器晶片，每一晶片連接至四組連接點22-1，22-2，22-3及22-4之一組。每組連接點有一佈局。晶片亦有一連接點佈局。晶片之連接點可能為梢子、墊片或其他導體。為了使各組連接點22-1，22-2，22-3及22-4均相同，基體10之主要面及次要面均用相同之高速緩衝存儲器晶片。據此，僅需製造一種高速緩衝存儲器(即僅需一種高速緩衝存儲器晶片連接點佈局)。如此處所定義者，二組連接點之連接點佈局如果相同，則相同晶片將可與每組連接點之工作相同。

下列之連接點將予以特別說明：連接點18一組之連接點30；連接點組22-1之連接點CPA-1及CPB-1；連接點組22-2之連接點CPA-2及CPB-2；連接點組22-3之連接點CPA-3及CPB-3；連接點組22-4之連接點CPA-4及CPB-4；及連接點32。

基體10可包括6組金手指連接：16A，16B，16C，16D，16E及16F。例如，連接點32可能為金手指連接之一或連接至一或更多金手指連接。

基體10包含通路34，36，44及46。在說明之實施例中，通路貫通基體10之每一層。在另一實施例中，通路則不貫通每一層。通路34，36，44及46可認為是中間連接點。但在說明之實施例中，通路34，36，44及46不與晶片直接介



五、發明說明(4)

面，但連接點CPA-1，CPA-2等則否。

參考圖1，2及3，根軌跡40連接在連接點30及通路34之間。根軌跡42則耦合在連接點30及通路36之間。根軌跡40及42應有一實質上相同之電長度。電長度即飛行時間。相等之物理長度可提供相等之電長度。相等電長度之目的為降低晶片間信號之定時容許度。電長度必須實際上相等之程度至少部份與容許度有關，其與實施而變化。此程度亦與其他軌跡(如下所述)之電長度究竟如何接近相等有關。因為連接點30較通路36更接近通路34，根軌跡40可有一彎曲(即蛇形結構，未於圖3中說明)以增加起始軌跡40之額外物理長度以匹配根軌跡42之電長度。根軌跡42亦可有一彎曲。此文所提之不同軌跡並非一定有其不變之寬度。

分支軌跡BA1耦合在連接點CPA-1及通路34之間。分支軌跡BA2耦合在連接點CPA-2及通路34之間。分支軌跡BA1及BA2之電長度相同。分支軌跡BA3耦合至連接點CPA-3及通路36之間。分支軌跡BA4耦合至連接點CPA-4及通路36之間。分支軌跡BA3及BA4之電長度相同。如上所述，通路不必完全延伸通過所有層。一或多個軌跡可有非直線之形狀(即蛇形)。此外，軌跡之寬度不必為均勻的。

參考圖4，基體10包括N層(並未全部示出)。圖4說明根軌跡40可通過貫穿一內層，及連接至內層之通路34。在另一實施例中，根軌跡40可由許多根軌跡或根/支軌跡代替，其亦通過不同層及連接至不同之通路。連接點CPA-1及CPA-2如圖1，2，及3(即一個不在另一個之上)建議有所



五、發明說明 (5)

位移。連接點CPA-1及CPA-2可能為墊子連接至通路，並延伸貫穿所有層(與通路34相似)。

圖5說明另一型式之軌跡路線拓撲，其與圖4中所說明者不同。圖5中，軌跡路線拓撲包括一根軌跡50連接至根/支軌跡54及56。根軌跡50可經由通路52連接至根/支軌跡54及56，通路52為一連接點形式。分支BB1及BB2連接至通路44，及連接點CPB-1及CPB-2。分支BB3及BB4連接至通路46，及連接點CPB-3及CPB-4。分支BB1及BB2有相等之電長度。分支BB3及BB4亦有相等之電長度。

圖4中之軌跡路線拓撲包括一V拓撲，而圖5中之軌跡路線拓撲包括一Y拓撲。

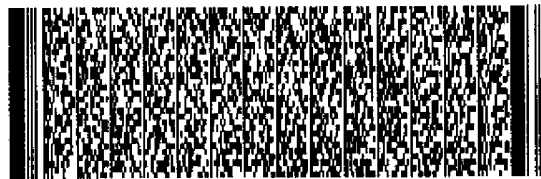
一條根軌跡可連接至二條以上之分支軌跡或根/分支軌跡。

圖6說明晶片70之底視圖，二個連接點74及76可接至連接點CPA-1及CPB-1，或接至CPA-2及CPB-2，或接至CPA-3及CPB-3，或接至CPA-4及CPB-4。圖7顯示晶片70之側視圖。由於軌跡拓撲，僅需要一種型式之晶片70。

與晶片(即CPA-1)介面之連接點可能為一驅動及/或接收點。

如果使用鏡面影像晶片於每側，則基體將較基體10遠為簡單。圖3，4及5說明之基體10之內層，軌跡及中間連接(34，36，44及46)增加了基體10之複雜性及成本。準此，本發明為一抗直覺裝置。

基體10可包括已知之材料及電路，及不知名之材料及電



五、發明說明 (6)

路。基體10可依照已知技術及方法製造，亦可依照不知名之技術及方法製造。

在商業實施中，亦有許多其他連接點及連接點組，但並未在此處說明，因其不會增加本發明之瞭解並造成圖式之混淆，有對本發明變為模糊之嫌。本發明並不限於用在處理器中，亦可與不同基體，電路及晶片共用。

對此技藝人士將極為明顯，基體上之不同組件之相對尺寸(如通路，連接點)均加以誇大供說明之用。連接點不必為圓形或球型。圖中各框盒之邊界亦供說明目的，而不限於組件之周界，此等組件可能重疊。說明之組件之相對尺寸並不與實際大小相合。“導體”一詞應廣泛解釋為並包括傳導之裝置，儘管其亦有絕緣特性。在說明之組件及導體間可能有中間組件或導體。

如規格指示一組件或特性“可能”，“可”，“或許”或“似乎可以”包括在或有特性，該特殊組件或特性並不需要包括在內或具有該特性。“響應”一詞包括完全或部份響應。

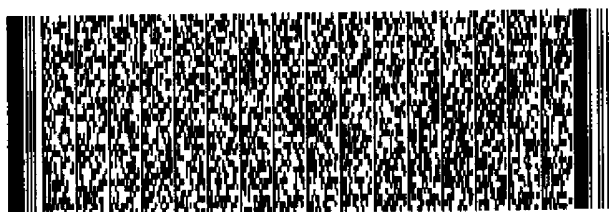
精於此技藝人士在了解此揭示之後將可認為其他許多與上述說明及圖式不同在本範圍內之改變亦屬可行。準此，以下之申請專利範圍包括任何限定本發明範圍之修改。

四、中文發明摘要 (發明之名稱：於基體主要面及次要面上用於相同連接點佈局之路線拓撲)

在本發明之一特性之下，本發明關於一多層基體。基體包括一主要面，具有第一組連接點，包括第一連接點，具有第一佈局以與晶片介面。基體亦包括一次要面，其具有第二組連接點，包括一第二連接點，具有一與第一佈局相同之佈局以與第二晶片介面。基體尚包括一中間連接點經由實際上有相同電長度之第一及第二分支軌跡耦合至第一及第二連接點。

英文發明摘要 (發明之名稱：ROUTING TOPOLOGY FOR IDENTICAL CONNECTOR POINT LAYOUTS ON PRIMARY AND SECONDARY SIDES OF A SUBSTRATE)

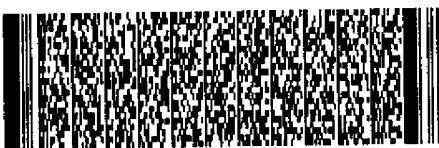
Under one aspect of the invention, the invention includes a multilayered substrate. The substrate includes a primary side having a first group of connection points, including a first connection point, having a first layout to interface with a first chip. The substrate also includes a secondary side having a second group of connection points, including a second connection point, having a layout identical to the first layout, to interface with a second chip. The substrate also



四、中文發明摘要 (發明之名稱：於基體主要面及次要面上用於相同連接點佈局之路線拓撲)

英文發明摘要 (發明之名稱：ROUTING TOPOLOGY FOR IDENTICAL CONNECTOR POINT LAYOUTS ON PRIMARY AND SECONDARY SIDES OF A SUBSTRATE)

includes an intermediate connection point coupled to the first and second connection points through first and second branch traces each having substantially the same electrical length.



六、申請專利範圍

1. 一種多層基體，包含：

一主要面包括第一組連接點，包括第一連接點，其具有第一佈局以與一第一晶片介面；

一次要面包括第二組連接點，包括第二連接點，其具有與第一佈局相同之佈局以與第二晶片介面；及

一中間連接點經由具有相等電長度之第一及第二分支軌跡耦合至第一及第二連接點。

2. 如申請專利範圍第1項之基體，尚包括額外之連接點組，其具有與第一佈局相同之佈局，及額外之分支軌跡，具有相等之電長度，耦合至額外之連接點。

3. 如申請專利範圍第1項之基體，其中之中間連接點係耦合至一根軌跡。

4. 如申請專利範圍第3項之基體，其中之根軌跡為基體之一中間層。

5. 如申請專利範圍第3項之基體，其中之根軌跡係耦合至一組連接點之連接點以與第三個晶片介面。

6. 如申請專利範圍第5項之基體，其中之第三個晶片係一處理器晶片。

7. 如申請專利範圍第1項之基體，其中之中間連接點耦合至一根/分支軌跡。

8. 如申請專利範圍第1項之基體，其中根/分支係在基體之內層上。

9. 如申請專利範圍第7項之基體，其中之根/分支軌跡耦合至一根軌跡。



六、申請專利範圍

10. 如申請專利範圍第1項之基體，其中第一及第二晶片為高速緩衝存儲器晶片。

11. 如申請專利範圍第1項之基體，其中中間連接點包括一通路，其延伸通過基體之每一層。

12. 一種多層基體，包含：

一主要面包括第一及第三組連接點，分別包括第一及第三連接點，每一均有第一佈局以分別與第一及第三晶片介面；

一次要面包括第二及第四組連接點，其包括第二及第四連接點，每一均有一與第一佈局相同之佈局以分別與第二及第四晶片介面；及

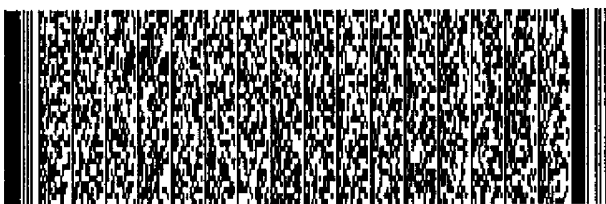
第一中間連接點經由具有相同電長度之第一及第二分支軌跡耦合至第一及第二連接點，及第二中間連接點經由具有相同電長度之第三及第四分支軌跡耦合至第三及第四連接點。

13. 如申請專利範圍第12項之基體，尚包括額外組之連接點，其具有與第一佈局相同之佈局，及額外之分支軌跡，其具有實際上相等之電長度，耦合至額外之連接點。

14. 如申請專利範圍第12項之基體，其中之中間連接點耦合至一根軌跡。

15. 如申請專利範圍第14項之基體，其中之根軌跡耦合至一組連接點之一連接點以與第五個晶片介面。

16. 如申請專利範圍第12項之基體，其中之中間連接點耦合至一根/分支軌跡。



六、申請專利範圍

17. 如申請專利範圍第16項之基體，其中之根/分支軌跡耦合至一根軌跡。

18. 一種多層基體，包含：

一主要面包括第一組連接點，包括第一連接點，其具有第一佈局以與具有連接一佈局之連接點的第一晶片介面；

一次要面包括第二組連接點，包括一第二連接點，其具有一與第一佈局相同之佈局以與具有與第一晶片之佈局相同之佈局之第二晶片介面；及

一中間連接點經由具有相等電長度之第一及第二分支軌跡耦合至第一及第二連接點。

19. 一種基體之方法，包含：

在第一組連接點中提供第一連接點；

在第二組連接點中提供第二連接點，第一及第二組連接點具有相同之佈局；

在中間連接點及第一連接點間提供第一分支軌跡；及

在中間連接點與第二連接點之間提供第二分支軌跡，其具有與第一分支軌跡相等電長度。

圖式

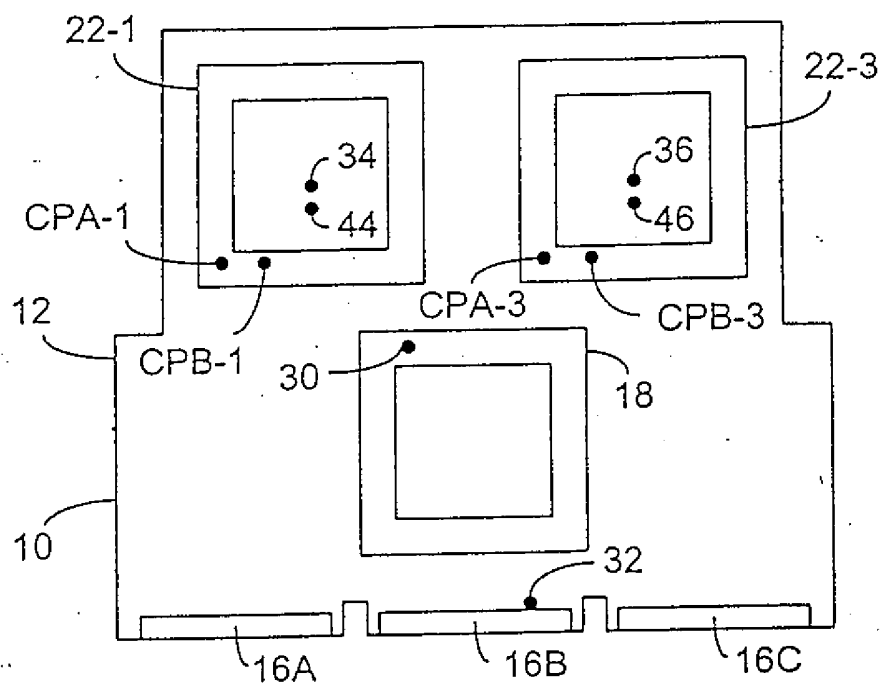


圖 1

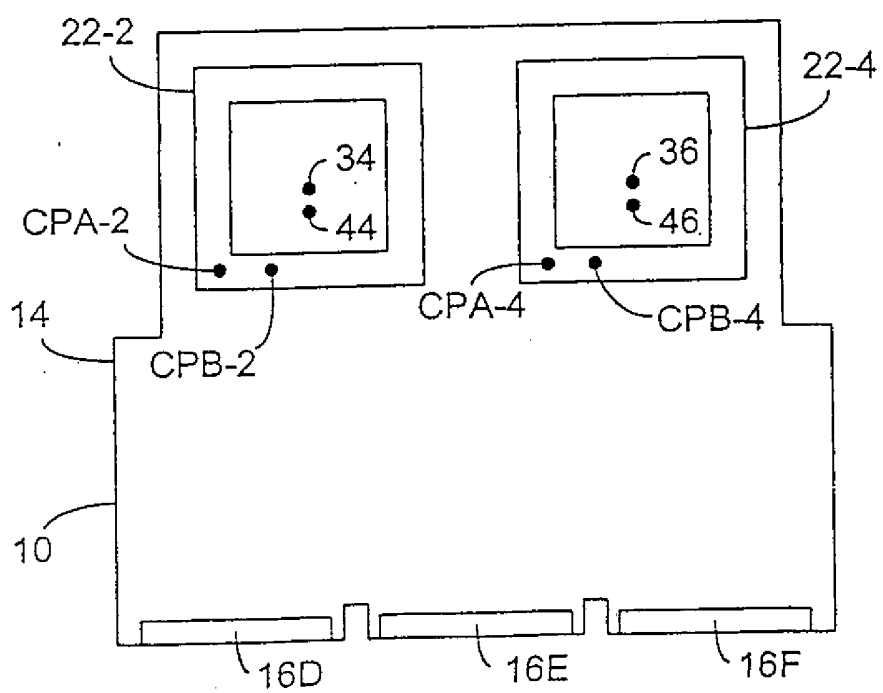


圖 2

圖式

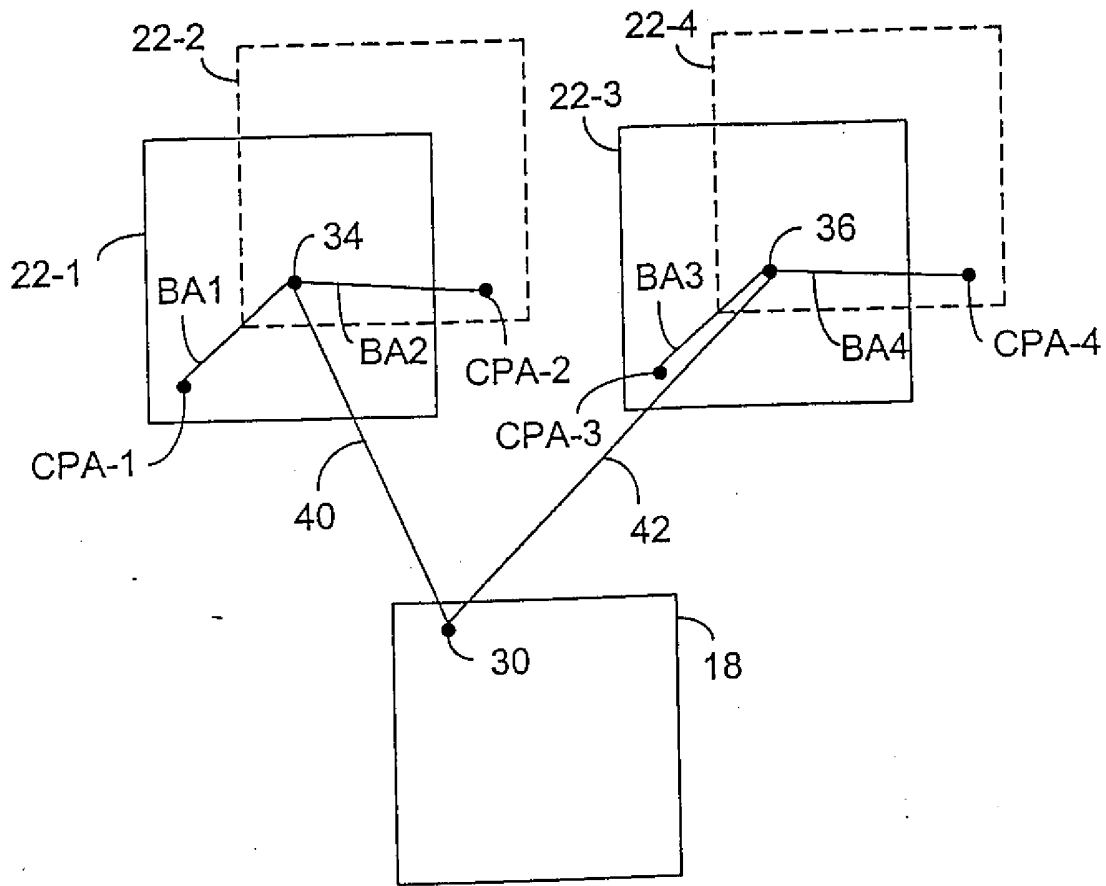


圖 3

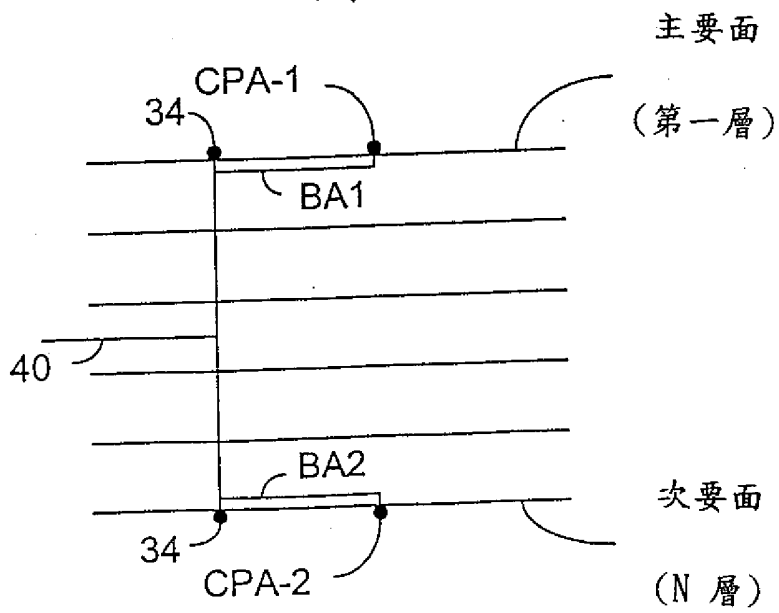


圖 4

圖式

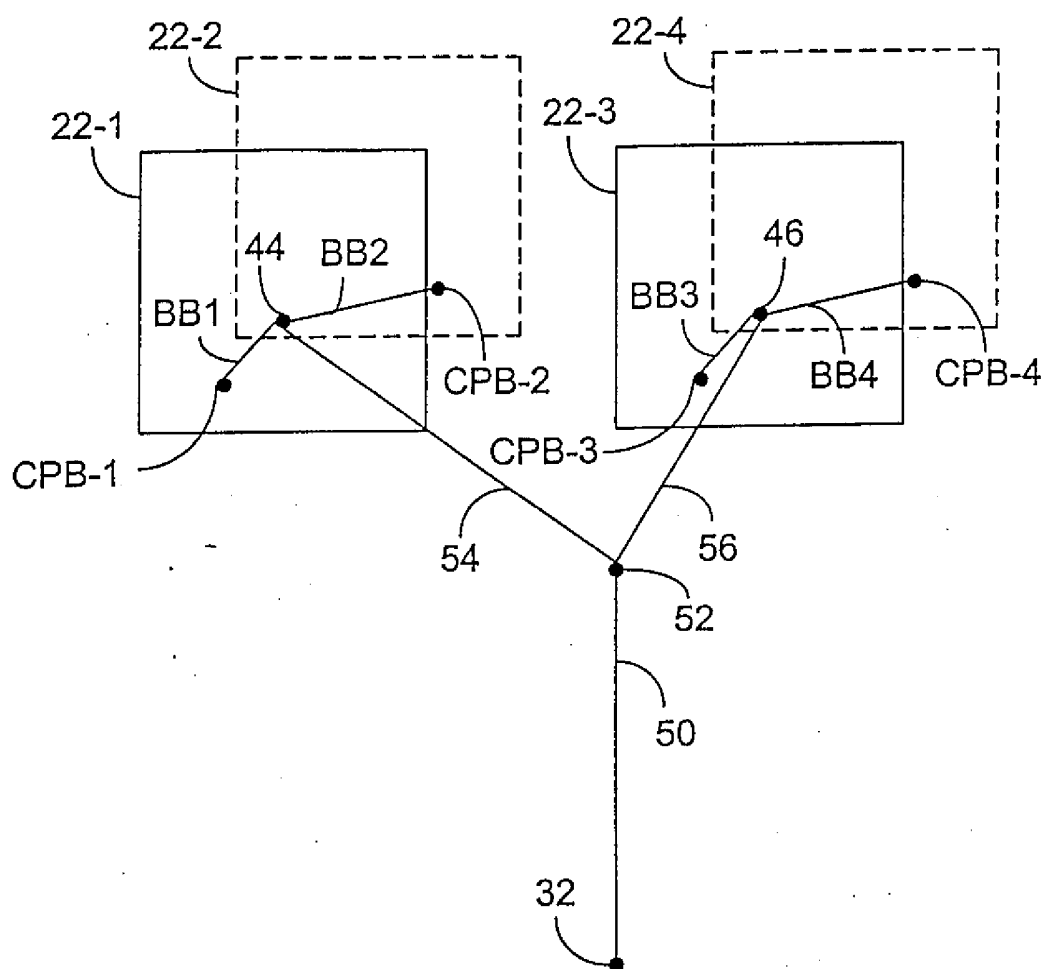


圖 5

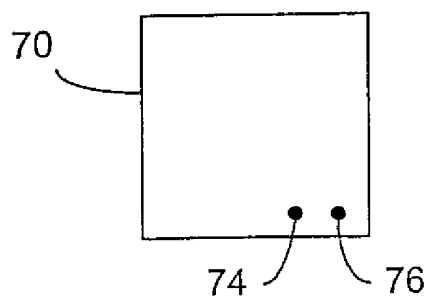


圖 6

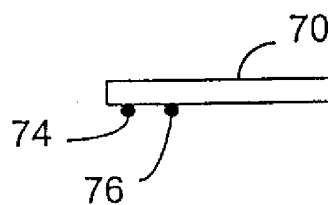


圖 7