



(12) 发明专利

(10) 授权公告号 CN 102668444 B

(45) 授权公告日 2014. 12. 10

(21) 申请号 201080058944. 4

(22) 申请日 2010. 12. 21

(30) 优先权数据
2009-295617 2009. 12. 25 JP

(85) PCT国际申请进入国家阶段日
2012. 06. 25

(86) PCT国际申请的申请数据
PCT/JP2010/007406 2010. 12. 21

(87) PCT国际申请的公布数据
W02011/077707 EN 2011. 06. 30

(73) 专利权人 佳能株式会社
地址 日本东京

(72) 发明人 桃井昭好 森下浩一

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038
代理人 康建忠

(51) Int. Cl.
H04L 7/02 (2006. 01)
H04L 7/00 (2006. 01)

(56) 对比文件

JP H05244134 A, 1993. 09. 21, 全文.
CN 1236239 A, 1999. 11. 24, 全文.
CN 101416437 A, 2009. 04. 22, 说明书第 10
页第 2-8 及 15-19 行、第 12 页倒数第 3-4 行、第 13
页第 12 行至最后一行及附图 1A.

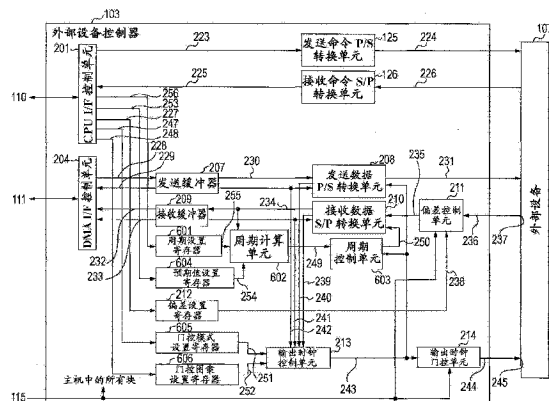
审查员 刘畅

权利要求书2页 说明书18页 附图24页

(54) 发明名称
信息处理装置或信息处理方法

(57) 摘要

如果信息处理装置从外部设备接收的数据相对于该信息处理装置的时钟延迟一个周期或更多个周期,则该信息处理装置可能需要用于调整数据锁存定时的附加处理。预先存储指示将被接收的校准图案与周期延迟量之间的关系的延迟信息。因此,可缩短用于检测周期延迟量所需的时间,所述周期延迟量等同于用于控制信息处理装置中的数据锁存机构停止其操作的信号被延迟的量。



1. 一种信息处理装置,包括:

供给单元,其被配置为将时钟供给外部设备;

指示单元,其被配置为指示所述外部设备发送校准图案;

接收单元,其被配置为接收与所述时钟同步地从所述外部设备输出的外部设备数据;

控制单元,其被配置为根据门控信息控制所述供给单元停止所述时钟的供给,所述门控信息指示将停止所述时钟的供给的定时;

存储单元,其被配置为保存延迟信息,所述延迟信息指示所述接收单元将接收的校准图案与周期延迟量之间的关系;

检测单元,其被配置为通过在所述控制单元工作时将所述接收单元所接收的校准图案与所述延迟信息进行比较来检测每个周期的延迟量;和

延迟单元,其被配置为根据所述周期延迟量以及一个周期内的延迟来延迟所述接收单元的数据锁存定时。

2. 根据权利要求 1 所述的信息处理装置,还包括:

振荡单元,其被配置为使从所述供给单元供给的时钟振荡;

第一延迟单元,其被配置为通过使所述接收单元接收的数据延迟小于被所述振荡单元振荡的时钟的一个周期的量来校正相移;和

第二延迟单元,其被配置为通过将用于控制所述接收单元的控制信号延迟被所述振荡单元振荡的时钟的一个周期的整数倍,并且将所述控制信号输入到所述接收单元,校正所述接收单元的数据锁存定时中的时段间偏移。

3. 根据权利要求 2 所述的信息处理装置,其中,所述第二延迟单元包括多个触发器,每个触发器具有输入和输出,每个触发器的输出与下一个触发器的输入串联连接,并且

其中,当所述控制信号每一个时段被延迟时,所述多个触发器之一的输出被选择性地输出。

4. 根据权利要求 1 所述的信息处理装置,还包括:

选择单元,其被配置为根据门控信息使第一时钟控制模式和第二时钟控制模式之一选择性地工作,在所述第一时钟控制模式下,使所述供给单元停止所述时钟的供给,在所述第二时钟控制模式下,不使所述供给单元停止所述时钟的供给,所述门控信息指示将停止所述时钟的供给的定时,

其中,所述指示单元指示所述外部设备发送所述接收单元所接收的校准图案,并且

其中,当所述校准图案的相移被调整时,所述选择单元使所述第二时钟控制模式工作,并且当所述校准图案的周期延迟被调整时,所述选择单元使所述第一时钟控制模式工作。

5. 根据权利要求 4 所述的信息处理装置,还包括确定单元,

其中,所述存储单元保存将被接收的校准图案的预期值,并且

其中,所述确定单元将通过所述选择单元使所述控制单元工作时所述接收单元所接收的校准图案与保存在所述存储单元中的所述预期值进行比较,并且确定是否找到匹配。

6. 根据权利要求 5 所述的信息处理装置,其中,所述确定单元确定所述接收单元所接收的校准图案与所述预期值匹配,并且确定所述接收单元的数据锁存定时的调整已完成。

7. 根据权利要求 4 所述的信息处理装置,其中,所述校准图案包括多个值,并且

其中,所述多个值中的预定数量的连续值中的每个不同于前一值。

8. 根据权利要求 7 所述的信息处理装置,其中,所述预定数量大于或等于与所述信息处理装置和所述外部设备之间能够发生的延迟量对应的周期数量。

9. 根据权利要求 4 所述的信息处理装置,还包括保存单元,其被配置为保存所述接收单元所接收的数据并且通知所述保存单元何时不能保存数据,

其中,当基于所述校准图案的所述数据锁存定时的调整完成时,所述选择单元使第三时钟控制模式工作,所述第三时钟控制模式是响应于来自所述保存单元的通知使所述供给单元停止所述时钟的供给的模式。

10. 根据权利要求 9 所述的信息处理装置,其中,所述保存单元包括先进先出缓冲器,并且

其中,所述通知是基于指示关于所述先进先出缓冲器的剩余容量信息的信号的。

11. 根据权利要求 9 所述的信息处理装置,还包括识别单元,其被配置为确定与所述外部设备的通信类型,

其中,当能够确定所述外部设备不是预定类型时,所述选择单元在所述接收单元的数据锁存定时被调整时使所述第三时钟控制模式工作。

12. 根据权利要求 1 所述的信息处理装置,其中,所述门控信息包括指示所述供给单元在周期性定时停止时钟的供给的信息。

13. 根据权利要求 1 所述的信息处理装置,其中,所述门控信息指示以下中的至少一个:所述控制单元使所述时钟的供给开始停止的定时、所述时钟的供给的停止被取消的定时、以及在其期间时钟的供给停止的时段。

14. 根据权利要求 4 所述的信息处理装置,还包括识别单元,其被配置为确定与所述外部设备的通信类型,

其中,当能够确定所述外部设备为预定类型时,所述选择单元在所述接收单元的数据锁存定时被调整时使所述第一时钟控制模式工作。

15. 根据权利要求 1 所述的信息处理装置,其中,所述控制单元在所述接收单元所接收的校准图案的值变化的定时中的至少一个定时使所述时钟的供给开始停止。

16. 根据权利要求 1 所述的信息处理装置,其中,所述控制单元在所述接收单元所接收的校准图案的值变化的定时中的至少一个定时取消所述时钟的供给的停止。

信息处理装置或信息处理方法

技术领域

[0001] 本发明涉及一种信息处理装置或信息处理方法,其中,诸如外部设备控制器的信息处理装置将时钟供给外部设备,并且将与该时钟同步地从外部设备输出的外部设备数据锁存在其中。

背景技术

[0002] 如 PTL 1 中所公开的,存在用于包括外部设备控制器的信息处理装置的技术,在该技术中,当外部设备与该信息处理装置连接以便能够与该信息处理装置进行通信时,工作时钟被从该信息处理装置的外部设备控制器供给外部设备。这里,通常,外部设备被设置为与从外部设备控制器供给的时钟同步地输出数据,并且外部设备控制器被配置为将从外部设备输出的数据锁存在其中。

[0003] 通过使用以上方法,外部设备控制器临时停止对于外部设备的时钟供给(对应于时钟门控(clock gating)),从而使得可临时停止从外部设备到外部设备控制器的数据的供给。例如,当数据累积直到外部设备控制器中的接收缓冲器的容许容量时,外部设备控制器可停止时钟供给以停止数据供给,从而即使缓冲器的容量小,也如所期望的那样防止缓冲器的溢出。

[0004] 这里,如果信息处理装置从外部设备接收的数据相对于该信息处理装置的时钟延迟一个周期或更多个周期,则该信息处理装置可能需要用于调整数据锁存定时的附加处理。

[0005] 【引文列表】

[0006] 【专利文献】

[0007] PTL 1:日本专利公开 No. 59-173839

发明内容

[0008] 因此,本发明提供一种信息处理装置或信息处理方法,即使相对于外部设备控制器的输出时钟发生一个周期或更多个周期的延迟,该信息处理装置或信息处理方法也不需要用于调整定时的附加处理。

[0009] 在本发明的一方面,一种信息处理装置包括:供给单元,其被配置为将时钟供给外部设备;指示单元,其被配置为指示所述外部设备发送校准图案;接收单元,其被配置为接收与所述时钟同步地从所述外部设备输出的外部设备数据;控制单元,其被配置为根据门控信息控制所述供给单元停止所述时钟的供给,所述门控信息指示将在哪个定时停止所述时钟的供给;存储单元,其被配置为保存延迟信息,所述延迟信息指示所述接收单元将接收的校准图案与周期延迟量之间的关系;检测单元,其被配置为在所述控制单元工作时通过将所述接收单元所接收的校准图案与所述延迟信息进行比较来检测每周期的延迟量;和延迟单元,其被配置为根据周期延迟量延迟所述接收单元的数据锁存定时。

附图说明

- [0010] 图 1 是本发明的示例性实施例中的外部设备控制器的配置图。
- [0011] 图 2A 是偏差(skew)控制单元的配置图。
- [0012] 图 2B 是偏差控制单元的时序图。
- [0013] 图 3A 是周期控制单元的配置图。
- [0014] 图 3B 是周期控制单元的时序图。
- [0015] 图 4A 是校准处理的流程图。
- [0016] 图 4B 是输出时钟控制单元的配置图。
- [0017] 图 5 是在接收校准图案(calibration pattern)期间基于门控图案(gating pattern)对输出时钟进行门控的时序图。
- [0018] 图 6 是示出周期指数(cycle index)与所接收的校准图案之间的相关性的时序图。
- [0019] 图 7 是示出周期指数与所接收的校准图案之间的相关性的时序图。
- [0020] 图 8 是示出门控周期数量与所接收的校准图案之间的相关性的时序图。
- [0021] 图 9 是示出门控周期数量与所接收的校准图案之间的相关性的时序图。
- [0022] 图 10 是示出门控周期数量与所接收的校准图案之间的相关性的时序图。
- [0023] 图 11 是示出门控操作之间的周期数量与所接收的校准图案之间的相关性的时序图。
- [0024] 图 12 是示出门控操作之间的周期数量与所接收的校准图案之间的相关性的时序图。
- [0025] 图 13 是示出门控操作之间的周期数量与所接收的校准图案之间的相关性的时序图。
- [0026] 图 14 是示出门控操作之间的周期数量与所接收的校准图案之间的相关性的时序图。
- [0027] 图 15 是示出门控起始位置、门控结束位置与所接收的校准图案之间的相关性的时序图。
- [0028] 图 16 是示出门控起始位置、门控结束位置与所接收的校准图案之间的相关性的时序图。
- [0029] 图 17 是示出门控起始位置、门控结束位置与所接收的校准图案之间的相关性的时序图。
- [0030] 图 18 是当使用正确的周期设置时外部设备控制器和外部设备所处理的信号的时序图。
- [0031] 图 19 是包括外部设备控制器的系统配置的示意图。
- [0032] 图 20 是示出实际接收的校准图案和与实际周期数量的差值之间的关系的例子的表格。
- [0033] 图 21A 示出外部设备控制器的配置。
- [0034] 图 21B 是示出命令或数据的格式的时序图。
- [0035] 图 22 是校准处理的流程图。
- [0036] 图 23 是校准处理的时序图。

[0037] 图 24 是外部设备控制器所处理的信号的时序图。

具体实施方式

[0038] 以下将参照附图来描述本发明的示例性实施例。首先,以下将描述用于解决当外部设备控制器从外部设备接收的数据相对于外部设备控制器的输出时钟延迟一个周期或更多个周期时可引起的问题的示例性实施例。

[0039] 图 19 是包括与外部设备 107 通信的信息处理装置的系统的框图。作为具有用于与外部设备 107 通信的功能的大规模集成 (LSI) 电路的专用集成电路 (ASIC) 包括中央处理单元 (CPU) 101、动态随机存取存储器 (DRAM) 控制器 104、直接存储器存取 (DMA) 控制器 102、外部设备控制器 103 和时钟发生器 105。此外,用作振荡单元的时钟发生器 105 产生并供给 CPU 101、DMA 控制器 102、外部设备控制器 103 和 DRAM 控制器 104 所使用的时钟 (cpu_clock 113、dmac_clock 114、host_clock 115、dram_clock 116)。CPU 101 通过 CPU 接口 (I/F) 110 执行对外部设备控制器 103、DMA 控制器 102 和 DRAM 控制器 104 的寄存器访问。DMA 控制器 102 通过 CPU I/F 110 执行与 DRAM 控制器 104 之间的数据传输。DRAM 控制器 104 通过 DRAM I/F 117 执行与 DRAM 106 之间的数据传输。外部设备控制器 103 通过 DMA I/F 111 执行与 DMA 控制器 102 之间的数据传输。此外,外部设备控制器 103 通过外部设备 I/F 112 执行与外部设备 107 之间的数据传输。

[0040] 接下来,将描述外部设备控制器。图 1 示出了本发明的示例性实施例中的外部设备控制器 103 的配置。

[0041] 外部设备控制器 103 从时钟发生器 105 接收主机时钟 (host clock) 115 (host_clk)。主机时钟 115 与外部设备控制器 103 中的每个块连接,并且外部设备控制器 103 的每个块与主机时钟 115 同步地工作。

[0042] 在从 CPU 101 和寄存器访问接收将被发送到卡的数据或命令的同时,CPU I/F 控制单元 201 将从该卡接收的命令或数据发送到 CPU 101。DMA I/F 控制单元 204 从 DMA 控制器 102 接受将被发送到外部设备 107 的数据,并且还将从外部设备 107 接收的数据发送到 DMA 控制器 102。

[0043] 外部设备控制器 103 通过发送命令并串转换单元 (以下称为“发送命令 PS 转换单元”) 125 和接收命令串并转换单元 (以下称为“接收命令 SP 转换单元”) 126 与外部设备 107 交换命令。首先,CPU I/F 控制单元 201 将通过 CPU I/F 110 从 CPU 101 接收的并行格式发送命令 223 (s_cmd_reg) 发送到发送命令 PS 转换单元 125。发送命令 PS 转换单元 125 将所接收的并行格式发送命令 223 转换为串行格式发送命令 224 (s_cmd_data),并且将串行格式发送命令 224 发送到外部设备 107。

[0044] 外部设备 107 对所接收的串行格式发送命令 224 进行解码,并且检测发送命令。此外,外部设备 107 将指示发送命令的检测结果的检测信息作为串行格式接收命令 226 (r_cmd_data) 发送到外部设备控制器 103。

[0045] 接收命令 SP 转换单元 126 接收从外部设备 107 输出的串行格式接收命令 226,将串行格式接收命令 226 转换为并行格式接收命令 225 (r_cmd_reg),并且通过 CPU I/F 控制单元 201 和 CPU I/F 110 将并行格式接收命令 225 发送到 CPU 101。

[0046] 此外,外部设备控制器 103 通过发送缓冲器 207、发送数据并串转换单元 208、偏差

控制单元 211、接收数据串并转换单元(以下称为“接收数据 SP 转换单元”) 210 和接收缓冲器 209 与外部设备 107 交换数据。外部设备控制器 103 还包括输出时钟控制单元 213 和输出时钟门控单元 213, 以便使输出时钟 244 无效, 以暂停从外部设备 107 供给数据。外部设备控制器 103 还包括用于有效周期调整的门控模式(gating mode)设置寄存器 605 和门控图案设置寄存器 606。

[0047] 外部设备控制器 103 还包括用于偏差调整(校正)的偏差控制单元 211 和偏差设置寄存器 212。这里, 术语“偏差调整(校正)”是指通过使用(相对于主机时钟 115 的)一个周期内的延迟来调整(校正)将输入到接收数据 SP 转换单元 210 的数据或者外部设备控制器 103 (即, 偏差控制单元 211) 的数据锁存定时(锁存定时)。

[0048] 外部设备控制器 103 还包括用于周期调整(校正)的周期设置寄存器 601、周期计算单元 602、周期控制单元 603 和预期值设置寄存器 604。这里, 术语“周期调整(校正)”是指通过逐个周期(相对于主机时钟 115)延迟接收使能信号 250 (rcv_en) 来调整(校正)接收数据 SP 转换单元 210 的数据锁存暂停定时和数据锁存恢复定时, 所述接收使能信号 250 是接收数据 SP 转换单元 210 的控制信号。

[0049] 偏差设置寄存器 212 从 CPU I/F 控制单元 201 接收偏差设置值 277 (skew_reg), 并且保存偏差设置值 227。偏差控制单元 211 从偏差设置寄存器 212 接收偏差选择值 238 (skew_sel), 并且根据设置值来延迟从外部设备 107 接收的串行格式接收数据 236 (d2h_data) (以下有时简短地称为“接收数据 236”)。

[0050] 周期设置寄存器 601 从 CPU I/F 控制单元 201 接收周期设置值 256(cycle_reg), 并且保存周期设置值 256。预期值设置寄存器 604 从 CPU I/F 控制单元 201 接收预期值设置值 253 (exp_reg), 并且保存预期值设置值 253。图 20 中示出了预期值设置值 253 的例子。当与实际周期数量的差值为 0 时所接收的图案与真实值(从外部设备 107 输出的图案)匹配, 而外部设备控制器 103 所接收的图案根据当执行校准时所获得的周期设置值与正确的周期设置值(对应于下述周期延迟量)之间的差值而改变。周期计算单元 602 从周期设置寄存器 601 接收周期设置值 255 (cycle_val) 并从预期值设置寄存器 604 接收预期值 254 (exp_pattern), 并且计算所需的周期设置值。具体地讲, 将所接收的校准图案与预期值进行比较, 以确定是否找到匹配。确定与当找到匹配时所获得的预期值对应的周期设置值与正确的周期设置值之间的差值。其后, 将所确定的差值与当执行校准时所获得的周期设置值相加, 以计算正确的周期设置值。周期控制单元 603 从周期计算单元 602 接收正确的周期选择值 249 (cycle_sel)。周期控制单元 603 还从输出时钟控制单元 213 接收输出时钟使能信号 243 (dev_clk_en) (时钟控制信号)。

[0051] **【数据接收处理】**

[0052] 接下来, 将描述外部设备控制器 103 从外部设备 107 接收数据(外部设备数据)的处理。

[0053] 当外部设备控制器 103 开始数据接收时, 首先, 外部设备控制器 103 执行上述命令发送/接收处理, 以发送用于指示外部设备 107 将数据发送到外部设备 107 的命令。此外, 外部设备 107 将对所发送的命令的响应作为接收命令发送到外部设备控制器 103, 并且还发送数据。

[0054] 如下执行数据的接收。首先, 偏差控制单元 211 接收从外部设备 107 发送的串行

格式接收数据 236 (d2h_data)。

[0055] 偏差控制单元 211 执行串行格式接收数据 236 与外部设备控制器 103 的时钟 115 (host_clk)之间的偏差调整(以下将描述偏差调整的细节)。经过偏差调整的接收数据 235 (d2h_data_1d) 输入到接收数据 SP 转换单元 210。

[0056] 接收数据 SP 转换单元 210 被配置为能够接收接收使能信号 250(以下将描述其细节),所述接收使能信号 250 通过由下述周期控制单元 603 延迟从输出时钟控制单元 213 输出的输出时钟使能信号 243 而获得。如果接收使能信号 250 已有效(assert),则接收数据 SP 转换单元 210 接收输入的经过偏差调整的接收数据 235,并且将接收数据 235 转换为并行格式接收数据 234 (r_data_buf)。

[0057] 接收数据 SP 转换单元 210 包括 K 级移位寄存器(串行输入 / 并行输出触发器)(未示出),这些移位寄存器被配置为将以串行格式接收的数据作为 K 比特并行格式数据发送。因此,如果接收使能信号 250 继续有效,则接收数据 SP 转换单元 210 每 K 个周期发送并行格式数据一次。这里,接收数据 SP 转换单元 210 将来自外部设备 107 的数据(外部设备数据)锁存在其中的定时可对应于第一级触发器(0 比特)的锁存定时(从外部设备 107 侧来看)。

[0058] 用作保存单元的接收缓冲器 209 被配置为能够使用接收缓冲器已满信号 241 (r_buff_full) 来通知多于当前保存在其中的数据不能被保存。因此,如果接收使能信号 250 有效并且接收缓冲器 209 的接收缓冲器已满信号 241 无效(de-assert),则接收数据 SP 转换单元 210 将并行格式接收数据 234 发送到接收缓冲器 209。如果接收使能信号 250 无效,则接收数据 SP 转换单元 210 停止接收经过偏差调整的接收数据 235。

[0059] 当开始接收数据时,接收数据 SP 转换单元 210 使接收状态信号 239(rcv_status)有效。接收数据 SP 转换单元 210 继续使接收状态信号 239 有效,直到从外部设备 107 接收到最后一条数据为止,并且当检测到经过偏差调整的接收数据 235 的结束比特时使接收状态信号 239 无效。当接收数据 SP 转换单元 210 将并行格式接收数据 234 发送到接收缓冲器 209 时,接收缓冲器 209 使接收缓冲器已空信号 233 (r_buff_emp)无效。

[0060] 接收缓冲器 209 从接收数据 SP 转换单元 210 接收被转换为并行格式的接收数据 234 (r_data_buff),并且保存接收数据 234。这里,当接收缓冲器 209 变为满时,接收缓冲器 209 对于输出时钟控制单元 213 和接收数据 SP 转换单元 210 使接收缓冲器已满信号 241 有效。当接收缓冲器 209 变空时,接收缓冲器 209 对于 DMA I/F 控制单元 204 使接收缓冲器已空信号 233 有效。

[0061] 响应于接收缓冲器 209 使接收缓冲器已空信号 233 无效,DMA I/F 控制单元 204 检测到来自外部设备 107 的接收数据被留在接收缓冲器 209 中。然后,保存在接收缓冲器 209 中的并行格式接收数据 232 (r_data_dma)被从接收缓冲器 209 接收,并且被发送到 DMA I/F 111。然而,当接收缓冲器 209 变空时,停止数据接收。如果不停止数据接收,则接收缓冲器 209 的缓冲器欠载可能发生。因此,当接收缓冲器 209 的接收缓冲器已空信号 233 有效时,DMA I/F 控制单元 204 停止接收并行格式接收数据 232,并且停止将数据发送到 DMA I/F 111。

[0062] 如果接收缓冲器 209 的接收缓冲器已空信号 233 无效,则 DMA I/F 控制单元 204 恢复接收并行格式接收数据 232,并且恢复接收数据到 DMA I/F 111 的发送。

[0063] 另一方面,如果到接收缓冲器 209 中的写入在接收缓冲器 209 处于已满状态时刚发生,则发生接收缓冲器 209 的缓冲器超载(overrun),因此,停止数据接收。当接收数据 SP 转换单元 210 当前正接收数据时和当接收缓冲器 209 已满时,输出时钟控制单元 213 使输出时钟使能信号 243 无效。

[0064] 在接收数据 SP 转换单元 210 中正进行的数据接收通过接收状态信号 239 的有效来检测。当接收到第一条接收数据时,接收数据 SP 转换单元 210 使接收状态信号 239 有效,继续使它有效,直到接收到最后一条数据为止,并且当接收到最后一条数据时使它无效。因此,在等待数据被接收的状态(等待起始比特被检测到的状态)下,不使输出时钟使能信号 243 无效。

[0065] 响应于输出时钟 244 (dev_clk) 的无效,外部设备 107 停止接收数据 237 (d2h_data') 的发送。数据接收持续停止,直到接收缓冲器 209 的接收缓冲器已满信号 241 (r_buff_full) 无效为止。当接收缓冲器 209 的接收缓冲器已满信号 241 (r_buff_full) 无效时,接收数据 SP 转换单元 210 恢复接收数据。然后,输出时钟门控单元 214 释放输出时钟 244 的门控,并且外部设备 107 恢复接收数据 237 的发送。

[0066] 【偏差校正配置】

[0067] 接下来,将描述用于偏差校正的配置的细节。

[0068] 图 2A 是偏差控制单元 211 的框图。偏差控制单元 211 从时钟发生器 105 接收主机时钟 115 (host_clk) (图 19)。通过使用延迟元件 216 (第一延迟单元) 来延迟主机时钟 115,延迟元件 216 的数量为 N1,这些延迟元件 216 的输入和输出串联连接。每个延迟元件 216 的输出输入到延迟选择单元 217,并且用于输出的延迟元件 216 基于偏差选择值 238 (skew_sel) 的值来选择。

[0069] 所选的具有延迟的时钟信号 246 (clk_with_skew) 作为时钟输入到触发器 218。触发器 218 接收从外部设备 107 发送的串行格式接收数据 236(d2h_data),并且触发器 218 使串行格式接收数据 236 (d2h_data) 与具有延迟的时钟信号 246 (clk_with_skew) 同步。同步的串行格式接收数据作为经过偏差调整的串行格式接收数据 235 (d2h_data_1d) (以下称为“经过偏差调整的接收数据”235) 从偏差控制单元 211 输出到接收数据 SP 转换单元 210。

[0070] 偏差控制单元 211 中的 N1 个延迟元件可引起等于(主机时钟 115 的)一个时钟的 N1 分之一的持续时间的延迟(该时钟被等分为 N1 个段)或稍小的延迟。

[0071] 图 2B 示出了当偏差设置值被设置为 0、1 和 2 时偏差控制单元 211 所处理的信号的时序图。如果使图 2B 中的信号对应于图 1 和图 2A 中的符号,则 host_clk 115、d2h_data 236、clk_with_skew 246(skew_sel238=0, 1, 2) 以及 d2h_data_1d 235(skew_sel 238=0, 1, 2) 被从顶部起依次绘制。

[0072] 在图 2B 的时序图中,当偏差选择值 238 (skew_sel) 为 0 和 1 时, d2h_data 236 在 clk_with_skew 246 的上升沿是可变的。因此,也使锁存在触发器 218 中的数据 d2h_data_1d 235 可变,并且不实现正常的的数据锁存。当偏差选择值 238 为 2 时, d2h_data 236 在 clk_with_skew 246 的上升沿表现出稳定的输出数据。因此,锁存在触发器 218 中的数据 d2h_data_1d 235 也是正常的。偏差选择值 238 的调整使用下述校准序列来执行。

[0073] 【周期校正配置】

[0074] 接下来,将描述用于校正周期延迟的配置的细节。

[0075] 图 3A 示出了周期控制单元 603 的示意性配置。周期控制单元 603 包括触发器 701 (第二延迟单元),其数量为 N_2 ,每个触发器的输出与下一个触发器的输入串联连接。每个触发器 701 将输出时钟使能信号 243 延迟一个时钟。周期控制单元 603 使触发器 701 将输入的输出时钟使能信号 243 延迟周期设置值 256 所指示的周期数量。经延迟的输出时钟使能信号 243 作为接收使能信号 250 输入到接收数据 SP 转换单元 210。

[0076] 图 3B 示出了周期控制单元 603 所处理的各种信号的波形。在图 3B 中的被使得与图 1 中的符号对应的信号的描述中,host_clk 115、dev_clk_en 243 和 rcv_en 250 被从顶部起依次绘制。周期控制单元 603 根据周期选择值 249 (cycle_sel=0, 1, 2, 3) 的值来延迟输入的输出时钟使能信号 243,并且将经延迟的输出时钟使能信号 243 作为接收使能信号 250 输出。如果周期选择值 249 所指示的值取 2,则周期控制单元 603 通过使用选择器 702 选择已通过两个触发器 701 的输出来将输出时钟使能信号 243 延迟两个周期,并且输出所得信号作为接收使能信号 250。在图 3A 和图 3B 的配置中,因为存在 N_2 个触发器 701,所以可使输出时钟使能信号 243 延迟一个周期的整数倍(高达 N_2 个周期)。

[0077] 在本示例性实施例中,接收数据 SP 转换单元 210 基于接收使能信号 250 的无效来确定数据锁存停止定时,并且当接收使能信号 250 再次有效时确定数据锁存恢复定时。

[0078] 门控模式设置寄存器 605 从 CPU I/F 控制单元 201 接收门控模式寄存器设置值 247 (gate_reg),并且保存门控模式寄存器设置值 247。此外,门控模式设置寄存器 605 将所接收的门控模式寄存器设置值 247 作为门控模式设置值 251 (gate_mode)输出到输出时钟控制单元 213。

[0079] 这里,本示例性实施例中的外部设备控制器 103 的门控模式包括两种模式:校准模式和正常的数据传输模式。门控图案设置寄存器 606 从 CPU I/F 控制单元 201 接收门控图案寄存器设置值 248 (pattern_reg),并且保存门控图案寄存器设置值 248。此外,门控图案设置寄存器 606 将所接收的门控图案寄存器设置值 248 作为门控图案 252 (gate_pattern)输出到输出时钟控制单元 213。

[0080] 门控图案寄存器设置值 248 是用于产生时钟门控图案的信息(门控信息),并且指示如何执行时钟门控。(更具体地讲,该信息是指示以下在图 5 中所述的 L、N、S 和 E 的信息)。

[0081] 图 4B 示出了在本示例性实施例中用作选择单元的输出时钟控制单元 213 的配置。第一时钟控制单元 221(第一控制单元)接收接收缓冲器已满信号 241 和接收状态信号 239,并且执行与 PTL1 中所述的时钟控制类似的时钟控制。第二时钟控制单元 222(第二控制单元)基于接收状态信号 239 和门控图案 252 执行下述时钟控制(第一时钟控制模式)。此外,第三时钟控制单元 223 (第三控制单元)执行控制,以便产生输出时钟使能信号 243,该输出时钟使能信号 243 用于执行控制以在不停止外部设备控制器 103 的主机时钟 115 的供给的情况下输出主机时钟 115 (第二时钟控制模式)。

[0082] 首先,接收数据 SP 转换单元 210 将指示接收状态(诸如到目前为止接收了接收数据 236 中多少个比特)的信息添加到接收状态信号 239,并且将所得的接收状态信号 239 发送到输出时钟控制单元 213。第二时钟控制单元 222 基于添加到接收状态信号 239 的接收信息来确定接收数据 SP 转换单元 210 已接收了多少个比特。如果门控图案 252 不满足指

示执行门控的条件,则产生输出时钟使能信号 243。

[0083] 时钟控制选择单元 220 是选择器,并且根据来自门控模式设置寄存器 605 的门控模式设置值 251 所指示的设置值来使第一时钟控制单元 221、第二时钟控制单元 222 和第三时钟控制单元 223 之一选择性地工作。

[0084] **【命令 / 数据格式】**

[0085] 这里,将描述用于在外部设备控制器 103 与外部设备 107 之间发送和接收命令和数据的信号的格式。

[0086] 外部设备控制器 103 和外部设备 107 相互交换图 21B 所示的格式的串行格式命令或串行格式数据。在以下描述中,假设并行格式命令和并行格式数据具有类似的格式。

[0087] 首先,将参照图 21B 来描述当发送和接收串行格式发送命令 224 和串行格式接收命令 226 时所处理的信号。发送命令 224 由 1 比特起始比特、N 比特发送命令、M 比特循环冗余校验(CRC)和 1 比特结束比特组成。当检测到接收到并行格式发送命令 223 时,首先,发送命令 PS 转换单元 125 发送 1 比特起始比特。随后,将 N 比特并行格式发送命令 223 转换为串行格式发送命令 224,并且发送串行格式发送命令 224。除了发送串行格式发送命令 224 之外,发送命令 PS 转换单元 125 还计算 CRC。在串行格式发送命令 224 被发送之后,发送所计算的 M 比特 CRC。最后,发送 1 比特结束比特,并且完成命令发送。

[0088] 串行格式接收命令 226 也具有如图 21B 所示的格式。然而,因为接收命令和发送命令不需要彼此匹配,所以接收命令和发送命令可具有不同的命令长度或 CRC 长度。

[0089] 接收命令 SP 转换单元 126 检测 1 比特起始比特,并且开始接收命令。随后,接收 N 比特串行格式接收命令,并且将该 N 比特串行格式接收命令转换为并行格式接收命令。除了接收串行格式接收命令之外,接收命令 SP 转换单元 126 还计算 CRC。在串行格式接收命令被接收之后,将所计算的 CRC 与将被输送的 M 比特 CRC 进行比较(循环冗余校验),并且检测 CRC 错误。最后,接收 1 比特结束比特,并且完成命令接收。

[0090] 当从发送缓冲器 207 接收到并行格式发送数据 230 (s_data_buf)时,如发送命令 PS 转换单元 125 那样,发送数据 PS 转换单元 208 将并行格式发送数据 230 转换为串行格式发送数据 231 (h2d_data),并且将串行格式发送数据 231 发送到外部设备 107。发送数据的长度或 CRC 的长度可以不同于发送命令中的长度。

[0091] 接收数据具有如图 21B 所示的格式。然而,接收数据的长度或 CRC 的长度可以不同于发送命令中的长度。

[0092] 当检测到 1 比特起始比特时,接收数据 SP 转换单元 210 开始接收数据。然后,接收数据 SP 转换单元 210 以与接收命令 SP 转换单元 126 的方式类似的方式执行处理,以将串行格式的经过偏差调整的接收数据 235 转换为并行格式接收数据 234,并且将并行格式接收数据 234 发送到接收缓冲器 209。发送数据 PS 转换单元 208 和接收数据 SP 转换单元 210 的 CRC 计算处理和比较处理类似于发送命令 PS 转换单元 125 和接收命令 SP 转换单元 126 的处理,因此省略其描述。

[0093] **【校准】**

[0094] 接下来,将描述用于调整各种参数(偏差设置值、周期设置值)以使得外部设备控制器 103 可正确地将数据锁存在其中的校准处理。

[0095] 首先,将使用图 22 来描述具有图 21A 所示的配置的外部设备控制器 103 中的校准

流程。

[0096] 首先,在步骤 S101 中,响应于来自 CPU 101 的用于开始校准的指令,外部设备控制器 103 将用于使外部设备 107 输出校准图案的发送命令发送到外部设备 107。然后,外部设备 107 响应于用于校准的发送命令将接收命令发送到外部设备控制器 103。此外,外部设备 107 将取代串行格式接收数据 237 的预定的校准图案发送到外部设备控制器 103。外部设备控制器 103 根据上述数据接收流程接收校准图案。所接收的校准图案通过 DMA 控制器 102 和 DRAM 控制器 104 写入到 DRAM 106 中。

[0097] 在所有的校准图案都被写入在 DRAM 106 中之后,在步骤 S102 中,CPU 101 将实际接收的校准图案与预先作为预期值存储在 DRAM106 等中的校准图案进行比较。如果 CPU 101 确定这两个校准图案匹配,则可认为偏差设置正确。因此,完成校准序列。如果这两个校准图案不匹配,则可认为偏差设置错误。因此,在步骤 S103 中,CPU 101 在外部设备控制器 103 中设置不同的偏差设置值 227,并且再次执行校准序列(S101、S102)。重复执行以上处理,直到校准成功为止。

[0098] 这里,假设,校准图案预先存储在外部设备 107 侧,并且外部设备 107 在接收到用于开始校准的命令时发送所存储的校准图案。

[0099] 这里,将描述当偏差调整完成时在步骤 S101 中所处理的信号的波形。图 23 示出了当接收数据 236 具有一个周期或更多个周期的延迟时的校准序列中的波形。这里,接收数据 236 具有一个周期或更多个周期的延迟的情况可以是 1/2 个周期或更多个周期的线延迟发生在外部设备控制器 103 与外部设备 107 之间的情况。在图 23 中的被使得与图 21A 和图 2A 中的符号对应的信号的描述中,dev_clk 244、dev_clk_en243、d2h_data 236、clk_with_skew 246、d2h_data_id 235、host_clk115、r_data_buff 234、dev_clk' 245 和 d2h_data' 237 被从顶部起依次绘制。在锁存时钟与锁存的数据之间存在定时差,该定时差指示参照时钟边沿的在锁存在实际电路中的情况下直到数据被锁存在触发器中为止的延迟。该延迟可以在与本发明所要解决的问题没有直接关系的部分中被引起,并且延迟量小。因此,如果接收数据延迟一个周期或更多个周期,则可忽略(排除)该延迟。此外,在图 23 中,没有示出在校准的后半部期间的波形部分。

[0100] 在图 23 的例子中,输入到外部设备 107 的时钟 245 (dev_clk') 相对于从外部设备控制器 103 输出的输出时钟 244 (dev_clk) 延迟 1/2 个周期。此外,外部设备控制器所接收的接收数据 236 (d2h_data)相对于从外部设备 107 发送的接收数据 237 (d2h_data') 延迟 1/2 个周期。

[0101] 以上延迟被认为是由外部设备 107 与外部设备控制器 103 之间的基板上的往复延迟、外部设备 107 中的输出延迟、外部设备控制器 103 中的延迟等引起。结果,在图 23 的例子中,作为响应于外部设备控制器 103 的输出时钟 244 从外部设备 107 输出的数据锁存在外部设备控制器 103 中的接收数据 236 包括一个周期的延迟。

[0102] 校准图案的大小通常远小于接收缓冲器 209 的大小。因此,图 21A 所示的配置中的外部设备控制器 103 在校准期间不停止输出时钟的供给。即使校准图案的大小大于接收缓冲器 209 的大小,是否要停止输出时钟的供给也可以取决于 DMA 控制器 102 的传输速率等。因此,在校准期间停止输出时钟 244 的供给的情形可能不太可能发生。

[0103] 参照图 23,因为 r_data_buff(0) 234 的内容与输入的串行格式接收数据 d2h_data

236 的内容一致,所以完成校准处理。然而,如图 24 所示,当实际接收到数据时,数据锁存失败等可发生。

[0104] 图 24 的时序图示出了在如图 23 中那样接收数据 236 具有一个周期的延迟的情况下当外部设备控制器 103 实际上从外部设备 107 接收数据时的信号的波形。因为图 24 所示的信号与图 21A 和图 2A 所示的信号之间的对应关系类似于图 23 所示的,所以省略其描述。

[0105] 在图 24 中,在接收到串行格式接收数据 236 中的“D0”时,使接收缓冲器 209 的接收缓冲器已满信号 241 (图 24 中未示出)有效的情形发生。根据接收缓冲器已满信号 241 的有效,输出时钟控制单元 213 使输出时钟使能信号 243 (dev_clk_en)无效。响应于输出时钟使能信号 243 的无效,输出时钟门控单元 214 对输出时钟 244 进行门控。虽然输出时钟 244 由输出时钟门控单元 214 进行门控,但是串行格式接收数据“D1”和“D2”被从外部设备 107 发送。

[0106] 一开始,在数据从外部设备 107 输入到外部设备控制器 103 时,输入到接收缓冲器 209 的数据(接收缓冲器已满信号 241 基于该数据发出)延迟 1/2 个周期。在接收缓冲器已满信号 241 有效之后,除了直到输出时钟 244 被门控为止的延迟之外,还发生 1/2 个周期的延迟,直到外部设备 107 能够识别出输出时钟 244 被门控为止。因此,存在等于以上延迟的总和的延迟,直到外部设备 107 识别出外部设备控制器 103 所发起的停止数据发送的请求为止,因此,“D1”和“D2”被发送。

[0107] 响应于输出时钟使能信号 243 的无效,接收数据 SP 转换单元 210 立即停止接收串行格式接收数据 236。因此,接收数据 SP 转换单元 210 可不再接收串行格式接收数据“D1”。如图 24 所示,接收数据 SP 转换单元 210 所接收的并且被发送到接收缓冲器 209 的并行格式接收数据 234 不包括“D1”。

[0108] 此外,在接收缓冲器 209 的接收缓冲器已满信号 241 无效之后,输出时钟使能信号 243 有效,并且输出时钟 244 的门控被释放。因为基于下降沿执行门控,所以输出时钟 244 在门控释放之后上升 1/2 个周期。然而,虽然输出时钟 244 的门控被释放,但是由于外部设备 107 与外部设备控制器 103 之间的延迟,继续从外部设备 107 发送串行格式接收数据“D2”。

[0109] 同时,响应于输出时钟使能信号 243 的有效,接收数据 SP 转换单元 210 立即恢复接收串行格式接收数据。这使接收数据 SP 转换单元 210 接收串行格式接收数据“D2”两次。从并行格式接收数据 234 可看出 D2 已被接收两次。

[0110] 以这种方式,如果在外部设备控制器 103 与外部设备 107 之间存在一个周期或更多个周期的往复延迟,则图 21A 所示的配置可允许完成校准(图 23),但是可导致实际数据接收失败(图 24)。

[0111] 从以上可看出,图 21A 所示的外部设备控制器 103 可能无法检测到在校准序列中在接收数据 236 中可发生的一个周期或更多个周期的延迟的存在或不存在。

[0112] 图 24 中的时标是基于下述假设,即,为了便于描述,从接收缓冲器已满信号 241 有效时到接收缓冲器已满信号 241 无效时的时段极短,并且为了易于描述,接收缓冲器 209 极小。

[0113] 接下来,将参照图 4A 来描述本示例性实施例的校准流程。在本示例性实施例的校

准流程中,首先,在使第三时钟控制单元 223 工作的同时执行偏差调整,然后在使第二时钟控制单元 222 工作的同时执行周期调整。如果已知校准图案的大小远小于接收缓冲器 209 的大小并且在接收校准图案期间没有时钟门控发生,则可使用第一时钟控制单元 221,而不是第三时钟控制单元 223。

[0114] 这里,术语“偏差调整”是指使用图 2A 所示的配置来校正主机时钟 115 与接收数据 236 之间的相位偏移(相移)的调整。术语“周期调整”是指使用图 3A 所示的配置来校正主机时钟 115 与接收数据 236 之间的时段间偏移的调整。在以下描述中,周期偏移(对应于数据锁存定时中的偏移或数据锁存恢复定时中的偏移)被称为延迟周期数量(周期延迟量)。

[0115] 首先,将描述偏差调整流程。在步骤 S1201 中,CPU 101 将外部设备控制器 103 的时钟门控模式设置为不停止时钟供给的模式(使用第三时钟控制单元 223 的模式)。在步骤 S1202 中,CPU 101 指示外部设备控制器 103 获取校准图案。外部设备控制器 103 所执行的校准图案获取处理类似于图 21A 所示的配置所执行的校准图案获取处理。当校准图案的获取完成时,在步骤 S1203 中,CPU 101 将实际接收的校准图案与从只读存储器(ROM)或随机存取存储器(RAM)作为将被接收的校准图案读取的校准图案进行比较。如果作为比较结果找到匹配,则可认为偏差设置正确。因此,偏差调整流程结束。

[0116] 如果作为比较结果没有找到匹配,则可认为偏差设置错误。在这种情况下,在步骤 S1204 中,CPU 101 改变偏差设置寄存器 212 的值以改变偏差设置,然后进入步骤 S1202。改变偏差设置,并且重复执行步骤 S1202 和 S1203 的处理,直到在步骤 S1203 中图案匹配为止。

[0117] 随后,将描述周期调整流程。在步骤 S1205 中,CPU 101 根据接收状态信号 239 和门控图案 252 所指示的值将外部设备控制器 103 的时钟门控模式设置为停止时钟供给的校准模式(使第二时钟控制单元 222 工作的模式)。此外,CPU 101 在外部设备控制器 103 中设置门控图案寄存器设置值 248。在步骤 S1206 中,CPU 101 指示外部设备控制器 103 获取校准图案。外部设备控制器 103 所执行的校准图案获取处理的概述类似于图 21A 所示的配置所执行的校准图案获取处理。

[0118] 然而,本示例性实施例的输出时钟控制单元 213 根据门控图案 252 发出输出时钟使能信号 243。然后,输出时钟门控单元 214 在校准图案的接收期间根据输出时钟使能信号 243 对输出时钟 244 进行门控。当周期计算单元 602 完成步骤 S1206 中的校准图案的获取时,所述处理进入步骤 S1207。然后,在步骤 S1207 中,周期计算单元 602 将实际接收的校准图案与预期值进行比较,该预期值由 CPU 101 从 DRAM106 等作为将被接收的校准图案读取,并且被存储在预期值设置寄存器 604 中。实际接收的校准图案可根据门控图案、校准图案(预期值)和当前周期设置值与实际延迟周期之间的差值而不同。以下将描述细节。

[0119] 图 20 示出了“01010101”用作校准图案的例子。虽然以下将描述细节,但是如果当前周期设置值与实际延迟周期数量匹配,则外部设备控制器 103 可接收如“01010101”这样的校准图案。然而,如果实际延迟周期数量比当前校准图案大一个周期,则接收如“01011101”这样的校准图案。在这种情况下,周期计算单元 602 将通过上述处理接收的校准图案与将被接收的校准图案(预期值)进行比较,并且检测延迟的存在或不存在。如果延迟存在,则使用当延迟发生时所获得的校准图案来检测实际延迟周期数量(参见图 20)。在 S1208 中,周期计算单元 602 (或 CPU 101) 将所检测的实际延迟周期数量设置为周期设置

值,并且完成周期调整流程。当校准序列结束时,输出时钟控制单元 213 将模式切换为第三时钟控制模式,以为数据的发送和接收做好准备。

[0120] 如上所述,如果使校准图案的大小小于接收缓冲器 209 的大小,则接收缓冲器 209 在校准序列期间不变满。然而,本示例性实施例的外部设备控制器 103 根据门控图案对输出时钟 244 进行门控,而不管接收缓冲器已满信号 241 的有效如何。如果周期设置或偏差设置错误,则错误的校准图案被照原样获取(以便使得可识别出校准不成功)。在使用图 4A 所示的流程完成校准之后,为了将模式切换为使用第一时钟控制单元 221 的模式,CPU 101 执行设置以便使门控模式设置寄存器 605 将“0”存储在时钟控制选择单元 220 中,并且为数据的发送和接收做好准备。

[0121] 通过以上处理,即使一个时钟周期或更多个时钟周期的延迟在接收数据 236 中发生,但是本示例性实施例中的外部设备控制器 103 也可检测该延迟的存在或不存在。因此,可设置用于在锁存数据不会失败的情况下发送和接收数据的各种参数(偏差设置、周期设置)。

[0122] 此外,如图 4A 所示,在不执行时钟门控的情况下使用偏差调整来调整周期中的延迟之后,在基于门控图案执行时钟门控的同时,调整周期之间的延迟,从而使得可进行高效的校准。以这种方式,如果偏差调整和周期调整不分离,则有必要以循环的方式接收并比较校准图案(高达 $N1 \times N2$ 次),直到预期值和接收数据 236 匹配为止,并且校准处理可能需要相当大的时间量。

[0123] 此外,如果校准图案的大小远小于接收缓冲器 209 的大小,则在图 4A 的步骤 S1201 至 S1204 中,可使用第一时钟控制单元 221,而不是第三时钟控制单元 223,来执行偏差调整。这是因为,即使在接收校准图案期间使用第一时钟控制单元 221,时钟门控也不发生。即使在这种情况下,通过步骤 S1205 至 S1208 的处理,校准也比图 21A 所示的配置中的校准更易于成功。也就是说,可减少执行校准的次数。

[0124] 【校准图案和门控图案】

[0125] 这里,将描述校准图案与门控图案之间的相关性。当校准处理完成时,假设周期设置值 256 所指示的周期数量与实际延迟的周期数量一致。在图 24 的例子中,因为周期延迟是一个周期,所以将被设置的正确的周期设置值 256 所指示的值为“1”。图 24 所示的波形对应于当周期设置值 256 不经过周期调整时的波形。

[0126] 输出时钟 244 的门控图案和校准图案的合适设置可相应地提高校准处理的精度。例如,在图 24 的例子中,接收数据“D1”是不可接收的,反而是接收数据“D2”被接收两次。以这种方式,数据取代发生。因此,如果使用不希望的校准图案(没有考虑下述观点的图案)来执行与接收数据 236 的比较,则可增加执行校准图案的接收和比较的次数,或者可能增大处理精度降低的风险。例如,在偏差调整和周期调整中,有必要以循环的方式执行比较(高达 $N1+N2$ 次),直到预期值和接收值 236 匹配为止。

[0127] 以下,将相对于四个观点来描述输出时钟 244 的门控图案与校准图案之间的相关性。通过使用考虑了这些观点的校准图案,可缩短校准处理中用于比较的次数(至 $N1+1$ 次)。

[0128] 门控图案可根据校准图案和以下四个观点来设置。通过使用用于校准的门控图案,如果用于停止接收数据 SP 转换单元 210 的数据锁存控制的控制信号(输出时钟使能信号 243)不被延迟周期延迟量,则可引起外部设备控制器 103 实际接收的数据(接收数据

234)的冗余接收或锁存失败。图 20 示出了在设置所需的门控图案(作为例子,“01010101”)的情况下的周期延迟量与接收数据 SP 转换单元 210 所接收的图案(接收数据 234)之间的相关性。

[0129] (1) 实际延迟量和周期设置值之间的差值(以下,称为“延迟指数 M”)与所接收的校准图案之间的相关性

[0130] 将描述延迟指数 M 与所接收的校准图案之间的相关性,其中,延迟指数 $M = (\text{实际延迟量}) - (\text{周期设置值})$ 。这里,术语“实际延迟量”是当周期设置值为“0”(对应于已执行偏差调整并且没有执行周期调整的情况)时接收数据 236 相对于输出时钟 244 延迟的周期数量。

[0131] 图 6 和图 7 示出了当接收使能信号 250 的改变定时固定为没有任何延迟的定时和当实际延迟量改变时的并行格式接收数据 234 的波形。如果使图 6 和图 7 中的信号从顶部依次对应于图 1 中的符号,则绘制 dev_clk 244、dev_clk_en 243、dh2_data 236、host_clk 115、rcv_en 250 和 r_data_buff 234。此外,图 6 和图 7 示出了当延迟指数 M 为 0、1、2 和 3 时的四种设置。

[0132] 在图 6 和图 7 中,在接收到 D3 时执行输出时钟使能信号 243 的门控,并且使输出时钟 244 无效。如图 6 和图 7 所示,所接收的校准图案(对应于 dh2_data 236)根据延迟指数 M 而不同。当延迟指数满足 $M > 1$ 时,相对于当开始门控时所接收的数据(在图 6 和图 7 的例子中,D3)的、从一个周期之后的数据到 M 个周期之后的数据范围被 M+1 个周期之后的数据取代。当 $M=0$ 适用时,实际延迟量与周期设置值匹配,并且正确的图案被接收。

[0133] (2) 门控量(N)与所接收的图案之间的相关性

[0134] 将描述(已执行偏差调整并且周期调整不正确的情况下的)N 与所接收的校准图案之间的相关性,其中,N 是表示在其期间输出时钟 244 的门控继续的周期数量的门控量(关于 N 的定义,参见图 5)。

[0135] 图 8、图 9 和图 10 示出了当 N 分别为 3、2 和 1 时的校准期间的波形。参照图 8、图 9 和图 10 中的 r_data_buff 234 的波形,可看出,M 个周期的数据已被取代,而不管 N 的值如何。然而,该数据被什么数据取代取决于 N 的值。例如,如果 $N=3$,则 D1 至 D3 被 D4 取代,如果 $N=2$,则 D1 被 D3 取代,D2 和 D3 被 D4 取代。此外,如果 $N=1$,则 D1、D2 和 D3 分别被 D2、D3 和 D4 取代。

[0136] (3) 门控操作之间的周期(L)与所接收的图案之间的相关性

[0137] 将描述当门控被执行多次时(已执行偏差调整并且周期调整不正确的情况下的)L 与所接收的校准图案之间的相关性,其中,L 是从一个门控时间到下一个门控时间的周期(关于 L 的定义,参见图 5)。图 11、图 12、图 13 和图 14 分别示出了当 L 为 1、2、3 和 4 时校准期间的波形。如果 L 大于或等于 M,则多个门控操作可被认为是独立的门控操作。也就是说,M 个周期的数据的取代以等于执行门控的次数的次数发生。否则,多个门控操作相互相关,并且 $\{M * (\text{执行门控的次数}) - (M - L)\}$ 条数据被连续取代。

[0138] (4) 门控起始位置(S)、门控结束位置(E)与所接收的图案之间的相关性

[0139] 将描述(已执行偏差调整并且周期调整不正确的情况下的)S、E 与所接收的校准图案之间的相关性,其中,S 是门控起始位置,E 是门控结束位置(关于 S 和 E 的定义,参见图 5)。

[0140] 图 15、图 16 和图 17 示出了当 S 与起始比特之间的位置关系和 E 与结束比特之间的位置关系改变时校准期间的波形。图 15 示出了当门控起始位置 S 被放置在检测到起始比特之后时和当门控结束位置 E 被放置在检测到结束比特之前时的波形。图 16 示出了当门控起始位置 S 被放置在检测到起始比特之前时和当门控结束位置 E 被放置在检测到结束比特之后时的波形。图 17 示出了当门控起始位置 S 被放置在检测到起始比特之后时和当门控结束位置 E 被放置在检测到结束比特之后时的波形。

[0141] 如图 16 中那样,当周期性地执行时钟门控以便与主机时钟 115 的一个周期同步时,如果不满足 $L > M$ 并且门控起始位置 S 被放置在起始比特之前的位置处、而门控结束位置 E 被放置在结束比特之后的位置处,则该图案不适合用于校准。这是因为尽管周期调整是不正确的但数据可被正确地接收。

[0142] 如果门控起始位置 S 被放置在起始比特之后或者门控结束位置 E 被放置在结束比特之后,则在周期调整不正确的情形下,数据被不正确地接收。因此,可看出,该门控图案适合用于校准。因此,有必要在接收校准图案期间仅布置门控起始位置 S 和门控结束位置 E 之一或者考虑门控操作之间的周期 L。

[0143] 此外,虽然在图 15、图 16 或图 17 中没有直接示出,但是门控图案需要被设置为使得门控起始位置 S 或门控结束位置 E 可被放置在当接收数据 SP 转换单元 210 所接收的校准图案的值变化时的定时(在其期间预定数量的不同值被输入的时段内)。也就是说,门控图案被设置为使得在校准图案的值变化的定时之一输出时钟 244 的供给开始停止或者其停止被取消。例如,值变化的定时是“01”(或“10”)的情况,并且门控图案被设置为使得门控起始位置 S 被放置在“01”中的“1”处(或者“10”中的“0”处),并且门控结束位置 E 被放置在“01”中的“0”处(或者“10”中的“1”处)。

[0144] 如上所述,校准图案和门控图案具有以上的相关性(1)至(4)。在图 6 和图 7 的例子中,在下述周期期间执行门控,该周期位于在其期间接收校准图案中的“D3”的周期之后。在这个例子的情况下,由于周期设置值与实际延迟之间的关系,“D4 至 D6”可能被“D5 至 D7”取代。由于这个原因,即使校准图案中的“D4 至 D7”的所有值都相同,取代之前的值和取代之后的值也相同,这对于延迟(周期延迟)的检测是不可取的。在图 6 和图 7 的例子中,根据相关性(1)至(4),校准图案中的“D4 至 D7”可变为“0101”。

[0145] 以上设置是基于相关性(1)至(4)。要理解,即使“1”和“0”相反,也可设置这种情况下的相应预期值。

[0146] 此外,在图 20 中示出了当使用以上校准模图案(预期值)时与实际周期数量的差值与所接收的图案(接收数据 236)之间的关系。基于图 20 所示的指示所接收的图案与延迟量之间的关系的信息,可确定与实际周期数量的差值。有必要根据 M 设置使得不同的校准图案可被以 1:1 接收的图案。因此,当使用根据相关性(1)至(4)的门控图案时,如果校准图案具有预定数量的、与早前输入到外部设备控制器 103 的值不同的连续值(比特)(诸如“1”或“0”),则可检测高达预定周期数的延迟。可取的是,与早前输入(到接收数据 SP 转换单元 210)的值不同的、其数量大于或等于可被检测的延迟周期数量的值是连续的。在“D4 至 D7”是上述“0101”的情况下,在“101”部分中,可保证与先前输入值不同的值连续。

[0147] 指示以上关系的延迟信息(诸如如图 20 所示的查找表或简单序列)可预先被测试,并被存储在 DRAM 106 或可被 CPU 101 访问的任何其它存储设备中,并且当周期延迟量被确

定时可被 CPU 101 引用。

[0148] 接下来,在图 18 中示出了在通过图 1 的配置的、使用正确的参数(偏差设置值、周期设置值)的操作中接收数据期间外部设备控制器 103 和外部设备 107 所处理的信号的行为。类似于图 24 的例子,图 18 的例子示出了当周期延迟是一个周期时和当校准完成并且与一个周期对应的周期选择值 249 (周期设置值 256) 被设置时的波形。应注意,当接收数据 236 中引起的延迟是一个周期时,正确的周期选择值 249 (周期设置值 256) 所指示的设置为 1。因为周期选择值 249 所指示的设置为 1 时,所以通过使用周期控制单元 603 使接收使能信号 250 相对于输出时钟使能信号 243 延迟一个周期。

[0149] 在图 18 的例子中,在串行格式接收数据 236 的“D0”的接收开始时,输出时钟使能信号 243 无效,并且输出时钟 244 被门控。虽然输出时钟 244 被门控,但是串行格式接收数据 236 的“D1”和“D2”从外部设备 107 发送。在输出时钟使能信号 243 的无效开始之后一个周期时,接收使能信号 250 也被无效。响应于接收使能信号 250 的无效,接收数据 SP 转换单元 210 立即停止接收串行格式接收数据。

[0150] 因此,在经过偏差调整的接收数据 235 的“D1”被接收时,停止数据接收。当查看并行格式接收数据 234 的第一比特的数据时可看出,“D1”已被成功地接收,并且接收数据 SP 转换单元 210 的数据锁存暂停定时已被成功地调整,以便解决周期延迟。

[0151] 此外,输出时钟使能信号 243 在它被无效之后一个周期时再次有效,并且响应于有效,释放输出时钟 244 的门控。这里,即使当输出时钟 244 的门控被释放,由于上述接收数据 236 中的一个周期或更多个周期的延迟,串行格式接收数据 236 的“D2”仍继续从外部设备 107 发送。

[0152] 基于周期设置值 256 所指示的延迟量(一个周期),接收使能信号 250 也在输出时钟使能信号 243 的有效之后一个周期时被有效。响应于接收使能信号 250 的有效,接收数据 SP 转换单元 210 立即恢复接收串行格式接收数据。因此,串行格式接收数据 236 的“D2”可被正确地接收。当查看并行格式接收数据 234 的第一比特时可看出,“D2”已被正确地成功地接收,并且接收数据 SP 转换单元 210 的数据锁存恢复定时已被成功地调整,以便解决周期延迟。

[0153] 如上,本示例性实施例可抑制具有不正确设置的校准的完成。因此,即使当接收数据 236 具有一个周期或更多个周期的延迟时,接收数据 236 也可被正确地检测。

[0154] 此外,根据本示例性实施例中的周期控制单元 603,一旦正确的周期设置值 256 被设置,接收数据 SP 转换单元 210 的数据锁存暂停定时和数据锁存恢复定时就可被延迟,以便对应于外部设备控制器 103 与外部设备 107 之间发生的周期延迟量。这抑制了如图 24 所示的数据锁存失败的发生。

[0155] 此外,虽然在前述示例性实施例中,偏差控制单元 211 和周期控制单元 603 被分开配置,但是偏差调整和周期调整可被组合到单个配置中,或者可被组合到接收数据 SP 转换单元 210 中。此外,在偏差调整中,通过输入其偏移已被校正的时钟来执行调整。然而,用于偏差调整或周期调整的延迟配置(延迟元件,触发器)可直接布置在用于供给数据的系统中,并且延迟量可使用选择器等来选择。

[0156] 此外,在前述示例性实施例中,没有讨论执行校准处理的时机。然而,可以在与已知的外部设备控制器的时机类似的时机执行校准,从而实现本发明的效果。例如,校准可以

在 ASIC 100 被启动时、在外部设备控制器 103 被初始化时、以预定时间间隔(例如,诸如安全数字扩展容量(SDXC)标准的标准中所定义的那样在 208MHz 以 10 毫秒的间隔)、或者以预定周期数量的间隔、或者当 ASIC 100 检测到与外部设备 107 连接时被执行。

[0157] 此外,在前述示例性实施例中,周期计算单元 602、周期设置寄存器 601 和预期值设置寄存器 604 被描述为硬件,但是也可通过使用 CPU 101 用软件来实现。在这种情况下,CPU 101 从 DRAM 106 等读取用于实现周期计算单元 602 的功能的程序并执行该程序。与各个寄存器对应的存储区保留在 CPU 101 的高速缓存(或 DRAM 106)中,并且存储在上述各个寄存器中的值被存储在这些存储区中。

[0158] 如果外部设备 107 被配置为可移除地附连到外部设备 I/F 112,则外部设备 107 与外部设备控制器 103 之间的上述线延迟可能具有大的延迟量变化。实际上,可能包括由除了线的长度或材料和升温之外的各种因素(诸如接触失效)引起的延迟。

[0159] 在前述示例性实施例中,主机时钟 115 在哪个频率工作没有被作为例子示出。然而,随着工作频率增大,检测通过图 21A 所示的配置在接收数据 236 中导致的一个周期或更多个周期的延迟更困难,并且校准失败更可能发生。主机时钟 115 的频率可能增大,以便更快速地在外部设备控制器 103 与外部设备 107 之间交换数据。因此,本发明还可有助于实现高速、高可靠性的数据通信。

[0160] 此外,在前述示例性实施例中,周期计算单元 602 通过将校准图案(接收数据 234)和预期值进行比较来执行周期调整。然而,如偏差调整中那样,CPU 101 可读取预期值,并且执行比较处理。

[0161] 此外,在前述示例性实施例中,接收数据 236 的数据部分(图 21B 中的 D0、D1、...)用于比较。然而,用作计算单元的接收数据 SP 转换单元 210 所计算的 CRC 部分(图 21B 中的 CRC0、CRC1、...)可用于比较。在这种情况下,有必要对于预先存储的校准图案预先计算并存储当偏差设置和周期设置正确时所接收的 CRC。

[0162] 在图 1 的图示中,外部设备控制器 103 和外部设备 107 使用 1 比特宽度的总线彼此通信。相反,还可使用 4 比特宽度的总线、8 比特的总线等,并且可应用本发明,而不限于总线宽度。然而,例如,当使用 4 比特宽度(8 比特)的总线时,偏差控制单元 211 可设有四个触发器 218 和四个延迟选择单元 217,以使得可对于每一个 1 比特宽度执行偏差调整。在这种情况下,仅需要接收数据 SP 转换单元 210 合并 4 比特序列,并且接收数据 SP 转换单元 210、接收缓冲器 209 等可能需要用于对 4 比特数据重新进行排序以便与将从外部设备 107 输出的数据匹配的配置。

[0163] 此外,在前述示例性实施例中,仅描述了主机时钟 115 具有单个工作频率的例子。然而,工作频率可通过识别外部设备 107 来切换。例如,用于划分主机时钟的频率的分频器电路、倍频器电路等可设置在时钟发生器 105 与外部设备控制器 103 之间,以切换将输入到外部设备控制器 103 的主机时钟的频率。在这种情况下,除了时钟发生器 105 之外,分频器电路或倍频器电路也用作振荡单元的一部分。

[0164] 在这种情况下,当上述校准不成功时,输入到外部设备 107 的主机时钟 115 可降至较低频率,以使得与外部设备 107 的通信可稳定。校准不成功的情况的例子可包括:上述校准每单位时间发生预定次数或更多次数的情况、以及校准所需的时间需要预定时间或更多时间(例如,循环操作所需的次数或更多次数)的情况。此外,在外部设备 I/F112 的物理连

接器形状被设计为符合标准中所指定的特定类型的外部设备 107 的情况下,特定类型的标准中所指定的频率可用作将在分频器电路或倍频器电路中被切换的频率(例如,如果校准在 208MHz 不成功,则可将频率切换到 100MHz)。这确保了当相同类型的外部设备根据版本而具有不同工作频率时可保持外部设备控制器 103 的向后兼容性。

[0165] 当本发明用于遵循 SDXC 标准的外部设备 107 中时,可在发送和接收数据之前识别外部设备 107 的标准(或者外部设备 107 与外部设备控制器 103 之间的通信类型)。在这种情况下,CPU 101 执行上述命令的发送和接收,以指示返回指示外部设备 107 的类型(或通信类型)的识别信息。按照识别信息,根据所识别的标准,CPU 101 可使上述振荡单元将频率切换到用于 SDXC 的高频率(208MHz)、或者否则切换到低频率(50Hz 或 20Hz)。如果可确定正在使用在如此低以致于如上所述那样一个周期或更多个周期的延迟不影响数据接收的频率上的通信,则可停止用于校准的周期调整功能。

[0166] 这里,在本发明应用于遵循 SDXC 标准的外部设备 107 的情况下,外部设备 107 被配置为将 64 字节校准图案发送到外部设备控制器 103。在这种情况下,外部设备控制器 103 可处理 64 字节校准图案。然而,关注点可集中于下述部分,该部分包括与早前输入的值相差 64 字节内的可检测延迟周期量的连续值。在这种情况下,在外部设备控制器 103 所接收的 64 字节校准图案被写入到 DRAM 106 之后,CPU101 可仅读取所关注的部分的地址。此外,一些标准定义了外部设备 107 与外部设备控制器 103 之间可容许的最大延迟量。因此,彼此相邻的不同值的数量(上述预定数量)可基于容许延迟量来设置。在这种情况下,比与容许延迟量对应的数量大的数量可预先被设置为上述预定数量。

[0167] 此外,前述示例性实施例中的发送缓冲器 207 或接收缓冲器 209 可以是先进先出(FIFO)缓冲器。在这种情况下,缓冲器已满信号或缓冲器已空信号可基于指示 FIFO 缓冲器的可用容量的信息(剩余容量信息)来创建,或者相反,剩余容量信息可照其原样被使用。在这种情况下,如果可存储在用作接收缓冲器 209 的 FIFO 缓冲器中的数据的大小大于或等于校准图案的数据的大小,则校准图案可被临时写入在 FIFO 缓冲器中,此后,CPU 101 可直接将校准图案用于比较。然而,如果可存储在用作接收缓冲器 209 的 FIFO 缓冲器中的数据大小小于校准图案的数据大小,则可以以小于或等于 FIFO 缓冲器的容量的数据大小为单位(对于每个预定周期)逐次地比较校准图案。可替换地,可获得分支配置,在该分支配置中,在校准期间,数据被逐次地比较,而不被锁存在用作接收缓冲器 209 的 FIFO 缓冲器中。用于预定周期的数据的比较器(该比较器具有与 CPU 101 分开的配置,并且被配置有寄存器,从该寄存器,也以相同的数据大小为单位读取预期值)可设为比较单元。否则,如果第三时钟控制单元 223 被设计为在偏差调整中不停止时钟,则接收缓冲器 209 可能溢出。

[0168] 此外,前述示例性实施例中的控制信号(诸如输出时钟使能信号 243)可被配置为使得禁用信号在使能信号被无效时的定时有效。

[0169] 在前述示例性实施例中,在包括外部设备控制器 103 的信息处理装置的上下文下描述了本发明。然而,本发明还可应用于信息处理装置中包括上述外部设备 107 的配置的情况,因此,可应用于设备控制器。根据本发明的信息处理装置的例子可包括各种装置,诸如图像处理装置和计算处理装置。

[0170] 此外,本发明还可通过执行以下处理来实现:实现前述示例性实施例的功能的软件(程序)通过网络或各种存储介质被供给系统或装置,并且该系统或装置的计算机(或

CPU、微处理单元(MPU)等)读取并执行该程序。

[0171] 虽然已参照示例性实施例描述了本发明,但是要理解,本发明不限于所公开的示例性实施例。应该给予权利要求的范围以最广泛的解释,以涵盖所有这样的修改以及等同的结构和功能。

[0172] 本申请要求于 2009 年 12 月 25 日提交的日本专利申请 No. 2009-295617 的权益,该日本专利申请的全文通过引用并入本文。

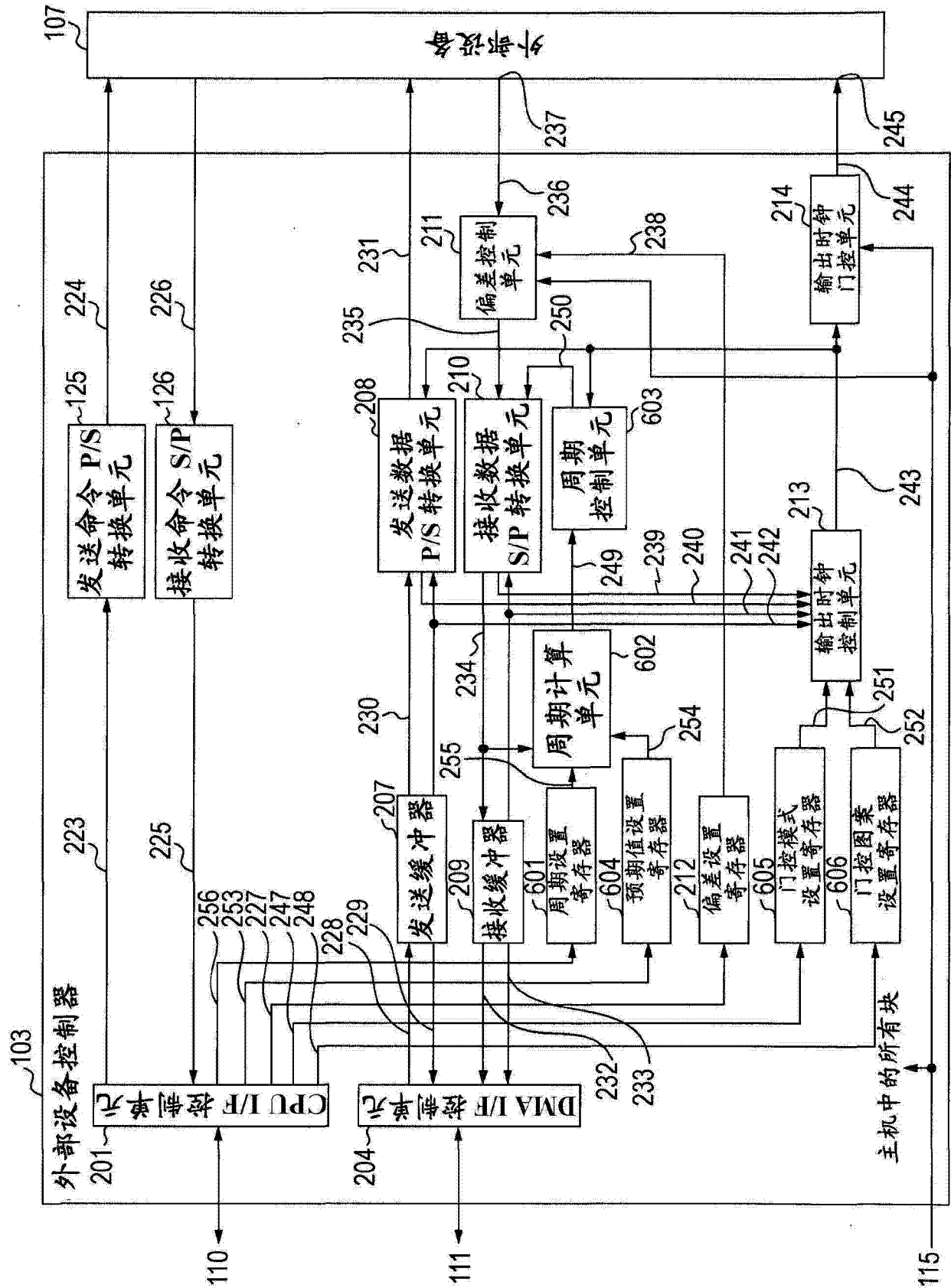


图 1

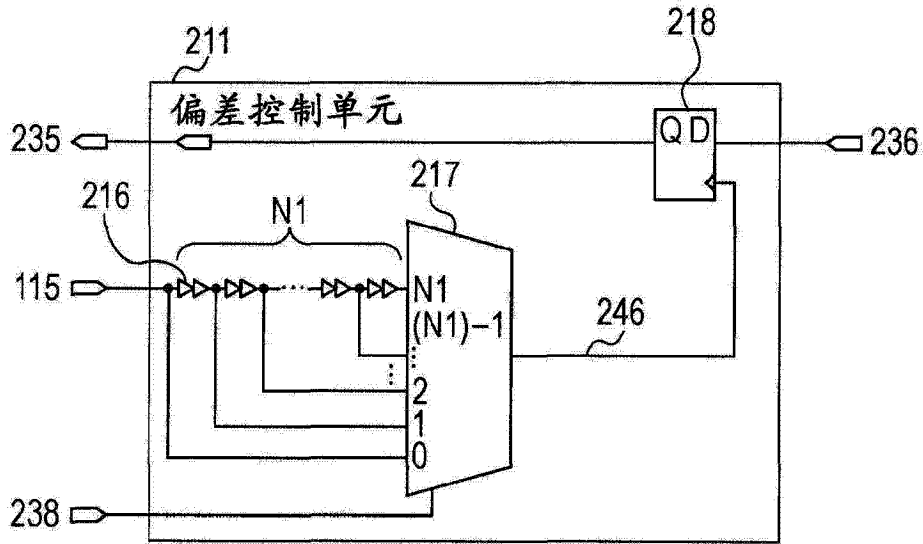


图 2A

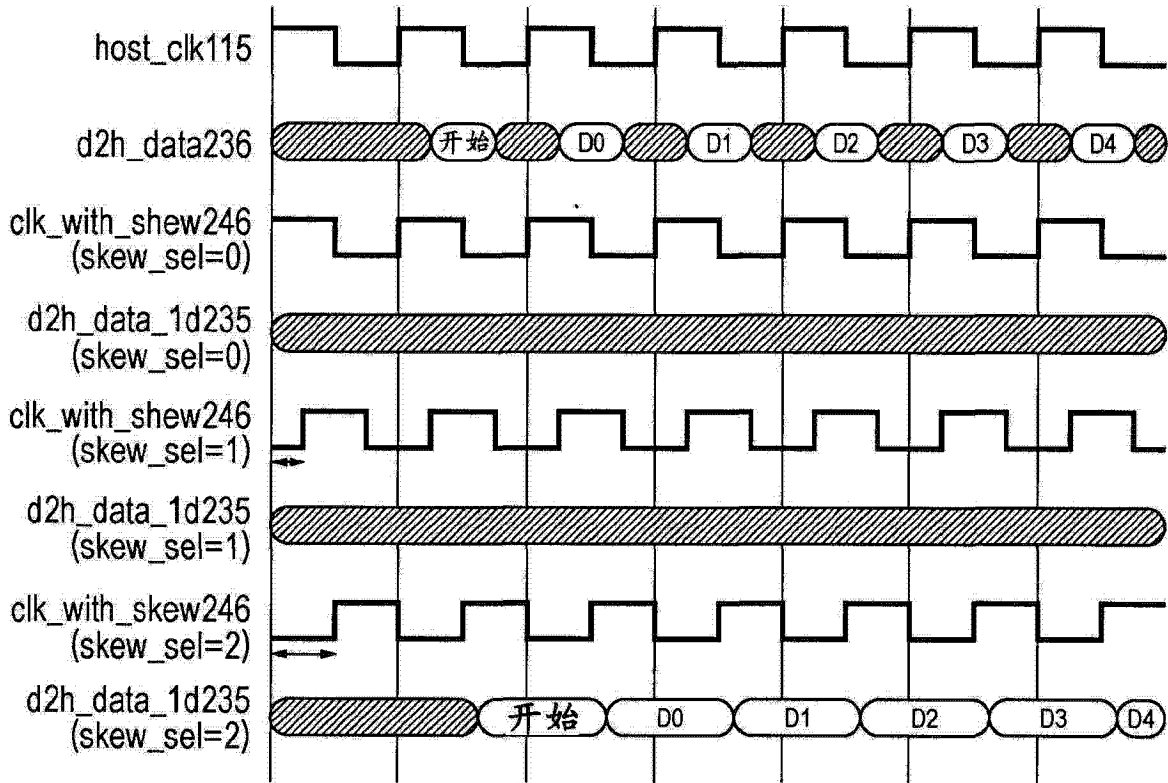


图 2B

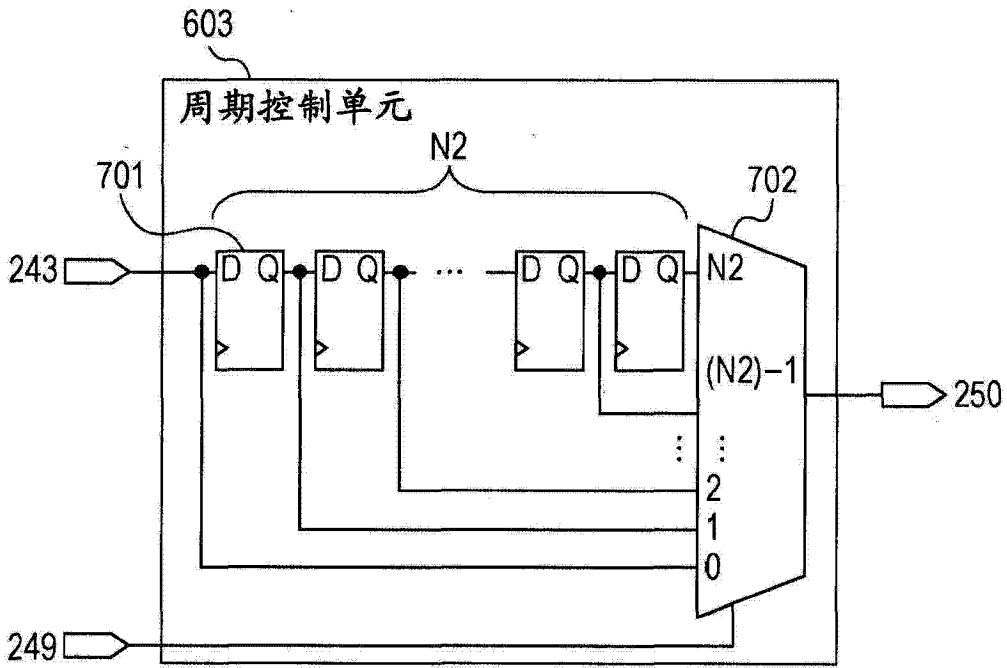


图 3A

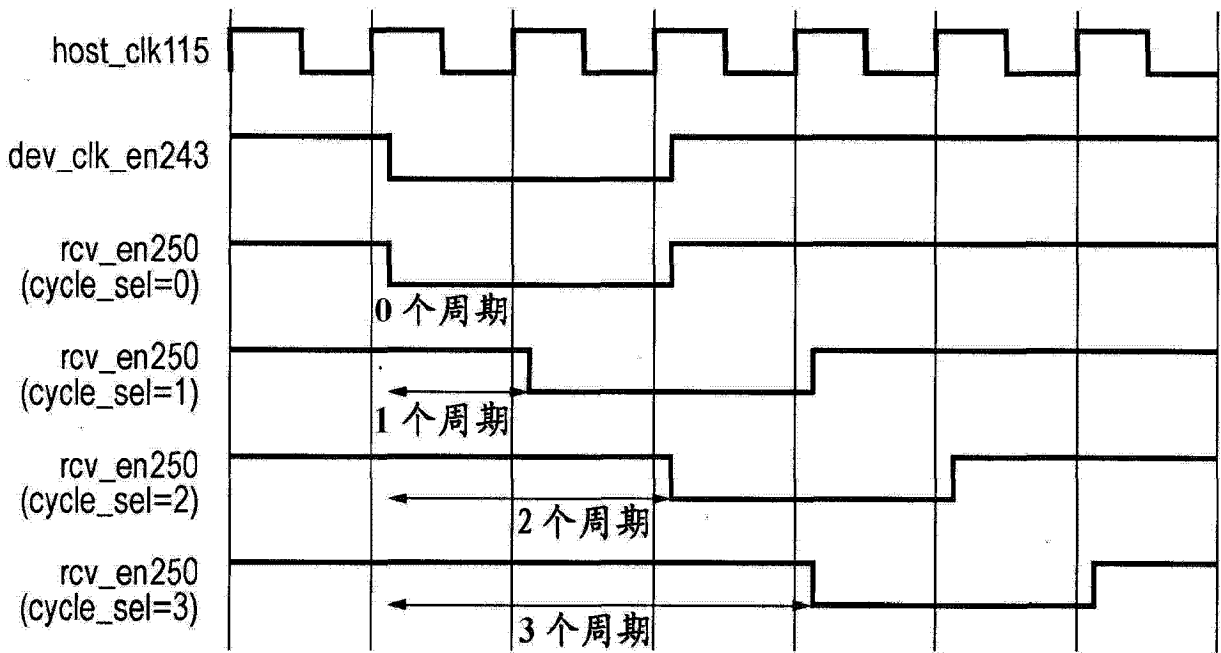


图 3B

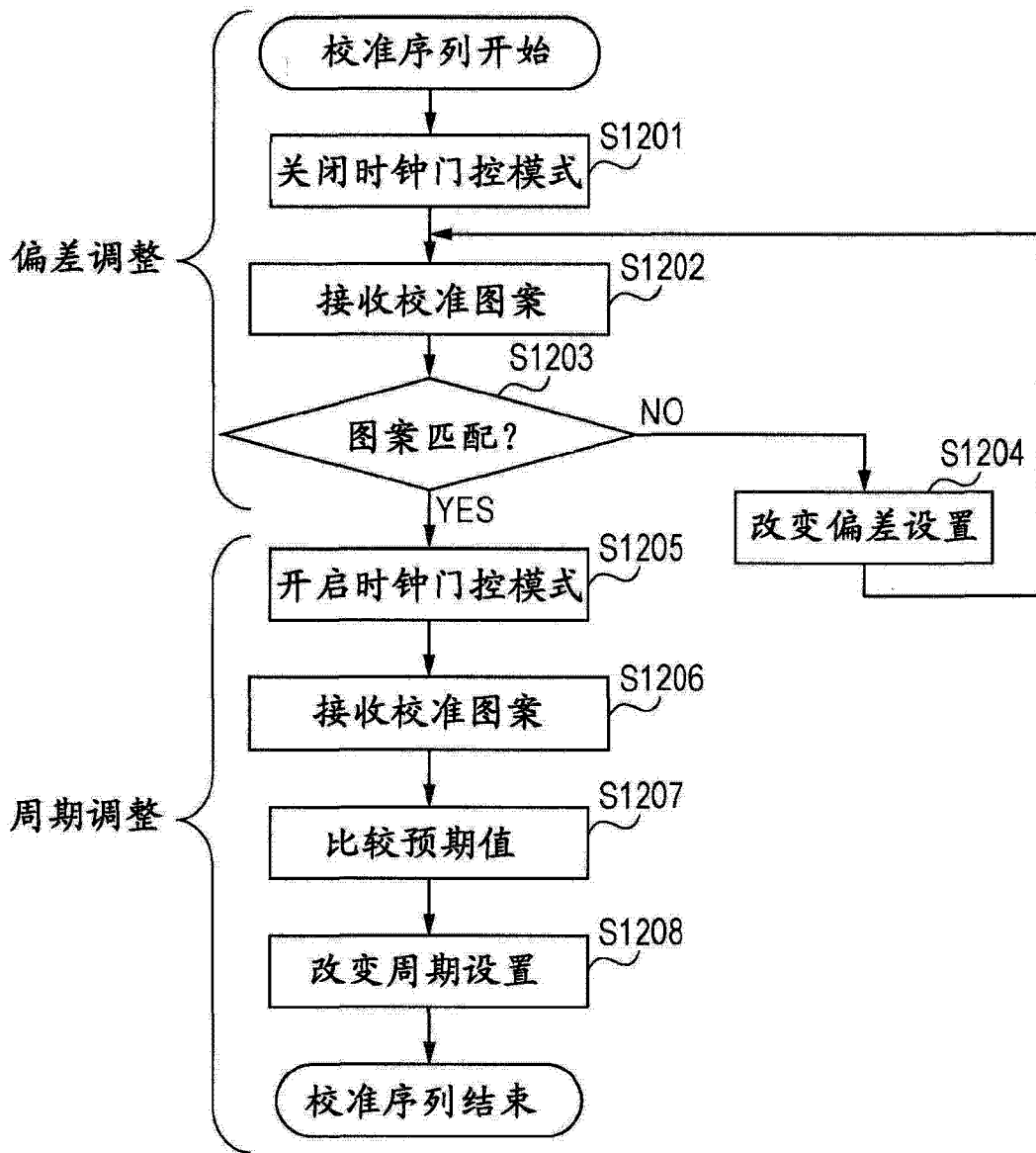


图 4A

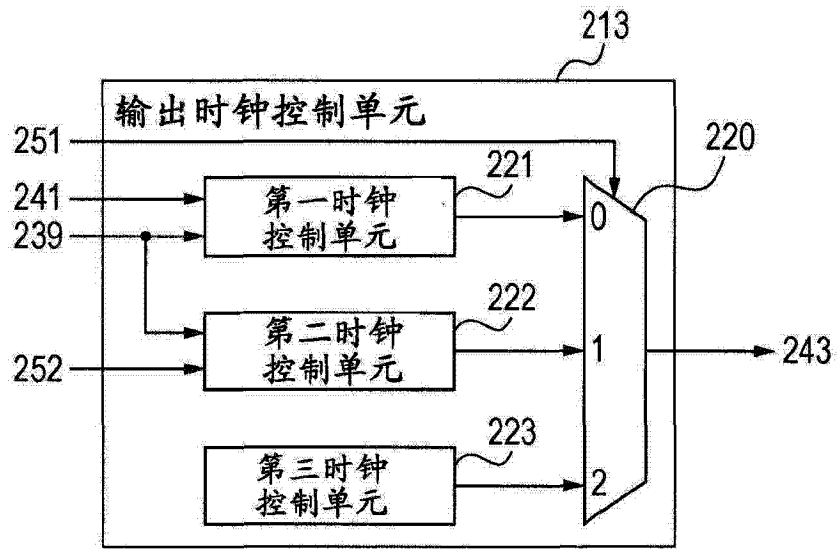


图 4B

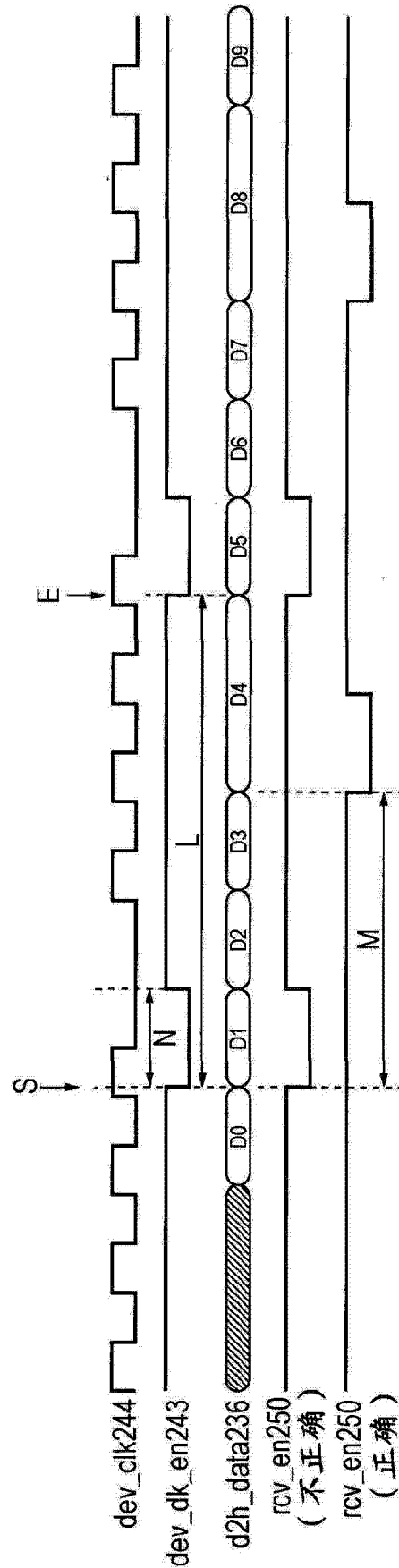


图 5

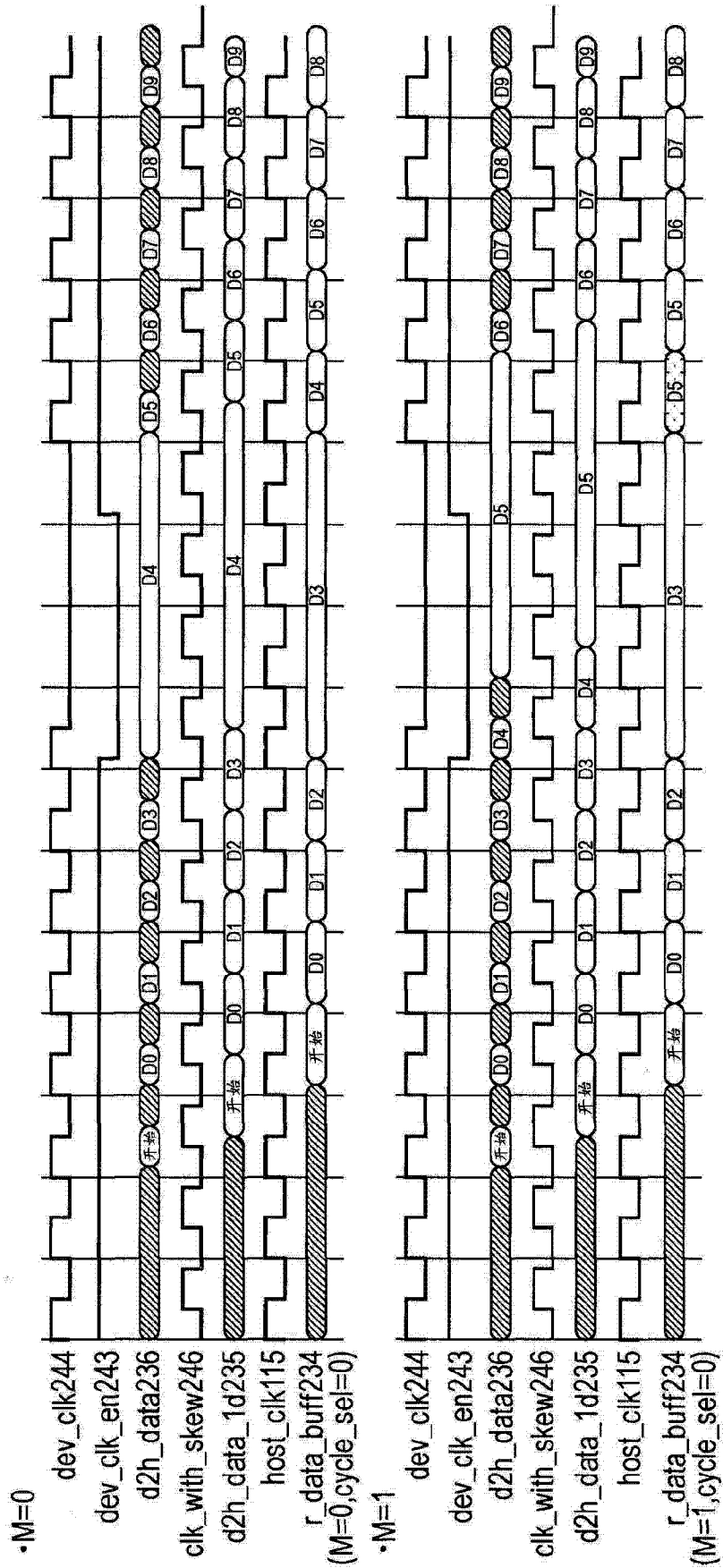


图 6

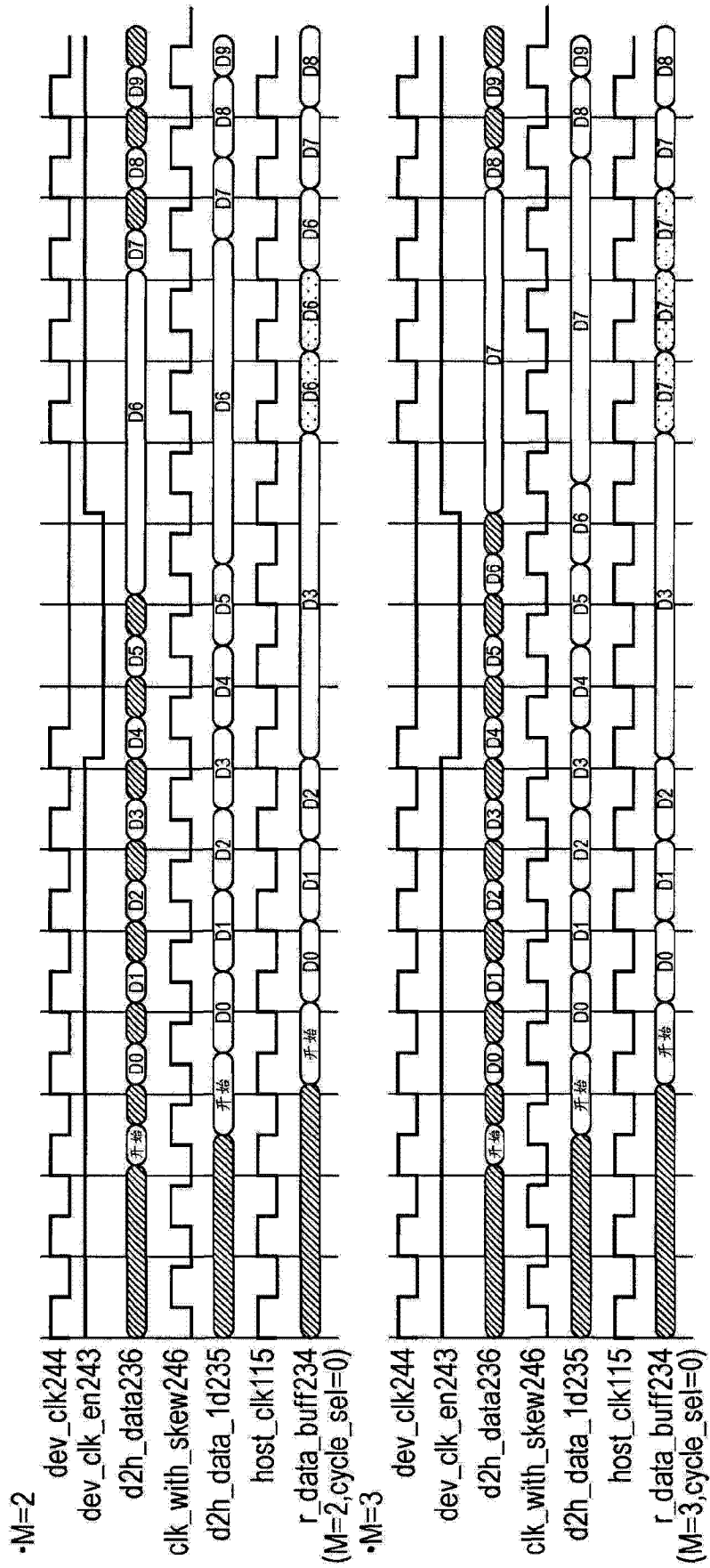


图 7

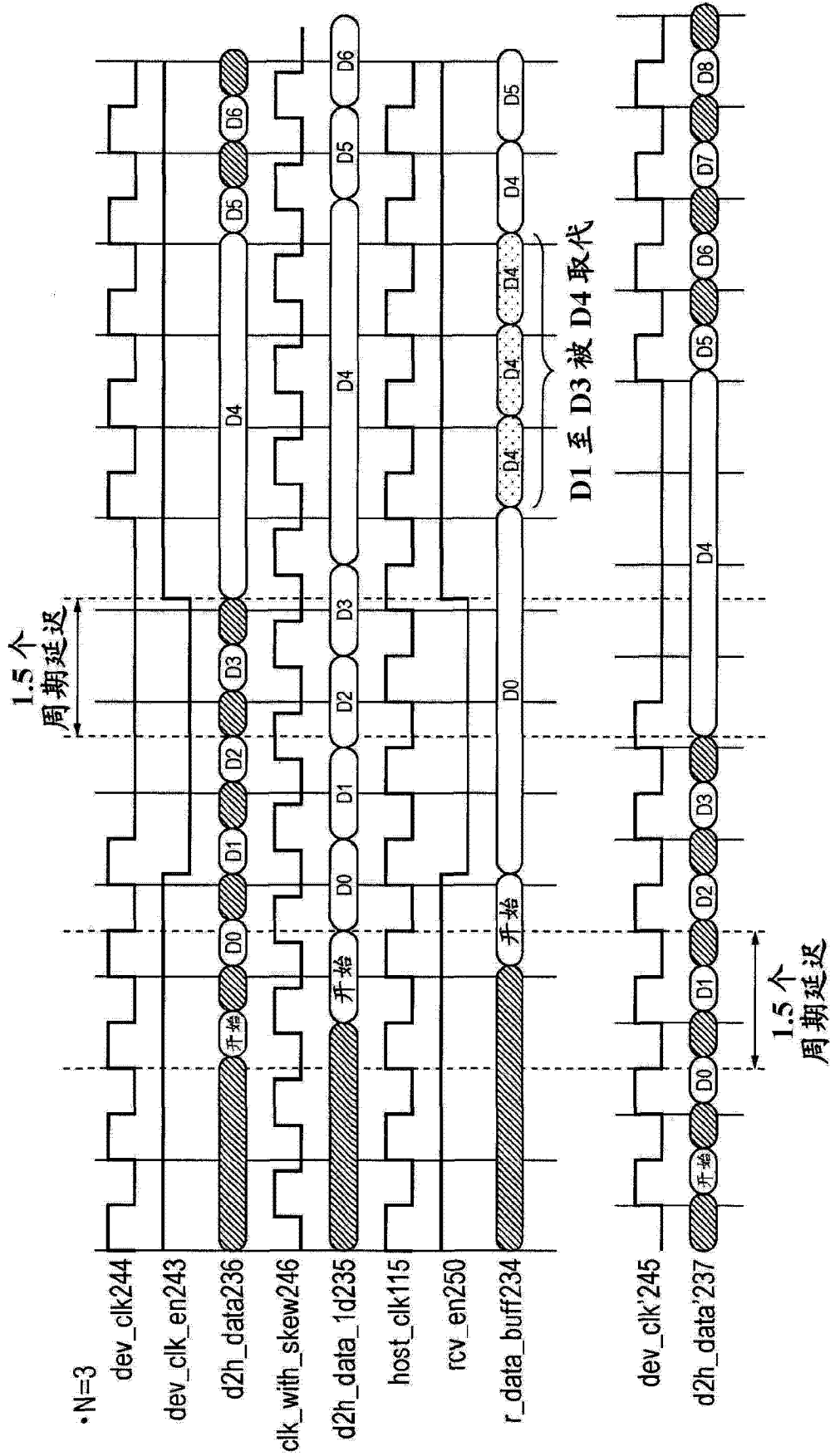


图 8

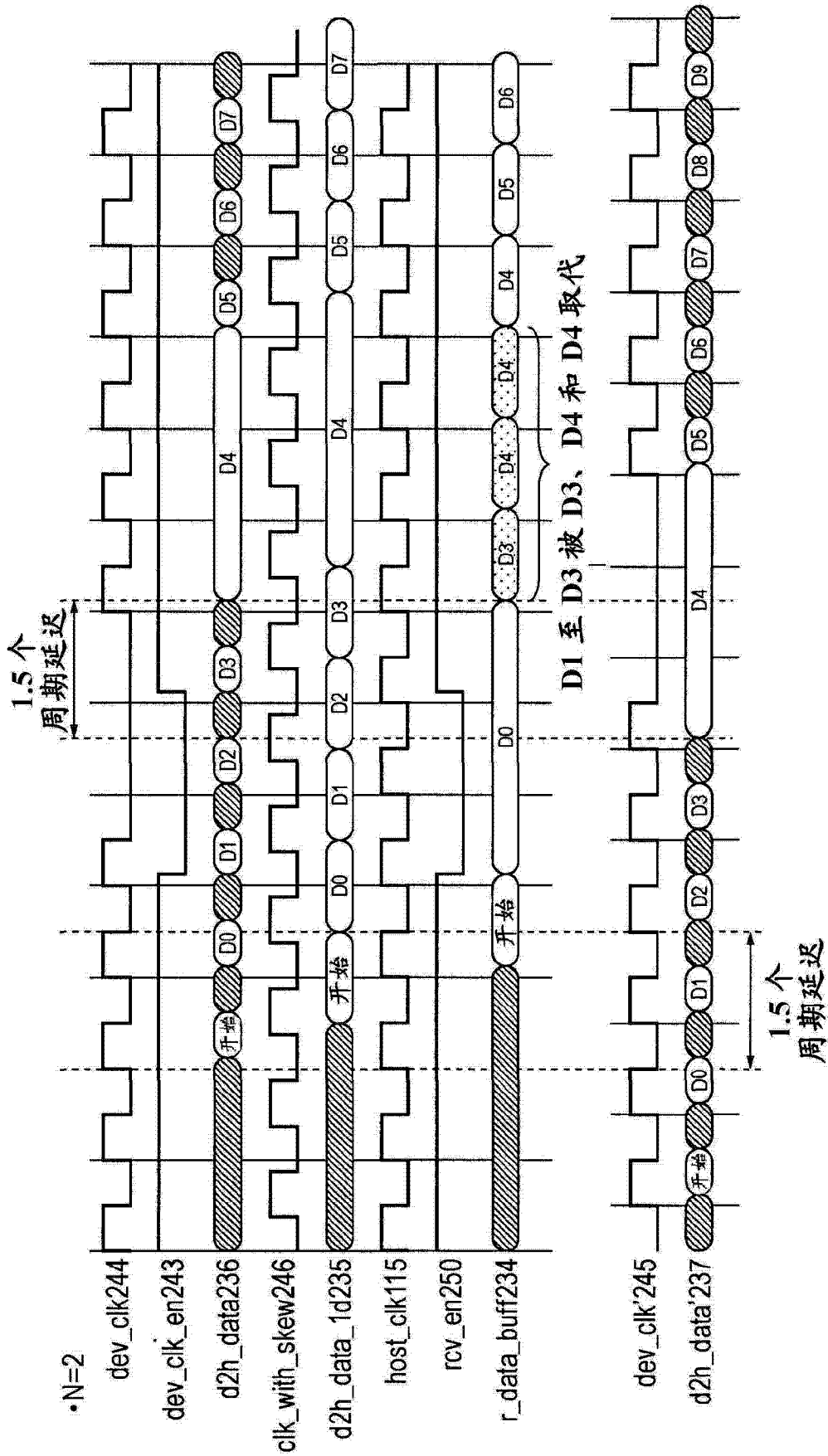


图 9

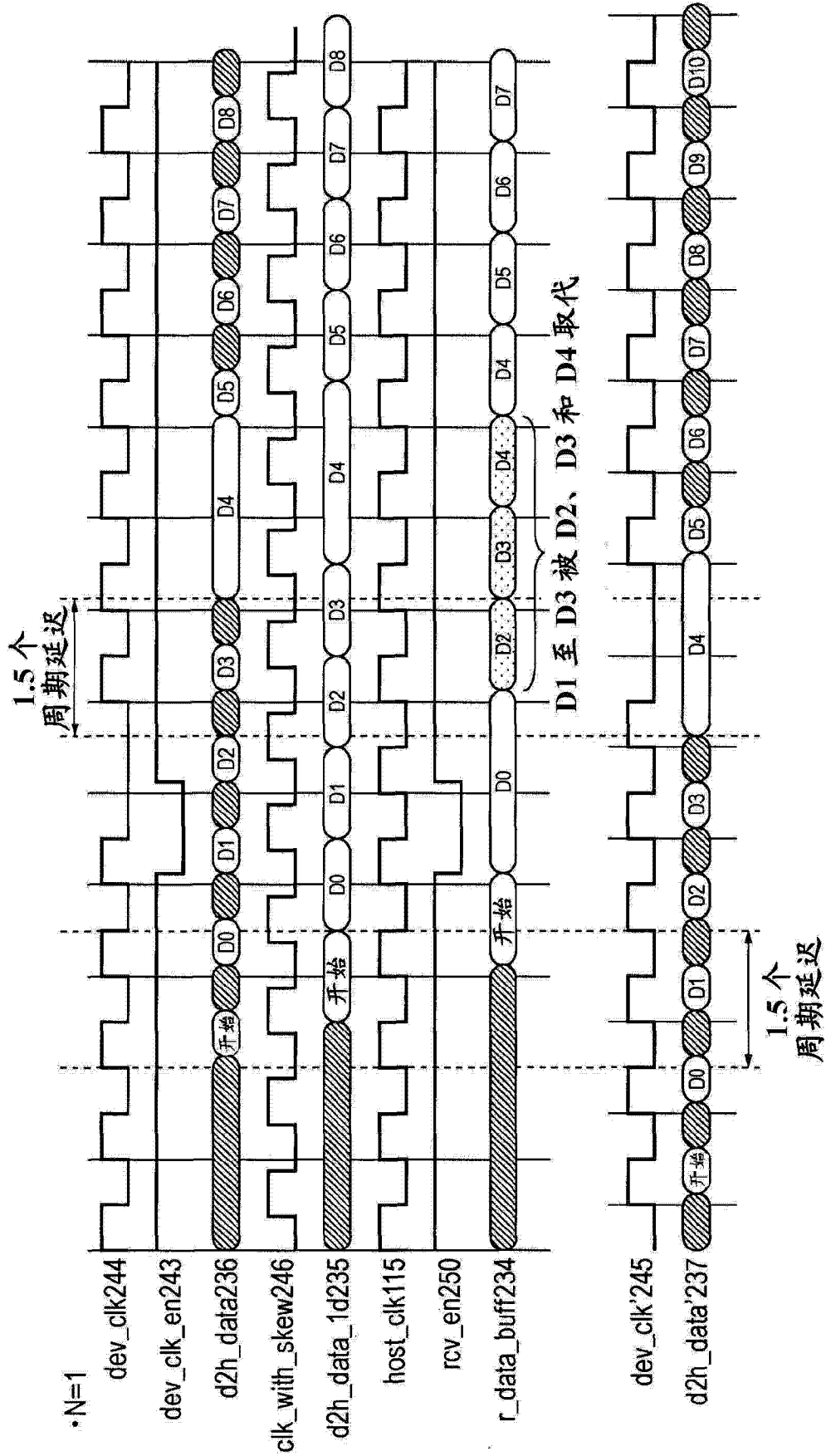


图 10

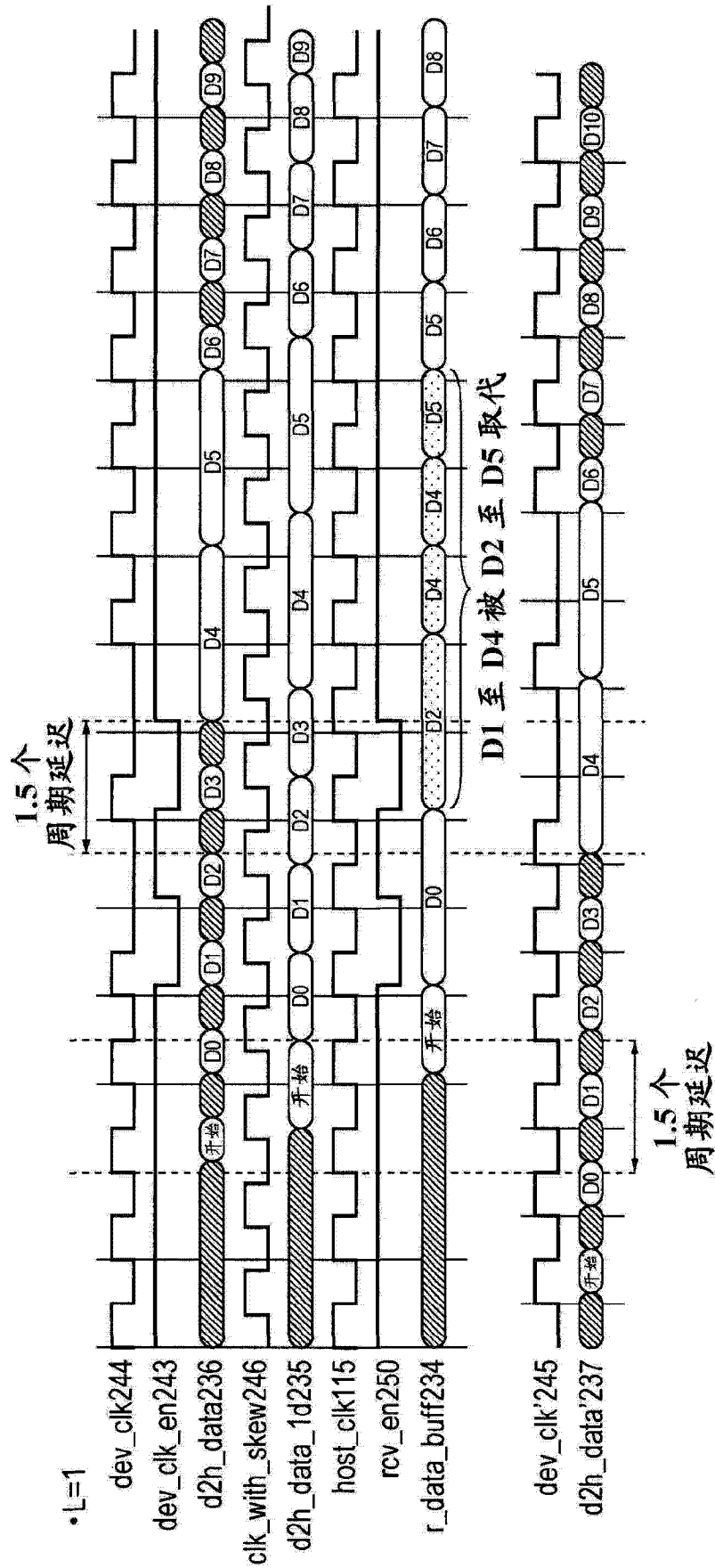


图 11

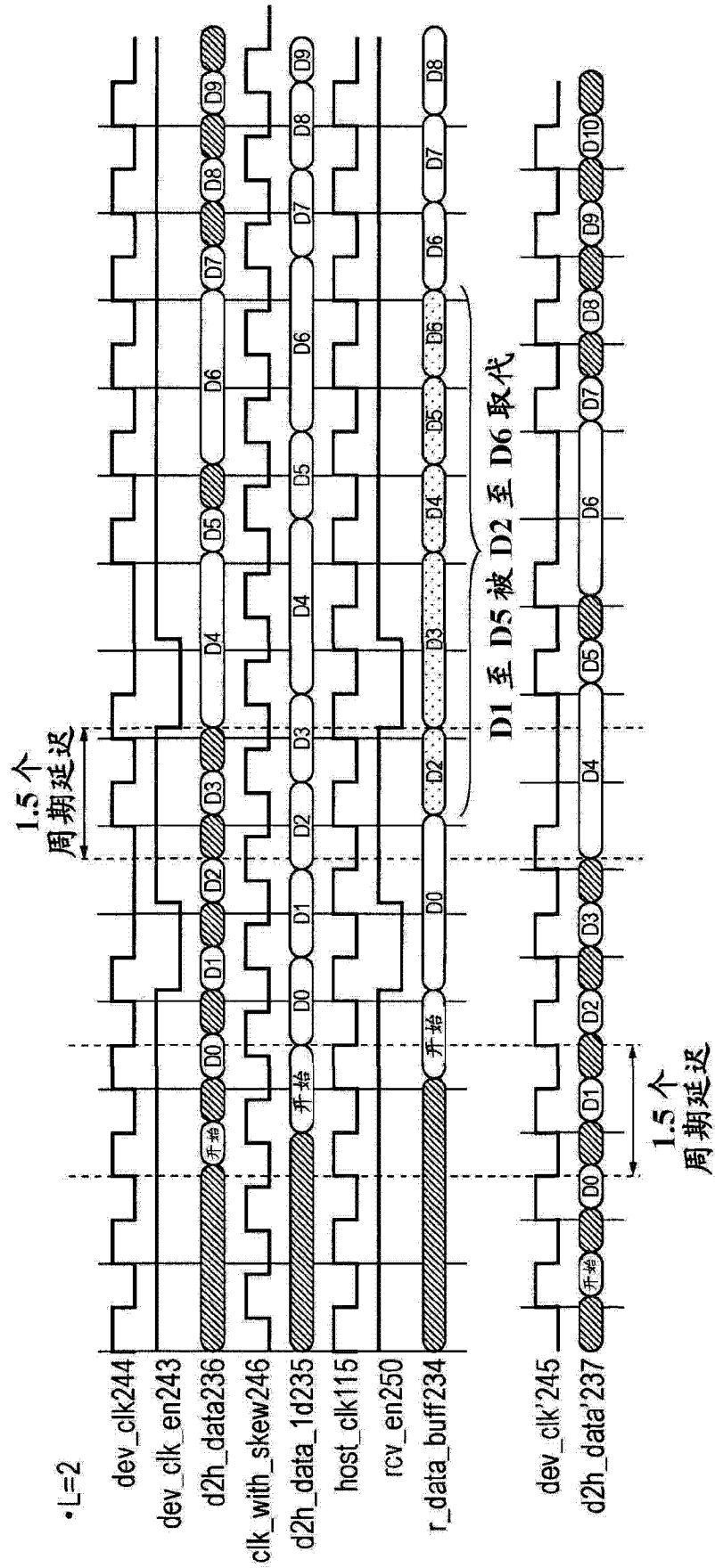


图 12

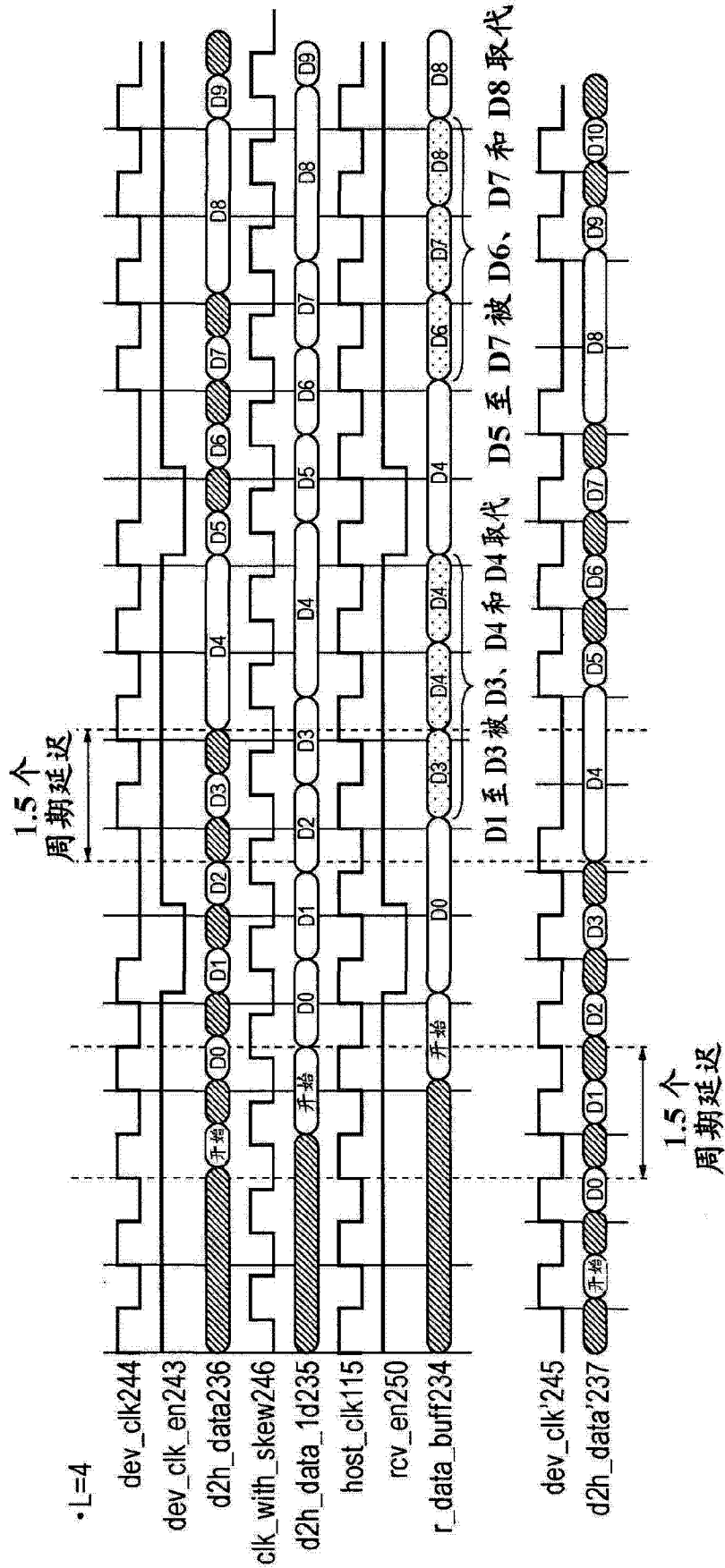


图 14

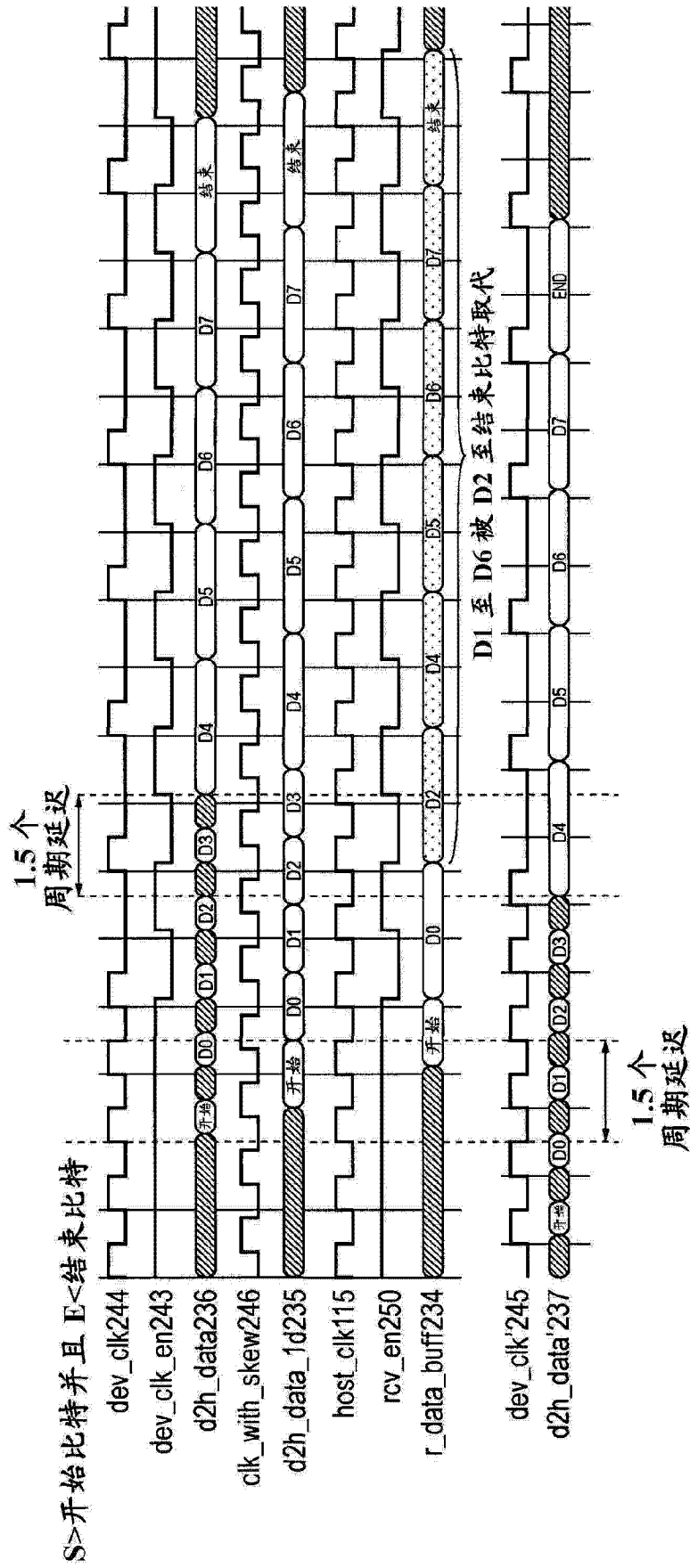


图 15

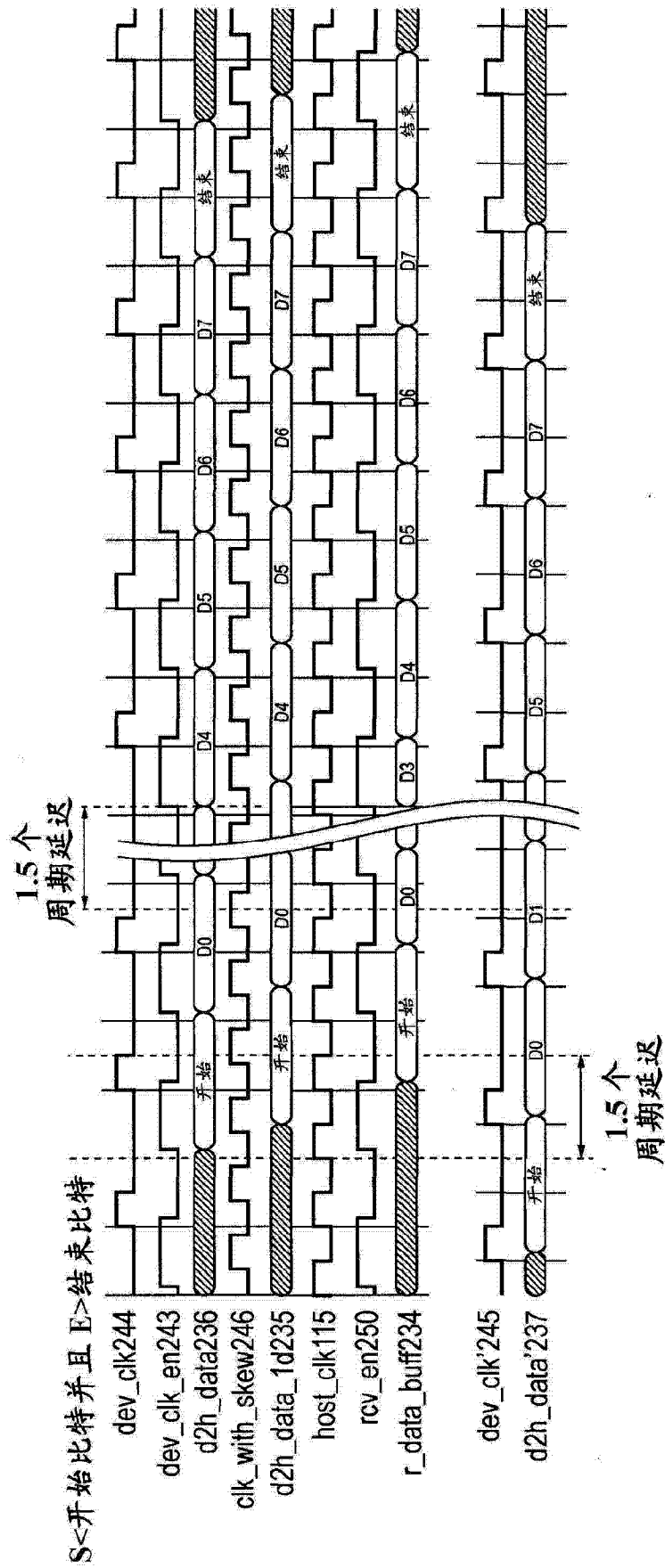


图 16

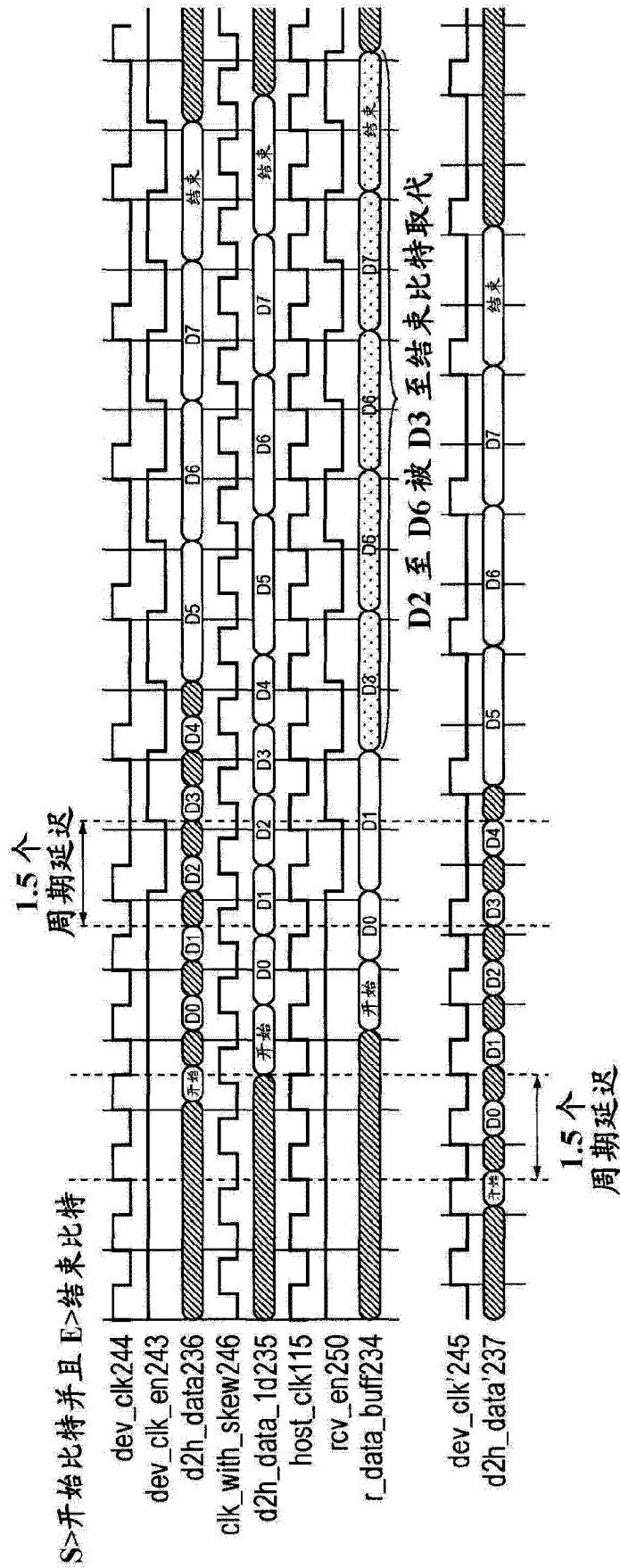


图 17

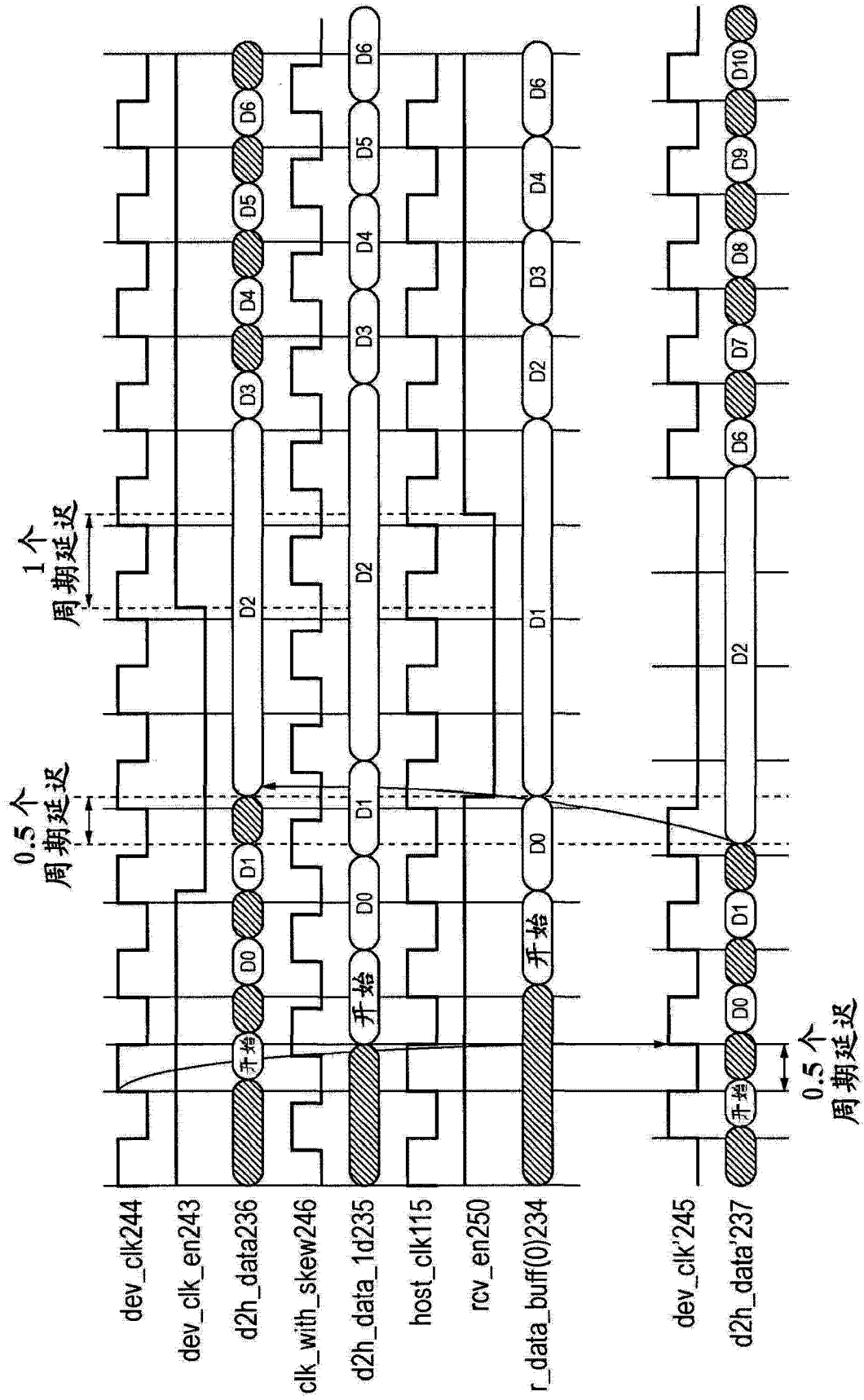


图 18

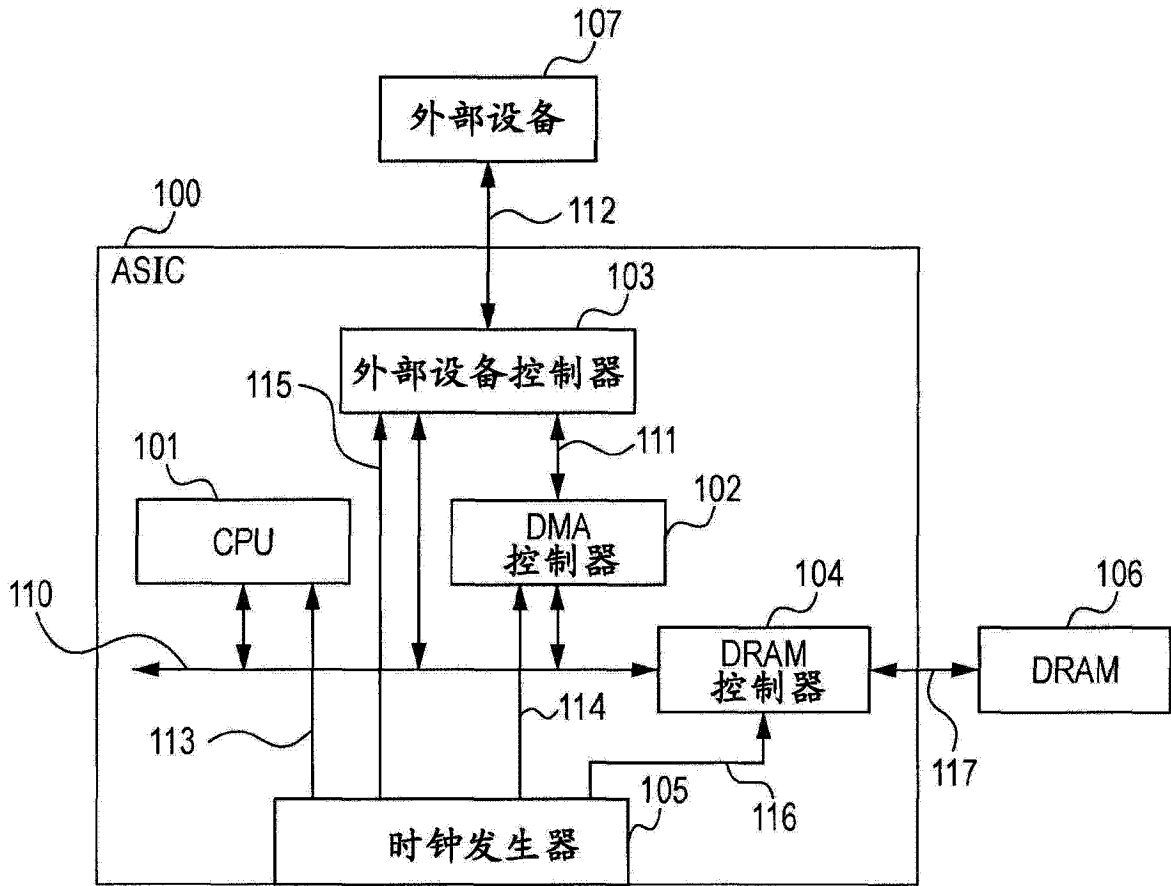


图 19

与实际周期数量的差值	接收图案
0	01010101
1	01011101
2	01010001
3	01011111

图 20

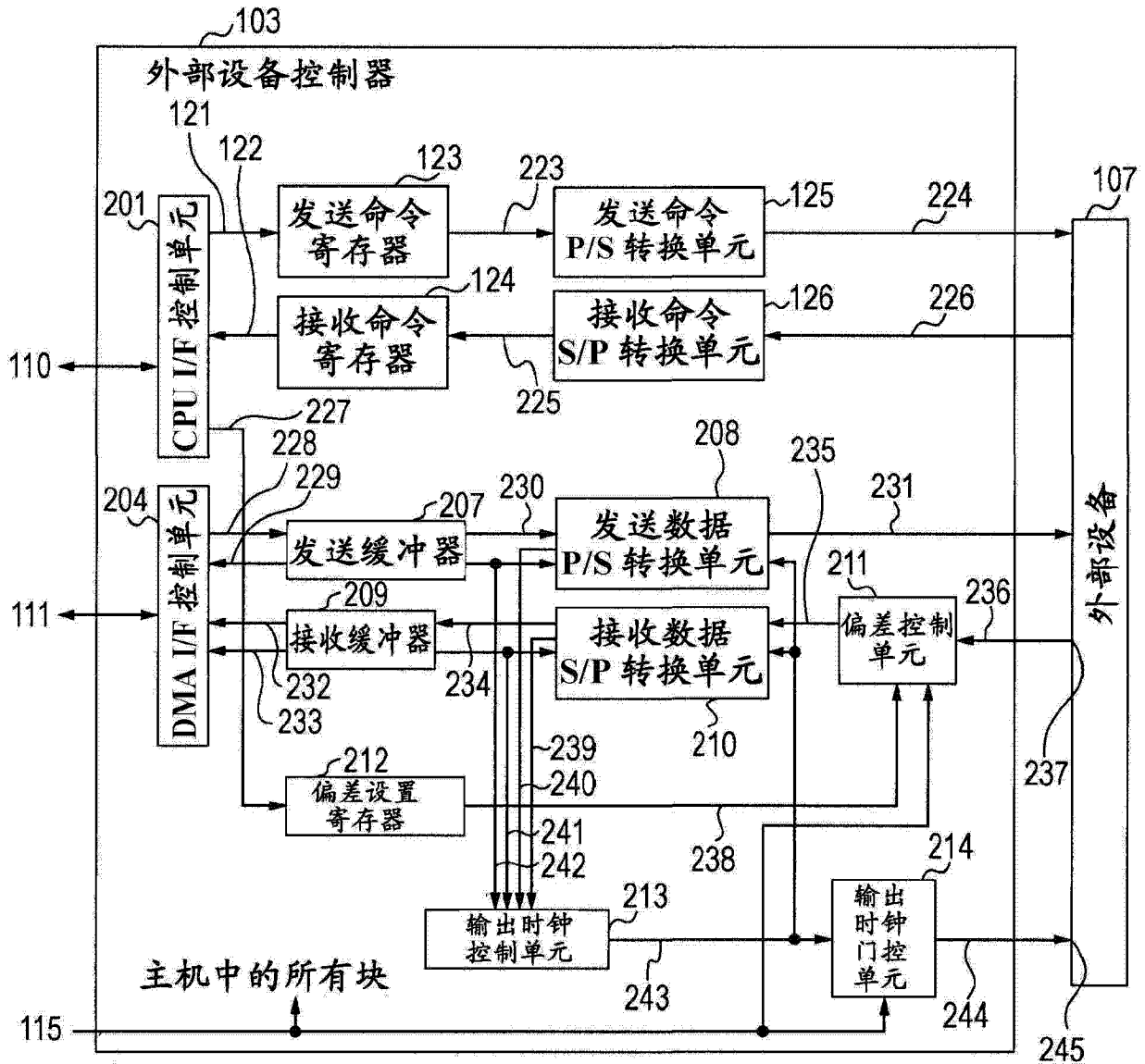


图 21A

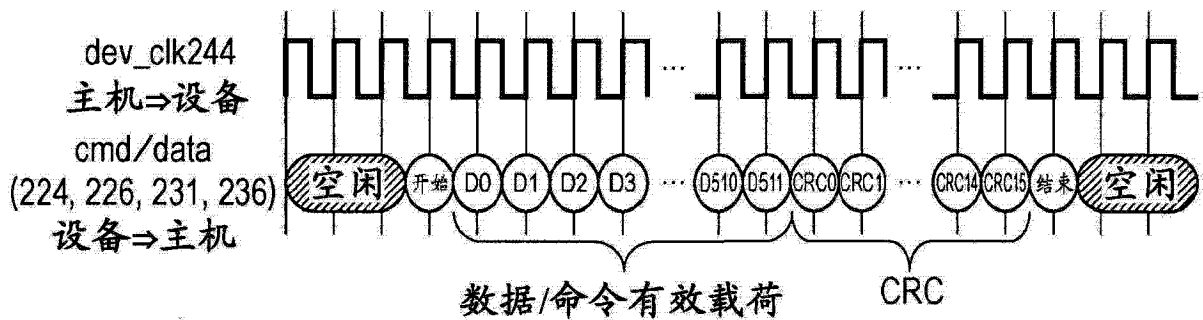


图 21B

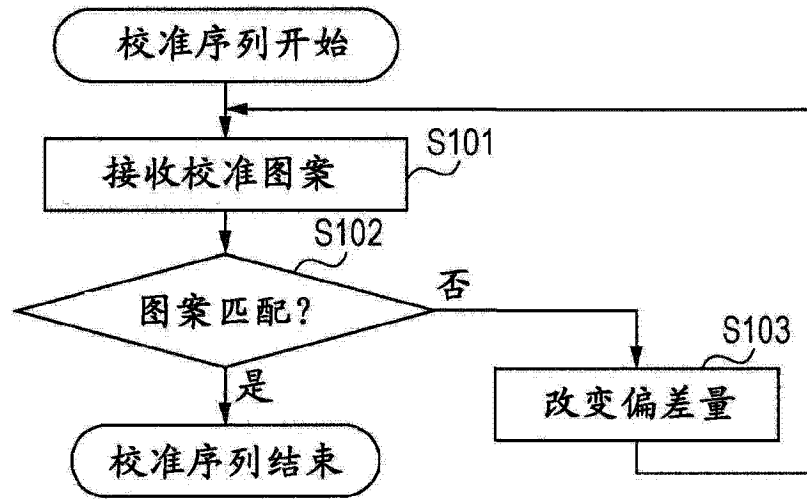


图 22

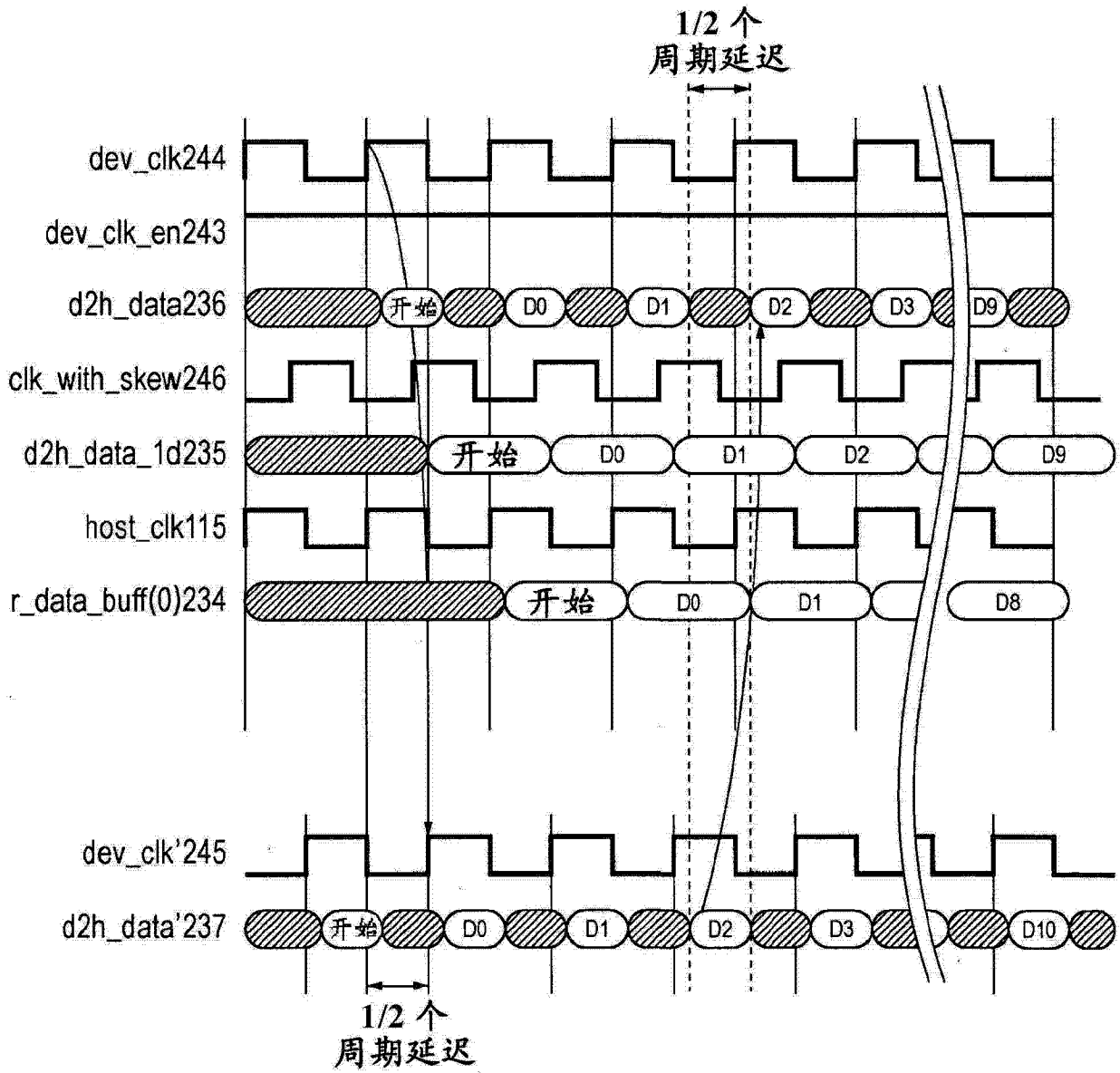


图 23

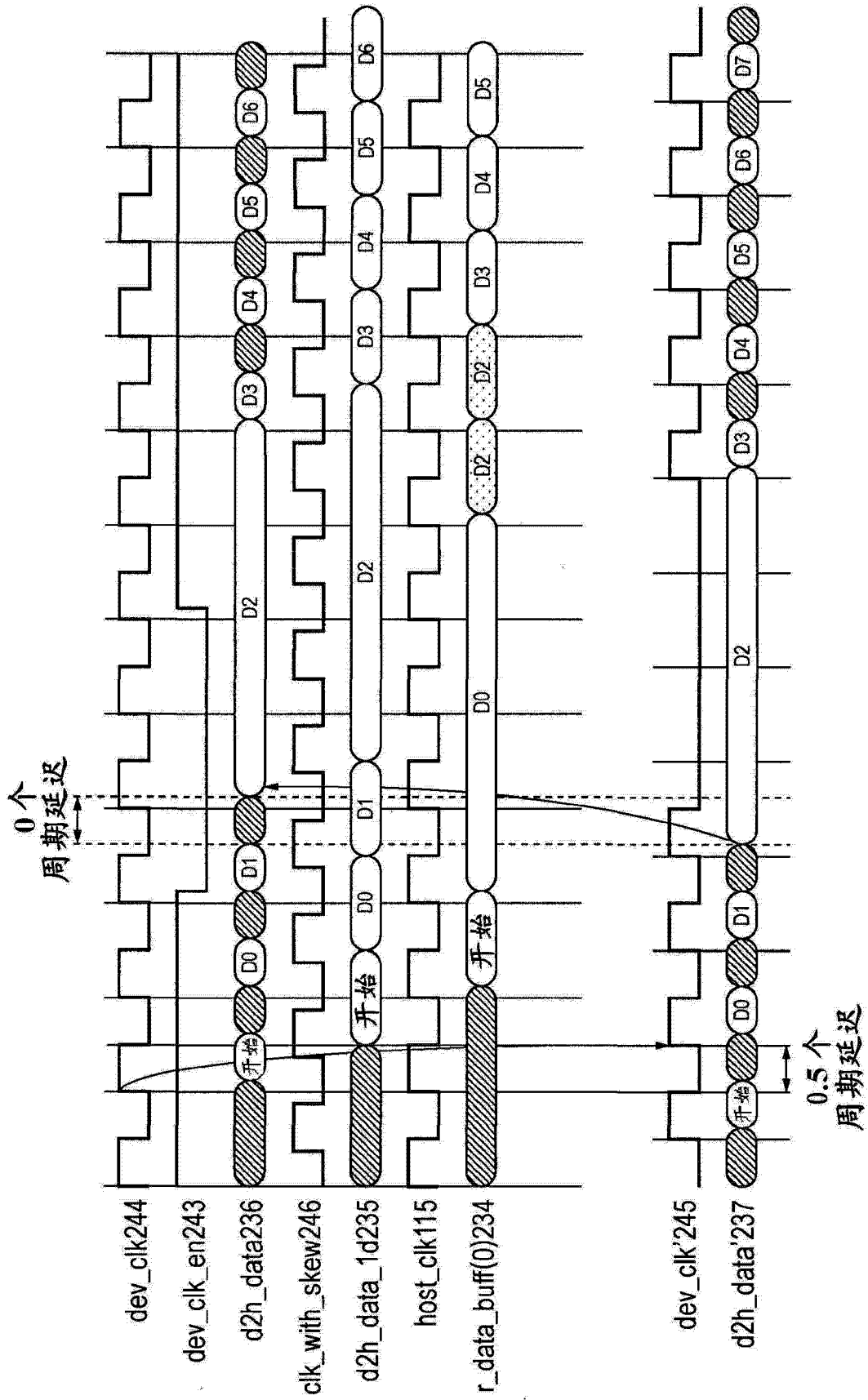


图 24