

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

2 482 802

(A n'utiliser que pour les
commandes de reproduction).

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 09408

(54) Dispositif électrique de décodage d'informations pour un dispositif fonctionnant en auto-synchronisation.

(51) Classification internationale (Int. Cl. ³). H 03 K 13/24; G 11 B 5/09.

(22) Date de dépôt..... 12 mai 1981.

(33) (32) (31) Priorité revendiquée : *Hongrie, 14 mai 1980, n° 1189/80.*

(41) Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 47 du 20-11-1981.

(71) Déposant : MAGYAR OPTIKAI MUVEK, résidant en Hongrie.

(72) Invention de : Jozsef Mara, Géza Molnar et Karoly Molnar.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Regimbeau, Corre, Martin et Schrimpf,
26, av. Kléber, 75116 Paris.

La présente invention concerne un dispositif électrique de décodage d'informations destiné à des dispositifs fonctionnant en auto-synchronisation.

Une grande partie des dispositifs de mémorisation d'informations numériques, utilisés dans la technique des calculateurs fonctionnent sur le principe de l'enregistrement magnétique de signaux sur une couche mince en mouvement. L'acceptation générale de ces dispositifs résulte du faible prix spécifique par bit, et de la souplesse d'application. Une amélioration de ces caractéristiques des dispositifs de mémorisation d'informations peut être obtenue par une meilleure utilisation de la couche d'enregistrement magnétique, (appelée ci-après support), et par une augmentation de la quantité d'informations mémorisées par unité de surface. L'un des procédés proposés à cet effet consiste à condenser les transitions magnétiques écrites successivement sous forme de transformations physiques du support d'informations. Mais cette disposition est limitée par l'importance des distorsions du signal produites pendant l'écriture et la lecture et par les caractéristiques physiques et mécaniques du support et de la tête d'écriture et de lecture.

En ce qui concerne la lecture sur les dispositifs de mémorisation - en insistant sur la possibilité d'auto-synchronisation - différents procédés de codage des informations ont été mis en oeuvre, imposant un nombre minimal de transitions magnétiques pour l'enregistrement d'un bit d'informations.

Ces procédés de codage sont les différents procédés de modulation de fréquence et de phase, et leurs combinaisons. Pour le développement d'un procédé de codage, un but est de réduire la redondance de ce codage. Cette redondance résulte de la combinaison des signaux d'enregistrement et de validation et du contenu en informations nécessaires pour assurer l'auto-synchronisation.

La redondance est de 100% dans l'application du codage MF (mode de fréquence) et MDF (mode de double fréquence) - ce qui veut dire que l'enregistrement d'un signal de validation est associé avec l'enregistrement de chaque
5 bit d'informations - (au maximum deux transistions magnétiques par cellule binaire), mais elle est de 50% dans le code MFM (mode de fréquence modifiée), et de 10 à 20% dans le code MNRZ-I (code inversé sans retour à zéro modifié).

Chaque séquence de signaux lus (appelée ci-après
10 signal lu) codée selon les procédés mentionnés ci-dessus, ou selon leur différentes variantes, peut être divisée en deux parties, à savoir un signal électrique à deux états contenant des informations (appelé ci-après informations) et une séquence d'impulsions (appelée ci-après signal de va-
15 lidity) validant les informations. Les signaux d'informations et de validation, et leurs relations, sont définis par les rapports de durée des impulsions de la séquence de signaux lus. Ces rapports de durée sont distordus pendant l'écriture et la lecture. La fonction d'un circuit de décodage est l'évaluation et la séparation des signaux distor-
20 dus. Il convient de réaliser un tel circuit de manière qu'il puisse assurer le décodage même des signaux les plus distordus. Un circuit de décodage s'approche de l'efficacité maximale - en remplissant sa fonction - s'il est capa-
25 ble d'utiliser complètement la largeur de fenêtre caractérisée par les signaux avec la distorsion maximale permise théoriquement.

Dans le but d'accroître la densité d'écriture - ce qui implique l'amélioration des paramètres techniques
30 et économiques du dispositif de mémorisation - les dispositifs de codage fonctionnant avec une redondance réduite sont préférables. Le décodage d'une séquence de signaux avec des tolérances plus complexes et plus strictes (fenêtre plus étroite) impose la conception de dispositions
35 optimales de décodage.

Les circuits de décodage remplissent leurs fonctions de manière telle que - en sélectionnant une base de temps définie et en comparant les instants de répétition du signal lu ou leurs rapports avec la base de temps - le
5 signal initial d'informations et le signal initial de validation soient rétablis avec l'aide de circuits logiques.

L'analyse de ces solutions conduit aux caractéristiques défavorables suivantes.

Selon le principe commun de fonctionnement des
10 différents circuits de décodage, sur la base d'une comparaison directe de temps, des temps de référence sont établis au moyen d'un type ou un autre de dispositif de temporisation - par exemple avec des circuits multivibrateurs astables - et les temps de référence sont agencés d'une
15 manière directe (par exemple en séquences) avec les intervalles de temps des impulsions du signal lu.

Les dispositifs de temporisation sont démarrés avec les impulsions du signal lu. Les positions théoriques des intervalles de temps entre les impulsions peuvent
20 varier selon le procédé de codage appliqué. Par exemple, avec le codage en mode de fréquence modifié, les intervalles de temps des impulsions consécutives coïncident avec la durée de la cellule de 1 - 1,5 - 2 bits. Il arrive ainsi que les dispositifs de temporisation soient démarrés
25 à partir de leur position normale, ou de leur position de travail lorsque le temps de référence établi n'est pas encore écoulé. Il résulte des deux procédés de démarrage que les temps établis ne sont pas identiques entre eux et que par conséquent, la largeur de la fenêtre est réduite de cette différence de temps.
30

Il existe des circuits de décodage mettant en oeuvre différents procédés de prélèvement d'échantillons mais avec ces solutions, la largeur de fenêtre est réduite d'un cycle complet du temps utilisé pour le prélèvement d'échantillons.
35

L'invention a donc pour objet de réaliser un

circuit de décodage de ce genre qui élimine les inconvénients des solutions précitées, résultant d'une mauvaise utilisation de la largeur de fenêtre.

La séquence de signaux lus contenant les informations codées est convertie par une constante de formation d'impulsions en une séquence de signaux, avec une durée d'impulsions. La valeur minimale de la durée d'impulsions est déterminée par la présence de différents phénomènes transitoires (par exemple le temps nécessaire pour démarrer à nouveau les dispositifs de temporisation, pour établir la position normale du codeur, etc.), tandis que sa valeur maximale est donnée par la moitié de la largeur de fenêtre. Les dispositifs de temporisation du circuit de décodage, ou ceux qui provoquent une réduction occasionnelle de la largeur de fenêtre sont placés en position normale pendant la durée d'impulsions, et il est ainsi assuré que des conditions initiales identiques prévalent. Ce temps constant peut être incorporé dans tous les cas à la formation d'autres éléments de circuit de décodage.

D'autres caractéristiques et avantages de l'invention apparaîtront au cours de la description qui va suivre d'un exemple de réalisation et sur les dessins annexés donnés uniquement à titre d'exemple nullement limitatif et sur lesquels :

La Figure 1 illustre l'une des solutions pour un dispositif de décodage d'une séquence de signaux lus codés en mode de fréquence modifié,

la Figure 2 est un diagramme de temps illustrant le fonctionnement de ce circuit et,

la Figure 3 montre la condition de fonctionnement correct du convertisseur de temps en tension.

Le circuit représenté fonctionne de la manière suivante:

La séquence d'impulsions contenant les informations codées KI est reçue par le circuit 1 de formation d'im-

pulsions dont la sortie délivre la séquence d'impulsions KIF, de durée d'impulsion τ .

Le niveau haut du signal KIF au convertisseur 2 de temps en tension fait passer à l'état conducteur le transistor T1 qui décharge le condensateur C et qui prélève le courant de la source de courant formée par le transistor T2. La décharge est très rapide (10 à 20 ns), et étant donné que les impulsions KIF sont plus longues, le condensateur C se décharge dans tous les cas à la tension U_{CEsat} (U_0) du transistor T1. A l'état bloqué du transistor T1 (KIF = niveau bas) la source de courant constituée par le transistor T2 charge le condensateur. Le courant de la source et la pente de la rampe de la tension U_C aux bornes du condensateur C peuvent être réglés au moyen du potentiomètre P1. Le transistor T3 sépare la charge constituée par le circuit comparateur 4 du condensateur C. Les tensions de référence du circuit comparateur, constitué par les quatre comparateurs Z5 - Z8 sont produites par un générateur de tension constitué par des éléments actifs avec différentes entrées correctives (température, vitesse). Les tensions de référence, c'est-à-dire la chaîne de division de la tension de référence du générateur sont établies en fonction des considérations ci-après.

Dans chaque cas, le nombre et les valeurs des niveaux de référence sont déterminés par les caractéristiques de codage. Dans le cas du codage en mode de fréquence modifié, donné à titre d'exemple, quatre valeurs de tension sont prévues. L'intervalle de temps théorique entre les impulsions du signal lu avec le codage en mode de fréquence modifié est 1; 1,5; 2 durées de cellule binaire. Dans le but d'évaluer toutes les impulsions indiquant des transitions magnétiques, chaque limite de largeur de fenêtre doit être marquée. La disposition attendue est symétrique par rapport aux flancs avants des impulsions du signal lu exemptes de distorsions. La Figure 3 montre la $N^{ème}$ impul-

sions de la séquence des impulsions KIF et les positions attendues de la $(N + 1)^{\text{ème}}$ impulsion ainsi que les signaux quasi-triangulaires U_C obtenus après la conversion de temps en tension et les niveaux de référence indiquant les limi-

tes H de la largeur de fenêtre; sur cette figure:

τ = durée d'impulsion du signal

T_B = durée d'une cellule binaire

U_O = tension U_{sat} du transistor T1

$U_{\text{ref 1-4}}$ = tensions de référence

U_{cs} = tension de crête du convertisseur de temps en tension à l'instant $2T_B$

U_A = $U_{\text{cs}} + U_E$, où $U_E = U_O - \frac{T}{2T_B} U_{\text{cs}}$, et en outre

$U_{\text{ref 1}} = 1/8 U_A$, $U_{\text{ref 2}} = 3/8 U_A$, $U_{\text{ref 3}} = 5/8 U_A$,

$U_{\text{ref 4}} = 7/8 U_A$.

La Figure 3 montre que la condition de fonctionnement correct du convertisseur 2 de temps en tension est $\tau < 1/4 = 1/2 T$ fenêtre. Il apparait également que les tensions de référence sont produites par une chaîne de résistances dans les rapports 1/8, 3/8, 5/8 et 7/8, une extrémité du diviseur étant connectée à U_{cs} et l'autre extrémité à une tension continue U_e . Les tensions de référence peuvent être corrigées par les entrées $U_{\text{vez 1}}$ et $U_{\text{vez 2}}$ car les variations apparaissant à ces entrées se retrouvent dans le rapport approprié dans chaque tension de référence.

Les comparateurs du circuit comparateur 4 produisent des impulsions de courte durée à partir des flancs avant et qui sont multipliées logiquement pour obtenir une séquence d'impulsions "A" dont la période est la moitié de celle du signal de validation nécessaire ERV. Dans le circuit 5 séparateur de signal de validation, ce signal est divisé par deux par le circuit multivibrateur bistable Z18 pour obtenir le signal rectangulaire B, et la séquence d'impulsions formées à partir des flancs avant de ce dernier constitue le signal de validation ERV qui est en

même temps l'un des signaux de sortie du décodeur. La phase correspondante B du signal divisé est assurée par le rythme du signal extérieur ENG.

Le circuit séquentiel 6 de séparation d'informations est constitué par des circuits multivibrateurs bistables Z19 et Z20. Le circuit multivibrateur Z19 est déclenché dans chaque cas lorsque les impulsions du signal lui manquent pendant au moins une durée de cellule binaire, c'est-à-dire lorsqu'il se produit un changement d'information résultant du codage. Le décodeur reconnaît cette condition à partir du niveau haut au comparateur Z7. Avec la sortie Q du circuit multivibrateur bistable Z19 au niveau haut, l'écriture d'un niveau haut est annulée (de façon asynchrone) par l'entrée de mise à zéro du circuit multivibrateur bistable Z20, tandis que la sortie Q du circuit multivibrateur bistable Z19 au niveau bas permet l'écriture d'un niveau haut dans le circuit multivibrateur bistable Z20 sur les entrées de commande (de façon synchrone). Les informations décodées I apparaissent à la sortie du circuit multivibrateur bistable Z20 qui est en même temps l'autre sortie du décodeur.

REVENDICATIONS

1 - Dispositif électrique de décodage d'informations pour un dispositif à auto-synchronisation comprenant au moins un canal d'entrée à code séquentiel d'une régularité définie et un ou plusieurs canaux de sortie d'informations
5 tions décodées selon un ordre défini, ainsi qu'un ou plusieurs canaux de sortie de signaux spécifiant la validation du signal ou des signaux d'informations apparaissant au canal ou aux canaux de sortie d'informations, dispositif caractérisé en ce qu'il comporte un générateur d'impul-
10 sions (1) d'une durée d'impulsions définie et permanente connecté au canal d'entrée de code, ce générateur d'impulsions, sous l'effet de variations caractéristiques du signal ou des signaux apparaissant sur le canal plaçant en position normale pendant toute la durée de l'impulsion un
15 convertisseur connecté de temps en tension, ou de temps en courant, ou les deux, le signal résultant du convertisseur étant formé et transmis à un circuit comparateur (4) comprenant un ou plusieurs circuits (6) de séparation de signaux d'informations ainsi qu'un ou plusieurs circuits (5) de sé-
20 paration de signaux de validation.

2 - Dispositif selon la revendication 1, caractérisé en ce qu'une correction continue des valeurs de référence du circuit comparateur (4) constitué de façon appropriée est assurée par un circuit électrique (3) comprenant des
25 entrées de commande.

3 - Dispositif selon la revendication 1 ou 2, caractérisé en ce que le circuit ou les circuits (6) de séparation de signal d'information, ou le circuit ou les circuits (5) de séparation de signal de validation, ou les deux,
30 comportent une ou plusieurs entrées de mise en position normale.

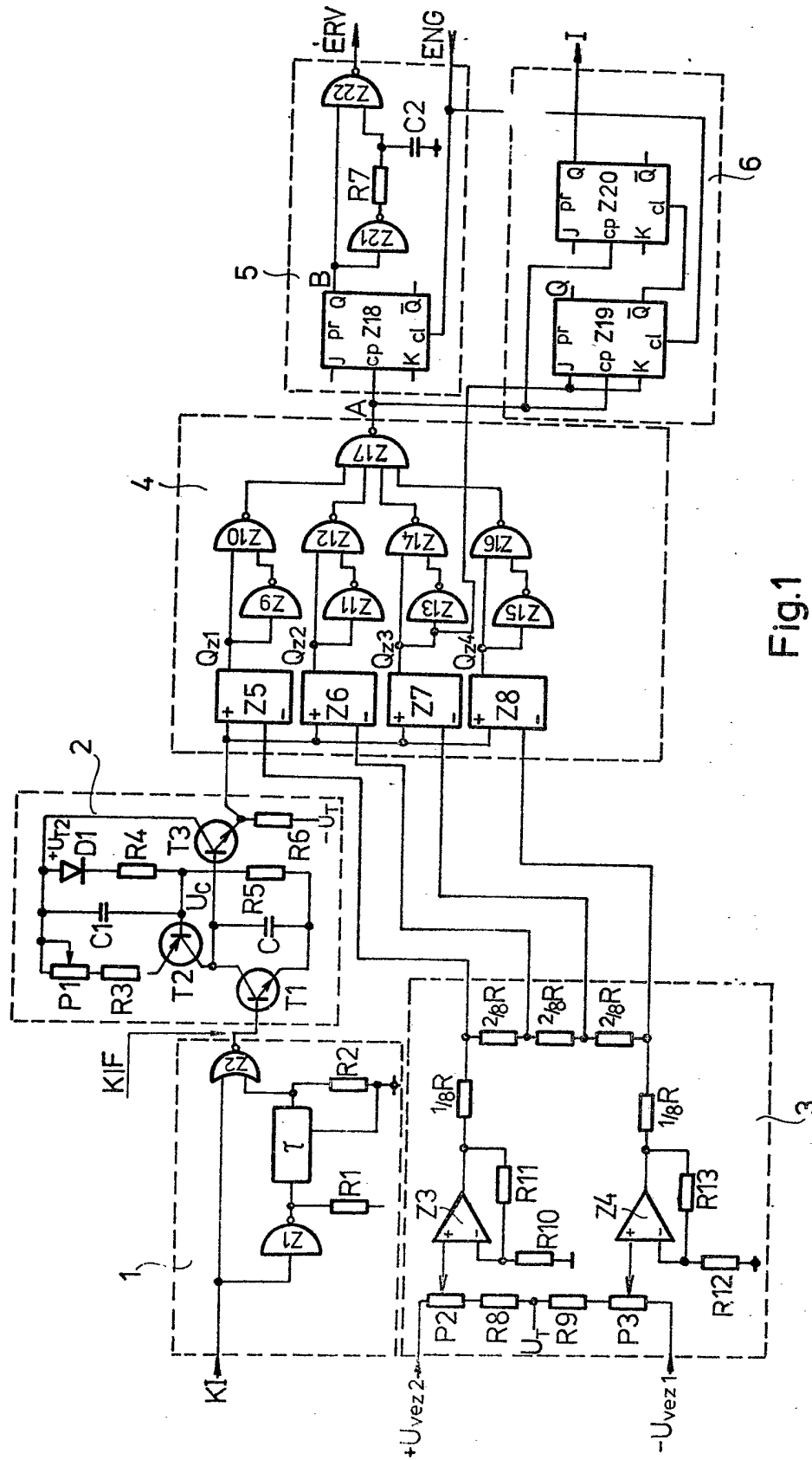


Fig.1

2482802

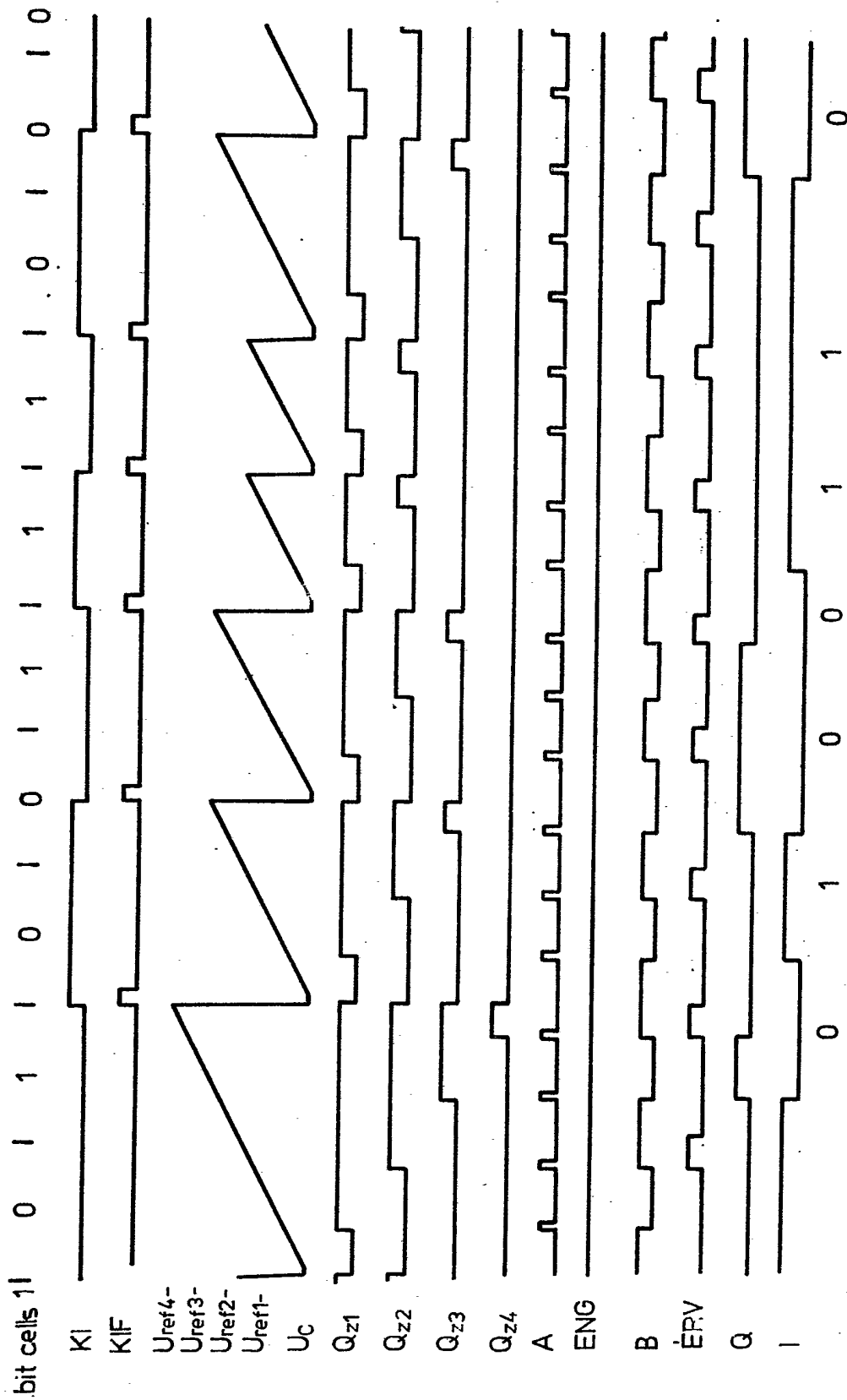


Fig.2

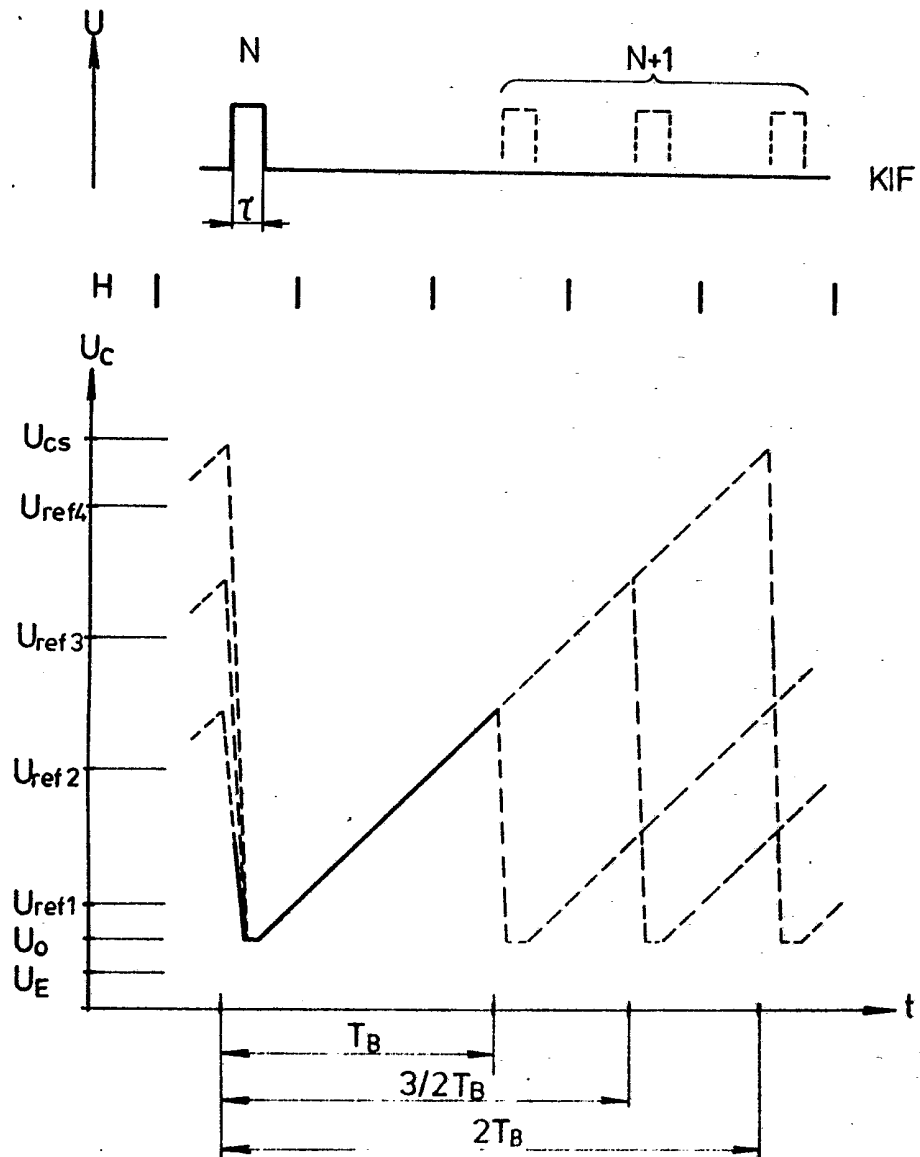


Fig.3