



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0077772
(43) 공개일자 2017년07월06일

(51) 국제특허분류(Int. Cl.)

H01L 21/768 (2006.01)

(52) CPC특허분류

H01L 21/76897 (2013.01)

H01L 21/76807 (2013.01)

(21) 출원번호 10-2016-0140199

(22) 출원일자 2016년10월26일

심사청구일자 2016년10월26일

(30) 우선권주장

62/272,020 2015년12월28일 미국(US)

15/061,627 2016년03월04일 미국(US)

(71) 출원인

타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드

중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8

(72) 발명자

리우 쿠오-옌

중화민국, 타이완 300-77, 신추, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

예 부

중화민국, 타이완 300-77, 신추, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

(뒷면에 계속)

(74) 대리인

김태홍, 김진희

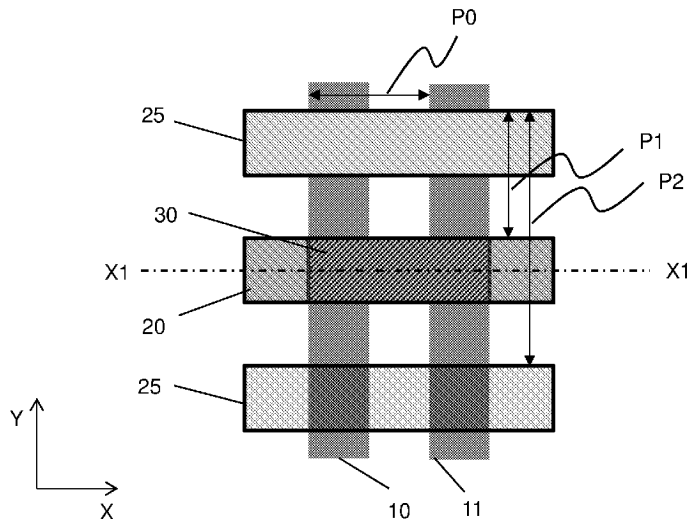
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 디바이스 및 그 제조 방법

(57) 요약

반도체 디바이스는 기판 위에 놓이고 또한 제1 방향으로 연장하는 복수의 하부 도전성 라인, 상기 복수의 하부 도전성 라인 위에 놓이는 절연층, 상기 절연층 및 제1 도전성 라인 위에 놓이며 또한 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 상부 도전성 라인, 및 상기 절연층에 형성되어 도전성 라인으로 충전되는 복수의 비아를 포함한다. 상기 복수의 상부 도전성 라인은 제1 방향으로 제1 피치로 배치된다. 상기 복수의 비아는 제1 비아 및 제2 비아를 포함한다. 상기 제1 비아 중 적어도 하나의 비아는 상기 복수의 하부 도전성 라인 중 적어도 2개의 라인과 상기 복수의 상부 도전성 라인 중 하나의 라인을 접속시킨다. 상기 제1 비아의 제1 방향으로의 평균 폭은, 상기 제2 비아의 제1 방향으로의 평균 폭과는 상이하다.

대표도 - 도1a



(52) CPC특허분류

H01L 21/76813 (2013.01)

H01L 21/76816 (2013.01)

H01L 21/76838 (2013.01)

H01L 21/76877 (2013.01)

(72) 발명자

리양 민-창

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

라이 주이-야오

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

영 사이-후이

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

첸 잉-안

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

첸 옌-밍

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

명세서

청구범위

청구항 1

반도체 디바이스를 제조하기 위한 방법에 있어서,

반도체 기판 위에서(over) 제1 방향으로 연장하는 복수의 하부 도전성 라인을 형성하는 단계;

상기 복수의 하부 도전성 라인 위에 놓이는 절연층을 형성하는 단계;

상기 절연층에 제1 개구를 형성하고, 상기 제1 개구를 도전성 재료로 충전함으로써, 복수의 제1 비아를 형성하는 단계;

상기 절연층에 제2 개구를 형성하고, 상기 제2 개구를 도전성 재료로 충전함으로써, 복수의 제2 비아를 형성하는 단계;

상기 제1 방향과 교차하는 제2 방향으로 연장하고, 상기 복수의 제1 비아에 접속되는 복수의 제1 상부 도전성 라인을 형성하는 단계; 및

상기 제2 방향으로 연장하고, 상기 복수의 제2 비아에 접속되는 복수의 제2 상부 도전성 라인을 형성하는 단계를 포함하며,

상기 복수의 제1 비아를 형성하는 단계 및 상기 복수의 제2 비아를 형성하는 단계는, 별도의 패터닝 동작에 의해 수행되며,

상기 제1 개구를 형성하는 것과 상기 제2 개구를 형성하는 것 중 적어도 하나에서, 상기 복수의 하부 도전성 라인 중 2개의 라인의 적어도 일부가 적어도 하나의 개구에 노출되어, 적어도 하나의 비아가 상기 복수의 하부 도전성 라인 중 적어도 2개의 라인과 상기 복수의 제1 또는 제2 상부 도전성 라인 중 하나의 라인을 접속시키며,

상기 복수의 제1 상부 도전성 라인과 상기 복수의 제2 상부 도전성 라인은 제1 방향으로 제1 피치로 교호하여 배치되며,

상기 복수의 제1 비아는 상기 제1 방향으로 제2 피치로 배치되며, 상기 제2 피치는 상기 제1 피치의 2배인 것인 반도체 디바이스 제조 방법.

청구항 2

청구항 1에 있어서,

상기 복수의 제2 비아는 상기 제1 방향으로 제2 피치로 배치되는 것인 반도체 디바이스 제조 방법.

청구항 3

청구항 2에 있어서,

상기 복수의 제1 상부 도전성 라인은 상기 제1 방향으로 상기 제2 피치로 배치되며,

상기 복수의 제2 상부 도전성 라인은 상기 제1 방향으로 상기 제2 피치로 배치되는 것인 반도체 디바이스 제조 방법.

청구항 4

청구항 1에 있어서,

상기 복수의 제1 비아 및 복수의 제1 상부 도전성 라인은 제1 이중 다마신 공정에 의해 형성되며,

상기 복수의 제2 비아 및 복수의 제2 상부 도전성 라인은 제2 이중 다마신 공정에 의해 형성되는 것인 반도체 디바이스 제조 방법.

청구항 5

청구항 1에 있어서,

상기 복수의 제1 비아 및 상기 복수의 제2 비아는 동일한 설계 패턴을 가지며,

상기 복수의 제1 비아의 제1 방향으로의 평균 폭은, 상기 복수의 제2 비아의 제1 방향으로의 평균 폭과는 상이한 것인 반도체 디바이스 제조 방법.

청구항 6

청구항 1에 있어서,

상기 제1 개구를 형성하는 것에서, 상기 복수의 하부 도전성 라인 중 2개의 라인의 적어도 일부가 상기 제1 개구 중 적어도 하나의 제1 개구에 노출되어, 상기 복수의 제1 비아 중 적어도 하나의 제1 비아가 상기 복수의 하부 도전성 라인 중 적어도 2개의 라인을 접속시키며,

상기 제2 개구를 형성하는 것에서, 상기 복수의 하부 도전성 라인 중 2개의 라인의 적어도 일부가 상기 제2 개구 중 적어도 하나의 제2 개구에 노출되어, 상기 복수의 제2 비아 중 적어도 하나의 제2 비아가 상기 복수의 하부 도전성 라인 중 적어도 2개의 라인을 접속시키는 것인 반도체 디바이스 제조 방법.

청구항 7

청구항 6에 있어서,

상기 복수의 제1 비아 또는 상기 복수의 제2 비아 중 적어도 하나의 비아는, 하부 도전성 라인 중 단지 하나의 라인과 상기 복수의 제1 또는 제2 상부 도전성 라인 중 단지 하나의 라인을 접속시키는 것인 반도체 디바이스 제조 방법.

청구항 8

청구항 6에 있어서,

상기 절연층을 형성하는 단계는, 제1 절연층, 상기 제1 절연층 위의 제2 절연층, 및 상기 제2 절연층 위의 제3 절연층을 형성하는 단계를 포함하며,

상기 제1 개구를 형성하는 것은,

상기 제2 절연층이 노출될 때까지, 상기 제3 절연층을 패터닝하는 단계; 및

상기 하부 도전성 라인 중 2개의 라인의 적어도 일부가 노출되도록, 상기 노출된 제2 절연층을 에칭하는 단계를 포함하며,

상기 노출된 제2 절연층을 에칭하는 단계에서, 상기 제1 절연층의 상부 부분의 일부가 에칭되는 것인 반도체 디바이스 제조 방법.

청구항 9

반도체 디바이스에 있어서,

반도체 기판 위에 놓이고, 제1 방향으로 연장하는 복수의 하부 도전성 라인;

상기 복수의 하부 도전성 라인 위에 놓이는 절연층;

상기 절연층 및 상기 제1 도전성 라인 위에 놓이고, 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 상부 도전성 라인; 및

상기 절연층에 형성되어 도전성 재료로 충전되는 복수의 비아

를 포함하며,

상기 복수의 상부 도전성 라인은 상기 제1 방향으로 제1 피치로 배치되고,

상기 복수의 비아는 제1 비아 및 제2 비아를 포함하며,

상기 제1 비아 중 적어도 하나의 비아는, 상기 복수의 하부 도전성 라인 중 적어도 2개의 라인과 상기 복수의 상부 도전성 라인 중 하나의 라인을 접속시키고,

상기 제1 비아의 상기 제1 방향으로의 평균 폭은, 상기 제2 비아의 상기 제1 방향으로의 평균 폭과는 상이한 것인 반도체 디바이스.

청구항 10

반도체 디바이스에 있어서,

반도체 기판 위에 놓이고, 제1 방향으로 연장하며, 제1 하부 도전성 라인 및 상기 제1 방향과 교차하는 제2 방향으로 상기 제1 하부 도전성 라인에 인접한 제2 하부 도전성 라인을 포함하는 복수의 하부 도전성 라인;

상기 복수의 하부 도전성 라인 위에 놓이는 제1 절연층;

상기 절연층 및 상기 제1 도전성 라인 위에 놓이고, 상기 제2 방향으로 연장하며, 제1 상부 도전성 라인을 포함하는 복수의 상부 도전성 라인; 및

상기 절연층에 형성되어 도전성 재료로 충전되며, 제1 비아를 포함하는 복수의 비아

를 포함하며,

상기 제1 비아는 제1 및 제2 하부 도전성 라인과 상기 제1 상부 도전성 라인을 접속시키며,

상기 제1 비아에 충전된 도전성 재료의 최하부 부분은, 상기 제1 및 제2 하부 도전성 라인의 최상부 부분보다 상기 반도체 기판에 더 가까운 것인 반도체 디바이스.

발명의 설명

기술 분야

[0001] 본 출원은 2015년 12월 28일자 출원된 미국 가특허출원 제62/272,020호에 대한 우선권을 청구하며, 그 전체가 여기에 참조 인용되었다.

[0002] 본 발명은 반도체 디바이스에 관한 것으로서, 특히 비아와 금속 배선 구조물 및 이들의 제조 방법에 관한 것이다.

배경 기술

[0003] 반도체 산업이 더 높은 디바이스 밀도, 더 높은 성능, 및 더 낮은 비용을 추구하여 나노미터 기술 공정 노드로 진행함에 따라, 제조와 설계 이슈 모두로부터의 과제는 상부 배선과 하부 배선을 접속하는 금속 배선 및 비아의 더욱 밀집된 배치의 발전으로 나타났다. 특히, 비아 및 금속 배선의 치수가 더 작아짐에 따라, 콘택트 저항이 더 커지며, 전자 이동(electromigration)이 더 심해진다. 따라서 고밀도 비아 및 금속 배선 구조물을 제조하기 위한 개선된 디바이스 및 방법이 요망되고 있다.

[0004] 본 발명은 첨부된 도면과 함께 읽혀질 때 이하의 상세한 설명으로부터 가장 잘 이해된다. 본 산업에서의 표준 관행에 따라, 다양한 특징부는 축적대로 도시되지 않았으며 단지 도시 목적을 위해서만 사용되는 것이 강조된다. 실제로, 다양한 특징부의 치수는 논의의 명확함을 위해 임의로 증가되거나 또는 감소될 수 있다.

도면의 간단한 설명

[0005] 도 1a는 본 발명의 일 실시예에 따른 예시적인 레이아웃 구조물이며, 도 1b는 도 1a의 선 X I-X I 에 대응하는 반도체 디바이스의 예시적인 횡단면도이다.

도 2a는 본 발명의 일 실시예에 따른 반도체 디바이스를 제조하는 방법을 도시한 예시적인 흐름도이며, 도 2b는 2개의 별도의 패터닝 동작을 도시한 개념적인 도면을 도시하고 있다.

도 3a-3d는 본 발명의 다양한 양태에 따른 예시적인 레이아웃 구조물이다.

도 4는 본 발명의 일 실시예에 따른 반도체 디바이스의 예시적인 평면도를 도시하고 있다.

도 5-8은 본 발명의 일 실시예에 따른 다양한 제조 단계에서 반도체 디바이스의 예시적인 횡단면도를 도시하고

있다.

발명을 실시하기 위한 구체적인 내용

- [0006] 이하의 기재는 본 발명의 상이한 특징을 실시하기 위해 많은 상이한 실시예 또는 예를 제공한다는 것을 인식해야 한다. 본 발명을 간략화하기 위해 부품 및 배치의 특정한 예가 이하에 기재된다. 물론, 이들은 단지 예에 불과하며, 또한 제한하는 것으로 의도되지는 않는다. 예를 들어, 이어지는 기재에 있어서 제2 특징부 위에 또는 제2 특징부 상에 제1 특징부의 형성은 제1 및 제2 특징부가 직접 접촉하여 형성되는 실시예를 포함할 수 있으며, 또한 추가적인 특징부가 제1 특징부와 제2 특징부 사이에 형성될 수 있는 실시예를 포함할 수도 있으므로, 상기 제1 및 제2 특징부가 직접 접촉하지 않을 수 있다. 또한, 본 발명은 다양한 예에서 도면부호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간단함 및 명확함을 위한 것이며, 또한 그 자체가 논의되는 다양한 실시예 및/또는 구성 사이의 관련성을 나타내지는 않는다.
- [0007] 도 1a는 본 발명의 일 실시예에 따른 예시적인 레이아웃 구조물이며, 또한 도 1b는 도 1a의 선 X I-X I에 대응하는 반도체 디바이스의 예시적인 횡단면도이다.
- [0008] 도 1a에 있어서, 반도체 기판(도시되지 않음) 위에 배치되는 하부 도전성 라인(10, 11)은 Y 방향으로 연장하며, 또한 X 방향으로 서로 평행하게 배치된다. 일 실시예에 있어서, 상기 하부 도전성 라인(10, 11)은 X 방향으로 피치(P0)로 배치되며, 다른 실시예에서 상기 하부 도전성 라인(10, 11)은 다양한 피치로 배치된다.
- [0009] 상기 하부 도전성 라인(10, 11)은 금속 배선 또는 트랜지스터의 게이트 전극이나 소스/드레인 전극, 또는 그 임의의 조합물일 수 있으며, 또한 예를 들어 알루미늄, 알루미늄 합금, 구리, 구리 합금, 니켈, 니켈 합금, 티타늄, 티타늄 합금, 탄탈륨, 탄탈륨 합금, 텅스텐, 텅스텐 합금, 주석, 주석 합금, 은, 은 합금, 금, 금 합금, 및 그 조합물과 같은 도전성 재료의 하나 또는 그 이상의 층으로 제조될 수 있다. 일부 실시예에 있어서, 상기 하부 도전성 라인(10, 11)은 폴리실리콘, 결정 실리콘, SiGe, 또는 게르마늄과 같은 반도체 재료로 제조된다.
- [0010] 제1 상부 도전성 라인(20) 및 제2 상부 도전성 라인(25)을 포함하는 상부 도전성 라인은, 그 사이에 절연(유전체) 재료의 하나 또는 그 이상의 층을 구비한 하부 도전성 라인 위에 배치된다. 상기 상부 도전성 라인은 예를 들어, 알루미늄, 알루미늄 합금, 구리, 구리 합금, 니켈, 니켈 합금, 티타늄, 티타늄 합금, 탄탈륨, 탄탈륨 합금, 텅스텐, 텅스텐 합금, 주석, 주석 합금, 은, 은 합금, 금, 금 합금, 및 그 조합물과 같은 도전성 재료의 하나 또는 그 이상의 층으로 제조된다.
- [0011] 일부 실시예에 있어서, 제1 상부 도전성 라인(20)은 X 방향으로 연장하고 또한 피치(P2)로 서로 평행하게 배치되며, 제2 상부 도전성 라인(25) 또한 X 방향으로 연장하고 또한 피치(P2)로 서로 평행하게 배치된다. 각각의 제1 상부 도전성 라인 및 제2 상부 도전성 라인은 Y 방향으로 교호하여 배치되고, 상부 도전성 라인은 전체적으로 피치(P1)로 배치되며, 여기서 $P2 = 2 \times P1$ 이다.
- [0012] 도 1a에는 비아(30)도 배치되어 있다. 상기 비아(30)는 하부 도전성 라인 중 적어도 2개의 라인(10, 11)과 상기 상부 도전성 라인 중 하나의 라인[예를 들어, 제1 상부 도전성 라인(20)]을 접속시킨다. 상기 비아(30)는 알루미늄, 알루미늄 합금, 구리, 구리 합금, 니켈, 니켈 합금, 티타늄, 티타늄 합금, 탄탈륨, 탄탈륨 합금, 텅스텐, 텅스텐 합금, 주석, 주석 합금, 은, 은 합금, 금, 금 합금, 및 그 조합물과 같은 도전성 재료의 하나 또는 그 이상의 층으로 충전된다. 비아를 위한 재료는 하부 도전성 라인 및/또는 상부 도전성 라인을 위한 재료와 동일하거나 또는 상이할 수 있다.
- [0013] 일부 실시예에 있어서, 평면도에서, X 방향으로 비아(30)의 길이는 약 25 nm 내지 약 75 nm 의 범위이며, Y 방향으로 비아(30)의 폭은 약 10 nm 내지 약 30 nm 의 범위이다.
- [0014] 제1 상부 도전성 라인(20) 및 제2 상부 도전성 라인(25)은 동일한 단계의 패터닝 공정(예를 들어, 리소그래피 및 에칭)에 의해서가 아니라 상이한 단계의 패터닝 공정에 의해 제조된다. 상기 패터닝 조건(예를 들어, 리소그래피 및/또는 에칭을 위한 레시피)은 제1 상부 도전성 라인(20) 및 제2 상부 도전성 라인(25)과 동일하거나 또는 서로 상이할 수 있음을 인식해야 한다.
- [0015] 도 1b의 횡단면도에 있어서, 하부 도전성 라인(10, 11)은 제1 절연층(40)에 형성되어 매립되며, 비아(30)는 제2 절연층(50)에 형성되어 매립된다. 또한, 일부 실시예에 있어서, 에칭 정지층으로서 기능하는 제3 절연층(60) 또한 제1 절연층(40)과 제2 절연층(50) 사이에 배치된다.
- [0016] 상기 제1 절연층(40) 및 제2 절연층(50)은 실리콘 산화물계 재료, 실리콘 질화물계 재료, 불소-도핑된 규산염

유리(fluorine-doped silicate glass)(FSG), 붕소-불소-도핑된 규산염 유리(boron-fluorine-doped silicate glass)(BPSG), 및 로우-K 유전체 재료와 같은, 절연 재료의 하나 또는 그 이상의 층으로 각각 제조된다. 일 실시예에 있어서, 실리콘-산화물계 재료의 하나 또는 그 이상의 층은, 제1 절연층(40) 및 제2 절연층(50)으로서 사용된다.

- [0017] 제3 절연층(60)은 실리콘 산화물계 재료, 실리콘 질화물계 재료, 붕소-도핑된 규산염 유리(FSG), 붕소-불소-도핑된 규산염 유리(BPSG), 및 로우-K 유전체 재료와 같은, 절연 재료의 하나 또는 그 이상의 층으로 제조된다. 일 실시예에 있어서, 실리콘-산화물계 재료의 하나 또는 그 이상의 층은, 제1 절연층(40) 및 제2 절연층(50)으로서 사용된다. 상기 제3 절연층(60)은, 제2 절연층(50)의 에칭 중 에칭 선택도가 충분히 높도록, 선택된다. 일 실시예에 있어서, 실리콘-질화물계 재료의 하나 또는 그 이상의 층이 제3 절연층(60)으로서 사용된다. 상기 제3 절연층(60)의 두께는 일부 실시예에서 약 1 nm 내지 약 30 nm 의 범위에 있다.
- [0018] 일부 실시예에 있어서, 상기 하부 도전성 라인은 제n(n 은 자연수) 금속 배선층에 배치된 금속 배선이며, 상부 도전성 라인은 제(n+1) 금속 배선층에 배치되는 금속 배선이다. 다른 실시예에 있어서, 하부 도전성 라인은 트랜지스터의 게이트에 접속된 라인 및 트랜지스터의 소스 또는 드레인에 접속된 라인을 포함하며, 이런 경우에, 상부 도전성 라인은 제1 금속 배선층에 배치되고 전력 공급 라인에 접속된 비아를 통해 이들 라인에 접속된다.
- [0019] 도 2a는 본 발명의 일 실시예에 따른 반도체 디바이스를 제조하는 방법을 도시한 예시적인 흐름도이다.
- [0020] 도 2a의 S1 에서, 하부 도전성 라인(10, 11)이 반도체 기판 위에 형성된다. 상기 하부 도전성 라인(10, 11)은 전도층의 증착(deposition) 및 전도층의 패터닝에 의해 형성될 수 있다. 하부 도전성 라인을 형성하기 위해, 다마신 공정이 사용될 수 있다. S2 에서, 하부 도전성 라인 위에 놓이는 층간 유전체(interlayer dielectric)(ILD) 층으로서 제1 절연층(예를 들어, 도면부호 40)은 예를 들어 화학 기상 증착(CVD)을 사용함으로써 형성된다.
- [0021] S3 에서, 제1 비아 및 제1 상부 도전성 라인이 형성된다. 상기 제1 비아 및 제1 상부 도전성 라인은 이중 다마신 공정을 사용함으로써 형성될 수 있으며, 상기 이중 다마신 공정에서 제2 절연층이 제1 절연층 위에 형성되고, 제2 절연층은 비아 및 상부 도전성 라인을 위한 개구를 형성하도록 패터닝되며, 상기 개구는 도전성 재료로 충전되고, 화학 기계적 폴리싱(CMP)과 같은 평탄화 공정이 수행된다. 여기서, 제1 개구의 형성에 있어서, 하부 도전성 라인 중 2개 라인의 적어도 일부가 적어도 하나의 개구에 노출될 수 있어, 적어도 하나의 비아가 상기 하부 도전성 라인 중 적어도 2개의 라인과 상기 제1 상부 도전성 라인 중 하나의 라인을 접속시킨다.
- [0022] 제1 비아 및 제1 상부 도전성 라인이 형성된 후, S4 에서, 제2 비아 및 제2 상부 도전성 라인이 예를 들어 이중 다마신 공정을 사용함으로써 형성된다. 여기서, 제2 개구의 형성에 있어서, 하부 도전성 라인 중 2개 라인의 적어도 일부가 적어도 하나의 개구에 노출될 수 있어, 적어도 하나의 비아는 상기 하부 도전성 라인 중 적어도 2개의 라인과 상기 제1 상부 도전성 라인 중 하나의 라인을 접속시킨다.
- [0023] 대안적으로, 다른 실시예에 있어서, 제1 비아 및 제2 비아가 별도의 패터닝 공정에 의해 제1 절연 재료로 형성된 후, 제2 절연층이 제1 및 제2 비아와 제1 절연층 위에 형성되고, 그 후 제1 상부 도전성 라인 및 제2 상부 도전성 라인이 별도의 패터닝 공정에 의해 형성된다.
- [0024] 두 경우에 있어서, 제1 개구의 형성 단계와 제2 개구의 형성 단계 중 적어도 하나에 있어서, 하부 도전성 라인 중 2개 라인의 적어도 일부는 적어도 하나의 개구에 노출되며, 상기 적어도 하나의 비아가 하부 도전성 라인 중 적어도 2개의 라인과 상기 제1 또는 제2 상부 도전성 라인 중 하나의 라인을 접속시킨다.
- [0025] 상기 제조 공정에 있어서, 제1 비아(그리고 제1 상부 도전성 라인) 및 제2 비아(그리고 제2 상부 도전성 라인)는, 리소그래피 및 건식 에칭을 포함하는 별도의 패터닝 공정에 의해 제조된다. 2개의 특징부(예를 들어, 비아 또는 라인) 사이의 근접성(최소 공간)은 리소그래피 공정의 해상도 한계치(R)에 의해 제한되고, 다중 패턴의 피치는 일반적으로 R 에 가깝게 설정된다.
- [0026] 복수 패턴을 제조하는데 오직 하나의 리소그래피 동작만 사용될 때, 패턴의 피치(P)는 R 에 가까우며, 그리고 R 보다 작을 수는 없다[도 2b(1) 참조]. 이와는 대조적으로, 2개의 별도의 리소그래피 동작이 사용될 때, 그리고 패턴이 서로 0.5 P 로 시프트되어 배치될 때[도 2b(2) 참조], 각각의 리소그래피 동작에서 패턴의 피치(P)는 R 에 더 가깝게 설정될 수 있다. 따라서 결과적인 패턴은 0.5 R 에 더 가까운 피치(P_R)를 가질 수 있다[도 2b(3) 참조]. 정렬 에러 또는 일부 공정 변화 때문에, 상기 결과적인 패턴은 정확하게 일정한 피치(P_R)를 가질 수 없을 수 있다는 것을 인식해야 한다. 이런 경우에, 상기 피치(P_R)의 변화(예를 들어, 10개의 측정 지점에 대해 3

σ)는 약 0.1 P 와 동일하거나 또는 이 보다 작을 수 있고, 상기 피치(P_R)의 변화가 약 0.1 P 와 동일하거나 또는 이 보다 작다면, 결과적인 패턴은 실질적으로 동일한 피치를 갖는다.

[0027] 도 3a-3d는 본 발명의 다양한 양태에 따른 예시적인 레이아웃 구조물을 도시하고 있다. 이들 도면에 있어서, 제1 비아(102, 104, 106, 108, 110, 112, 114)는 제2 비아(202, 204, 206, 208, 210, 212, 214)로부터 별도의 패턴링 동작에 의해 형성된다. 이들 도면에 도시된 바와 같이, 제1 및/또는 제2 비아 중 적어도 하나는 하부 도전성 라인(10) 중 3개 또는 그 이상을 하나의 상부 도전성 라인에 접속한다. 또한, 제1 비아의 2개 또는 그 이상의 비아 또는 제2 비아의 2개 또는 그 이상의 비아는, 하나의 제1 상부 도전성 라인 또는 하나의 제2 상부 도전성 라인에 배치될 수 있다. 일 실시예에 있어서, 제1 및/또는 제2 비아 중 하나는 하부 도전성 라인 중 단지 하나의 라인과 상부 도전성 라인 중 단지 하나의 라인을 접속시킨다. 상부(또는 하부) 도전성 라인 중 적어도 하나는, 이하의 실시예에서 임의의 비아를 통해 하부(또는 상부) 도전성 라인에 접속되지 않는다.

[0028] 도 4는 본 발명의 일 실시예에 따른 반도체 디바이스의 예시적인 평면도를 도시하고 있다. 도 4에 있어서, 도시된 제1 및 제2 비아는 2개의 하부 도전성 라인(10)에 접속되는 모든 비아이다. 리소그래피 및 에칭 공정으로 인해, 본래의 디자인(300)이 직사각형이더라도, 제1 및 제2 비아의 형상은 세장형(elongated)이나 라운드형의 직사각형 또는 타원체로 된다. 진술한 바와 같이, 제1 비아 및 제2 비아는 별도의 패턴링 동작에 의해 형성된다. 따라서 공정 변화로 인해, 상기 제1 비아 및 제2 비아가 동일한 디자인 패턴(300)을 갖더라도, 제1 비아(100)의 평균 폭은 제2 비아(200)의 평균 폭과는 상이하다. 상기 폭(W_1 , W_2)은 비아의 중심에서 측정되며, 또한 평균 폭은 스캐닝 전자 현미경(scanning electron microscope)(SEM)의 동일한 시야 내에 있을 수 있는 5개 보다 많은 비아로부터 계산된다. 제1 비아(100)의 평균 폭과 제2 비아(200)의 평균 폭 사이의 차이가 0.1 W(상기 W 는 모든 비아의 평균 폭이다)와 동일하거나 또는 이 보다 클 때, 제1 비아(100)의 평균 폭은 제2 비아(200)의 평균 폭과는 상이하다고 판정된다.

[0029] 도 5-8은 본 발명의 일 실시예에 따른 다양한 제조 단계에서 반도체 디바이스의 예시적인 횡단면도를 도시하고 있다. 도 5-8은 이중 다마신 공정을 사용하여 제1 비아 및 제1 상부 도전성 라인(또는 제2 비아 및 제2 상부 도전성 라인)을 제조하기 위한 동작을 도시하고 있다. 이들 도면에 있어서, 간략화를 위해 일부 층/특정부가 생략되었다. 이들 도면에 도시된 공정의 전에, 중에, 및 후에 추가적인 동작이 제공될 수 있으며, 또한 방법의 추가적인 실시예를 위해 아래에 기재되는 동작 중 일부가 교체되거나 또는 제거될 수 있음을 인식해야 한다. 동작/공정의 순서는 호환 가능할 수 있다.

[0030] 도 5에 도시된 바와 같이, 하부 도전성 라인(10, 11)은 반도체 기판(1) 위에 배치된다. 절연층(2)은 상기 기판(1)과 하부 도전성 라인(10, 11) 사이에 배치될 수 있다. 도 6 및 7에서는 상기 기판(1) 및 절연층(2)이 생략되었다.

[0031] 제2 절연층(50)은 제1 절연층(40) 및 하부 도전성 라인(10, 11) 위에 형성된다. 도 5에 도시된 바와 같이, 에칭 정지층(60)은 제1 및 제2 절연층 사이에 개재된다.

[0032] 도 6에 도시된 바와 같이, 비아를 위한 개구(70) 및 상부 도전성 라인을 위한 개구(75)는 예를 들어 리소그래피 및 건식 에칭 동작을 사용함으로써 제2 절연층(50)에 형성된다. 여기에서, 제2 절연층(50)의 에칭은 실질적으로 에칭 정지층(60)에서 정지된다.

[0033] 그 후, 도 7에 도시된 바와 같이, 상기 개구(70)의 바닥에 노출된 에칭 정지층(60)이 건식 및/또는 습식 에칭에 의해 제거된다. 에칭 동작 후 및/또는 금속 재료를 형성하기 전에 에칭 동작 및/또는 세정 동작으로 인해, 개구(70)의 바닥[즉, 제1 절연층(40)의 상면(45)]이 미세하게 에칭된다. 도 7에 도시된 하부 도전성 라인(10, 11)의 최상부 부분의 레벨로부터 상기 상면(45)의 최하부 부분에서 측정된 깊이(D1)는, 약 3 nm 내지 약 30 nm의 범위에 있다.

[0034] 이어서, 도 8에 도시된 바와 같이, 금속 재료의 하나 또는 그 이상의 층이 개구(70, 75)에 형성된다.

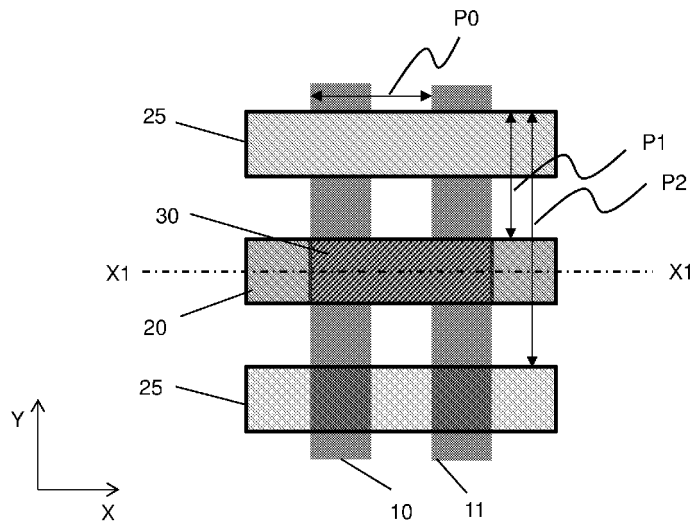
[0035] 도 8에 도시된 바와 같이, 개구(70)(비아)에 충전된 도전성 재료의 최하부 부분은 하부 도전성 라인(10)의 최상부 부분 보다 반도체 기판(1)에 더 가깝다. 달리 말하면, 기판(1)의 표면과 하부 도전성 라인(10)의 최상부 부분 사이의 거리(D2)는, 기판(1)의 표면과 비아의 최하부 부분 사이의 거리(D3) 보다 더 크다. 도 8에 도시된 바와 같이, 비아의 최하부 부분은 비아에 접속된 2개의 인접한 하부 도전성 라인 사이에 위치된다. 또한, 상기 에칭 정지층(60)은 비아에 접속된 2개의 인접한 하부 도전성 라인 사이에서 비아 아래로는 존재하지 않는다. 상기 하부 도전성 라인(10)의 최상부 부분은, 에칭 정지층(60) 또는 제2 절연층(50)에 의해 도포된 부분에 위치

된다.

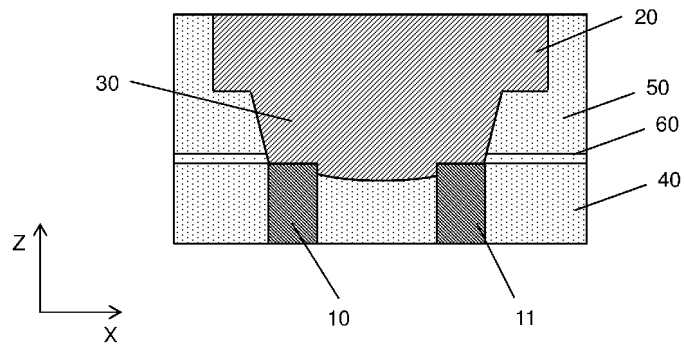
- [0036] 상기 실시예에 있어서, 제1 비아/상부 도전성 라인 및 제2 비아/상부 도전성 라인을 위해, 2개의 별도의 패터닝 동작이 사용된다. 그러나 비아 및 비아 및 상부 도전성 라인의 3개 또는 그 이상의 그룹을 위해 3개 또는 그 이상의 별도의 패터닝 동작을 사용하는 것이 가능하다.
- [0037] 여기에 기재된 다양한 실시예 또는 예는 현존의 기술에 대해 여러 이점을 제공한다. 예를 들어, 본 발명에 있어서, 하나의 비아가 2개 또는 그 이상의 하부 도전성 라인과 하나의 상부 도전성 라인을 접속시키기 때문에, 콘택트 저항이 감소될 수 있고, 또한 더 높은 설계 용통성이 달성될 수 있다. 또한, 다중 패터닝 동작을 사용함으로써, 더 높은 밀도의 배선/비아 구조물이 달성될 수 있다.
- [0038] 모든 이점이 여기에 필수적으로 기재되지는 않았으며, 모든 실시예 또는 예에 대해 특별한 이점이 요구되지도 않았으며, 또한 다른 실시예 또는 예가 상이한 이점을 제공할 수 있음을 인식해야 한다.
- [0039] 본 발명의 일 양태에 따라, 반도체 디바이스를 제조하기 위한 방법은 이하의 동작을 포함한다. 제1 방향으로 연장하는 복수의 하부 도전성 라인이 반도체 기판 위에 형성된다. 상기 복수의 하부 도전성 라인 위에 놓이는 절연층이 형성된다. 복수의 제1 비아는 상기 절연층에 제1 개구를 형성하고 그리고 상기 제1 개구를 도전성 재료로 충전함으로써 형성된다. 복수의 제2 비아는 절연층에 제2 개구를 형성하고 그리고 상기 제2 개구를 도전성 재료로 충전함으로써 형성된다. 복수의 제1 상부 도전성 라인이 형성된다. 상기 복수의 제1 상부 도전성 라인은 제1 방향과 교차하는 제2 방향으로 연장하며, 그리고 복수의 제1 비아에 접속된다. 복수의 제2 상부 도전성 라인이 형성된다. 상기 복수의 제2 상부 도전성 라인은 제2 방향으로 연장하며, 그리고 복수의 제2 비아에 접속된다. 상기 복수의 제1 비아를 형성하는 단계 및 복수의 제2 비아를 형성하는 단계는, 별도의 패터닝 동작에 의해 수행된다. 제1 개구를 형성하는 단계와 제2 개구를 형성하는 단계 중 적어도 하나에 있어서, 상기 복수의 하부 도전성 라인 중 2개의 라인의 적어도 일부가 적어도 하나의 개구에 노출되어, 적어도 하나의 비아는 복수의 하부 도전성 라인 중 적어도 2개의 라인과 상기 복수의 제1 또는 제2 상부 도전성 라인 중 하나의 라인을 접속시킨다. 상기 복수의 제1 상부 도전성 라인 및 복수의 제2 상부 도전성 라인은 제1 방향으로 제1 피치로 교호하여 배치된다. 상기 복수의 제1 비아는 제1 방향으로 제2 피치로 배치되며, 상기 제2 피치는 제1 피치의 2배이다.
- [0040] 본 발명의 다른 양태에 따라, 반도체 디바이스는 반도체 기판 위에 놓이고 또한 제1 방향으로 연장하는 복수의 하부 도전성 라인, 상기 복수의 하부 도전성 라인 위에 놓이는 절연층, 상기 절연층 및 제1 도전성 라인 위에 놓이고 또한 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 상부 도전성 라인, 및 상기 절연층에 형성되어 도전성 재료로 충전되는 복수의 비아를 포함한다. 상기 복수의 상부 도전성 라인은 제1 방향으로 제1 피치로 배치된다. 복수의 비아는 제1 비아 및 제2 비아를 포함한다. 제1 비아 중 적어도 하나의 비아는 복수의 하부 도전성 라인 중 적어도 2개의 라인과 상기 복수의 상부 도전성 라인 중 하나의 라인을 접속시킨다. 제1 비아의 제1 방향으로의 평균 폭은, 제2 비아의 제1 방향으로의 평균 폭과는 상이하다.
- [0041] 본 발명의 다른 양태에 따라, 반도체 디바이스는 반도체 기판 위에 놓이고 또한 제1 방향으로 연장하는 복수의 하부 도전성 라인, 상기 복수의 하부 도전성 라인 위에 놓이는 제1 절연층, 상기 제1 절연층 및 제1 도전성 라인 위에 놓이고 또한 제2 방향으로 연장하는 복수의 상부 도전성 라인, 및 상기 절연층에 형성되어 도전성 라인으로 충전되는 복수의 비아를 포함하며, 상기 복수의 하부 도전성 라인은 제1 하부 도전성 라인 및 상기 제1 방향과 교차하는 제2 방향으로 상기 제1 하부 도전성 라인에 인접한 제2 하부 도전성 라인을 포함하며, 상기 복수의 상부 도전성 라인은 제1 상부 도전성 라인을 포함하며, 상기 복수의 비아는 제1 비아를 포함한다. 상기 제1 비아는 제1 및 제2 하부 도전성 라인과 제1 상부 도전성 라인을 접속시킨다. 제1 비아에 충전되는 도전성 재료의 최하부 부분은, 제1 및 제2 하부 도전성 라인의 최상부 부분 보다 반도체 기판에 더 가깝다.
- [0042] 전술한 바는 본 기술분야의 숙련자가 본 발명의 양태를 더 잘 이해할 수 있도록 여러 실시예 또는 예의 특징을 요약하고 있다. 본 기술분야의 숙련자라면 여기에 도입된 실시예 또는 예의 동일한 목적을 실시하기 위해 및/또는 동일한 이점을 달성하기 위해, 다른 공정 및 구조물을 설계하거나 또는 수정하기 위한 기반으로 본 발명을 용이하게 사용할 수 있음을 인식해야 한다. 또한, 본 기술분야의 숙련자라면 이런 등가의 구성이 본 발명의 정신 및 범주로부터 이탈하지 않으며 또한 본 발명의 정신 및 범주로부터의 이탈 없이 여기에 다양한 변경, 치환, 교체를 이룰 수 있음을 인식해야 한다.

도면

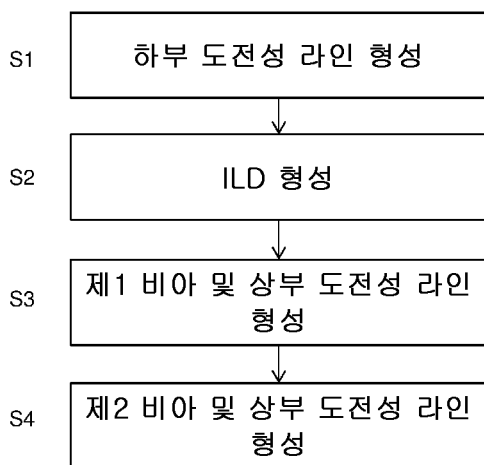
도면1a



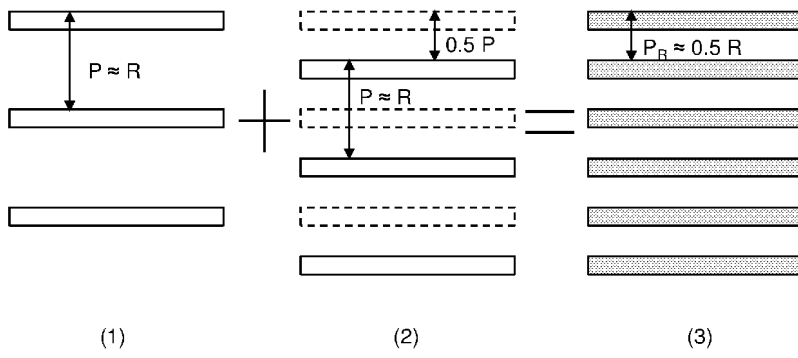
도면1b



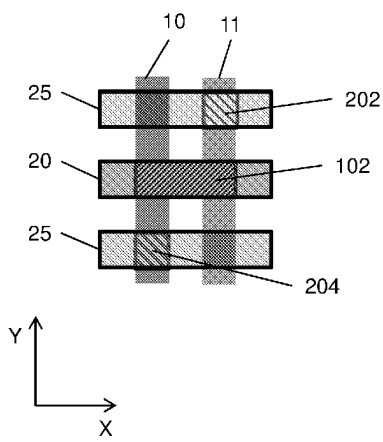
도면2a



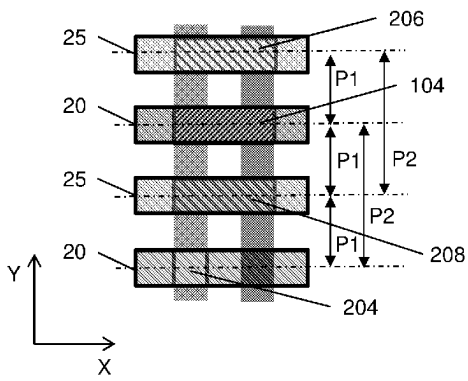
도면2b



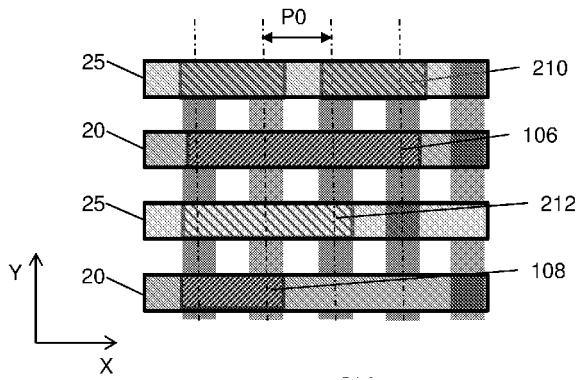
도면3a



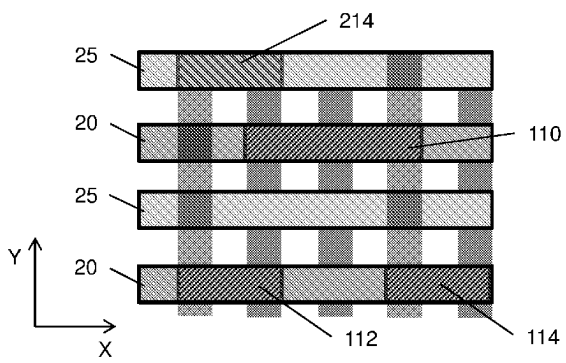
도면3b



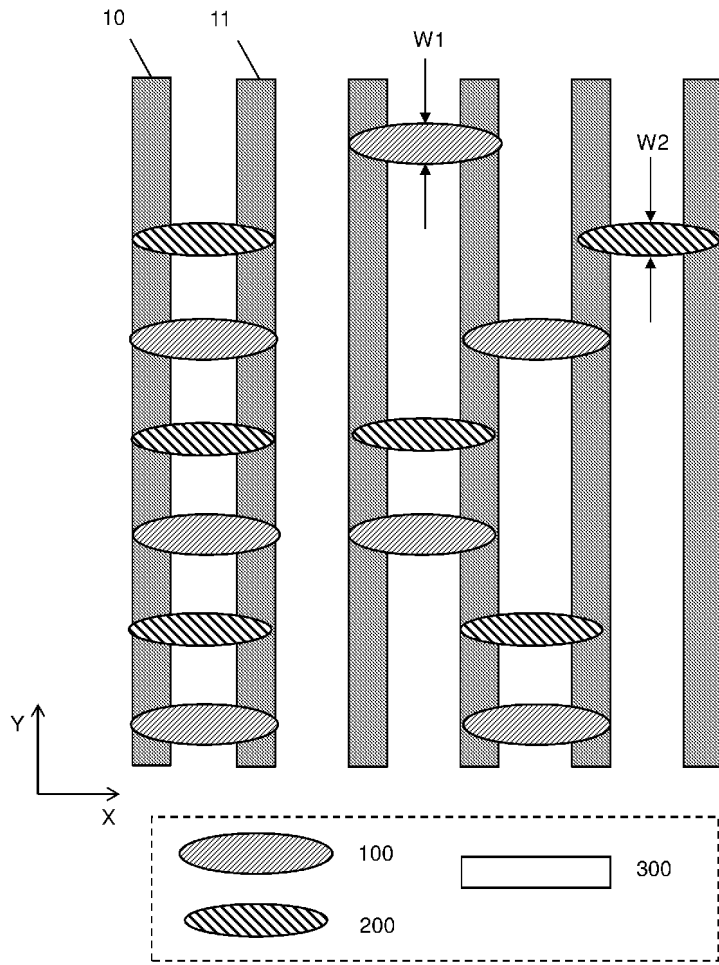
도면3c



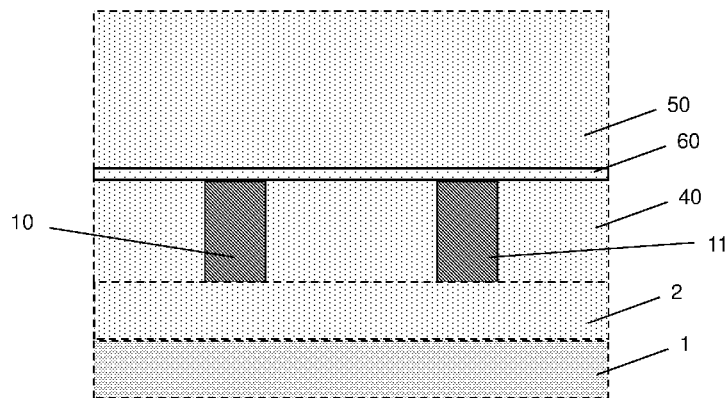
도면3d



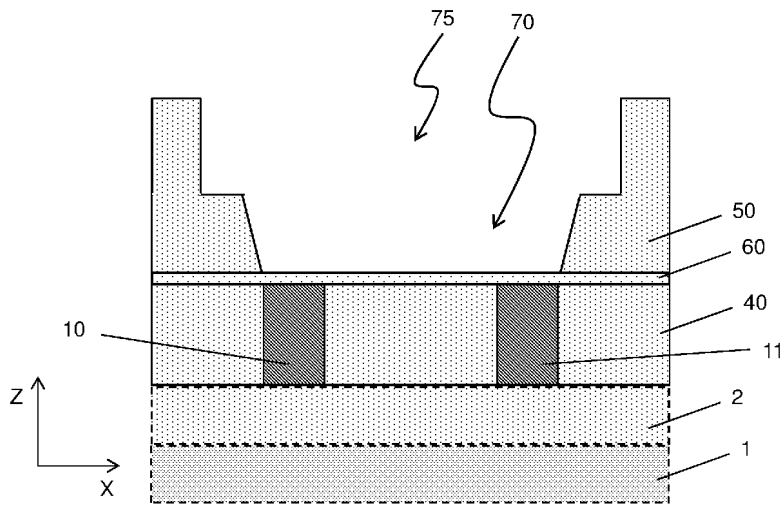
도면4



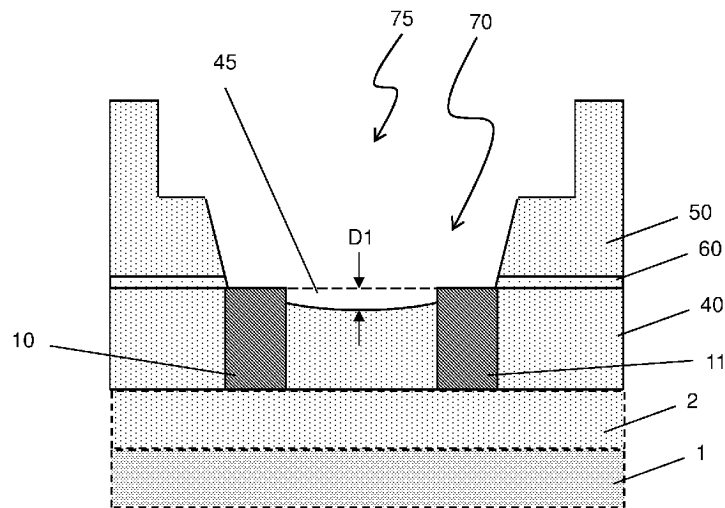
도면5



도면6



도면7



도면8

