

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204480

(P2012-204480A)

(43) 公開日 平成24年10月22日(2012. 10. 22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/872 (2006.01)	H O 1 L 29/48 F	4 M 1 O 4
H O 1 L 29/47 (2006.01)	H O 1 L 29/78 6 5 2 L	
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 H	
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 5 7 A	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 8 A	
審査請求 未請求 請求項の数 21 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2011-66018 (P2011-66018)
(22) 出願日 平成23年3月24日 (2011. 3. 24)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108062
弁理士 日向寺 雅彦
(72) 発明者 大田 剛志
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 新井 雅俊
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 鈴木 誠和子
東京都港区芝浦一丁目1番1号 株式会社
東芝内

最終頁に続く

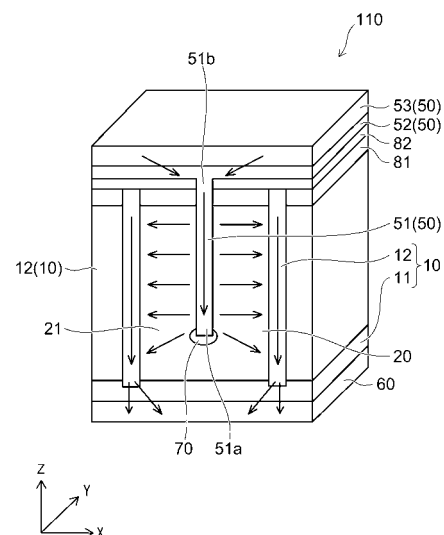
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】素子面積を増加させずに順電圧降下を低減することができる半導体装置及びその製造方法を提供する。

【解決手段】実施形態に係る半導体装置は、第1半導体領域と、第1電極と、第2半導体領域と、絶縁領域と、第2電極と、を備える。第1半導体領域は、第1部分と、第1主面上において第1主面に直交する第1方向に延在した第2部分と、を有する第1導電形の半導体領域である。第1電極は、第2部分と対向して設けられた金属領域である第3部分と、第3部分と、第2部分と、をむすぶ第2方向に延在し、かつ第1方向に延在する第4部分と、を有する。第2半導体領域は、第2部分と、第3部分と、のあいだに設けられ、第1半導体領域よりも不純物濃度の低い第1濃度領域を有し、第3部分とショットキー接合した第1導電形の半導体領域である。絶縁領域は、第4部分と、第2半導体領域と、のあいだに設けられる。第2電極は、第1部分と導通する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第 1 主面を含む第 1 部分と、前記第 1 主面上において前記第 1 主面に直交する第 1 方向に延在した第 2 部分と、を有する第 1 導電形の第 1 半導体領域と、

前記第 2 部分と対向して設けられた金属領域である第 3 部分と、前記第 3 部分と、前記第 2 部分と、をむすぶ第 2 方向に延在し、かつ前記第 1 方向に延在する第 4 部分と、を有し、前記第 1 半導体領域とは離間して設けられた第 1 電極と、

前記第 2 部分と、前記第 3 部分と、のあいだに設けられ、前記第 1 半導体領域よりも不純物濃度の低い第 1 濃度領域を有し、前記第 3 部分とショットキー接合した第 1 導電形の第 2 半導体領域と、

前記第 4 部分と、前記第 2 半導体領域と、のあいだに設けられた絶縁領域と、

前記第 1 部分の前記第 1 主面とは反対側に設けられ、前記第 1 部分と導通する第 2 電極と、

を備えたことを特徴とする半導体装置。

【請求項 2】

第 1 主面を含む第 1 部分と、前記第 1 主面上において前記第 1 主面に直交する第 1 方向に延在した第 2 部分と、を有する第 1 導電形の第 1 半導体領域と、

前記第 2 部分と対向して設けられた金属領域である第 3 部分を有し、前記第 1 半導体領域とは離間して設けられた第 1 電極と、

前記第 2 部分と、前記第 3 部分と、のあいだに設けられ、前記第 1 半導体領域よりも不純物濃度の低い第 1 濃度領域を有し、前記第 3 部分とショットキー接合した第 1 導電形の第 2 半導体領域と、

前記第 1 部分の前記第 1 主面とは反対側に設けられ、前記第 1 部分と導通する第 2 電極と、

を備えたことを特徴とする半導体装置。

【請求項 3】

2 つの前記第 2 部分を有し、

前記第 3 部分は、前記 2 つの第 2 部分のあいだに配置されたことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記第 3 部分と、前記第 1 部分と、のあいだに設けられた電界緩和領域をさらに備えたことを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記第 3 部分と、前記第 2 半導体領域と、の界面に設けられた電界緩和領域をさらに備えたことを特徴とする請求項 2 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記電界緩和領域は、第 2 導電形の半導体領域であることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 7】

前記電界緩和領域は、前記 2 半導体領域よりも不純物濃度が低い第 1 導電形の半導体領域であることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 8】

前記第 3 部分と、前記第 2 部分と、をむすぶ第 2 方向に延在し、かつ前記第 1 方向に延在し、前記第 1 電極と導通する第 2 導電形の第 3 半導体領域をさらに備えたことを特徴とする請求項 2 ～ 7 のいずれか 1 つに記載の半導体装置。

【請求項 9】

前記第 3 半導体領域は、前記第 3 部分と離間して設けられたことを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

前記第 1 電極は、前記第 3 部分と、前記第 2 部分と、をむすぶ第 2 方向に延在し、かつ

10

20

30

40

50

前記第 1 方向に延在する第 4 部分をさらに有し、

前記第 4 部分と、前記第 2 半導体領域と、のあいだには、絶縁領域が設けられたことを特徴とする請求項 2 ～ 7 のいずれか 1 つに記載の半導体装置。

【請求項 1 1】

前記第 4 部分及び前記絶縁領域は、前記第 3 部分と離間して設けられたことを特徴とする請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記第 4 部分及び前記絶縁領域は、前記第 3 部分から前記第 2 部分に達するまで設けられ、

前記絶縁領域の前記第 2 部分と重なる部分の近傍の領域での膜厚は、他の領域での膜厚よりも厚いことを特徴とする請求項 1 1 記載の半導体装置。 10

【請求項 1 3】

前記第 2 半導体領域の前記絶縁領域の側に第 2 導電形の第 4 半導体領域が設けられたことを特徴とする請求項 1 1 または 1 2 に記載の半導体装置。

【請求項 1 4】

前記第 2 半導体領域は、前記第 3 部分と、前記第 1 濃度領域と、のあいだに設けられた第 2 濃度領域をさらに有し、

前記第 2 濃度領域は、前記第 1 濃度領域よりも不純物濃度が低いことを特徴とする請求項 2 ～ 1 3 のいずれか 1 つに記載の半導体装置。

【請求項 1 5】

前記第 2 半導体領域は、前記第 3 部分と、前記第 1 濃度領域と、のあいだに設けられた第 3 濃度領域をさらに有し、

前記第 3 濃度領域は、前記第 1 濃度領域よりも不純物濃度が高いことを特徴とする請求項 2 ～ 1 3 のいずれか 1 つに記載の半導体装置。 20

【請求項 1 6】

第 1 導電形の第 1 半導体領域のうちの第 1 部分の第 1 主面上に、前記第 1 半導体領域よりも不純物濃度の低い領域を有する第 1 導電形の第 2 半導体領域を形成する工程と、

前記第 2 半導体領域から前記第 1 部分の途中まで前記第 1 主面に直交する第 1 方向に第 1 の溝を形成し、前記第 1 の溝内に第 1 半導体領域のうちの第 2 部分を形成する工程と、

前記第 2 半導体領域に、前記第 2 部分と対向した第 2 の溝を形成し、前記第 2 の溝内に第 1 電極の金属領域である第 3 部分を形成し、前記第 3 部分と前記第 2 半導体領域とをショットキー接合させる工程と、 30

を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 7】

前記第 2 の溝に向けてボロンをイオン注入し、熱拡散することで、電界緩和領域を形成することを特徴とする請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 8】

第 1 導電形の第 1 半導体領域のうち、第 1 主面を含む第 1 部分と、前記第 1 主面上において前記第 1 主面に直交する第 1 方向に延在した第 2 部分と、を形成する工程と、

前記第 1 主面上の前記第 2 部分の隣りに、前記第 1 半導体領域よりも不純物濃度の低い領域を有する第 2 半導体領域を形成する工程と、 40

前記第 2 半導体領域に、前記第 2 部分と対向した溝を形成し、前記溝内に第 1 電極の金属領域である第 3 部分を形成し、前記第 3 部分と前記第 2 半導体領域とをショットキー接合させる工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 9】

前記溝に向けてボロンをイオン注入し、熱拡散することで、電界緩和領域を形成することを特徴とする請求項 1 8 記載の半導体装置の製造方法。

【請求項 2 0】

第 1 導電形の第 1 半導体領域のうち、第 1 主面を含む第 1 部分と、前記第 1 主面上にお 50

いて前記第 1 主面に直交する第 1 方向に延在した第 2 部分と、前記第 1 主面上の前記第 2 部分の隣りに配置され、前記第 1 半導体領域よりも不純物濃度の低い領域を有する第 2 半導体領域と、を形成する工程と、

前記第 2 半導体領域に、前記第 2 部分と直交する方向に第 1 の溝を形成し、前記第 1 の溝内に第 2 導電形の第 3 半導体領域を形成する工程と、

前記第 2 半導体領域及び前記第 3 半導体領域に、前記第 2 部分と対向した第 2 の溝を形成し、前記第 2 の溝内に第 1 電極の金属領域である第 3 部分を形成し、前記第 3 部分と前記第 2 半導体領域とをショットキー接合させる工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 2 1】

第 1 導電形の第 1 半導体領域のうち、第 1 主面を含む第 1 部分と、前記第 1 主面上において前記第 1 主面に直交する第 1 方向に延在した第 2 部分と、前記第 1 主面上の前記第 2 部分の隣りに配置され、前記第 1 半導体領域よりも不純物濃度の低い領域を有する第 2 半導体領域と、を形成する工程と、

前記第 2 半導体領域に、前記第 2 部分と直交する方向に第 1 の溝を形成し、前記第 1 の溝の内壁に絶縁膜を形成し、前記第 1 の溝内に導電材料を埋め込む工程と、

前記第 2 半導体領域、前記絶縁膜及び前記導電材料に、前記第 2 部分と対向した第 2 の溝を形成し、前記第 2 の溝内に第 1 電極の金属領域である第 3 部分を形成し、前記第 3 部分と前記第 2 半導体領域とをショットキー接合させる工程と、

を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0 0 0 2】

順方向電圧 - リーク電流特性のトレードオフを改善する半導体装置として、ショットキーバリア接合と p n 接合とを混在させた構成（例えば、M P S（Merged PIN Schottky Rectifier））がある。M P S は、n 形半導体領域内に形成された複数の p 形半導体領域と、n 形半導体領域及び p 形半導体領域に接するショットキーバリアメタルと、を有する。M P S において逆電圧を印加すると、各 p 形半導体領域から広がる空乏層どうしが低電圧でピンチオフする。これにより、ショットキーバリア接合部の電界上昇を抑制して、リーク電流を抑制する。このような半導体装置においては、素子面積を増加させずにさらなる順電圧降下を低減することが望まれる。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 1 0 - 1 4 7 3 9 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

本発明の実施形態は、素子面積を増加させずに順電圧降下を低減することができる半導体装置及びその製造方法を提供する。

【課題を解決するための手段】

【0 0 0 5】

実施形態に係る半導体装置は、第 1 半導体領域と、第 1 電極と、第 2 半導体領域と、絶縁領域と、第 2 電極と、を備える。

第 1 半導体領域は、第 1 主面を含む第 1 部分と、第 1 主面上において第 1 主面に直交する第 1 方向に延在した第 2 部分と、を有する第 1 導電形の半導体領域である。

第 1 電極は、第 2 部分と対向して設けられた金属領域である第 3 部分と、第 3 部分と、

10

20

30

40

50

第 2 部分と、をむすぶ第 2 方向に延在し、かつ第 1 方向に延在する第 4 部分と、を有する。第 1 電極は、第 1 半導体領域とは離間して設けられる。

第 2 半導体領域は、第 2 部分と、第 3 部分と、のあいだに設けられ、第 1 半導体領域よりも不純物濃度の低い第 1 濃度領域を有し、第 3 部分とショットキー接合した第 1 導電形の半導体領域である。

絶縁領域は、第 4 部分と、第 2 半導体領域と、のあいだに設けられる。

第 2 電極は、第 1 部分の第 1 主面とは反対側に設けられ、第 1 部分と導通する。

【 0 0 0 6 】

また、他の実施形態に係る半導体装置の製造方法は、第 1 導電形の第 1 半導体領域のうちの第 1 部分の第 1 主面上に、前記第 1 半導体領域よりも不純物濃度の低い領域を有する第 1 導電形の第 2 半導体領域を形成する工程と、前記第 2 半導体領域から前記第 1 部分の途中まで前記第 1 主面に直交する第 1 方向に第 1 の溝を形成し、前記第 1 の溝内に第 1 半導体領域のうちの第 2 部分を形成する工程と、前記第 2 半導体領域に、前記第 2 部分と対向した第 2 の溝を形成し、前記第 2 の溝内に第 1 電極の金属領域である第 3 部分を形成し、前記第 3 部分と前記第 2 半導体領域とをショットキー接合させる工程と、を備える。

【 0 0 0 7 】

また、他の実施形態に係る半導体装置の製造方法は、第 1 導電形の第 1 半導体領域のうち、第 1 主面を含む第 1 部分と、前記第 1 主面上において前記第 1 主面に直交する第 1 方向に延在した第 2 部分と、を形成する工程と、前記第 1 主面上の前記第 2 部分の隣りに、前記第 1 半導体領域よりも不純物濃度の低い領域を有する第 2 半導体領域を形成する工程と、前記第 2 半導体領域に、前記第 2 部分と対向した溝を形成し、前記溝内に第 1 電極の金属領域である第 3 部分を形成し、前記第 3 部分と前記第 2 半導体領域とをショットキー接合させる工程と、を備える。

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 実施形態に係る半導体装置の構成を例示する模式的斜視図である。

【 図 2 】 半導体装置の一部の構成を例示する模式的斜視図である。

【 図 3 】 他の例の半導体装置を例示する模式的斜視図である。

【 図 4 】 実施形態に係る半導体装置の構成を例示する模式的斜視図である。

【 図 5 】 実施形態に係る半導体装置の構成を例示する模式的斜視図である。

【 図 6 】 実施形態に係る半導体装置の構成を例示する模式的斜視図である。

【 図 7 】 実施形態に係る半導体装置の構成を例示する模式的平面図である。

【 図 8 】 実施形態に係る半導体装置の構成を例示する模式的平面図である。

【 図 9 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 0 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 1 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 2 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 3 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 4 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 5 】 半導体装置の製造方法を説明する模式的斜視図である。

【 図 1 6 】 半導体装置の製造方法を説明する模式的斜視図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

以下、本発明の実施形態を図に基づき説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。

また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

また、以下の説明では、一例として、第 1 導電形を n 形、第 2 導電形を p 形とした具体

10

20

30

40

50

例を挙げる。

導電形の表記に付された + は、+ が付されていない表記よりも不純物濃度が相対的に高いことを表す。

【 0 0 1 0 】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係る半導体装置の構成を例示する模式的斜視図である。

図 2 は、図 1 に例示した半導体装置の一部の構成を例示する模式的斜視図である。

本実施形態に係る半導体装置 1 1 0 は、ショットキーバリアダイオードである。

図 1 及び図 2 に表したように、第 1 の実施形態に係る半導体装置 1 1 0 は、第 1 導電形の第 1 半導体領域 1 0 と、第 1 導電形の第 2 半導体領域 2 0 と、第 1 電極 5 0 と、第 2 電極 6 0 と、を備える。

10

【 0 0 1 1 】

第 1 半導体領域 1 0 は、第 1 主面 1 0 a を含む第 1 部分 1 1 と、第 1 主面 1 0 a 上に於いて第 1 主面 1 0 a に直交する第 1 方向に延在した第 2 部分 1 2 と、を有する。

ここで、本実施形態では、第 1 主面 1 0 a と直交する第 1 方向を Z 軸方向、Z 軸方向、Z 軸方向と直交する方向の 1 つを X 軸方向 (第 2 方向)、Z 軸方向及び X 軸方向と直交する方向を Y 軸方向 (第 3 方向) ということにする。また、第 1 部分 1 1 の第 1 主面 1 0 a の側を上 (上側)、その反対を下 (下側)、という場合もある。

【 0 0 1 2 】

第 2 部分 1 2 は、第 1 部分 1 1 の第 1 主面 1 0 a 上に柱状 (ピラー状) に設けられている。第 1 主面 1 0 a 上には、必要に応じて複数の第 2 部分 1 2 が設けられている。図 1 及び図 2 では、第 1 主面 1 0 a 上の 2 つの第 2 部分 1 2 を例示している。

20

第 1 部分 1 1 は、例えば n⁺ 形の半導体基板である。また、第 2 部分 1 2 は、例えば n⁺ 形の半導体ピラーである。

第 2 部分 1 2 は、Z 軸方向に延在するとともに、Y 軸方向にも延在する。図 1 及び図 2 に例示した 2 つの第 2 部分 1 2 は、X 軸方向に所定の間隔で配置される。

【 0 0 1 3 】

第 1 電極 5 0 は、第 3 部分 5 1 を有する。第 3 部分 5 1 は、第 2 部分 1 2 と対向して設けられた金属領域である。すなわち、第 3 部分 5 1 は、Z 軸方向に延在するとともに、Y 軸方向にも延在する。これにより、第 3 部分 5 1 は、所定の間隔をあけて第 2 部分 1 2 と対向配置される。第 3 部分 5 1 を有する第 1 電極 5 0 は、第 1 半導体領域 1 0 と離間して設けられる。

30

図 1 及び図 2 に例示した半導体装置 1 1 0 では、2 つの第 2 部分 1 2 のあいだ (例えば、中央) に第 3 部分 5 1 が配置される。これにより、第 3 部分 5 1 は、一方の第 2 部分 1 2 と、他方の第 2 部分 1 2 と、それぞれ対向して設けられる。

【 0 0 1 4 】

第 3 部分 5 1 の下側の端部 5 1 a は、第 1 部分 1 1 の第 1 主面 1 0 a とは離間している。図 1 に表したように、本実施形態の半導体装置 1 1 0 では、第 3 部分 5 1 の上側の端部 5 1 b に中間電極 5 2 が接続される。中間電極 5 2 は、第 3 部分 5 1 と導通し、X - Y 平面に沿って設けられている。中間電極 5 2 と、第 2 部分 1 2 と、のあいだには、第 2 絶縁膜 8 2 が設けられる。また、第 2 半導体領域 2 0 と、第 2 絶縁膜 8 2 と、のあいだには、必要に応じて第 1 絶縁膜 8 1 が設けられる。この中間電極 5 2 の上には、上部電極 5 3 が X - Y 平面に沿って所定の厚さで設けられる。

40

【 0 0 1 5 】

例えば、中間電極 5 2 は、第 3 部分 5 1 と同一材料で、一体的に設けられている。中間電極 5 2 及び第 3 部分 5 1 には、例えば W (タングステン) - A l (アルミニウム) の積層膜、W - N i (ニッケル) - A u の積層膜、これらの積層膜の W の代わりに、M o (モリブデン)、P t (白金)、T i W (チタン・タングステン合金)、V (バナジウム)、T i (チタン) 等を用いた積層膜が用いられる。また、上部電極 5 3 には、外部の配線 (配線パターンを含む) との接続が容易な材料が用いられる。上部電極 5 3 には、例えば A

50

1 が用いられる。

【0016】

このような第3部分51、中間電極52及び上部電極53を有する第1電極50は、ショットキーバリアダイオードのアノード電極として機能する。

【0017】

第2半導体領域20は、第2部分12と、第3部分51と、のあいだに設けられる。第2半導体領域20は、第1半導体領域10よりも不純物濃度の低い第1濃度領域21を有する。図1及び図2に例示した半導体装置110では、第2半導体領域20の全体が第1濃度領域21になっている。第2半導体領域20は、例えばn形のSi（シリコン）のエピタキシャル層である。

10

第2半導体領域20は、第3部分51とショットキー接合している。

【0018】

第2電極60は、第1部分11の第1主面10aとは反対側に設けられる。例えば、第2電極60は、第1部分11の下側の全面に設けられる。第2電極60には、例えばTi-Ni-Auの積層膜が用いられる。このような第2電極60は、ショットキーバリアダイオードのカソード電極として機能する。

【0019】

図1に表した矢印は、電流の方向を模式的に示している。半導体装置110において、第1電極50に、第2電極60に対して高い電圧（正電位）を与えると、電流は上部電極53から中間電極52を通過してZ軸方向に延在した第3部分51に流れる。第3部分51に流れた電流は、第3部分51とショットキー接合している第2半導体領域20に流れる。図1に表した半導体装置110では、第3部分51を中心としてX軸方向の両側の第2部分12に向けて電流が流れる。そして、第2部分12に流れた電流は、第1部分11から第2電極60へ流れる。

20

【0020】

このような半導体装置110では、第3部分51のZ軸方向の長さ（深さ）が長く（深く）なるほど第3部分51と第2半導体領域20とのショットキーバリア面の面積が増加することになる。また、電流が流れる第2半導体領域20と第2部分12との接触面積も増加する。したがって、ショットキーバリアダイオードにおいて順電圧降下（以下、「VF」という。）の低減を達成することができる。

30

【0021】

ここで、第3部分51の材料として用いられるW、Mo、Pt、TiW、V、Ti等のうち、仕事関数φBの小さい、Ti、Vなどを用いる場合、リーク電流（以下、「IR」という。）による逆電力損失（オフロス）が増加しやすい。このような材料を用いる場合には、IRの増加よりもVFの低減を重視した用途（例えば、逆接防止用途）が好ましい。

【0022】

また、φBの大きな、Mo、Wなどを用いる場合には、例えばスイッチング電源用途といった高温でもIRを抑制できる用途が好ましい。

また、高耐圧用途の場合には、第2半導体領域20の比抵抗が比較的大きくなるため、第2半導体領域20へ空乏層が伸びやすく、ショットキーバリア面の電界を小さく抑えられる。このため、IRの増加は抑制される。

40

【0023】

また、第3部分51の下側の端部51aの近傍は、電界の集中が発生しやすい。このため、端部51aの近傍でのIRは大きくなりやすく、耐圧も低下しやすい。そこで、第3部分51の端部51aと、第1部分11と、のあいだに、電界緩和領域70を設けるようにしてもよい。

図1及び図2に表した例では、端部51aの近傍に電界緩和領域70が設けられている。

【0024】

50

電界緩和領域 70 には、例えば第 2 導電形の半導体領域が用いられる。第 2 導電形の半導体領域を電界緩和領域 70 にすることで、端部 51a での電界集中を緩和し、耐圧を向上させることができる。また、電界緩和領域 70 が設けられた部分でのショットキーバリア面を無くすることができるため、IR の抑制を図ることが可能になる。

【0025】

また、第 2 導電形の半導体領域を電界緩和領域 70 にする場合、逆電圧を印加した際のブレイクダウンする箇所を電界緩和領域 70 にすることができる。この場合、発生した電子を直下の第 1 部分 11 及び両側の第 2 部分 12 に流し、正孔を直上の第 3 部分 51 に流すことができる。これにより、電子と正孔との排出抵抗を低減でき、逆サージ耐量を高めることができる。

10

【0026】

電界緩和領域 70 には、例えば第 2 半導体領域 20 よりも比抵抗が高い第 1 導電形の半導体領域を用いてもよい。第 1 導電形の半導体領域を電界緩和領域 70 にすることで、他のショットキーバリア面に比べて高抵抗になり、電界集中を緩和することができるため、端部 51a での IR の抑制を図ることが可能になる。

【0027】

また、第 1 導電形の半導体領域を電界緩和領域 70 にする場合、逆電圧を印加した際のブレイクダウンする箇所を電界緩和領域 70 にすることができる。この場合、上記と同じように逆サージ耐量を高めることができる。

20

【0028】

ここで、本実施形態に係る半導体装置 110 では、耐圧を向上できることから、逆電圧を印加した際のブレイクダウンの箇所を電界緩和領域 70 以外に設けるようにしてもよい。図 3 は、第 1 の実施形態に係る他の例の半導体装置を例示する模式的斜視図である。図 3 に表した半導体装置 111 では、第 3 部分 51 と第 2 半導体領域 20 との界面のうち、上側部分に第 2 導電形の半導体領域 72 が設けられている。このような半導体領域 72 が設けられていることで電界緩和領域として機能し、逆電圧を印加した際、この近傍での IR を抑制することができる。また、この半導体領域 72 の部分でブレイクダウンさせる設計もできる。これにより、上記と同様に逆サージ耐量を高めることができる。なお、半導体領域 72 は、第 3 部分 51 と第 2 半導体領域 20 との界面のうち、上側部分以外に設けられていてもよい。

30

【0029】

(第 2 の実施形態)

図 4 は、第 2 の実施形態に係る半導体装置の構成を例示する模式的斜視図である。

図 4 (a) は半導体装置の一部を模式的に示した斜視図、図 4 (b) は半導体装置の一部の平面図である。

【0030】

図 4 に表したように、第 2 の実施形態に係る半導体装置 120 は、第 1 の実施形態に係る半導体装置 110 の構成に加え、第 3 部分 51 から X 軸方向に延在する第 2 導電形の第 3 半導体領域 30 をさらに備えている。

【0031】

40

第 3 半導体領域 30 は、X 軸方向に延在するとともに、Z 軸方向にも延在する。第 3 半導体領域 30 は、第 1 電極 50 と導通している。図 4 に表した半導体装置 120 では、複数の第 3 半導体領域 30 が、Y 軸方向に所定の間隔で配置されている。半導体装置 120 において、第 3 半導体領域 30 は、例えば p 形の半導体ピラーである。すなわち、半導体装置 120 は、ショットキーバリア面に沿って複数の p 形の半導体ピラーが設けられた MPS である。なお、第 3 半導体領域 30 は、p 形のポリシリコンであってもよい。

【0032】

図 4 (b) に表したように、半導体装置 120 を Z 軸方向にみたとき、第 3 半導体領域 30 は、第 3 部分 51 と第 2 半導体領域 20 との界面 (ショットキーバリア面) から X 軸方向に延在する。この半導体装置 120 に逆電圧を印加すると、第 3 半導体領域 30 と第

50

2 半導体領域 20 との界面に拡がる空乏層どうしが低電圧でピンチオフする。これにより、ショットキーバリア面の電界上昇を抑制し、IR を抑制することができるとともに、耐圧の向上を図ることができる。

【0033】

また、耐圧を高めることができる分、第2半導体領域20の比抵抗を下げることができ、VFの低減を図ることができる。さらに、IRを抑制できるため、φBの小さな材料を使用することができる。このような材料を用いた場合、さらなるVFの低下を達成できる。

【0034】

一般に、平面型のMPSにおいては、ショットキーバリア面に形成された複数のp形層のあいだに挟まれたn形層に電流が流れる。このため、微細化によってn形層が狭くなると、VFの上昇を招きやすい。また、微細化を行う際にp形層を狭くした場合、耐圧低下を抑制するためにn形層の比抵抗を高くする必要がある。これにより、VFの上昇を招くことになる。

【0035】

これに対し、本実施形態では、平面型のMPSに比べてショットキーバリア面の面積が増加するため、同じp形層(第3半導体領域30)の幅であってもVFの低減を図ることが可能になる。

【0036】

(第3の実施形態)

図5は、第3の実施形態に係る半導体装置の構成を例示する模式的斜視図である。

図5(a)は半導体装置の一部を模式的に示した斜視図、図5(b)は半導体装置の一部の平面図である。

【0037】

図5に表したように、第5の実施形態に係る半導体装置130は、第1の実施形態に係る半導体装置110の構成に加え、第4部分55及び第3絶縁膜83をさらに備えている。第4部分55は、第1電極50として設けられた部分であり、第3部分51からX軸方向に延在する。第4部分55は、X軸方向に延在するとともに、Z軸方向にも延在する。第4部分55は、導電材料によって形成される。第4部分55は、第1電極50の一部であるため、第1電極50の他の部分(例えば、第3部分51)と同電位である。図5に表した半導体装置130では、複数の第4部分55が、Y軸方向に所定の間隔で配置されている。第4部分55と、第2半導体領域20と、のあいだには、第3絶縁膜83が設けられる。半導体装置130においては、第4部分55、第3絶縁膜83及び第2半導体領域20によって、いわゆるMOS(Metal Oxide Semiconductor)構造が構成される。すなわち、半導体装置130は、ショットキーバリア面に沿って複数のMOS構造が設けられたTMB S(Trench Mos Barrir Shottky)である。半導体装置130において、第2半導体領域20の第3絶縁膜83の側に、第2導電形の第4半導体領域27を設けてもよい。

【0038】

図5(b)に表したように、半導体装置130をZ軸方向にみたとき、第4部分55及び第3絶縁膜83は、第3部分51と第2半導体領域20との界面(ショットキーバリア面)からX軸方向に延在する。この半導体装置130に逆電圧を印加すると、第3絶縁膜83と第2半導体領域20との界面に拡がる空乏層どうしが低電圧でピンチオフする。これにより、ショットキーバリア面の電界上昇を抑制し、IRを抑制することができるとともに、耐圧の向上を図ることができる。

【0039】

半導体装置130では、半導体装置120よりも第2半導体領域20の比抵抗を下げるができる。これにより、半導体装置130は、半導体装置120に比べて第2半導体領域20の比抵抗を下げることができ、VFの更なる低下を達成することができる。なお、第2半導体領域20の比抵抗の低下によって、ショットキーバリア面でのショットキー

10

20

30

40

50

ロワリング効果で ϕB が低下することから、第3部分51として ϕB の比較的大きな材料（例えば、 $\phi B = 0.67$ ボルト（V）のMo）を用いることが好ましい。

【0040】

（第4の実施形態）

図6は、第4の実施形態に係る半導体装置の構成を例示する模式的斜視図である。

図6（a）は半導体装置の一部を模式的に示した斜視図、図6（b）は半導体装置の一部の平面図である。

【0041】

図6に表したように、第4の実施形態に係る半導体装置140では、第3の実施形態に係る半導体装置130の構成に加え、第2半導体領域20における第1濃度領域21と、第3部分51と、のあいだに濃度調整領域25を有している。

10

【0042】

濃度調整領域25は、第1濃度領域21よりも不純物濃度が低い第2濃度領域22の場合と、第1濃度領域21よりも不純物濃度が高い第3濃度領域23の場合と、が挙げられる。

【0043】

濃度調整領域25として第2濃度領域22が設けられている場合、ショットキーバリア面近傍での高抵抗化によって、ショットキーロワリング効果を低減させることができる。これにより、第2濃度領域22が設けられていない場合に比べ、より低い電圧で空乏層がピンチオフし、ショットキーバリア面での電界緩和を図ることができる。したがって、第1部分51の材料として、Vなどの ϕB の比較的低い材料を用いてもIRを低減を達成することができるようになる。

20

【0044】

また、濃度調整領域25として第3濃度領域23が設けられている場合、ショットキーバリア面近傍での低抵抗化によって、VFの低減を図ることができる。ここで、第3濃度領域23を用いる場合には、第2濃度領域22を用いる場合に比べてショットキーロワリング効果によって ϕB は低下する。しかしながら、第1部分51の材料として、比較的大きな材料（例えば、 $\phi B = 0.67$ VのMo）を用いることで、IRを抑制することができる。

【0045】

30

（第5の実施形態）

図7及び図8は、第5の実施形態に係る半導体装置の構成を例示する模式的平面図である。

いずれの図も、半導体装置の一部をZ軸方向にみた状態を例示している。

図7（a）は、第5の実施形態（その1）に係る半導体装置151を例示している。図7（b）は、第5の実施形態（その2）に係る半導体装置152を例示している。図8は、第5の実施形態（その3）に係る半導体装置153を例示している。

【0046】

図7（a）に表した第5の実施形態（その1）に係る半導体装置151では、第3部分51と、第2部分12と、のあいだに設けられた第3半導体領域30が、第3部分51と離間して設けられている。

40

【0047】

このように、第3半導体領域30が、第3部分51と離間して設けられていると、第3半導体領域30が第3部分51と接している場合に比べて、第3部分51と第2半導体領域20との界面（ショットキーバリア面）の面積が増加する。これにより、VFを低下させることができる。

【0048】

図7（b）に表した第5の実施形態（その2）に係る半導体装置152では、第3部分51と、第2部分12と、のあいだに設けられた第4部分55及び第3絶縁膜83が、第3部分51と離間して設けられている。

50

【0049】

このように、第4部分55及び第3絶縁膜83が、第3部分51と離間して設けられていると、第4部分55及び第3絶縁膜83が第3部分51と接している場合に比べて、第3部分51と第2半導体領域20との界面（ショットキーバリア面）の面積が増加する。これにより、VFを低下させることができる。

【0050】

また、例えば、第4部分55及び第3絶縁膜83を形成した後、第3部分51を形成するためのトレンチを設ける製造工程を行う場合、第2半導体領域20のみにトレンチを形成するためのエッチングを行えばよい。これにより、エッチング条件が簡素化され、容易にトレンチを形成することが可能になる。

10

【0051】

また、図8に表した第5の実施形態（その3）に係る半導体装置153では、第3部分51からX軸方向に延在する第4部分55及び第3絶縁膜83が、第3部分51と対向する第2部分12まで達している。このような構造では、第4部分55及び第3絶縁膜83をX軸方向に一括して形成することができる。

【0052】

すなわち、この第4部分55及び第3絶縁膜83を形成するには、まず、第2半導体領域20及び複数の第2部分12をX軸方向に貫通するトレンチを形成する。その後、このトレンチの内壁面に第3絶縁膜83を形成する。そして、トレンチ内に第4部分55の材料を埋め込む。

20

【0053】

このような半導体装置153では、順方向電圧を印加した際、第2半導体領域20の第3絶縁膜83側に電子の蓄積層が形成され、第3部分51から第2部分12にかけて低抵抗で電流を流すことができる。したがって、VFを低減することが可能になる。

【0054】

また、第3絶縁膜83のY軸方向に沿った幅として、第2部分12と重なる部分の近傍の領域83aの幅を、他の領域の幅よりも広くする。すなわち、第3絶縁膜83を熱酸化によって形成する際、の第2部分12と接する部分については、第2部分12の不純物濃度が高いために多く酸化される。この部分が領域83aとなり、他の領域に比べて幅広に形成される。このように、領域83aにおける酸化膜の膜厚が厚いため、電界集中の発生しやすい第2部分12の近傍で電界を負担し、耐圧を向上することが可能になる。

30

【0055】

（第6の実施形態）

第6の実施形態は、半導体装置の製造方法についての実施形態である。

まず、半導体装置110の製造方法の一例について説明する。

図9～図10は、半導体装置の製造方法を説明する模式的斜視図である。

まず、図9（a）に表したように、第1半導体領域10である第1部分11の第1主面10a上に、第2半導体領域20を例えばエピタキシャル成長させる。第1部分11は、例えばn⁺形シリコン基板である。第2半導体領域20は、例えばn形シリコンのエピタキシャル層である。次に、第2半導体領域20の上に、第1絶縁膜81を形成し、一部に開口を形成する。第1絶縁膜81には、例えば熱酸化によるSiO₂が用いられる。

40

【0056】

次に、図9（b）に表したように、開口を設けた第1絶縁膜81をマスクとして、第2半導体領域20及び第1部分11をエッチングする。エッチングには、例えばRIE（Reactive Ion Etching）が用いられる。これにより、第2半導体領域20から第1部分11の途中に達する深さでトレンチT1が形成される。また、トレンチT1は、Y軸方向に延在して形成される。

【0057】

次に、図9（c）に表したように、トレンチT1内に第2部分材料12Aを埋め込む。第2部分材料12Aには、例えば高不純物濃度のポリシリコンが用いられる。第2部分材

50

料 1 2 A は、第 1 絶縁膜 8 1 の上まで形成される。

【 0 0 5 8 】

次に、第 2 部分材料 1 2 A の一部を除去する。ここでは、第 2 部分材料 1 2 A のうち、第 1 絶縁膜 8 1 の上の部分を、第 1 絶縁膜 8 1 及びトレンチ T 1 の開口部が露出するまで除去する。第 2 部分材料 1 2 A は、例えば C M P (Chemical Mechanical Polishing) によって除去する。図 9 (d) に表したように、第 1 絶縁膜 8 1 及びトレンチ T 1 内に埋め込まれた第 2 部分材料 1 2 A の露出面は平坦化される。この、トレンチ T 1 内に埋め込まれた第 2 部分材料 1 2 A は、第 2 部分 1 2 になる。第 2 部分 1 2 は、例えば n^+ 形の半導体ピラーである。

【 0 0 5 9 】

10

次に、図 1 0 (a) に表したように、第 1 絶縁膜 8 1 の上に第 2 絶縁膜 8 2 を形成し、第 1 絶縁膜 8 1 及び第 2 絶縁膜 8 2 の一部に開口を設ける。開口は、X 軸方向において 2 つの第 2 部分 1 2 の間の位置に設けられる。第 2 絶縁膜 8 2 には、例えば C V D (Chemical Vapor Deposition) による SiO_2 が用いられる。

【 0 0 6 0 】

次に、図 1 0 (b) に表したように、開口を設けた第 1 絶縁膜 8 1 及び第 2 絶縁膜 8 2 をマスクとして、第 2 半導体領域 2 0 をエッチングする。エッチングには、例えば R I E を用いる。これにより、第 2 半導体領域 2 0 にトレンチ T 2 が形成される。トレンチ T 2 は、第 2 半導体領域 2 0 の上側から途中に達する深さで形成される。また、トレンチ T 2 は、Y 軸方向に延在して形成される。

20

【 0 0 6 1 】

トレンチ T 2 を形成した後は、トレンチ T 2 の底部近傍の第 2 半導体領域 2 0 に、電界緩和領域 7 0 を形成する。例えば、トレンチ T 2 の底部に向けて斜めに B (ボロン) をイオン注入し、熱拡散する。これにより、電界緩和領域 7 0 が形成される。電界緩和領域 7 0 は、第 2 導電形の半導体領域または第 2 半導体領域 2 0 よりも不純物濃度が低い第 1 導電形の半導体領域である。

【 0 0 6 2 】

次に、図 1 0 (c) に表したように、トレンチ T 2 内に第 3 部分材料 5 1 A を埋め込む。第 3 部分材料 5 1 A は、例えば W の単層、W - A l の積層膜、これらの積層膜の W の代わりに、M o、P t、T i W、V、T i 等を用いた積層膜である。また、第 3 部分材料 5 1 A として用いられる積層膜は、シリコンとの合金であるシリサイド層としてもよい。トレンチ T 2 内に埋め込まれた第 3 部分材料 5 1 A は、シンター処理によって第 2 半導体領域 2 0 とショットキー接合された第 3 部分 5 1 になる。

30

【 0 0 6 3 】

第 3 部分材料 5 1 A は、第 2 絶縁膜 8 2 の上まで形成される。この部分は、中間電極 5 2 になる。その後、中間電極 5 2 の上に、上部電極 5 3 を形成する。上部電極 5 3 には、例えば A l が用いられる。第 3 部分 5 1、中間電極 5 2 及び上部電極 5 3 によって、第 1 電極 5 0 が形成される。

【 0 0 6 4 】

また、第 1 部分 1 1 の下側に、第 2 電極 6 0 を形成する。第 2 電極 6 0 は、例えば T i - N i - A u の積層膜、T i - A l - C u - N i - A u の積層膜、及び V - A l - C u - N i - A u の積層膜である。

40

これにより、半導体装置 1 1 0 が完成する。

【 0 0 6 5 】

このような製造方法では、隣り合うトレンチ T 1 の X 軸方向のピッチの設定や、第 2 半導体領域 2 0 の比抵抗の設定によって、耐圧を容易にコントロールすることができる。また、第 3 部分 5 1 を埋め込むトレンチ T 2 の深さの制御で、所望の特性を容易に得ることができる。

【 0 0 6 6 】

次に、半導体装置 1 1 0 の他の製造方法について説明する。

50

図 1 1 ~ 図 1 2 は、半導体装置の他の製造方法を説明する模式的斜視図である。

先ず、図 1 1 (a) に表したように、第 1 半導体領域 1 0 である第 1 部分 1 1 の第 1 主面 1 0 a 上に、第 1 絶縁膜 8 1 を形成する。第 1 絶縁膜 8 1 には、例えば熱酸化による SiO_2 が用いられる。そして、第 1 絶縁膜 8 1 の一部に開口を形成する。第 1 絶縁膜 8 1 を残す位置は、Z 軸方向にみたとき、後の工程で第 2 部分 1 2 を形成する位置である。

【 0 0 6 7 】

次に、図 1 1 (b) に表したように、残った第 1 絶縁膜 8 1 をマスクにして第 1 部分 1 1 をエッチングする。このエッチングによって除去された部分をワイドトレンチ W T ということにする。一方、第 1 絶縁膜 8 1 でマスクされた部分は、第 1 部分 1 1 から Z 軸方向に延在した第 2 部分 1 2 になる。

10

【 0 0 6 8 】

次に、図 1 1 (c) に表したように、第 1 部分 1 1 の上に第 2 半導体材料 2 0 A を例えばエピタキシャル成長させる。第 2 半導体材料 2 0 A は、例えば n 形シリコンである。第 2 半導体材料 2 0 A は、第 1 部分 1 1 の上の複数の第 2 部分 1 2 のあいだ、すなわちワイドトレンチ W T 内に埋め込まれる。ワイドトレンチ W T 内に埋め込まれた第 2 半導体材料 2 0 A は、第 2 半導体領域 2 0 になる。

【 0 0 6 9 】

次に、第 2 半導体材料 2 0 A の一部を除去する。ここでは、第 2 半導体材料 2 0 A のうち、第 1 絶縁膜 8 1 の上部が露出するまで除去する。第 2 半導体材料 2 0 A は、例えば C M P によって除去する。図 1 1 (d) に表したように、第 1 絶縁膜 8 1 及び第 2 半導体領域 2 0 の露出面は平坦化される。

20

【 0 0 7 0 】

次に、図 1 2 (a) に表したように、平坦化した第 1 絶縁膜 8 1 及び第 2 半導体領域 2 0 の上に第 2 絶縁膜 8 2 を形成し、第 2 絶縁膜 8 1 の一部に開口を設ける。開口は、X 軸方向において 2 つの第 2 部分 1 2 の間の位置に設けられる。第 2 絶縁膜 8 2 には、例えば C V D による SiO_2 が用いられる。

【 0 0 7 1 】

次に、図 1 2 (b) に表したように、開口を設けた第 2 絶縁膜 8 2 をマスクとして、第 2 半導体領域 2 0 をエッチングする。エッチングには、例えば R I E を用いる。これにより、第 2 半導体領域 2 0 にトレンチ T 3 が形成される。トレンチ T 3 は、第 2 半導体領域 2 0 の上側から途中に達する深さで形成される。また、トレンチ T 3 は、Y 軸方向に延在して形成される。

30

【 0 0 7 2 】

トレンチ T 3 を形成した後は、トレンチ T 3 の底部近傍の第 2 半導体領域 2 0 に、電界緩和領域 7 0 を形成する。例えば、トレンチ T 3 の底部に向けて斜めに B をイオン注入し、熱拡散する。これにより、電界緩和領域 7 0 が形成される。電界緩和領域 7 0 は、第 2 導電形の半導体領域または第 2 半導体領域 2 0 よりも不純物濃度が低い第 1 導電形の半導体領域である。

【 0 0 7 3 】

次に、図 1 2 (c) に表したように、トレンチ T 3 内に第 3 部分材料 5 1 A を埋め込む。第 3 部分材料 5 1 A は、例えば W の単層、W - A l の積層膜、これらの積層膜の W の代わりに、M o、P t、T i W、V、T i 等を用いた積層膜である。また、第 3 部分材料 5 1 A として用いられる積層膜は、シリコンとの合金であるシリサイド層としてもよい。トレンチ T 3 内に埋め込まれた第 3 部分材料 5 1 A は、シンター処理によって第 2 半導体領域 2 0 とショットキー接合された第 3 部分 5 1 になる。

40

【 0 0 7 4 】

第 3 部分材料 5 1 A は、第 2 絶縁膜 8 2 の上まで形成される。この部分は、中間電極 5 2 になる。その後、中間電極 5 2 の上に、上部電極 5 3 を形成する。上部電極 5 3 には、例えば A l が用いられる。第 3 部分 5 1、中間電極 5 2 及び上部電極 5 3 によって、第 1 電極 5 0 が形成される。

50

【 0 0 7 5 】

また、第 1 部分 1 1 の下側に、第 2 電極 6 0 を形成する。第 2 電極 6 0 は、例えば T i - N i - A u の積層膜、T i - A l - C u - N i - A u の積層膜、及び V - A l - C u - N i - A u の積層膜である。

これにより、半導体装置 1 1 0 が完成する。

【 0 0 7 6 】

このような製造方法では、ワイドトレンチ W T の X 軸方向の幅の設定や、第 2 半導体領域 2 0 の比抵抗の設定によって、耐圧を容易にコントロールすることができる。また、ワイドトレンチ W T の深さの制御と、第 3 部分 5 1 を埋め込むトレンチ T 3 の深さの制御と、により、所望の特性を容易に得ることができる。

10

【 0 0 7 7 】

次に、半導体装置 1 2 0 の製造方法の一例を説明する。

図 1 3 は、半導体装置の製造方法を説明する模式的斜視図である。

先ず、図 1 3 (a) に表したように、第 1 部分 1 1 の上に第 2 部分 1 2 及び第 2 半導体領域 2 0 を形成する。この製造方法は、図 9 (a) ~ (d) に例示した製造方法と同様である。なお、図 1 1 (a) ~ (d) に例示した製造方法を用いてもよい。

【 0 0 7 8 】

次に、図 1 3 (b) に表したように、第 2 半導体領域 2 0 に複数のトレンチ T 4 を形成する。トレンチ T 4 の深さ方向は Z 軸方向である。トレンチ T 4 は、X 軸方向に延在する。これにより、トレンチ T 4 の開口は、細長い形状になっている。また、トレンチ T 4 は、Y 軸方向に所定の間隔で複数設けられる。トレンチ T 4 は、例えば第 2 半導体領域 2 0 への R I E によって形成される。

20

【 0 0 7 9 】

次に、図 1 3 (c) に表したように、トレンチ T 4 内に第 2 導電形の第 3 半導体材料 3 0 A を埋め込み、トレンチ T 4 内に第 3 半導体領域 3 0 を形成する。第 3 半導体領域 3 0 は、例えば p 形の半導体ピラーである。

【 0 0 8 0 】

次に、図 1 3 (d) に表したように、第 3 半導体領域 3 0 及び第 2 半導体領域 2 0 にトレンチ T 5 を形成する。トレンチ T 5 は、第 3 半導体領域 3 0 の Z 軸方向の深さよりも浅く形成される。また、トレンチ T 5 は、Y 軸方向に複数の第 3 半導体領域 3 0 をまたぐように延在して形成される。トレンチ T 5 は、第 2 半導体領域 2 0 及び第 3 半導体領域 3 0 に形成される。トレンチ T 5 を形成した後は、トレンチ T 5 の底部近傍に電界緩和領域 7 0 を形成する。次いで、トレンチ T 5 内に第 3 部分 5 1 を埋め込む。

30

その後、図示しない上部電極 5 3 及び第 2 電極 6 0 を形成する。これにより、半導体装置 1 2 0 が完成する。

【 0 0 8 1 】

次に、半導体装置 1 3 0 の製造方法の一例を説明する。

図 1 4 は、半導体装置の製造方法を説明する模式的斜視図である。

先ず、図 1 4 (a) に表したように、第 1 部分 1 1 の上に第 2 部分 1 2 及び第 2 半導体領域 2 0 を形成する。この製造方法は、図 9 (a) ~ (d) に例示した製造方法と同様である。なお、図 1 1 (a) ~ (d) に例示した製造方法を用いてもよい。

40

【 0 0 8 2 】

次に、図 1 4 (b) に表したように、第 2 半導体領域 2 0 に複数のトレンチ T 4 を形成する。トレンチ T 4 の深さ方向は Z 軸方向である。トレンチ T 4 は、X 軸方向に延在する。これにより、トレンチ T 4 の開口は、細長い形状になっている。また、トレンチ T 4 は、Y 軸方向に所定の間隔で複数設けられる。トレンチ T 4 は、例えば第 2 半導体領域 2 0 への R I E によって形成される。

【 0 0 8 3 】

次に、図 1 4 (c) に表したように、トレンチ T 4 の内壁に第 3 絶縁膜 8 3 を形成する。第 3 絶縁膜 8 3 には、S i O ₂ や例えば B S G (Boron Silicate Glass) が用いられる

50

。なお、第3絶縁膜83として、BSGを形成した後、熱拡散により第2半導体領域20である例えばSi側へ薄くp⁺層を拡散させてもよい。これにより、第2半導体領域20の第3絶縁膜83の側に、第2導電形の第4半導体領域27が設けられる。その後、トレンチT4の内部に第4部分55になる導電材料を埋め込む。

【0084】

次に、図14(d)に表したように、第4部分、第3絶縁膜83及び第2半導体領域20にトレンチT5を形成する。トレンチT5は、第4部分55のZ軸方向の深さよりも浅く形成される。また、トレンチT5は、Y軸方向に複数の第4部分及び第3絶縁膜83をまたぐように延在して形成される。トレンチT5は、第2半導体領域20、第3絶縁膜83及び第4部分55に形成される。トレンチT5を形成した後は、トレンチT5の底部近傍に電界緩和領域70を形成する。次いで、トレンチT5内に第3部分51を埋め込む。

その後、図示しない上部電極53及び第2電極60を形成する。これにより、半導体装置130が完成する。

【0085】

平面型のMPSでは、第3半導体領域30に相当するp形層の延在する方向がZ軸方向になるのに対し、半導体装置130では、第3半導体領域30の延在する方向がX軸方向になる。したがって、第3半導体領域30を形成する際、X-Y平面に沿った形状の自由度が高い。このため、第3半導体領域30のZ軸方向からみた形状として、例えばショットキーバリア面に近い側の幅を、遠い側の幅よりも広く設定したり、狭く設定したりするなど、複雑な形状を容易に製造することが可能になる。

【0086】

また、第3半導体領域30の濃度も自由に設定することができる。すなわち、濃度の異なる複数の薄いエピタキシャル層を積層することで、第3半導体領域30に不純物の濃度勾配を持たせることも可能になる。

【0087】

また、第3絶縁膜83にBSGを用いる場合には、BSGに接する第2半導体領域20にBの固層拡散によるp⁺層を形成し、その内部に第3部分51を充填することができる。第3絶縁膜83と接する第2半導体領域20の広い領域にp⁺層(第4半導体領域27)が形成できることにより、逆電圧印加時の空乏層が良く伸び、IRを低減することが可能になる。なお、IR低減効果を最大限にするには、第3絶縁膜83と接する第2半導体領域20の広い領域にp⁺層を形成する必要があるが、BSGを用いることでそれを容易に形成することが可能になる。

【0088】

また、第3絶縁膜83としてSiO₂を用いる場合、トレンチT5を形成した後に、SiO₂に接する第2半導体領域20にp形不純物の気相拡散か、トレンチT4の側壁にB等を斜めにイオン注入してp⁺層(第4半導体領域27)を形成してもよい。

【0089】

次に、半導体装置140の他の製造方法について説明する。

図15～図16は、半導体装置の製造方法を説明する模式的斜視図である。

まず、図15(a)に表したように、第1部分11の上にZ軸方向に延在した第2部分12を形成する。この製造方法は、図11(a)～(b)に例示した製造方法と同様である。

【0090】

次に、図15(b)に表したように、第1部分11の上に第2半導体材料20Aを例えばエピタキシャル成長させる。第2半導体材料20Aは、例えばn形シリコンである。第2半導体材料20Aは、第1部分11の上の複数の第2部分12のあいだに埋め込まれる。複数の第2部分12のあいだに埋め込まれた第2半導体材料20Aは、第2半導体領域20になる。そして、第2半導体領域20にトレンチT6を形成し、トレンチT6内に濃度調整材料25Aを埋め込む。濃度調整材料25Aは、第1濃度領域21よりも不純物濃度が低い第2濃度領域22になる材料である。また、濃度調整材料25Aとしては、第1

10

20

30

40

50

濃度領域 2 1 よりも不純物濃度が高い第 3 濃度領域 2 3 になる材料でもよい。

【 0 0 9 1 】

次に、濃度調整材料 2 5 A の一部を除去する。ここでは、濃度調整材料 2 5 A のうち、第 1 絶縁膜 8 1、第 2 半導体領域 2 0 及びトレンチ T 6 内の濃度調整材料 2 5 A の上部が露出するまで除去する。濃度調整材料 2 5 A は、例えば C M P によって除去する。図 1 5 (c) に表したように、第 1 絶縁膜 8 1、第 2 半導体領域 2 0 及び濃度調整材料 2 5 A の露出面は平坦化される。

【 0 0 9 2 】

次に、図 1 6 (a) に表したように、第 2 半導体領域 2 0 及び濃度調整材料 2 5 A に複数のトレンチ T 7 を形成する。トレンチ T 7 の深さ方向は Z 軸方向である。トレンチ T 7 の深さは、濃度調整材料 2 5 A の深さよりも僅かに浅い。また、トレンチ T 7 は、X 軸方向に延在する。これにより、トレンチ T 7 の開口は、細長い形状になっている。また、トレンチ T 7 は、Y 軸方向に所定の間隔で複数設けられる。トレンチ T 7 は、例えば第 2 半導体領域 2 0 への R I E によって形成される。

【 0 0 9 3 】

次に、図 1 6 (b) に表したように、トレンチ T 7 の内壁に第 3 絶縁膜 8 3 を形成する。第 3 絶縁膜 8 3 には、例えば S i O ₂ や B S G が用いられる。なお、第 3 絶縁膜 8 3 として、B S G を形成した後、熱拡散により第 2 半導体領域 2 0 である例えば S i 側へ薄く B を拡散し p ⁺ 層を形成してもよい。これにより、第 2 半導体領域 2 0 の第 3 絶縁膜 8 3 の側に、第 2 導電形の第 4 半導体領域 2 7 が設けられる。その後、トレンチ T 7 の内部に第 4 部分 5 5 になる材料を埋め込む。

【 0 0 9 4 】

次に、図 1 6 (c) に表したように、第 4 部分 5 5、第 3 絶縁膜 8 3 及び第 2 半導体領域 2 0 にトレンチ T 8 を形成する。トレンチ T 8 は、第 4 部分 5 5 の Z 軸方向の深さよりも浅く形成される。また、トレンチ T 8 は、Y 軸方向に複数の第 4 部分 5 5 及び第 3 絶縁膜 8 3 をまたぐように延在して形成される。トレンチ T 8 を形成した後は、トレンチ T 8 の底部近傍に電界緩和領域 7 0 を形成する。次いで、トレンチ T 8 内に第 3 部分 5 1 を埋め込む。第 3 部分 5 1 が形成されると、複数の第 4 部分 5 5 及び第 3 絶縁膜 8 3 のあいだに濃度調整領域 2 5 が形成される。

その後、図示しない上部電極 5 3 及び第 2 電極 6 0 を形成する。これにより、半導体装置 1 4 0 が完成する。

【 0 0 9 5 】

半導体装置 1 4 0 では、第 4 部分 5 5 の延在する方向が X 軸方向になる。したがって、第 4 部分 5 5 を形成する際、X - Y 平面に沿った形状の自由度が高い。このため、第 4 部分 5 5 の Z 軸方向からみた形状として、例えばショットキーバリア面に近い側の幅を、遠い側の幅よりも広く設定したり、狭く設定したりするなど、複雑な形状を容易に製造することが可能になる。

【 0 0 9 6 】

なお、ショットキーバリア面に沿って濃度調整領域 2 5 を形成する方法としては、上記図 1 5 ~ 図 1 6 に表した方法のほか、例えば図 1 0 (b) に表したトレンチ T 2 を形成したのちに、トレンチ T 2 の側壁に対して B 等を斜めイオン注入し、熱拡散することでも形成することができる。同様に、図 1 2 (b) に表したトレンチ T 3、図 1 3 (d) 及び図 1 4 (d) に表したトレンチ T 5 を形成した後に、B 等を斜めイオン注入し、熱拡散して濃度調整領域 2 5 を形成してもよい。

これにより、濃度調整領域 2 5 を、所望の厚さ及び所望の不純物濃度で容易に製造することができる。

【 0 0 9 7 】

以上説明したように、実施形態に係る半導体装置及びその製造方法によれば、素子面積を増加させずに順電圧降下を低減することができる。

【 0 0 9 8 】

10

20

30

40

50

なお、上記に本実施の形態およびその変形例を説明したが、本発明はこれらの例に限定されるものではない。例えば、前述の各実施の形態またはその変形例に対して、当業者が適宜、構成要素の追加、削除、設計変更を行ったものもや、各実施の形態の特徴を適宜組み合わせたものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

【0099】

例えば、前述の各実施の形態および各変形例においては、第1の導電形をn形、第2の導電形をp形として説明したが、本発明は第1の導電形をp形、第2の導電形をn形としても実施可能である。

【0100】

また、半導体装置120、130及び140のいずれについても、第3部分51のZ軸方向の長さ（深さ）が、トレンチT4のZ軸方向の深さよりも浅く設けられているが、トレンチT4と同じ深さであったり、トレンチT4よりも深く設けられていてもよい。

10

【0101】

さらにまた、前述の各実施の形態および各変形例においては、半導体としてSi（シリコン）を用いたMOSFETを説明したが、半導体としては、例えばSiC（シリコンカーバイド）若しくはGaN（窒化ガリウム）等の化合物半導体、又は、ダイヤモンド等のワイドバンドギャップ半導体を用いることもできる。

【0102】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

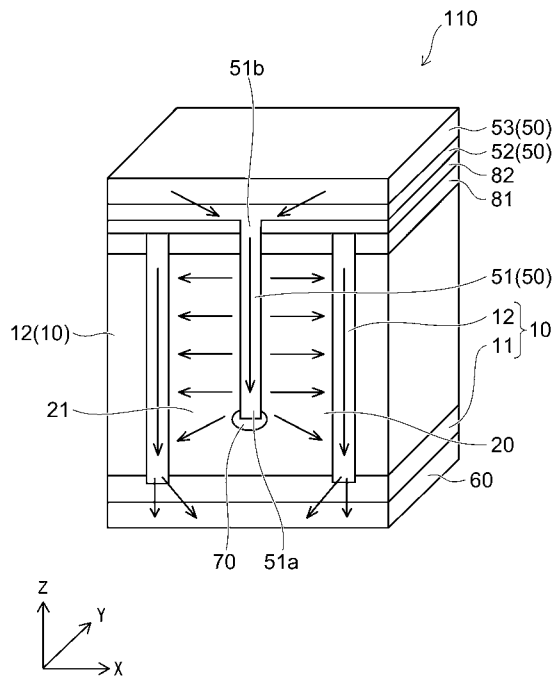
【符号の説明】

【0103】

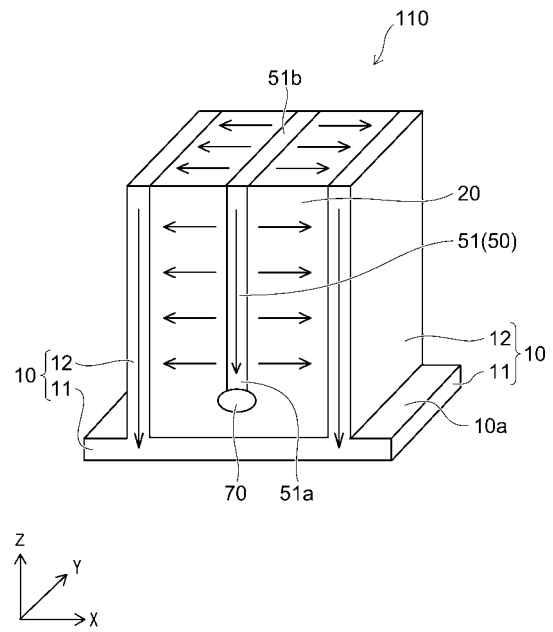
10...第1半導体領域、10a...主面、11...第1部分、12...第2部分、20...第2半導体領域、25...濃度調整領域、30...第3半導体領域、50...第1電極、51...第3部分、52...中間電極、53...上部電極、55...第4部分、60...第2電極、70...電界緩和領域、72...半導体領域、83...絶縁膜、110、111、120、130、140、151、152、153...半導体装置、T1～T8...トレンチ、WT...ワイドトレンチ

30

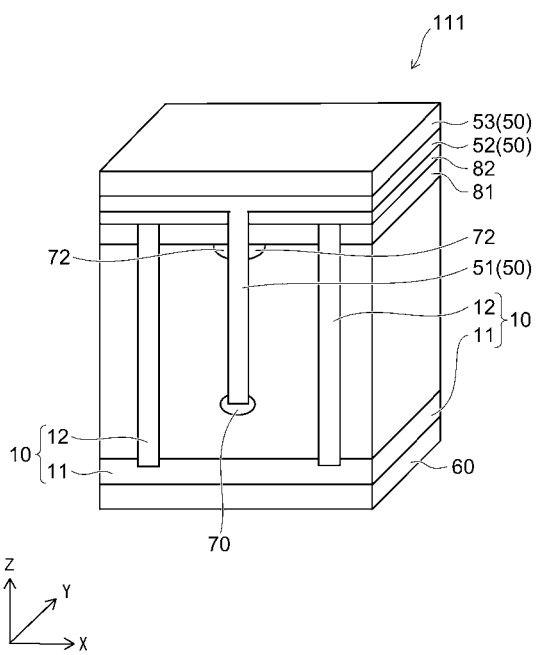
【 図 1 】



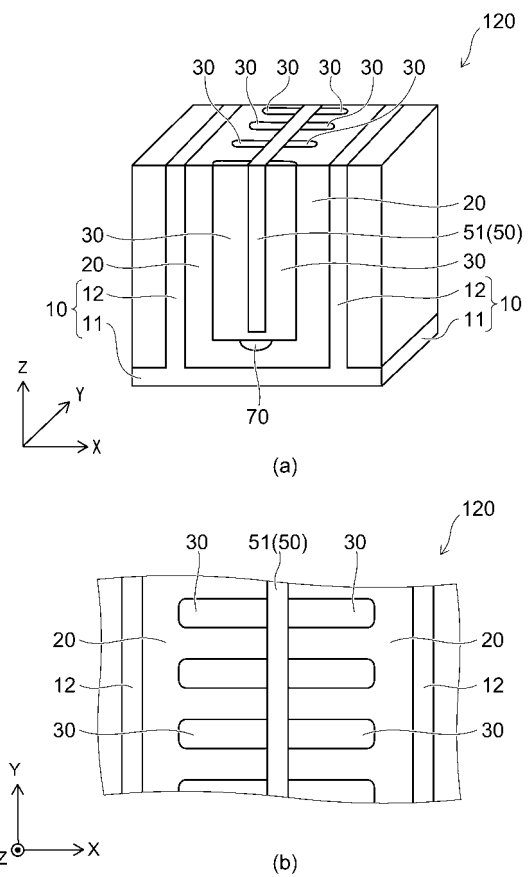
【 図 2 】



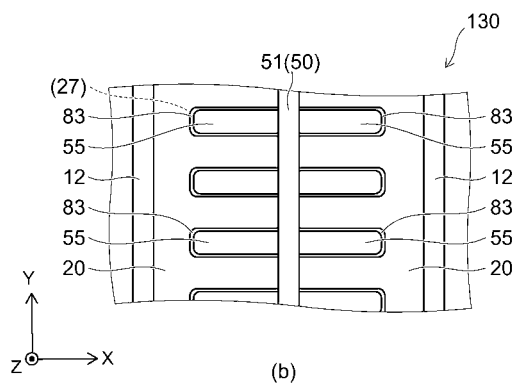
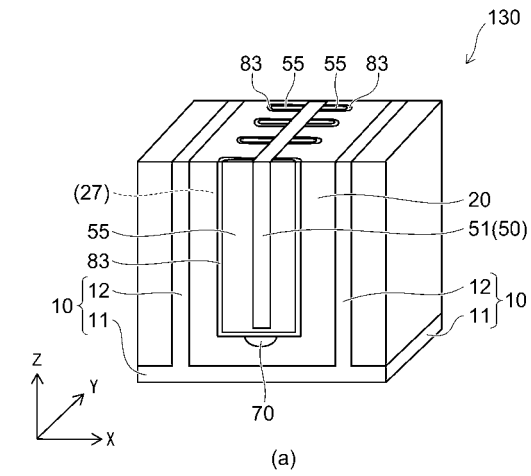
【 図 3 】



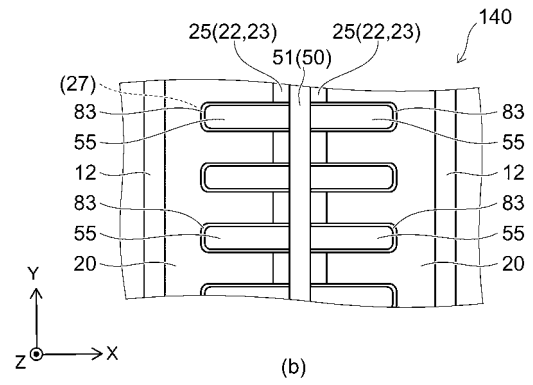
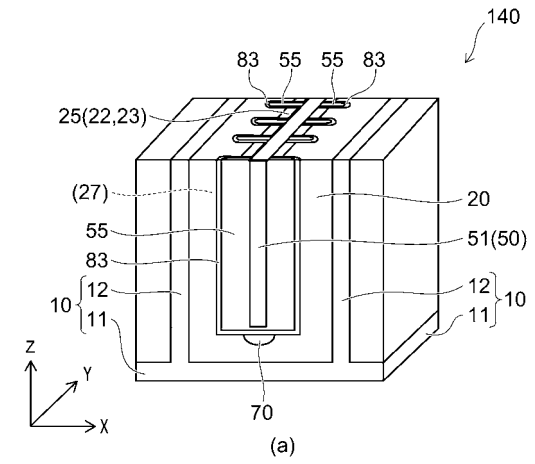
【 図 4 】



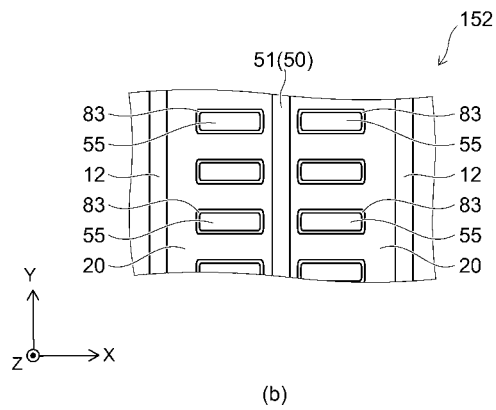
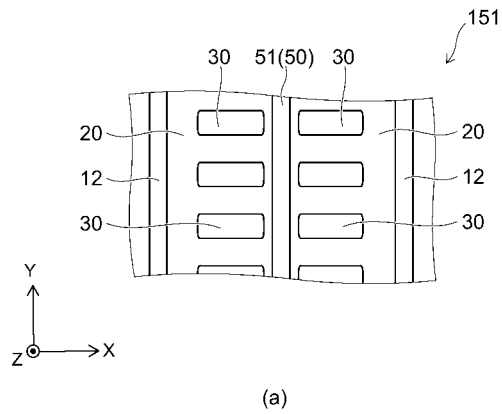
【図 5】



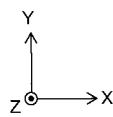
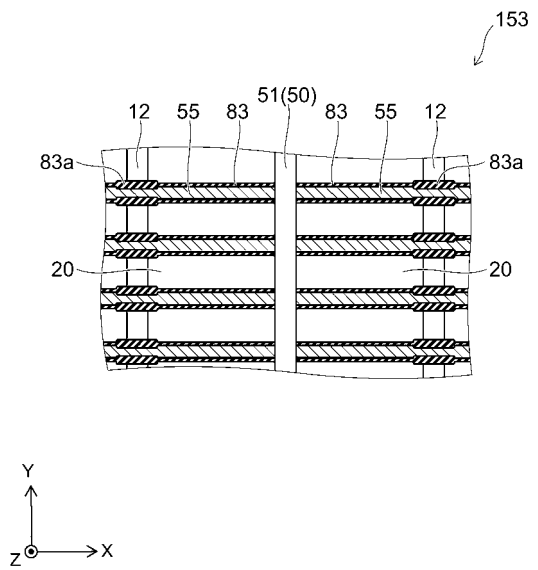
【図 6】



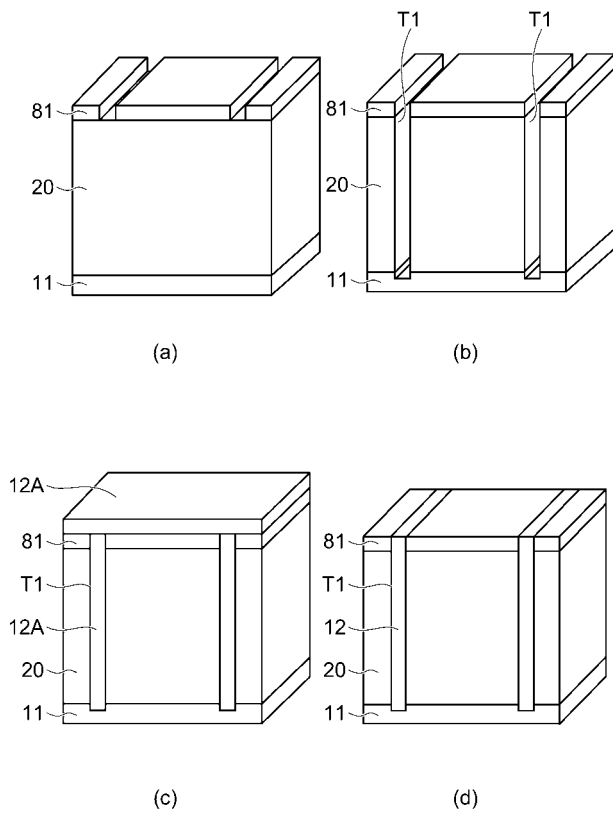
【図 7】



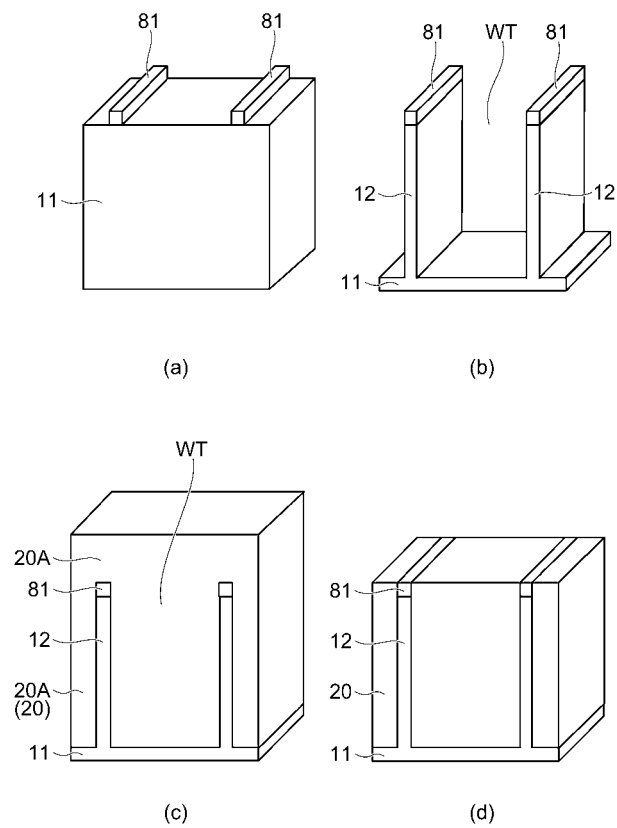
【図 8】



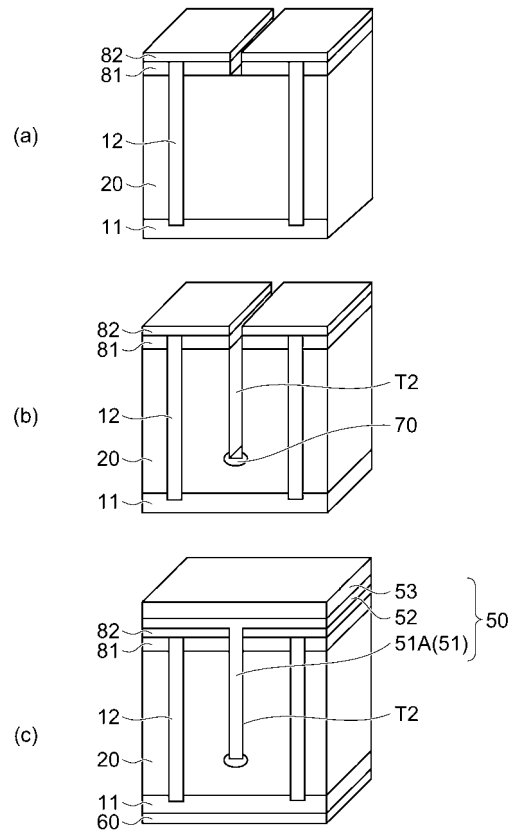
【図 9】



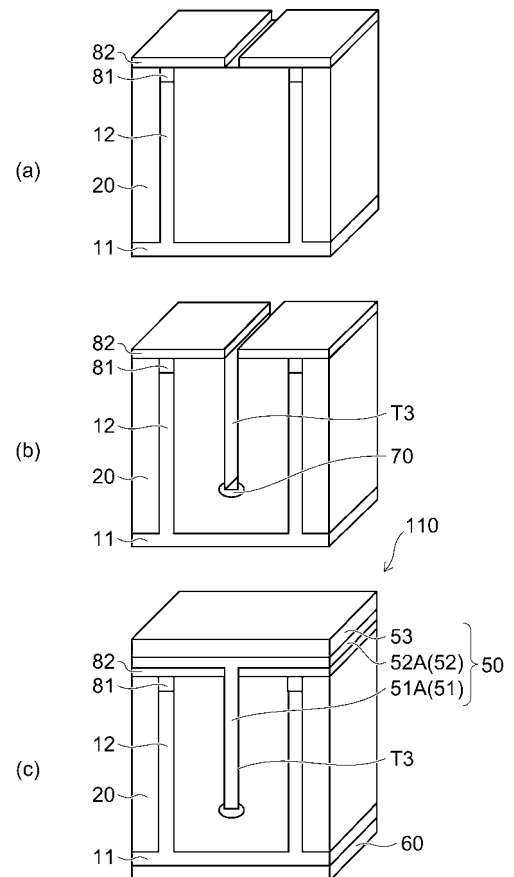
【図 1 1】



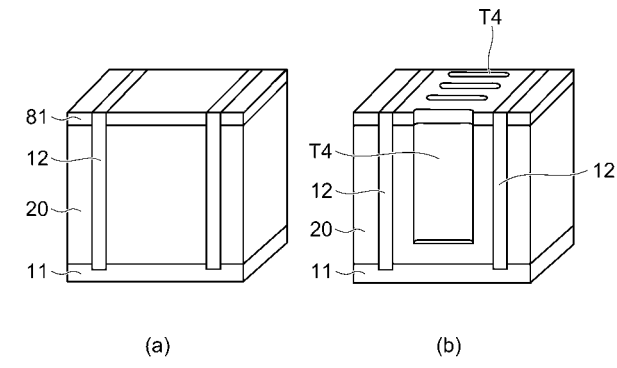
【図 1 0】



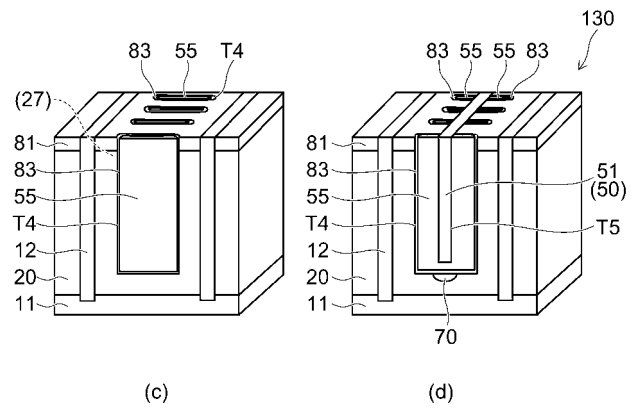
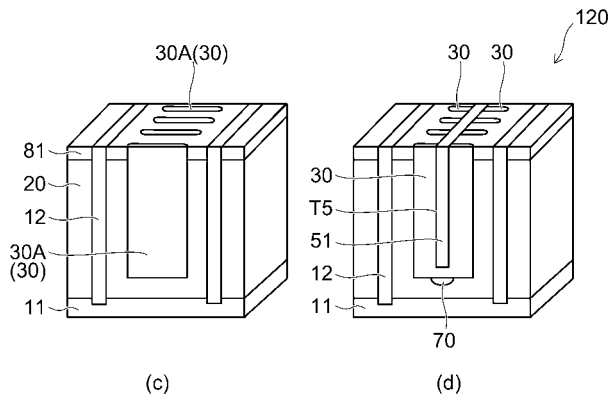
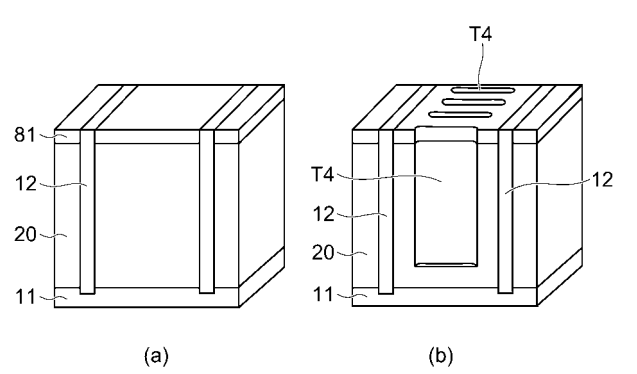
【図 1 2】



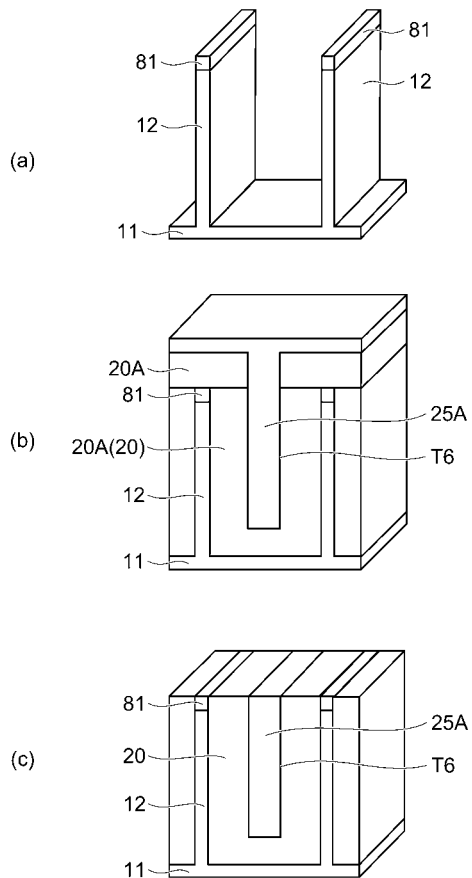
【図 13】



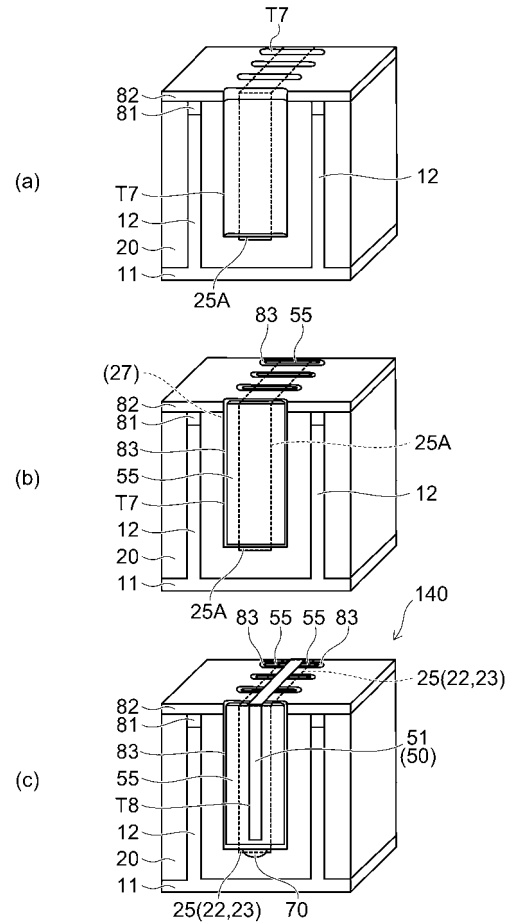
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H 0 1 L 29/868 (2006.01)</i>	H 0 1 L 29/78 6 5 8 G	
<i>H 0 1 L 29/861 (2006.01)</i>	H 0 1 L 29/91 D	
	H 0 1 L 29/48 E	
	H 0 1 L 29/78 6 5 4 C	
	H 0 1 L 29/78 6 5 3 A	

(72)発明者 松田 正

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 4M104 AA01 AA03 AA04 AA10 BB06 BB13 BB14 BB16 BB18 BB24
CC03 DD08 DD16 DD26 DD78 EE01 EE15 FF01 FF06 FF13
FF31 FF32 GG03 HH20