

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年10月6日(2005.10.6)

【公開番号】特開2004-5777(P2004-5777A)

【公開日】平成16年1月8日(2004.1.8)

【年通号数】公開・登録公報2004-001

【出願番号】特願2002-156646(P2002-156646)

【国際特許分類第7版】

G 1 1 C 11/413

【F I】

G 1 1 C 11/34 3 3 5 A

【手続補正書】

【提出日】平成17年5月26日(2005.5.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のスタティック型メモリセルを具備するメモリアレイと、  
上記メモリアレイを制御する周辺回路と、  
上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じて上記  
メモリアレイの電源電圧を変換する第1回路とを具備することを特徴とする半導体記憶装置。

【請求項2】

請求項1において、

上記第1回路は、昇圧回路と、降圧回路とを具備し、  
上記第1回路は、上記周辺回路の電源を供給され、  
上記第1回路は、上記周辺回路の電源電圧と異なる電圧を上記メモリアレイに印加することを特徴とする半導体記憶装置。

【請求項3】

請求項1において、

上記第1回路は降圧回路および昇圧回路の少なくとも一方を具備し、  
上記第1回路は、上記周辺回路の電源電圧と上記周辺回路の電源電圧よりも高い電源電圧をもつ電源とを供給され、  
上記第1回路は、上記周辺回路の電源電圧と異なる電圧を上記メモリアレイに印加することを特徴とする半導体記憶装置。

【請求項4】

請求項1において、

上記第1回路は、  
上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じてしきい値電圧の大きさが変化するpチャネル型トランジスタとnチャネル型トランジスタとを有し、

上記pチャネル型トランジスタのしきい値電圧の大きさと上記nチャネル型トランジスタのしきい値電圧の大きさとの差を検出し、

上記差を、上記周辺回路の電源電圧に加えて上記メモリアレイに印加することを特徴とする半導体記憶装置。

**【請求項 5】**

請求項 1 において、

上記スタティック型メモリセルは、それぞれ2つのpチャンネル型MOSトランジスタおよび4つのnチャンネル型MOSトランジスタを有するメモリセルであることを特徴とする半導体記憶装置。

**【請求項 6】**

請求項 1 において、

上記第1回路は、

上記しきい値の大きさに基づいた電圧を生成する電圧生成回路と、  
上記メモリアレイに電源電圧を供給する電源電圧供給回路とを具備し、  
上記電圧生成回路は、上記周辺回路より電圧を入力され、  
上記電源電圧供給回路は、

上記電圧生成回路からの入力を受けると共に、上記周辺回路の電源電圧よりも高い電圧を上記メモリアレイに出力することを特徴とする半導体記憶装置。

**【請求項 7】**

請求項 6 において、

上記電圧生成回路は、

第1の電流源と、第2の電流源と、

ゲート電極がドレイン電極と接続されたpチャンネル型トランジスタと、

ゲート電極が上記pチャンネル型トランジスタのソース電極と接続されたnチャンネル型トランジスタとを具備し、

上記pチャンネル型トランジスタのゲート電極が上記周辺回路の電源電圧の電源線と接続され、上記pチャンネル型トランジスタのソース電極が上記pチャンネル型トランジスタの基板電極および上記第2の電流源と接続され、

上記nチャンネル型トランジスタのドレイン電極が上記第1の電流源と接続され、

上記nチャンネル型トランジスタのソース電極が上記nチャンネル型トランジスタの基板電極および上記第2の電流源と接続され、

上記nチャンネル型トランジスタのソース電極の電位が、上記電圧生成回路の出力になることを特徴とする半導体記憶装置。

**【請求項 8】**

請求項 7 において、

上記第1の電流源を流れる電流と上記第2の電流源を流れる電流とが等しいことを特徴とする半導体記憶装置。

**【請求項 9】**

請求項 6 において、

上記電圧生成回路は、

nチャンネル型トランジスタおよびpチャンネル型トランジスタのしきい値電圧の大きさを記憶する回路を有し、

上記電源電圧供給回路は、

上記しきい値の大きさを記憶する回路の記憶した情報を用いて上記メモリアレイの電源電圧を出力する回路を具備することを特徴とする半導体記憶装置。

**【請求項 10】**

請求項 6 において、

上記電圧生成回路は、

トランジスタのしきい値電圧の大きさによって出力電位を変化させる回路と、

しきい値電圧の大きさと比較される参照電位を出力する回路と、

上記トランジスタのしきい値電圧の大きさの電位と上記参照電位とを比較する回路とを具備することを特徴とする半導体記憶装置。

**【請求項 11】**

複数のスタティック型メモリセルを有するメモリアレイと、

上記メモリアレイを制御する周辺回路と、  
上記メモリアレイに電源を供給する第1電源線と、  
上記周辺回路に電源を供給する第2電源線と、  
上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じて上記メモリアレイの電源電圧を変化させる回路とを具備し、  
上記第1電源線と上記第2電源線とは分離され、  
上記第1電源線は、  
上記メモリアレイと、上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じてメモリアレイの電源電圧を変化させる回路とに接続されていることを特徴とする半導体記憶装置。

#### 【請求項12】

複数のスタティック型メモリセルからなるメモリアレイと、  
上記メモリアレイを制御する周辺回路と、  
上記スタティック型メモリセルに使用されているトランジスタのしきい値電圧の大きさに応じて、上記メモリアレイの電源電圧と上記メモリアレイを構成するトランジスタの基板電圧とを制御する第2回路とを具備することを特徴とする半導体記憶装置。

#### 【請求項13】

請求項12において、  
上記メモリセルは、  
nチャネル型トランジスタと、pチャネル型トランジスタとを具備し、  
上記第2回路は、上記nチャネル型トランジスタのしきい値電圧および上記pチャネル型トランジスタのしきい値電圧の大きさを記憶する回路と、  
上記しきい値の大きさを記憶する回路の記憶した情報を用いて上記メモリアレイの電源電圧および上記メモリアレイを構成するトランジスタの基板電圧を出力する回路とを具備することを特徴とする半導体記憶装置。

#### 【請求項14】

請求項12において、  
上記第2回路は、  
上記nチャネル型トランジスタのしきい値電圧の大きさと上記pチャネル型トランジスタのしきい値電圧の大きさを検出する回路と、  
上記検出するしきい値電圧の大きさを用いて上記メモリアレイの電源電圧および上記メモリアレイを構成するトランジスタの基板電圧を出力する回路とを具備することを特徴とする半導体記憶装置。

#### 【請求項15】

請求項12において、  
上記メモリセルは、  
第1と第2のnチャネル型駆動トランジスタと、第1と第2のpチャネル型負荷トランジスタと、第1と第2のnチャネル型転送トランジスタと具備し、  
上記第1と第2のnチャネル型駆動トランジスタと上記第1と第2のnチャネル型転送トランジスタとの基板電位は、同じ信号線により制御されることを特徴とする半導体記憶装置。

#### 【請求項16】

請求項12において、  
上記半導体記憶装置は、nチャネル型トランジスタと、pチャネル型トランジスタと、上記nチャネル型トランジスタを流れる電流を検知する回路と、  
上記pチャネル型トランジスタを流れる電流を検知する回路と、  
上記2つの回路によって検知された電流の電流量を参照し、電源電圧およびnチャネル型トランジスタの基板電位およびpチャネル型トランジスタの基板電位を変化させる回路とを具備することを特徴とする半導体記憶装置。

#### 【請求項17】

複数のスタティック型メモリセルを具備するメモリアレイと、  
センスアンプおよびワードドライバの少なくとも一方を含んで成り、上記メモリアレイ  
を制御する周辺回路と、

上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じて上記  
メモリアレイの電源電圧を変換する第1回路とを具備し、

上記メモリアレイの電源電圧と上記周辺回路の電源電圧とが互いに異なることを特徴と  
する半導体記憶装置。

**【請求項18】**

請求項17において、

上記スタティック型メモリセルは、それぞれ2つのpチャネル型MOSトランジスタお  
よび4つのnチャネル型MOSトランジスタを有するメモリセルであることを特徴とする  
半導体記憶装置。

**【請求項19】**

複数のスタティック型メモリセルを具備するメモリアレイと、

上記メモリアレイを制御する周辺回路と、

上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じて上記  
メモリアレイの電源電圧を変換する第1回路とを具備し、

上記メモリアレイの電源電圧とは異なる他の電源電圧を生成して上記メモリアレイに上  
記他の電源電圧を供給するために、上記第1回路に上記メモリアレイおよび上記周辺回路  
のいずれとも異なる他の回路の電源電圧が供給されることを特徴とする半導体記憶装置。

**【請求項20】**

請求項19において、

上記周辺回路はセンスアンプおよびワードドライバの少なくとも一方を含んで成ること  
を特徴とする半導体記憶装置。

**【請求項21】**

請求項19において、

上記メモリアレイの電源電圧と上記周辺回路の電源電圧とは互いに異なることを特徴と  
する半導体記憶装置。

**【請求項22】**

請求項19において、

上記他の回路として動作する入出力回路を更に具備することを特徴とする半導体記憶装  
置。

**【請求項23】**

請求項19において、

上記第1回路は、昇圧回路と、降圧回路とを具備し、

上記第1回路は、上記周辺回路の電源を供給され、

上記第1回路は、上記周辺回路の電源電圧と異なる電圧を上記メモリアレイに印加する  
ことを特徴とする半導体記憶装置。

**【請求項24】**

請求項19において、

上記第1回路は降圧回路および昇圧回路の少なくとも一方を具備し、

上記第1回路は、上記周辺回路の電源電圧と上記周辺回路の電源電圧よりも高い電源電  
圧をもつ電源とを供給され、

上記第1回路は、上記周辺回路の電源電圧と異なる電圧を上記メモリアレイに印加する  
ことを特徴とする半導体記憶装置。

**【請求項25】**

請求項19において、

上記第1回路は、

上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じてしき  
い値電圧の大きさが変化するpチャネル型トランジスタとnチャネル型トランジスタとを

有し、

上記 p チャネル型トランジスタのしきい値電圧の大きさと上記 n チャネル型トランジスタのしきい値電圧の大きさとの差を検出し、

上記差を、上記周辺回路の電源電圧に加えて上記メモリアレイに印加することを特徴とする半導体記憶装置。

**【請求項 26】**

請求項 19 において、

上記スタティック型メモリセルは、それぞれ 2 つの p チャネル型 MOS トランジスタおよび 4 つの n チャネル型 MOS トランジスタを有するメモリセルであることを特徴とする半導体記憶装置。

**【請求項 27】**

請求項 19 において、

上記第 1 回路は、

上記しきい値の大きさに基づいた電圧を生成する電圧生成回路と、

上記メモリアレイに電源電圧を供給する電源電圧供給回路とを具備し、

上記電圧生成回路は、上記周辺回路より電圧を入力され、

上記電源電圧供給回路は、

上記電圧生成回路からの入力を受けると共に、上記周辺回路の電源電圧よりも高い電圧を上記メモリアレイに出力することを特徴とする半導体記憶装置。

**【請求項 28】**

請求項 27 において、

上記電圧生成回路は、

第 1 の電流源と、第 2 の電流源と、

ゲート電極がドレイン電極と接続された p チャネル型トランジスタと、

ゲート電極が上記 p チャネル型トランジスタのソース電極と接続された n チャネル型トランジスタとを具備し、

上記 p チャネル型トランジスタのゲート電極が上記周辺回路の電源電圧の電源線と接続され、上記 p チャネル型トランジスタのソース電極が上記 p チャネル型トランジスタの基板電極および上記第 2 の電流源と接続され、

上記 n チャネル型トランジスタのドレイン電極が上記第 1 の電流源と接続され、

上記 n チャネル型トランジスタのソース電極が上記 n チャネル型トランジスタの基板電極および上記第 2 の電流源と接続され、

上記 n チャネル型トランジスタのソース電極の電位が、上記電圧生成回路の出力になることを特徴とする半導体記憶装置。

**【請求項 29】**

請求項 28 において、

上記第 1 の電流源を流れる電流と上記第 2 の電流源を流れる電流とが等しいことを特徴とする半導体記憶装置。

**【請求項 30】**

請求項 27 において、

上記電圧生成回路は、

n チャネル型トランジスタおよび p チャネル型トランジスタのしきい値電圧の大きさを記憶する回路を有し、

上記電源電圧供給回路は、

上記しきい値の大きさを記憶する回路の記憶した情報を用いて上記メモリアレイの電源電圧を出力する回路を具備することを特徴とする半導体記憶装置。

**【請求項 31】**

請求項 27 において、

上記電圧生成回路は、

トランジスタのしきい値電圧の大きさによって出力電位を変化させる回路と、

しきい値電圧の大きさと比較される参照電位を出力する回路と、  
上記トランジスタのしきい値電圧の大きさの電位と上記参照電位とを比較する回路とを  
具備することを特徴とする半導体記憶装置。

【請求項 3 2】

複数のスタティック型メモリセルを有するメモリアレイと、  
上記メモリアレイを制御する周辺回路と、  
上記メモリアレイに電源を供給する第1電源線と、  
上記周辺回路に電源を供給する第2電源線と、  
上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じて上記  
メモリアレイの電源電圧を変化させる回路とを具備し、  
上記メモリアレイの電源電圧とは異なる他の電源電圧を生成して上記メモリアレイに上  
記他の電源電圧を供給するために、上記第1回路に上記メモリアレイおよび上記周辺回路  
のいずれとも異なる他の回路の電源電圧が供給されることを特徴とする半導体記憶装置。

【請求項 3 3】

請求項 3 2 において、  
上記第1電源線と上記第2電源線とは分離され、  
上記第1電源線は、  
上記メモリアレイと、上記スタティック型メモリセル内のトランジスタのしきい値電圧  
の大きさに応じてメモリアレイの電源電圧を変化させる回路とに接続されていることを特  
徴とする半導体記憶装置。

【請求項 3 4】

複数のスタティック型メモリセルからなるメモリアレイと、  
上記メモリアレイを制御する周辺回路と、  
上記スタティック型メモリセルに使用されているトランジスタのしきい値電圧の大きさ  
に応じて、上記メモリアレイの電源電圧と上記メモリアレイを構成するトランジスタの基  
板電圧とを制御する第2回路とを具備し、  
上記メモリアレイの電源電圧とは異なる他の電源電圧を生成して上記メモリアレイに上  
記他の電源電圧を供給するために、上記第1回路に上記メモリアレイおよび上記周辺回路  
のいずれとも異なる他の回路の電源電圧が供給されることを特徴とする半導体記憶装置。

【請求項 3 5】

請求項 3 4 において、  
上記メモリセルは、  
nチャネル型トランジスタと、pチャネル型トランジスタとを具備し、  
上記第2回路は、上記nチャネル型トランジスタのしきい値電圧および上記pチャネル  
型トランジスタのしきい値電圧の大きさを記憶する回路と、  
上記しきい値の大きさを記憶する回路の記憶した情報を用いて上記メモリアレイの電源  
電圧および上記メモリアレイを構成するトランジスタの基板電圧を出力する回路とを具備  
することを特徴とする半導体記憶装置。

【請求項 3 6】

請求項 3 4 において、  
上記第2回路は、  
上記nチャネル型トランジスタのしきい値電圧の大きさと上記pチャネル型トランジス  
タのしきい値電圧の大きさを検出する回路と、  
上記検出するしきい値電圧の大きさを用いて上記メモリアレイの電源電圧および上記メ  
モリアレイを構成するトランジスタの基板電圧を出力する回路とを具備することを特徴と  
する半導体記憶装置。

【請求項 3 7】

請求項 3 4 において、  
上記メモリセルは、  
第1と第2のnチャネル型駆動トランジスタと、第1と第2のpチャネル型負荷トラン

ジスタと、第1と第2のnチャネル型転送トランジスタと具備し、

上記第1と第2のnチャネル型駆動トランジスタと上記第1と第2のnチャネル型転送トランジスタとの基板電位は、同じ信号線により制御されることを特徴とする半導体記憶装置。

**【請求項38】**

請求項34において、

上記半導体記憶装置は、nチャネル型トランジスタと、pチャネル型トランジスタと、

上記nチャネル型トランジスタを流れる電流を検知する回路と、

上記pチャネル型トランジスタを流れる電流を検知する回路と、

上記2つの回路によって検知された電流の電流量を参照し、電源電圧およびnチャネル型トランジスタの基板電位およびpチャネル型トランジスタの基板電位を変化させる回路とを具備することを特徴とする半導体記憶装置。