

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年11月13日 (2008.11.13)

【公開番号】特開2006-210927(P2006-210927A)

【公開日】平成18年8月10日 (2006.8.10)

【年通号数】公開・登録公報2006-031

【出願番号】特願2006-18863(P2006-18863)

【国際特許分類】

H 0 1 L 21/20 (2006.01)

H 0 1 L 27/12 (2006.01)

H 0 1 L 21/02 (2006.01)

H 0 1 L 21/762 (2006.01)

H 0 1 L 21/76 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【 F I 】

H 0 1 L 21/20

H 0 1 L 27/12 Z

H 0 1 L 27/12 E

H 0 1 L 21/76 D

H 0 1 L 21/76 E

H 0 1 L 29/78 3 0 1 X

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/78 6 2 7 G

H 0 1 L 29/78 6 2 7 A

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 7 J

H 0 1 L 29/78 6 2 6 B

H 0 1 L 29/58 G

H 0 1 L 29/78 3 0 1 Y

【手続補正書】

【提出日】平成20年10月1日 (2008.10.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体構造を形成する方法であって、

( a ) 単結晶シリコン基板を用意するステップと、

( b ) 前記基板の上面にハードマスク層を形成するステップと、

( c ) 光リソグラフィ・プロセスを行わずに、マスキング・パターンをもつナノマスク層

を前記ハードマスク層の上面に形成するステップと、

(d) 前記マスキング・パターンを前記ハードマスク層にエッチングして、パターン化されたハードマスク層の上面から前記基板の上面まで延びる開口部を、該開口部又は該開口部間の隔たり、若しくは該開口部と該開口部間の隔たりとの両方がパターン化されたハードマスク層の上面に平行に延びる少なくとも1つの空間的広がり (spatial extent) を個別に有する形態で、パターン化されたハードマスク層を形成するステップと、

(e) 前記ナノマスク層を除去した後に、前記パターン化されたハードマスク層の開口部を埋める単結晶ⅢⅤ族半導体層を、前記パターン化されたハードマスク層の上面に形成するステップと、

を含む方法。

【請求項2】

前記単結晶ⅢⅤ族半導体層が、エピタキシャルシリコン、エピタキシャルゲルマニウム、又はシリコンとゲルマニウムのエピタキシャル混合物を堆積することによって形成されることを特徴とする請求項1に記載の方法。

【請求項3】

(f) 前記ⅢⅤ族半導体層をアニーリングするステップをさらに含む、請求項1に記載の方法。

【請求項4】

(f) 前記単結晶ⅢⅤ族半導体層の上面を平坦化するために化学機械研磨を行うステップをさらに含む、請求項1に記載の方法。

【請求項5】

前記パターン化されたハードマスク層がハードマスクのアイランドを含むか、又は前記開口部が前記パターン化されたハードマスク層内における穴であることを特徴とする請求項1に記載の方法。

【請求項6】

前記パターン化されたハードマスク層の上面が、前記単結晶ⅢⅤ族半導体層の上面より約20ナノメートル乃至約300ナノメートル下にあることを特徴とする請求項1に記載の方法。

【請求項7】

前記ナノマスク層が2つ又はそれ以上の異なるポリマーを含むブロックコポリマー層からなり、該ブロックコポリマー層から前記ポリマーのうちの1つの全て又は一部が除去されることを特徴とする請求項1に記載の方法。

【請求項8】

前記ナノマスク層がナノ結晶を含むことを特徴とする請求項1に記載の方法。

【請求項9】

前記単結晶ⅢⅤ族半導体層の上面にゲート誘電体を形成するステップと、

前記ゲート誘電体の上面にゲート電極を形成するステップと、

前記ゲート電極の両側において前記単結晶ⅢⅤ族半導体層にソース及びドレインを形成するステップと、

をさらに含む、請求項1に記載の方法。

【請求項10】

前記ステップ(b)と前記ステップ(c)との間で、前記ソース及び前記ドレインの形成のために確保された前記単結晶ⅢⅤ族半導体層の領域上の前記ハードマスク層の上面に保護層を形成するステップをさらに含み、前記保護層は、前記マスキング・パターンが前記ハードマスク層に転写されるのを防止することを特徴とする請求項9に記載の方法。

【請求項11】

前記少なくとも1つの空間的広がりが、約2ナノメートル乃至約100ナノメートルであることを特徴とする請求項1に記載の方法。

【請求項12】

前記単結晶ⅠⅤ族半導体層が $\text{Si}_x\text{Ge}_y$ を含み、ここで $x = 0$ から1及び $y = x - 1$ であることを特徴とする請求項1に記載の方法。

【請求項13】

半導体構造を形成する方法であって、

- (a) 単結晶シリコン基板を用意するステップと、
  - (b) 前記基板の上面にダミー・ゲートを形成するステップと、
  - (c) 光リソグラフィ・プロセスを行わずに、マスキング・パターンをもつナノマスク層を前記基板の上面及び前記ダミー・ゲートの上面に形成するステップと、
  - (d) 前記ダミー・ゲートによって前記基板がカバーされていない場所で前記マスキング・パターンを前記基板にエッチングして、前記基板の上面から所定の距離だけ前記基板の中に延びる開口部を、該開口部又は該開口部間の隔たり、若しくは該開口部と該開口部間の隔たりとの両方が前記パターン化された層の上面に平行に延びる少なくとも1つの空間的広がりをもつ形態で、前記基板にパターン化されたシリコン領域を形成するステップと、
  - (e) 前記ナノマスク層を除去した後に、前記基板の上面及び前記開口部の側壁に保護層を形成するステップと、
  - (f) 前記開口部の底面において露出された前記基板を酸化させて、パターン化された埋設二酸化ケイ素層を形成するステップと、
  - (g) 前記開口部の前記側壁から前記保護層を除去するステップと、
  - (h) 前記開口部を単結晶ⅠⅤ族半導体材料で埋めるステップと、
- を含む方法。

【請求項14】

前記ステップ(h)が、前記開口部にポリ- $\text{Si}_x\text{Ge}_y$ 、ここで $x = 0$ から1及び $y = x - 1$ 、を選択的に堆積させ、前記 $\text{Si}_x\text{Ge}_y$ をアニーリングすることを含む、請求項13に記載の方法。

【請求項15】

前記開口部が、エピタキシャル $\text{Si}_x\text{Ge}_y$ を前記開口部に堆積させることによって、単結晶 $\text{Si}_x\text{Ge}_y$ 、ここで $x = 0$ から1及び $y = x - 1$ 、で埋められることを特徴とする請求項13に記載の方法。

【請求項16】

前記基板の前記ダミー・ゲートの両側にソース及びドレインを形成するステップと、  
前記ダミー・ゲート及び前記ダミー・ゲートによってカバーされない前記基板の上面に平坦化層を形成するステップと、  
前記平坦化層の上面と前記ダミー・ゲートの上面を共面化するステップと、  
前記ダミー・ゲートを除去するステップと、  
前記ダミー・ゲートを除去することによって露出された前記基板の上面にゲート誘電体を形成するステップと、  
前記ソース及び前記ドレインと自己位置合わせするゲート電極を前記ゲート誘電体の上面に形成するステップと、  
をさらに含む、請求項13に記載の方法。

【請求項17】

前記パターン化された埋設二酸化ケイ素層が前記ソース及び前記ドレインの下に延びることを特徴とする請求項16に記載の方法。

【請求項18】

前記パターン化された埋設二酸化ケイ素層が前記ゲート電極の下に完全には延びないことを特徴とする請求項16に記載の方法。

【請求項19】

前記ステップ(a)の前に、前記基板に埋設された酸素リッチ層を形成することをさらに含む、請求項13に記載の方法。

【請求項20】

前記開口部が、前記基板の上面から前記酸素リッチ層に延びることを特徴とする請求項1  
9に記載の方法。

【請求項 2 1】

半導体構造を形成する方法であって、

- (a) 単結晶シリコン基板を用意するステップと、
  - (b) 前記基板の上面にダミー・ゲートを形成するステップと、
  - (c) 光リソグラフィ・プロセスを行わずに、マスキング・パターンをもつナノマスク層を前記基板の上面及び前記ダミー・ゲートの上面に形成するステップと、
  - (d) 前記ダミー・ゲートによって前記基板がカバーされていない場所で前記マスキング・パターンを前記基板にエッチングして、前記基板の上面から所定の距離だけ前記基板の中に延びる開口部を、該開口部又は該開口部間の隔たり、若しくは該開口部と前記該開口部間の隔たりとの両方が前記パターン化された層の上面に平行に延びる少なくとも1つの空間的広がりを個別に有する形態で、前記基板に形成するステップと、
  - (e) 前記基板をアニーリングして、前記基板の上面に隣接してシリコンをリフローさせ、前記基板の上面から前記開口部をシールオフし、前記開口部を埋設間隙に合体させるステップと、
- を含む方法。

【請求項 2 2】

前記基板の前記ダミー・ゲートの両側にソース及びドレインを形成するステップと、  
前記ダミー・ゲート及び前記ダミー・ゲートによってカバーされない前記基板の上面に平坦化層を形成するステップと、  
前記平坦化層の上面と前記ダミー・ゲートの上面を共面化するステップと、  
前記ダミー・ゲートを除去するステップと、  
前記ダミー・ゲートを除去することによって露出された前記基板の上面にゲート誘電体を形成するステップと、  
前記ソース及び前記ドレインと自己位置合わせするゲート電極を前記ゲート誘電体の上面に形成するステップと、  
をさらに含む、請求項2 1に記載の方法。

【請求項 2 3】

前記1つ又はそれ以上の埋設間隙が前記ソースの下に延び、1つ又はそれ以上の埋設間隙が前記ドレインの下に延びることを特徴とする請求項2 2に記載の方法。

【請求項 2 4】

半導体構造であって、  
シリコン下層と、前記シリコン下層の上面上のパターン化された埋設酸化物層とを含み、  
前記パターン化された埋設酸化物層が開口部を有し、該開口部が前記パターン化された埋設酸化物層を通して延び、かつ、単結晶ⅢⅤ族半導体材料で埋められており、前記パターン化された埋設酸化物層の上に単結晶ⅢⅤ族半導体層があり、前記開口部の幅又は前記開口部間の隔たり、若しくは前記開口部と前記開口部間の隔たりとの両方が、光リソグラフィにより画定可能な寸法より小さい少なくとも1つの空間的広がりを個別に有し、前記少なくとも1つの空間的広がりが基板の上面に平行に延びるようにされた基板と、  
前記シリコン基板の上面のゲート誘電体と、  
前記ゲート誘電体の上面のゲート電極と、  
前記基板に形成された前記ゲート電極の両側のソース及びドレインと、  
を含む半導体構造。

【請求項 2 5】

前記パターン化された埋設酸化物層が、前記ソース及び前記ドレインの下では延びないが前記ゲート電極の下では延びることを特徴とする請求項2 4に記載の構造。

【請求項 2 6】

前記パターン化された埋設酸化物層が、前記ゲート電極の下に延び、かつ前記ソース及び前記ドレインの下に部分的に延びることを特徴とする請求項2 4に記載の構造。

【請求項 2 7】

前記ソース及び前記ドレインの下に延びる連続埋設酸化物層をさらに含み、前記パターン化された埋設酸化物層が前記ゲート電極の下に延びることを特徴とする請求項 2 4 に記載の構造。

【請求項 2 8】

半導体構造であって、  
シリコン基板と、  
前記シリコン基板の上面のゲート誘電体と、  
前記ゲート誘電体の上面のゲート電極と、  
前記基板に形成された前記ゲート電極の両側のソース及びドレインと、  
前記ソースの下の前記基板の第 1 の間隙又は間隙の群と、  
前記ドレインの下の前記基板の第 2 の間隙又は間隙の群と、  
を含む半導体構造。

【請求項 2 9】

前記第 1 又は前記第 2 の間隙の最上面が、前記基板の上面より約 2 0 ナノメートルから約 3 0 0 ナノメートルまでの間だけ下にあり、又は、前記基板の上面に最も近い前記第 1 及び前記第 2 群の間隙の最上面が、前記基板の上面より約 2 0 ナノメートル乃至約 3 0 0 ナノメートル下にあることを特徴とする請求項 2 8 に記載の構造。

【請求項 3 0】

前記第 1 及び前記第 2 の間隙又は間隙群は、前記ゲート電極の下には延びないことを特徴とする請求項 2 8 に記載の構造。

【請求項 3 1】

前記第 1 及び前記第 2 の間隙又は間隙群は、前記ゲート電極の下に部分的に延びることを特徴とする請求項 2 8 に記載の構造。