

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/027

(11) 공개번호 특2001-0003465
(43) 공개일자 2001년01월 15일

(21) 출원번호	10-1999-0023762
(22) 출원일자	1999년06월 23일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 우성수 경기도이천시대월면사동리현대아파트501-204호 서재욱 인천광역시남구송의2동296-5420/4
(74) 대리인	강성배

심사청구 : 있음

(54) 반도체 소자의 미세 패턴 형성 방법

요약

본 발명은 반도체 소자의 미세 패턴 형성 방법을 개시한다. 개시된 본 발명은, 반도체 기판상에 제 1 산화막을 증착한다. 제 1 산화막상에 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 마스크로 하여 제 1 산화막을 식각한다. 전체 결과물상에 폴리실리콘막을 증착한 후 에치백하여, 제 1 산화막의 측벽에만 남는 폴리실리콘 스페이서를 형성한다. 전체 결과물상에 제 2 산화막을 증착한 후, 제 2 산화막과 폴리실리콘 스페이서 표면을 화학기계적 연마법으로 연마한다. 제 1 및 제 2 산화막을 습식 식각하여 제거하면, 폴리실리콘 스페이서만이 남게 된다.

대표도

도 10

명세서

도면의 간단한 설명

도 1 내지 도 10은 본 발명에 따른 미세 패턴 형성 방법을 순차적으로 나타낸 단면도.

- 도면의 주요 부분에 대한 부호의 설명 -

10 ; 반도체 기판	20 ; 제 1 산화막
21 ; 제 1 산화막 패턴	30 ; 포토레지스트 패턴
40 ; 폴리실리콘막	41 ; 폴리실리콘 스페이서
50 ; 제 2 산화막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 미세 패턴 형성 방법에 관한 것으로서, 보다 구체적으로는 반도체 기판상에 폴리실리콘을 미세한 패턴으로 형성하는 방법에 관한 것이다.

반도체 기판상에 증착된 폴리실리콘막상에 소정의 패턴을 형성하기 위해 노광 공정이 실시된다. 먼저, 폴리실리콘막과 포토레지스트와의 접착력 강화를 위한 HMDS를 반도체 기판에 분사한 후, 포토레지스트를 폴리실리콘막에 스�핀 코팅한다. 그런 다음, 노광 장비로부터 레티클을 거쳐 포토레지스트로 ArF 레이저나 전자빔을 조사하여, 포토레지스트의 원하는 부분에만 레이저나 빔이 조사되도록 한다. 그런 다음, 현상 공정을 통해서 레이저나 빔에 노출된 포토레지스트 부분을 제거함으로써, 콘택홀을 비롯한 원하는 패턴을 포토레지스트에 형성한다.

이와 같이 형성된 포토레지스트 패턴을 식각 마스크로 하여 폴리실리콘막을 식각함으로써, 폴리실리콘막

에 소정의 패턴을 형성한다.

발명이 이루고자하는 기술적 과제

그런데, 반도체 소자가 고집적화되어 감에 따라, 패턴 선폭도 $0.18\mu\text{m}$ 이하의 크기로 매우 미세해지고 있다. 이러한 미세 선폭으로 패턴을 형성하기 위해서는, 레티클도 미세 선폭으로 제작해야 하고, 포토레지스트도 미세 선폭으로 구현가능한 특성을 가져야 하는데, 현재 기술로는 레티클의 제작이 곤란하고 또한 포토레지스트의 특성도 뒷받침되지 못하고 있는 실정이다.

본 발명은 레티클을 이용한 노광 공정을 통해 형성된 포토레지스 패턴으로 폴리실리콘막에 직접 패턴을 형성하지 않고, 간접적으로 폴리실리콘막에 패턴을 형성하여, 미세 패턴 구현이 가능한 반도체 소자의 미세 패턴 형성 방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해, 본 발명에 따른 미세 패턴 형성 방법은 다음과 같다.

반도체 기판상에 제 1 산화막을 증착한다. 제 1 산화막상에 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 마스크로 하여 제 1 산화막을 식각한다. 전체 결과물상에 폴리실리콘막을 증착한 후에 에치백하여, 제 1 산화막의 측벽에만 남는 폴리실리콘 스페이서를 형성한다. 전체 결과물상에 제 2 산화막을 증착한 후, 제 2 산화막과 폴리실리콘 스페이서 표면을 화학기계적 연마법으로 연마한다. 제 1 및 제 2 산화막을 습식 식각하여 제거하면, 폴리실리콘 스페이서만이 남게 된다.

상기된 본 발명의 구성에 의하면, 노광 공정이 제 1 산화막에 실시되어서 제 1 산화막이 패터닝되고, 제 1 산화막의 측벽에 형성된 폴리실리콘 스페이서들간의 간격이 패턴 선폭이 되므로, 제 1 산화막의 폭을 크게 하면 폴리실리콘 스페이서간의 간격이 좁아지게 되어, 미세 패턴이 구현된다.

이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 상세히 설명한다.

도 1 내지 도 10은 본 발명에 따른 미세 패턴 형성 방법을 순차적으로 나타낸 단면도이다.

도 1에 도시된 반도체 기판(10)상에 도 2와 같이 BPSG, HDP 또는 TEOS와 같은 제 1 산화막(20)을 증착한다. 그런 다음, 포토레지스트를 제 1 산화막(20)상에 도포한 후, 노광 공정을 통해 포토레지스트를 노광하여, 도 3에 도시된 포토레지스트 패턴(30)을 형성한다.

이어서, 포토레지스트 패턴(30)을 식각 마스크로 하여 제 1 산화막(20)을 식각하여, 도 4에 도시된 바와 같이, 제 1 산화막 패턴(21)을 형성한다. 그런 다음, 도 5와 같이 전체 결과물상에 폴리실리콘막(40)을 증착한 후, 폴리실리콘막(40)을 에치백하여, 도 6과 같이 제 1 산화막 패턴(21)의 측벽에 폴리실리콘 스페이서(41)를 형성한다. 이때, 폴리실리콘 스페이서(41)의 폭이 구현하려는 패턴의 폭이 된다. 즉, 종래에는 레티클의 패턴폭이 구현하려는 패턴폭이 되었으나, 본 발명에 의해서는 폴리실리콘 스페이서(41)의 폭이 구현하려는 패턴의 폭이 된다. 따라서, 폴리실리콘 스페이서(41) 형성시, 그의 폭을 구현하려는 패턴폭으로 제어한다.

그런 다음, 도 7과 같이 전체 결과물상에 제 2 산화막(50)을 증착한다. 이어서, 화학기계적 연마 공정을 통해, 제 2 산화막(50)과 폴리실리콘 스페이서(41) 상단 및 제 1 산화막 패턴(21)의 표면을 연마하여, 소정 두께를 제거한다. 이러한 연마 공정을 통해, 도 8와 같이 폴리실리콘 스페이서(41) 내부에는 제 1 산화막 패턴(21)이 남게 되고, 각 폴리실리콘 스페이서(41)들 사이에는 제 2 산화막(50)이 남게 된다. 또한, 화학기계적 연마 공정을 통해, 구현하려는 높이로 폴리실리콘 스페이서(41)의 높이를 조절할 수가 있으며, 아울러 폴리실리콘 스페이서(41)의 뾰족한 상단부를 제거하게 된다.

이어서, 습식 식각 공정을 통해 제 1 산화막 패턴(21)과 제 2 산화막(50)을 제거한다. 그러면, 도 9에 도시된 바와 같이, 반도체 기판(10)상에 라인 형상의 폴리실리콘 스페이서(41)만이 남게 된다.

한편, 부가적인 공정인 에치백 공정을 통해서, 폴리실리콘 스페이서(41)의 상단을 완만한 형상으로 형성한다.

발명의 효과

상기된 바와 같이 본 발명에 의하면, 노광 공정을 통해 구현하려는 패턴이 폴리실리콘막에 직접 구현되는 것이 아니라, 노광 공정을 통해 형성된 산화막 패턴의 측벽에 형성되는 폴리실리콘 스페이서의 폭이 구현하려는 패턴폭이 된다. 따라서, 폴리실리콘막의 증착 두께를 임의로 조절하여, 폴리실리콘막에 미세 패턴을 구현하는 것이 실현된다.

한편, 본 발명은 상술한 특성의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1

반도체 기판상에 제 1 산화막 패턴을 형성하는 단계;

전체 결과물상에 폴리실리콘막을 증착하는 단계;

상기 폴리실리콘막을 에치백하여, 상기 제 1 산화막 패턴의 측벽에 폴리실리콘 스페이서를 형성하는 단

계;

전체 결과물상에 제 2 산화막을 증착한 후, 상기 폴리실리콘 스페이서의 상단이 노출되도록 화학기계적 연마법으로 상기 제 2 산화막과 제 1 산화막 패턴 및 폴리실리콘 스페이서를 연마하는 단계; 및

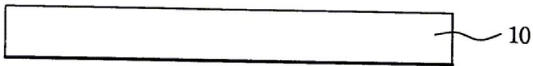
상기 폴리실리콘 스페이서 사이에 위치한 제 1 산화막 패턴과 제 2 산화막을 습식 식각으로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 2

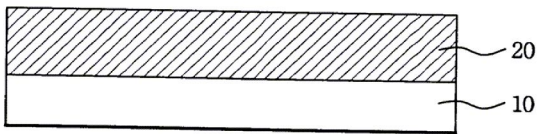
제 1 항에 있어서, 상기 제 1 산화막 패턴과 제 2 산화막 제거 후, 상기 폴리실리콘 스페이서의 상단을 에치백하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

도면

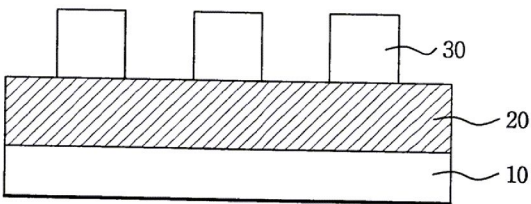
도면1



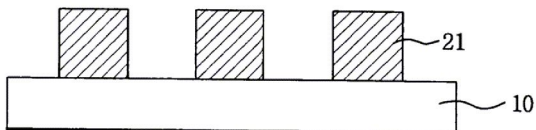
도면2



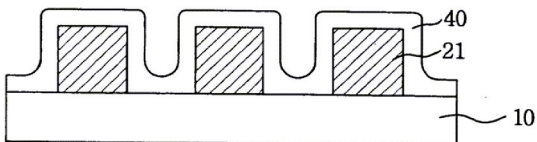
도면3



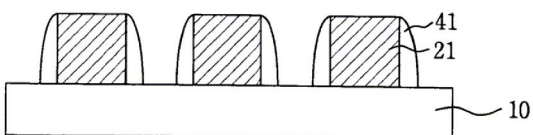
도면4



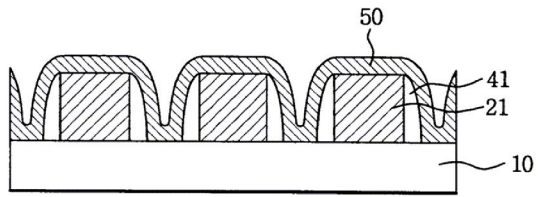
도면5



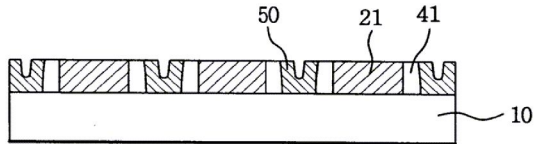
도면6



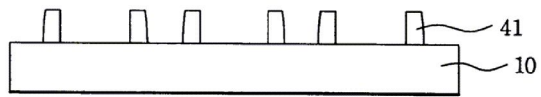
도면7



도면8



도면9



도면10

