

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 18 年 7 月 6 日 (2006.7.6)

【公開番号】特開 2000-340794 (P2000-340794A)  
 【公開日】平成 12 年 12 月 8 日 (2000.12.8)  
 【出願番号】特願 平 11-153904  
 【国際特許分類】

**H 0 1 L 29/786 (2006.01)**

【F I】

H 0 1 L 29/78 6 2 6 C

【手続補正書】  
 【提出日】平成 18 年 5 月 23 日 (2006.5.23)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】

【請求項 1】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、

前記 S O I 層上に形成された半導体素子とを備え、

前記埋め込み酸化膜は、全域に渡ってフッ素を所定の濃度でほぼ均一に含有することを特徴とする半導体装置。

【請求項 2】 前記半導体素子は M O S F E T である、請求項 1 記載の半導体装置。

【請求項 3】 前記半導体素子は M O S F E T であって、

前記 M O S F E T は、チャネルが形成されるチャネル領域と、該チャネル領域を間に挟んで形成されたドレイン領域およびソース領域とを前記 S O I 層中に有し、

前記埋め込み酸化膜は、

前記ドレイン領域およびソース領域の下部に対応した領域に形成され、全域に渡ってフッ素を所定の濃度でほぼ均一に含有した第 1 および第 2 のフッ素含有領域と、

前記チャネル領域の下部に対応した領域に形成され、フッ素を含有しない通常領域とを有する、請求項 1 記載の半導体装置。

【請求項 4】 前記フッ素の所定の濃度の最大値は、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$  の範囲の何れかの濃度である、請求項 2 または請求項 3 記載の半導体装置。

【請求項 5】 前記 M O S F E T の周囲の前記 S O I 層中に形成され、前記 S O I 層の主面表面から、前記埋め込み酸化膜の主面表面に達する素子分離絶縁膜をさらに備え、

前記素子分離絶縁膜はフッ素を含有する、請求項 2 または請求項 3 記載の半導体装置。

【請求項 6】 シリコン基板と、

前記シリコン基板上に形成された M O S F E T と、

前記 M O S F E T の周囲の前記シリコン基板の主面表面内に形成された素子分離絶縁膜とを備え、

前記素子分離絶縁膜は、フッ素を含有することを特徴とする半導体装置。

【請求項 7】 シリコン基板と、前記シリコン基板上に形成された埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、

前記 S O I 層上に形成された M O S F E T と、

前記 M O S F E T の周囲の前記 S O I 層中に形成され、前記 S O I 層の主面表面から、前記埋め込み酸化膜の主面表面に達する素子分離絶縁膜とを備え、

前記素子分離絶縁は、フッ素を含有することを特徴とする半導体装置。

【請求項 8】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された M O S F E T とを備えた半導体装置の製造方法であって、

(a) 前記シリコン基板に  $1 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-2}$  のドーズ量となるように酸素イオン注入を行う工程と、

(b) 前記シリコン基板に、前記酸素イオンの飛程と同じ飛程で、 $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-2}$  のドーズ量となるようにフッ素イオン注入を行う工程と、

(c)  $1000 \sim 1350$  の温度条件で熱処理を行い、イオン注入された酸素およびフッ素を拡散させて、全域に渡ってフッ素を所定の濃度でほぼ均一に含有する前記埋め込み酸化膜を形成する工程とを備える、半導体装置の製造方法。

【請求項 9】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された M O S F E T とを備えた半導体装置の製造方法であって、

(a) 前記シリコン基板に  $4 \times 10^{17} \text{ cm}^{-2}$  程度のドーズ量となるように酸素イオン注入を行う工程と、

(b) 前記シリコン基板に、前記酸素イオンの飛程と同じ飛程で、 $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-2}$  のドーズ量となるようにフッ素イオン注入を行う工程と、

(c)  $1000 \sim 1350$  の温度条件で酸化処理を行い、イオン注入された酸素およびフッ素を拡散させて、全域に渡ってフッ素を所定の濃度でほぼ均一に含有する前記埋め込み酸化膜を形成するとともに、前記シリコン基板の表面に酸化膜を形成する工程とを備える、半導体装置の製造方法。

【請求項 10】 前記工程 (b) は、

前記埋め込み酸化膜の上部よりの位置を想定して、当該位置にフッ素イオンを注入する工程と、

前記埋め込み酸化膜の下部よりの位置を想定して、当該位置にフッ素イオンを注入する工程とを含む、請求項 8 または請求項 9 記載の半導体装置の製造方法。

【請求項 11】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された M O S F E T とを備えた半導体装置の製造方法であって、

(a) 前記シリコン基板とは別個の貼り合わせ用シリコン基板を準備し、該貼り合わせ用シリコン基板の主面上に全域に渡ってフッ素を所定の濃度でほぼ均一に含有する埋め込み酸化膜を形成する工程と、

(b) 前記埋め込み酸化膜と前記貼り合わせ用シリコン基板との界面よりも深い位置に、 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-2}$  のドーズ量となるように水素イオン注入を行って欠陥層を形成する工程と、

(c) 前記貼り合わせ用シリコン基板の前記埋め込み酸化膜が形成された主面と、前記シリコン基板の主面とが対面するように前記貼り合わせ用シリコン基板と前記シリコン基板とを貼り合わせる工程と、

(d)  $400 \sim 700$  の温度条件で熱処理を行い、前記欠陥層を境にして前記貼り合わせ用シリコン基板の前記埋め込み酸化膜とは反対側の部分を剥離して、前記 S O I 基板を形成する工程とを備える、半導体装置の製造方法。

【請求項 12】 前記工程 (a) は、

(a - 1) 前記貼り合わせ用シリコン基板の主面上に酸化膜を形成する工程と、

(a - 2) 前記酸化膜に  $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-2}$  のドーズ量となるようにフッ素イオン注入を行う工程と、

(a - 3)  $1000 \sim 1350$  の温度条件で熱処理を行い、イオン注入されたフッ素を全域に渡って均一に拡散させる工程とを含む、請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記工程 (a - 2) は、

前記酸化膜の中心部にフッ素イオンを注入する工程を含む、請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 4】 前記工程 (a - 2) は、

前記酸化膜の上部よりの位置にフッ素イオンを注入する工程と、

前記酸化膜の下部よりの位置にフッ素イオンを注入する工程とを含む、請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 5】 前記工程 (a) は、フッ素を含んだ反応性ガスを使用する C V D 法により前記埋め込み酸化膜を形成する工程を含む、請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 6】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された M O S F E T とを備えた半導体装置の製造方法であって、

(a) 前記シリコン基板とは別個の貼り合わせ用シリコン基板を準備し、該貼り合わせ用シリコン基板の主面上に陽極化成処理により多孔質シリコン層を形成する工程と、

(b) 前記多孔質シリコン層上にシリコン単結晶層をエピタキシャル成長させ、エピタキシャル層を形成する工程と、

(c) 前記エピタキシャル層上に全域に渡ってフッ素を所定の濃度でほぼ均一に含有する埋め込み酸化膜を形成する工程と、

(d) 前記貼り合わせ用シリコン基板の前記埋め込み酸化膜が形成された主面と、前記シリコン基板の主面とが対面するように前記貼り合わせ用シリコン基板と前記シリコン基板とを貼り合わせる工程と、

(e) 前記多孔質シリコン層を境にして前記貼り合わせ用シリコン基板の前記埋め込み酸化膜とは反対側の部分を除去した後、前記多孔質シリコン層を除去して前記 S O I 基板を形成する工程とを備える、半導体装置の製造方法。

【請求項 1 7】 前記工程 (c) は、

(c - 1) 前記貼り合わせ用シリコン基板の主面上に酸化膜を形成する工程と、

(c - 2) 前記酸化膜に  $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-2}$  のドーズ量となるようにフッ素イオン注入を行う工程と、

(c - 3)  $1000 \sim 1350$  の温度条件で熱処理を行い、イオン注入されたフッ素を全域に渡って均一に拡散させる工程とを含む、請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 8】 前記工程 (c - 2) は、

前記酸化膜の中心部にフッ素イオンを注入する工程を含む、請求項 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記工程 (c - 2) は、

前記酸化膜の上部よりの位置にフッ素イオンを注入する工程と、

前記酸化膜の下部よりの位置にフッ素イオンを注入する工程とを含む、請求項 1 7 記載の半導体装置の製造方法。

【請求項 2 0】 前記工程 (a) は、フッ素を含んだ反応性ガスを使用する C V D 法により前記埋め込み酸化膜を形成する工程を含む、請求項 1 6 記載の半導体装置の製造方法。

【請求項 2 1】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された M O S F E T とを備えた半導体装置の製造方法であって、

(a) 前記シリコン基板上に形成されたフッ素を含有しない埋め込み酸化膜と、前記フッ素を含有しない埋め込み酸化膜上に形成された前記 S O I 層とを有する通常の S O I 基板を準備する工程と、

(b) 前記フッ素を含有しない埋め込み酸化膜に  $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-2}$  のドーズ量となるようにフッ素イオン注入を行う工程と、

(c) 1000 ~ 1350 の温度条件で熱処理を行い、イオン注入されたフッ素を全域に渡って均一に拡散させ、前記フッ素を含有しない埋め込み酸化膜をフッ素を含有した前記埋め込み酸化膜とする工程と、を備える半導体装置の製造方法。

【請求項 22】 前記工程 (b) は、

前記フッ素を含有しない埋め込み酸化膜の中心部にフッ素イオンを注入する工程を含む、請求項 21 記載の半導体装置の製造方法。

【請求項 23】 前記工程 (b) は、

前記フッ素を含有しない埋め込み酸化膜の上部よりの位置にフッ素イオンを注入する工程と、

前記フッ素を含有しない埋め込み酸化膜の下部よりの位置にフッ素イオンを注入する工程とを含む、請求項 21 記載の半導体装置の製造方法。

【請求項 24】 シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、

前記 S O I 層上に形成された半導体素子とを備え、

前記埋め込み酸化膜は、内部の深さ方向においてフッ素を所定の濃度でほぼ均一に含有することを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明に係る請求項 7 記載の半導体装置の製造方法は、シリコン基板と、前記シリコン基板上に形成された埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された M O S F E T と、前記 M O S F E T の周囲の前記 S O I 層中に形成され、前記 S O I 層の主面表面から、前記埋め込み酸化膜の主面表面に達する素子分離絶縁膜とを備え、前記素子分離絶縁はフッ素を含有している。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

本発明に係る請求項 23 記載の半導体装置の製造方法は、前記工程 (b) が、前記フッ素を含有しない埋め込み酸化膜の上部よりの位置にフッ素イオンを注入する工程と、前記フッ素を含有しない埋め込み酸化膜の下部よりの位置にフッ素イオンを注入する工程とを含んでいる。

本発明に係る請求項 24 記載の半導体装置の製造方法は、シリコン基板と、前記シリコン基板上に形成されたフッ素を含有する埋め込み酸化膜と、前記埋め込み酸化膜上に形成された S O I 層とを有する S O I 基板と、前記 S O I 層上に形成された半導体素子とを備え、前記埋め込み酸化膜は、内部の深さ方向においてフッ素を所定の濃度でほぼ均一に含有している。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0196

【補正方法】変更

【補正の内容】

【0196】

本発明に係る請求項 22 および 23 記載の半導体装置の製造方法によれば、イオン注入

により、全域に渡ってフッ素を所定の濃度でほぼ均一に含有した埋め込み酸化膜をより確実に提供できる。

本発明に係る請求項 2 4 記載の半導体装置によれば、フッ素を含有することで埋め込み酸化膜の比誘電率が低下し、半導体素子とシリコン基板との間の寄生容量を低減できる。