

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6911282号
(P6911282)

(45) 発行日 令和3年7月28日(2021.7.28)

(24) 登録日 令和3年7月12日(2021.7.12)

(51) Int. Cl.	F I				
G06F 13/42	(2006.01)	G06F	13/42	310	
G06F 13/38	(2006.01)	G06F	13/38	350	
G06F 13/36	(2006.01)	G06F	13/36	510	

請求項の数 21 (全 29 頁)

(21) 出願番号	特願2016-99953 (P2016-99953)	(73) 特許権者	000002185
(22) 出願日	平成28年5月18日 (2016.5.18)		ソニーグループ株式会社
(65) 公開番号	特開2017-207934 (P2017-207934A)		東京都港区港南1丁目7番1号
(43) 公開日	平成29年11月24日 (2017.11.24)	(74) 代理人	100121131
審査請求日	令和1年5月20日 (2019.5.20)		弁理士 西川 孝
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(72) 発明者	高橋 宏雄
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		(72) 発明者	横川 峰志
			東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

(54) 【発明の名称】 通信装置、通信方法、プログラム、および、通信システム

(57) 【特許請求の範囲】

【請求項1】

バスにおける制御の主導権を有する第1の通信装置と、その第1の通信装置による制御に従って通信を行う第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う送受信部を備える第1の通信装置であって、

前記送受信部は、

前記第2の通信装置から読み出されるリードデータを受信し、

前記I3CのDDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの2ビット目に対する駆動を常に行う

通信装置。

【請求項2】

前記送受信部は、前記プリアンプルの2ビット目により、次の読みだされるデータがリードデータかCRC (Cyclic Redundancy Check) であるかを問わず、前記第2の通信装置に対して通信を途中で遮断すること、または、通信の遮断を行わないことを通知する

請求項1に記載の通信装置。

【請求項3】

前記送受信部は、

前記第2の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記第2の通信装置に送信するプリアンプルの1ビット目の

値と2ビット目の値とが反転するように駆動する

請求項1に記載の通信装置。

【請求項4】

前記送受信部は、

前記第2の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記第2の通信装置に送信するプリアンプルの1ビット目の値と2ビット目の値とで2回同じ値を送信するように駆動する

請求項1に記載の通信装置。

【請求項5】

前記プリアンプルによって、そのプリアンプルに続いてCRC (Cyclic Redundancy Check) およびデータのどちらが前記第2の通信装置から送信されるかが指定される

請求項1に記載の通信装置。

10

【請求項6】

前記第1の通信装置および前記第2の通信装置の間で、前記プリアンプルに対して冗長性を持たせるための1ビットのプレパレーションビットが送受信される

請求項1に記載の通信装置。

【請求項7】

前記第2の通信装置から前記第1の通信装置へ、前記プレパレーションビットの1ビットおよび前記プリアンプルの1ビット目を用いて、同一の信号が2回送信される

請求項6に記載の通信装置。

20

【請求項8】

データに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信した前記データに対するパリティチェックを行うことでエラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンプルに続いて所定ビット数に応じたクロックを送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

をさらに備える請求項1に記載の通信装置。

【請求項9】

前記コンフリクト回避部は、

前記送受信部により受信されたプリアンプルが、トークンおよびCRC (Cyclic Redundancy Check) 5を含むCRCワードの送信を指定しているのに対して、前記プリアンプルに続いて受信された信号のビット列に基づいて、前記エラー検出部によりトークンエラーまたはCRCエラーが検出された場合、

前記プリアンプルに続いて、前記CRCワードのビット数、および、前記CRCワードのビット数と前記第2の通信装置から読み出されるリードデータのビット数との差に対応する追加クロックのビット数に応じたクロックを送信させる

請求項8に記載の通信装置。

30

【請求項10】

前記コンフリクト回避部は、前記追加クロックを送信中に前記送受信部が受信した信号を無視する

請求項9に記載の通信装置。

40

【請求項11】

前記送受信部は、前記第2の通信装置がデータ信号線に対する駆動を行って送信するCRC (Cyclic Redundancy Check) ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

請求項9に記載の通信装置。

【請求項12】

前記送受信部は、前記所定ビット数に応じたクロックを送信したのに続いて、特定の通信モードの終了を指示するコマンドを送信する

50

請求項 8 に記載の通信装置。

【請求項 13】

前記送受信部から送信された信号を受信した前記第 2 の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視するように、前記送受信部に対する指示を行うコンフリクト回避部と

をさらに備える請求項 1 に記載の通信装置。

【請求項 14】

前記送受信部は、前記第 2 の通信装置がデータ信号線に対する駆動を行って送信する CRC (Cyclic Redundancy Check) ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

請求項 1 に記載の通信装置。

【請求項 15】

前記送受信部は、通常の転送レートでデータ通信を行う SDR (Standard Data Rate) モード、および、SDR モードよりも高い転送レートでデータ通信を行う HDR (High Data Rate) モードで、信号の送受信を行うことができる

請求項 1 に記載の通信装置。

【請求項 16】

前記 HDR モードは、少なくとも前記 DDR モード、TSP (Ternary Symbol Pure-Bus) モード、および、TSL (Ternary Symbol Legacy-inclusive-Bus) モードの 3 つのモードを含む

請求項 15 に記載の通信装置。

【請求項 17】

前記送受信部は、モードを変更するコマンドを送信することで、前記第 2 の通信装置を前記 SDR モードと前記 HDR モードとで切り替えさせる

請求項 15 に記載の通信装置。

【請求項 18】

前記送受信部は、1 ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の 2 本の信号線を介して通信を行う

請求項 1 に記載の通信装置。

【請求項 19】

バスにおける制御の主導権を有する第 1 の通信装置と、その第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とが 2 本の信号線を介して通信を行う通信規格である I3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う前記第 1 の通信装置の送受信部が、

前記第 2 の通信装置から読み出されるリードデータを受信し、

前記 I3C の DDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行う

ステップを含む通信方法。

【請求項 20】

バスにおける制御の主導権を有する第 1 の通信装置と、その第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とが 2 本の信号線を介して通信を行う通信規格である I3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う送受信部を備える第 1 の通信装置のコンピュータに、

前記第 2 の通信装置から読み出されるリードデータを受信し、

前記 I3C の DDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行う

ステップを含む通信処理を実行させるプログラム。

【請求項 21】

10

20

30

40

50

バスにおける制御の主導権を有する第1の通信装置と、
前記第1の通信装置による制御に従って通信を行う第2の通信装置と
を備え、

前記第1の通信装置が、前記第1の通信装置と前記第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit) に準じた通信により、前記第2の通信装置と信号の送受信を行う送受信部を備え、

前記送受信部は、

前記第2の通信装置から読み出されるリードデータを受信し、

前記I3CのDDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの2ビット目に対する駆動を常に行う

通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、通信装置、通信方法、プログラム、および、通信システムに関し、特に、より確実に通信を行うことができるようにした通信装置、通信方法、プログラム、および、通信システムに関する。

【背景技術】

【0002】

従来、複数のデバイスが実装されたボード内でバスを介したデバイス間の通信に用いられるバスIF (Interface) として、例えば、I2C (Inter-Integrated Circuit) が多く利用されている。

【0003】

また、近年、I2Cの高速化を実現することが求められており、次世代の規格としてI3C (Improved Inter Integrated Circuit) の規定が進行している。I3Cでは、マスタおよびスレーブは、2本の信号線を用いて双方向に通信を行うことができ、例えば、マスタからスレーブへのデータ転送(ライト転送)と、スレーブからマスタへのデータ転送(リード転送)とが行われる。

【0004】

例えば、特許文献1には、ホスト・プロセッサとサブシステム・コントローラとを、I2Cにより相互接続するデジタル・データ処理システムが開示されている。また、特許文献2には、標準I2Cプロトコルの上部に層状に配置された通信プロトコルを実現する方法が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-99448号公報

【特許文献2】特開2002-175269号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、上述したようなI3Cでは、例えば、マスタおよびスレーブにおいて、パリティやCRC (Cyclic Redundancy Check) などによるエラー検出が行われることが規定されているが、そのようなエラー検出が用意されていない信号の送受信も行われる。そのため、エラー検出が用意されていない信号にエラーが発生したときに、マスタおよびスレーブが、正常な通信を行うことができなくなることが懸念される。

【0007】

本開示は、このような状況に鑑みてなされたものであり、より確実に通信を行うことができるようにするものである。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 8 】

本開示の第 1 の側面の通信装置は、バスにおける制御の主導権を有する第 1 の通信装置と、その第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とが 2 本の信号線を介して通信を行う通信規格である I3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う送受信部を備える第 1 の通信装置であって、前記送受信部は、前記第 2 の通信装置から読み出されるリードデータを受信し、前記 I3C の DDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行う。

【 0 0 0 9 】

本開示の第 1 の側面の通信方法またはプログラムは、バスにおける制御の主導権を有する第 1 の通信装置と、その第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とが 2 本の信号線を介して通信を行う通信規格である I3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う前記第 1 の通信装置の送受信部が、または、第 1 の通信装置のコンピュータが、前記第 2 の通信装置から読み出されるリードデータを受信し、前記 I3C の DDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行うステップを含む。

【 0 0 1 0 】

本開示の第 1 の側面においては、第 1 の通信装置の送受信部により、第 2 の通信装置から読み出されるリードデータを受信され、I3C の DDR (Double Data Rate) モード時に、そのリードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動が常に行われる。

【 0 0 1 1 】

本開示の第 2 の側面の通信システムは、バスにおける制御の主導権を有する第 1 の通信装置と、前記第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とを備え、前記第 1 の通信装置が、前記第 1 の通信装置と前記第 2 の通信装置とが 2 本の信号線を介して通信を行う通信規格である I3C (Improved Inter Integrated Circuit) に準じた通信により、前記第 2 の通信装置と信号の送受信を行う送受信部を備え、前記送受信部は、前記第 2 の通信装置から読み出されるリードデータを受信し、前記 I3C の DDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行う。

【 0 0 1 2 】

本開示の第 2 の側面においては、バスにおける制御の主導権を有する第 1 の通信装置と、第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とにより通信が行われる。そして、第 1 の通信装置が、第 1 の通信装置と第 2 の通信装置とが 2 本の信号線を介して通信を行う通信規格である I3C (Improved Inter Integrated Circuit) に準じた通信により、第 2 の通信装置と信号の送受信を行う送受信部を備え、送受信部により、第 2 の通信装置から読み出されるリードデータを受信され、I3C の DDR (Double Data Rate) モード時に、リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動が常に行われる。

【 発明の効果 】

【 0 0 1 3 】

本開示の第 1 および第 2 の側面によれば、より確実に通信を行うことができる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 本技術を適用したバス I F の一実施の形態の構成例を示すブロック図である。

【 図 2 】 プリアンプルの第 1 の定義例を示す図である。

【 図 3 】 プリアンプルの第 1 の定義例の変形例を示す図である。

【 図 4 】 リード転送時におけるタイミングチャートを示す図である。

【 図 5 】 リードコマンドの直後のプリアンプルにおいて ACK に 1 ビットエラーが発生する例を示す図である。

10

20

30

40

50

【図 6】リードコマンドの直後のプリアンブルにおいてNACKに 1 ビットエラーが発生する例を示す図である。

【図 7】リードデータの直後のプリアンブルの 1 ビット目が 1 であるときに、その 1 ビット目に 1 ビットエラーが発生する第 1 の例を示す図である。

【図 8】リードデータの直後のプリアンブルの 1 ビット目が 1 であるときに、その 1 ビット目に 1 ビットエラーが発生する第 2 の例を示す図である。

【図 9】リードデータの直後のプリアンブルの 1 ビット目が 0 であるときに、その 1 ビット目に 1 ビットエラーが発生する第 1 の例を示す図である。

【図 10】リードデータの直後のプリアンブルの 1 ビット目が 0 であるときに、その 1 ビット目に 1 ビットエラーが発生する第 2 の例を示す図である。

10

【図 11】マスタのDDRモードでの通信処理を説明するフローチャートである。

【図 12】プリアンブルの第 2 の定義例を示す図である。

【図 13】リード転送時におけるタイミングチャートを示す図である。

【図 14】リードコマンドに続いてリードデータが送信される時のプレパレーションビットおよびプリアンブルに 1 ビットエラーが発生する例を示す図である。

【図 15】リードデータに続いてリードデータが送信される時のプレパレーションビットおよびプリアンブルに 1 ビットエラーが発生する例を示す図である。

【図 16】リードコマンドに続いてCRCワードが送信される時のプレパレーションビットおよびプリアンブルに 1 ビットエラーが発生する例を示す図である。

【図 17】本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

20

【発明を実施するための形態】

【0015】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0016】

< バス I F の構成例 >

【0017】

図 1 は、本技術を適用したバス I F の一実施の形態の構成例を示すブロック図である。

【0018】

30

図 1 に示されているバス I F 11 は、マスタ 12 と 3 台のスレーブ 13 - 1 乃至 13 - 3 とが、データ信号線 14 - 1 およびクロック信号線 14 - 2 を介して接続されて構成される。

【0019】

マスタ 12 は、バス I F 11 における制御の主導権を有しており、データ信号線 14 - 1 およびクロック信号線 14 - 2 を介して、スレーブ 13 - 1 乃至 13 - 3 と通信を行うことができる。

【0020】

スレーブ 13 - 1 乃至 13 - 3 は、マスタ 12 による制御に従って、データ信号線 14 - 1 およびクロック信号線 14 - 2 を介して、マスタ 12 と通信を行うことができる。なお、スレーブ 13 - 1 乃至 13 - 3 は、それぞれ同様に構成されており、以下、それらを区別する必要がない場合、単にスレーブ 13 と称し、スレーブ 13 を構成する各ブロックについても同様とする。

40

【0021】

データ信号線 14 - 1 およびクロック信号線 14 - 2 は、マスタ 12 およびスレーブ 13 の間で信号を伝送するのに用いられる。例えば、バス I F 11 では、データ信号線 14 - 1 を介して、1 ビットずつ逐次的にシリアルデータ (SDA: Serial Data) が伝送され、クロック信号線 14 - 2 を介して、所定の周波数のシリアルクロック (SCL: Serial Clock) が伝送される。

【0022】

50

また、バス I F 1 1 では、I3Cの規格に準じて、通信速度が異なる複数の伝送方式が規定されており、マスタ 1 2 は、それらの伝送方式を切り替えることができる。例えば、バス I F 1 1 では、データの転送レートに応じて、通常の転送レートでデータ通信を行うSDR (Standard Data Rate) モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR (High Data Rate) モードが規定されている。また、HDRモードでは、DDR (Double Data Rate) モード、TSP(Ternary Symbol Pure-Bus)モード、および、TSL(Ternary Symbol Legacy-inclusive-Bus)モードの3つのモードが規格で定義されている。なお、バス I F 1 1 では、通信を開始するときにはSDRモードで通信を行うことが規定されている。

【 0 0 2 3 】

10

マスタ 1 2 は、送受信部 2 1、エラー検出部 2 2、確認信号検出部 2 3、およびコンフリクト回避部 2 4 を備えて構成される。

【 0 0 2 4 】

送受信部 2 1 は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して、スレーブ 1 3 と信号の送受信を行う。例えば、送受信部 2 1 は、クロック信号線 1 4 - 2 を駆動することにより送信するシリアルクロックのタイミングに合わせて、データ信号線 1 4 - 1 に対する駆動を行う（電位をHレベルまたはLレベルに切り替える）ことにより、スレーブ 1 3 に信号を送信する。また、送受信部 2 1 は、クロック信号線 1 4 - 2 のシリアルクロックのタイミングに合わせて、スレーブ 1 3 がデータ信号線 1 4 - 1 に対する駆動を行うことによって、スレーブ 1 3 から送信されてくる信号を受信する。なお、クロック

20

【 0 0 2 5 】

エラー検出部 2 2 は、送受信部 2 1 が受信した信号に発生しているエラーを検出する。例えば、エラー検出部 2 2 は、送受信部 2 1 が受信した信号に対するパリティチェックや巡回冗長検査 (CRC) などを行ったり、スレーブ 1 3 からマスタ 1 2 へ送信権を移行する際に発行されるトークンを確認したりすることで、エラーを検出することができる。そして、エラー検出部 2 2 は、送受信部 2 1 が受信した信号にエラーが発生していることを検出した場合、例えば、送受信部 2 1 に対してスレーブ 1 3 との通信を最初からやり直すように指示することができる。

【 0 0 2 6 】

30

例えば、エラー検出部 2 2 は、スレーブ 1 3 から送信されてくるデータに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、送受信部 2 1 が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する。これにより、エラー検出部 2 2 は、マスタ 1 2 およびスレーブ 1 3 のどちらもデータ信号線 1 4 - 1 に対する駆動が行われられないような状態が発生しても、データが正しいものであるか否かを検出することができる。

【 0 0 2 7 】

確認信号検出部 2 3 は、送受信部 2 1 から送信された信号を受信したスレーブ 1 3 から送信されてくるACK (受信確認信号) またはNACK (非受信確認信号) を検出することにより、スレーブ 1 3 がコマンドやデータなどの受信に成功したか否かを確認する。例えば、

40

【 0 0 2 8 】

従って、確認信号検出部 2 3 は、マスタ 1 2 から送信されるコマンドやデータなどに対して、スレーブ 1 3 から送信されてくるACKを検出した場合には、スレーブ 1 3 がコマンドやデータなどを受信することに成功したと確認することができる。一方、確認信号検出部 2 3 は、マスタ 1 2 から送信されるコマンドやデータなどに対して、スレーブ 1 3 から

50

送信されてくるNACKを検出した場合には、スレーブ13がコマンドやデータなどを受信することに失敗したと確認することができる。

【0029】

コンフリクト回避部24は、例えば、図5を参照して後述するように、確認信号検出部23によりNACKが検出された場合、NACKに続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信するように、送受信部21に対する指示を行う。これにより、コンフリクト回避部24は、例えば、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

【0030】

また、コンフリクト回避部24は、例えば、図7を参照して後述するように、トークンおよびCRC5に基づいてエラーが発生していることを検出したときに、プリアンブルにエラーが発生しているものと推定して、所定数のビットの追加クロックを送信した後にアボート信号を送信するように、送受信部21に対する指示を行う。これにより、コンフリクト回避部24は、例えば、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

【0031】

スレーブ13は、送受信部31およびエラー検出部32を備えて構成される。

【0032】

送受信部31は、データ信号線14-1およびクロック信号線14-2を介して、マスタ12と信号の送受信を行う。例えば、送受信部31は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、マスタ12がデータ信号線14-1に対する駆動を行うことによって、マスタ12から送信されてくる信号を受信する。また、送受信部31は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、データ信号線14-1に対する駆動を行うことによって、マスタ12に信号を送信する。

【0033】

エラー検出部32は、マスタ12のエラー検出部22と同様に、送受信部31が受信した信号に発生しているエラーを検出する。そして、エラー検出部32は、送受信部31が受信した信号にエラーが発生していない場合、その信号により伝送されるコマンドやデータなどの受信に成功したことを伝えるACKを、送受信部31によりマスタ12に送信させる。一方、エラー検出部32は、送受信部31が受信した信号にエラーが発生していた場合、その信号により伝送されるコマンドやデータなどの受信に失敗したことを伝えるNACKを、送受信部31によりマスタ12に送信させる。

【0034】

さらに、エラー検出部32は、例えば、送受信部31が受信した信号にエラーが発生し、正常な通信を行うことができない場合には、その後の一切の通信を無視し、マスタ12に対する応答を停止してスレーブ13を待機状態とさせる。

【0035】

以上のようにバスIF11は構成されており、マスタ12およびスレーブ13は、データ信号線14-1およびクロック信号線14-2を介して信号を送受信することができる。そして、バスIF11では、マスタ12が、コンフリクト回避部24によってコンフリクトの発生を回避することができる。

【0036】

ここで、バスIF11では、DDRモード時において、例えば、図2に示すように、プリアンブルと呼ばれる2ビットの信号を使用して、次に送信するデータのタイプを指定するように規定されている。ところで、プリアンブルには、パリティやCRCによるエラー検出が用意されていないため、プリアンブルにエラーが発生した場合には、そのエラーを検出することができない。

【0037】

また、バスIF11では、リードデータに続くプリアンブルの2ビット目を、マスタ1

10

20

30

40

50

2 が常に駆動するようにプリアンブルが定義される。これにより、バス I F 1 1 では、例えば、その 2 ビット目がコンフリクトすることを回避して、より確実に通信を行うことができる。

【 0 0 3 8 】

< プリアンブルの第 1 の定義例 >

【 0 0 3 9 】

図 2 には、バス I F 1 1 におけるプリアンブルの第 1 の定義例が示されている。以下で説明するように、プリアンブルは、1 ビット目 (pre[1]) および 2 ビット目 (pre[0]) からなる 2 ビットの信号により構成される。

【 0 0 4 0 】

HDRモードに入った直後のプリアンブルの 1 ビット目および 2 ビット目は、マスタ 1 2 により駆動され、スレーブ 1 3 により受信される。

【 0 0 4 1 】

そして、HDRモードに入った直後のプリアンブルの 1 ビット目が 0 であるとき、プリアンブルに続いてコマンドワードが送信されることが指定される。なお、この 1 ビット目が 1 であるときの意味は、リザーブされている。また、HDRモードに入った直後のプリアンブルの 2 ビット目が 1 であるとき、プリアンブルに続いてコマンドワードが送信されることが指定される。また、この 2 ビット目が 0 であるときの意味は、リザーブされている。

【 0 0 4 2 】

リードコマンドの直後のプリアンブルの 1 ビット目は、マスタ 1 2 により駆動され、スレーブ 1 3 により受信される。また、リードコマンドの直後のプリアンブルの 2 ビット目は、スレーブ 1 3 により駆動され、マスタ 1 2 により受信される。

【 0 0 4 3 】

そして、リードコマンドの直後のプリアンブルの 1 ビット目が 1 であるとき、プリアンブルに続いてデータが送信されることが指定される。なお、この 1 ビット目が 0 であるときの意味は、リザーブされている。また、リードコマンドの直後のプリアンブルの 2 ビット目が 0 であるとき、スレーブ 1 3 によるリードコマンドの受信が成功したことを示す ACK を意味し、この 2 ビット目が 1 であるとき、スレーブ 1 3 によるリードコマンドの受信が失敗したことを示す NACK を意味する。

【 0 0 4 4 】

ここで、リードコマンドの直後のプリアンブルの 2 ビット目は、マスタ 1 2 によりデータ信号線 1 4 - 1 が H レベルに維持されること (High Keeper : weak pull up) が必須とされている。これにより、データ信号線 1 4 - 1 が H レベルに維持されるビットは、マスタ 1 2 およびスレーブ 1 3 のどちらにも駆動されない場合、その直前のビットが 1 である場合に限って 1 となる。

【 0 0 4 5 】

リードデータの直後のプリアンブルの 1 ビット目は、スレーブ 1 3 により駆動され、マスタ 1 2 により受信される。また、リードデータの直後のプリアンブルの 2 ビット目は、マスタ 1 2 により常に駆動され、スレーブ 1 3 により受信されるとともに、スレーブ 1 3 による使用が禁止される。

【 0 0 4 6 】

そして、リードデータの直後のプリアンブルの 1 ビット目が 0 であるとき、プリアンブルに続いて CRC ワードが送信され、この 1 ビット目が 1 であるとき、プリアンブルに続いてデータが送信されることが指定される。また、リードデータの直後のプリアンブルの 2 ビット目が 0 であるとき、マスタ 1 2 により通信が途中で遮断 (Master aborts) されることを意味し、この 2 ビット目が 1 であるとき、マスタ 1 2 により通信を途中で遮断しないこと (Master doesn't aborts) を意味する。ここで、リードデータの直後のプリアンブルの 2 ビット目は、マスタ 1 2 によりデータ信号線 1 4 - 1 が H レベルに維持されるが、これは必須ではなく、不定回避のためである。

【 0 0 4 7 】

10

20

30

40

50

ライトコマンドの直後のプリアンプルの1ビット目および2ビット目は、マスタ12により駆動され、スレーブ13により受信される。

【0048】

そして、ライトコマンドの直後のプリアンプルの1ビット目が1であるとき、ライトコマンドに続いてデータが送信されることが指定される。なお、この1ビット目が0であるときの意味は、リザーブされている。また、ライトコマンドの直後のプリアンプルの2ビット目が0であるとき、ライトコマンドに続いてデータが送信されることが指定される。なお、この1ビット目が1であるときの意味は、リザーブされている。

【0049】

ライトデータの直後のプリアンプルの1ビット目および2ビット目は、マスタ12により駆動され、スレーブ13により受信される。

【0050】

そして、ライトデータの直後のプリアンプルの1ビット目が0であるとき、プリアンプルに続いてCRCワードが送信され、この1ビット目が1であるとき、プリアンプルに続いてデータが送信されることが指定される。また、ライトデータの直後のプリアンプルの2ビット目が1であるとき、CRCワードまたはデータが送信されることが指定される。なお、この2ビット目が0であるときの意味は、リザーブされている。

【0051】

このように、バスIF11におけるプリアンプルが定義されている。そして、例えば、リードデータの直後のプリアンプルの2ビット目が、マスタ12により常に駆動されるように定義されることにより、コンフリクトの発生を回避することができる。

【0052】

例えば、仮に、リードデータの直後のプリアンプルの2ビット目について、CRCワードを伝送する時にはスレーブ13が駆動し、それ以外はマスタ12が駆動するように規定したとする。この場合、リードデータを送信する際のプリアンプルにエラーが発生し、スレーブ13が、CRCワードを送信しようとしたところ、マスタ12が、リードデータと誤認識したとき、その2ビット目がコンフリクトすることが想定される。即ち、この場合、プリアンプルの1ビット目をマスタ12が誤認識した場合など、その2ビット目を駆動する主体が異なるため、バスIF11において信号が衝突することが発生する恐れがある。さらに、この場合、スレーブ13がCRCワードを送信する場合には、マスタ12がアポート信号を出力することができないことが想定される。

【0053】

これに対し、バスIF11では、リードデータの後に送信されるプリアンプルの2ビット目を、常に、マスタ12が駆動するように規定される。これにより、例えば、マスタ12が、アポート信号を出力する際に次のクロックを出さないため、スレーブ13が駆動することができない状態となり、バスIF11がコンフリクトすることは発生しない。さらに、上述したように、スレーブ13がCRCワードを送信する場合には、マスタ12がアポート信号を出力することができなくなることも回避され、スレーブ13がCRCワードを送信する場合でも、マスタ12がアポート信号を出力することができる。

【0054】

このように、バスIF11では、マスタ12が、スレーブ13から読み出されるリードデータを受信し、そのリードデータの後に送受信されるプリアンプルの2ビット目を常に駆動することで、その2ビット目がコンフリクトすることを回避し、より確実に通信を行うことができる。

【0055】

図3には、バスIF11におけるプリアンプルの第1の定義例の変形例が示されている。

【0056】

図3に示すプリアンプルでは、ライトデータの後に送信されるプリアンプルの2ビット目が、図2と異なるものとなっている。なお、それ以外は、図2と同一であり、それらの

10

20

30

40

50

詳細な説明は省略する。

【 0 0 5 7 】

即ち、図 3 に示すように、ライトデータの後に送信されるプリアンプルの 2 ビット目が 0 であるとき、そのプリアンプルの次にデータが送信されることが指定される。また、ライトデータの後に送信されるプリアンプルの 2 ビット目が 1 であるとき、そのプリアンプルの次に CRC ワードが送信されることが指定される。つまり、この例では、ライトデータの後に送信されるプリアンプルの 1 ビット目と 2 ビット目の値が反転するように定義される。例えば、プリアンプルの 1 ビット目が 0 であり、2 ビット目が 1 であるときに CRC ワードが送信され、プリアンプルの 1 ビット目が 1 であり、2 ビット目が 0 であるときにライトデータが送信されると定義される。

10

【 0 0 5 8 】

また、別の例として、例えば、CRC ワードが送信されるときにはプリアンプルの 1 ビット目および 2 ビット目に 0 を送信し、データが送信されるときにはプリアンプルの 1 ビット目および 2 ビット目に 1 を送信してもよい。即ち、マスタ 1 2 が、プリアンプルの 1 ビット目および 2 ビット目の値を反転させることなく、2 回連続して同じ値を送ることで、プリアンプルに発生する 1 ビットエラーを検出できる。ただし、この場合、マスタ 1 2 およびスレーブ 1 3 のいずれもデータ信号線 1 4 - 1 に対する駆動を行わない状態と区別することが困難になることより、図 3 に示すように、プリアンプルの 1 ビット目と 2 ビット目の値が反転していたほうが望ましい。

【 0 0 5 9 】

20

このように、バス I F 1 1 において、ライトデータの後に送信されるプリアンプルの 2 ビット目を定義することで、例えば、プリアンプルに 1 ビットエラーが発生したことをスレーブ 1 3 が容易に検出することができる。

【 0 0 6 0 】

< HDR モードでの通信についての説明 >

【 0 0 6 1 】

図 4 には、リード転送時におけるタイミングチャートが示されている。

【 0 0 6 2 】

なお、以下の図面において、グレーのハッチングが施されている部分は、スレーブ 1 3 により駆動が行われていることを表している。また、細線の斜線のハッチングが施されている部分は、スレーブ 1 3 により駆動が行われ、マスタ 1 2 によりデータ信号線 1 4 - 1 が H レベルに維持されることを表しており、太線の斜線のハッチングが施されている部分は、駆動が行われないことを表している。

30

【 0 0 6 3 】

図 4 に示すように、マスタ 1 2 は、まず、SDR モードにおいて、バス I F 1 1 を構成する全てのスレーブ 1 3 を対象として一斉にコマンドを送信することを通知するブロードキャストコマンド ($0 \times 7E + R/W = 0$) を送信する。その後、マスタ 1 2 は、ブロードキャストコマンドの受信が成功したことを確認するためにスレーブ 1 3 から送信されてくる ACK を受信して、HDR モードに入るためのコモンコマンドコード (ENTHDR CCC (0×20)) を送信する。このように、マスタ 1 2 は、スレーブ 1 3 に対して HDR モードに入ることを通知して HDR モードに移行する。

40

【 0 0 6 4 】

その後、HDR モードに移行した直後のプリアンプルの 1 ビット目および 2 ビット目は、マスタ 1 2 により駆動され、図 4 の例では、プリアンプルの次にコマンドワード (DDR command) を送信することが指定 (pre[1]:0, pre[0]:1) されている。そして、そのプリンブルに続いて、マスタ 1 2 によりコマンドワード (Command Code, Slave address, Reserved, Parity) が送信される。

【 0 0 6 5 】

さらに、コマンドワードを送信した直後のプリアンプルについては、1 ビット目はマスタ 1 2 により駆動され、2 ビット目はスレーブ 1 3 により駆動される。図 4 の例では、1

50

ビット目により、プリアンプルの次にデータ (DDR Data) を送信することが指定 (pre[1]:1) されるとともに、2ビット目により、スレーブ13においてコマンドの受信に成功したこと (pre[0]:0) が示されている。そして、そのプリンブルに続いて、スレーブ13によりリードデータ (Data bit , Parity) が送信される。

【0066】

続いて、リードデータを送信した直後のプリアンプルについては、1ビット目はスレーブ13により駆動され、2ビット目はマスタ12により駆動される。図4の例では、1ビット目により、プリアンプルの次にデータ (DDR Data) を送信することが指定 (pre[1]:1) されている。また、2ビット目により、次の読みだされるデータがリードデータかCRCであるかを問わず、マスタ12によりアポート信号 (pre[1]:0) または非アポート信号 (pre[1]:1) のいずれかが送信され、マスタ12が、アポート信号を送信した場合には通信が遮断され、非アポート信号を送信した場合には通信が継続される。この2ビット目は、上述したように、常に、マスタ12により駆動される。

10

【0067】

そして、通信が継続される場合、以下、同様に、リードデータの送信が繰り返して行われ、スレーブ13は、マスタ12から要求された全てのデータの送信を行う。

【0068】

その後、最後のリードデータを送信した直後のプリアンプルの1ビット目により、プリアンプルの次にCRCワード (DDR CRC) を送信することが指定 (pre[1]:0) される。なお、CRCワードの送信直前のプリアンプルの2ビット目は、スレーブ13により駆動されることは禁止される。

20

【0069】

そして、そのプリンブルに続いて、スレーブ13によりCRCワード (Token(0xC) , CRC5) が送信された後、マスタ12によりHDR終了コマンド (HDR Exit) が送信され、HDRモードでの通信が終了される。なお、HDR終了コマンドの1ビット目 (セットアップ) はマスタ12により出力される。また、図示するように、CRCワードの受信直後のビットから、データ信号線14-1に対する駆動が、スレーブ13からマスタ12に切り替えられるようにすることで、安全に早く通信を終了させることができる。

【0070】

このように、バスIF11では、HDRモードでリード転送が行われる。そして、バスIF11では、リードデータの直後のプリアンプルの2ビット目を常に、マスタ12が駆動することにより、その2ビット目がコンフリクトすることを回避することができる。これにより、バスIF11では、より確実に通信を行うことができる。

30

【0071】

<プリアンプルエラーの説明>

【0072】

図5乃至図10を参照して、プリアンプルに発生するエラーと、プリアンプルにエラーが発生したときの処理について説明する。

【0073】

図5および図6を参照して、リードコマンドに続いてリードデータが送信される時のプリアンプルの2ビット目に、ビットの値が反転する1ビットエラーが発生する例について説明する。上述したように、リードコマンドの直後のプリアンプルの2ビット目は、スレーブ13からマスタ12に送信されるACKまたはNACKを示す。

40

【0074】

図5には、リードコマンドの直後のプリアンプルにおいて、スレーブ13から送信されるACKに1ビットエラーが発生する例が示されている。

【0075】

図5の左側に示すように、通常時には、スレーブ13が、プリアンプルの2ビット目を0に駆動することにより、マスタ12はACKが送信されてきたと認識する。この場合、マスタ12は、ACKを検出したことに応じて、プリアンプルに続いてスレーブ13から送信

50

されてくるリードデータを受信する処理を行う。

【0076】

これに対し、エラー時には、図5の右側に示すように、プリアンプルの2ビット目がビット反転して1になるため、マスタ12は、NACKが送信されてきたものと誤認識してしまう。この場合、マスタ12は、プリアンプルに発生したエラーを検出することはできないが、NACKを検出したときの通常の処理を行って通信を終了させることができる。即ち、マスタ12は、スレーブ13から送信されてくるリードデータのビット数に対応するコンフリクト防止クロック期間が経過した後のプリアンプルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。

【0077】

このように、マスタ12は、ACKをNACKと誤認識しても、スレーブ13に対して通信の遮断することを正常に通知することができるので、その誤認識に基づいてコンフリクトが発生することは回避される。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0078】

図6には、リードコマンドの直後のプリアンプルにおいて、スレーブ13から送信されるNACKに1ビットエラーが発生する例が示されている。

【0079】

図6の左側に示すように、通常時には、スレーブ13が、プリアンプルの2ビット目を1に駆動することにより、マスタ12はNACKが送信されてきたと認識する。この場合、マスタ12は、NACKを検出したことに応じて、リードデータのビット数に対応するコンフリクト防止クロック期間が経過した後のプリアンプルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0080】

これに対し、図6の右側に示すように、エラー時には、プリアンプルの2ビット目がビット反転して0になるため、マスタ12は、ACKが送信されてきたものと誤認識してしまう。この場合、マスタ12は、スレーブ13から送信されてくるリードデータを受信する処理を行うが、スレーブ13がリードコマンドの受信に失敗しているため、リードデータが送信されてくることはない。そのため、この期間は、マスタ12およびスレーブ13のどちらもデータ信号線14-1に対する駆動を行わない状態になる。

【0081】

このとき、マスタ12は、リードデータが送信されると誤認識している期間において受信した信号に対してパリティチェックなどを行うことによってエラーを検出すること、即ち、リードデータが正常に送信されていないことを検出することができる。例えば、リードデータに含まれるパリティには、リードデータが送信されるとマスタ12により誤認識されている期間において、データ信号線14-1に対する駆動が行われないうちにエラーが発生したことを検出することができるように定義されている。

【0082】

このエラーの検出に従い、マスタ12は、リードデータが送信されると誤認識している期間の直後のプリアンプルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0083】

次に、図7および図8を参照して、リードデータに続いてリードデータが送信されるときのプリアンプルの1ビット目に、ビットの値が反転する1ビットエラーが発生する例について説明する。上述したように、リードデータの直後のプリアンプルの1ビット目は、プリアンプルに続いてCRCワードが送信されるとき1に駆動され、プリアンプルに続いてリードデータが送信されるとき0に駆動される。

【0084】

10

20

30

40

50

図7には、リードデータの直後のプリアンプルの1ビット目が1であるときに、その1ビット目に1ビットエラーが発生する第1の例が示されている。

【0085】

図7の左側に示すように、通常時には、スレーブ13が、プリアンプルの1ビット目を1に駆動することにより、マスタ12は、プリアンプルに続いてリードデータが送信されてくると認識する。この場合、マスタ12は、そのリードデータを受信する処理を行う。

【0086】

これに対し、エラー時には、図7の右側に示すように、プリアンプルの1ビット目がビット反転して0になるため、マスタ12は、プリアンプルに続いてCRCワードが送信されてくるものと誤認識してしまう。この場合、マスタ12は、CRCワードに含まれるトークンおよびCRC5に基づいてエラーが発生していることを検出することができ、プリアンプルにエラーが発生しているものと推定する。

【0087】

従って、この場合、マスタ12は、リードデータのビット数(18ビット)と、CRCワードのビット数(9ビット)との差に対応するビット数の追加クロック(9ビット)を送信した後のプリアンプルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0088】

図8には、リードデータの直後のプリアンプルの1ビット目が1であるときに、その1ビット目に1ビットエラーが発生する第2の例が示されている。

【0089】

図8の左側に示すように、スレーブ13が、リードデータに続いてリードデータを送信しようとする一方で、マスタ12が、アボート信号を送信して、通信を途中で遮断することがある。

【0090】

このとき、図7の右側に示すように、リードデータの直後のプリアンプルの1ビット目に1ビットエラーが発生すると、マスタ12は、プリアンプルに続いてリードデータが送信されてくると誤認識する。このとき、マスタ12は、そのプリアンプルの2ビット目でアボート信号を送信するため、そのような誤認識があったとしても、問題が発生することなく、HDRモードでの通信が終了される。

【0091】

次に、図9および図10を参照して、リードデータに続いてCRCワードが送信されるときのプリアンプルの1ビット目に、ビットの値が反転する1ビットエラーが発生する例について説明する。上述したように、リードデータの直後のプリアンプルの1ビット目は、プリアンプルに続いてCRCワードが送信されるとき1に駆動され、プリアンプルに続いてリードデータが送信されるとき0に駆動される。

【0092】

図9には、リードデータの直後のプリアンプルの1ビット目が0であるときに、その1ビット目に1ビットエラーが発生する第1の例が示されている。

【0093】

図9の左側に示すように、通常時には、スレーブ13が、プリアンプルの1ビット目を0に駆動することにより、マスタ12は、プリアンプルに続いてCRCワードが送信されてくると認識する。この場合、マスタ12は、そのCRCワードを受信する処理を行い、その後、HDR終了コマンドを送信する。

【0094】

これに対し、エラー時には、図9の右側に示すように、プリアンプルの1ビット目がビット反転して1になるため、マスタ12は、プリアンプルに続いてリードデータが送信されてくるものと誤認識してしまう。この場合、リードデータが送信されるとマスタ12において誤認識されている期間のうちの、トークンおよびCRCを受信した後の期間は、デー

10

20

30

40

50

タ信号線 14 - 1 に対する駆動が行われない状態になる。従って、マスタ 12 は、リードデータが送信されると誤認識している期間において受信した信号に対するパリティチェックを行うことによってエラーを検出すること、即ち、リードデータが正常に送信されていないことを検出することができる。

【 0 0 9 5 】

このエラーの検出に従い、マスタ 12 は、リードデータが送信されると誤認識している期間の直後のプリアンプルの 2 ビット目を 0 に駆動して、スレーブ 13 にアボート信号を送信する。その後、マスタ 12 が、HDR 終了コマンドを送信することで、HDR モードでの通信が終了される。

【 0 0 9 6 】

図 10 には、リードデータの直後のプリアンプルの 1 ビット目が 0 であるときに、その 1 ビット目に 1 ビットエラーが発生する第 2 の例が示されている。

【 0 0 9 7 】

図 10 の左側に示すように、スレーブ 13 が、リードデータに続いて CRC ワードを送信しようとする一方で、マスタ 12 が、アボート信号を送信して、通信を途中で遮断することがある。

【 0 0 9 8 】

このとき、図 10 の右側に示すように、リードデータの直後のプリアンプルの 1 ビット目に 1 ビットエラーが発生すると、マスタ 12 は、プリアンプルに続いてリードデータが送信されてくると誤認識する。このとき、マスタ 12 は、そのプリアンプルの 2 ビット目でアボート信号を送信するため、そのような誤認識があったとしても、問題が発生することなく、HDR モードでの通信が終了される。

【 0 0 9 9 】

以上のように、バス IF 11 では、プリアンプルに対するエラー検出が用意されていなくても、マスタ 12 により、バス IF 11 がデッドロックすることを回避することができ、より確実に通信を行うことができる。

【 0 1 0 0 】

< コンフリクトの発生を回避する通信方法 >

【 0 1 0 1 】

図 11 は、マスタ 12 が、HDR モードのひとつである DDR モードでスレーブ 13 からデータを読み出す通信処理 (DDR Read) を説明するフローチャートである。

【 0 1 0 2 】

ステップ S 11 において、マスタ 12 は、通信を SDR モードから HDR モードに切り替える処理を行う。具体的には、マスタ 12 では、送受信部 21 が、データ信号線 14 - 1 およびクロック信号線 14 - 2 を駆動して、SDR モードにおいて、バス IF 11 を構成する全てのスレーブ 13 を対象として一斉にコマンドを送信することを通知するブロードキャストコマンド (0x7E+R/W=0) を送信する。その後、マスタ 12 では、確認信号検出部 23 が、ブロードキャストコマンドの受信が成功したことを確認するためにスレーブ 13 から送信されてくる ACK を受信すると、送受信部 21 が、HDR モードに入るためのコモンコマンドコード (ENTHDR CCC(0x20)) を送信する。

【 0 1 0 3 】

ステップ S 12 において、マスタ 12 の送受信部 21 は、データ信号線 14 - 1 およびクロック信号線 14 - 2 を駆動して、リードコマンドを送信する。

【 0 1 0 4 】

ステップ S 13 において、確認信号検出部 23 は、リードコマンドを送信した後のプリアンプルの 2 ビット目の値を検出し、スレーブ 13 から ACK および NACK のどちらが送信されてきたかを判定する。即ち、確認信号検出部 23 は、リードコマンドを送信した後のプリアンプルの 2 ビット目が 0 であることを検出した場合、スレーブ 13 から ACK が送信されてきたと判定する。一方、確認信号検出部 23 は、リードコマンドを送信した後のプリアンプルの 2 ビット目が 1 であることを検出した場合、スレーブ 13 から NACK が送信されて

10

20

30

40

50

きたと判定する。

【0105】

ステップS13において、確認信号検出部23が、スレーブ13からACKが送信されてきたと判定した場合、処理はステップS14に進み、送受信部21は、プリアンプルに続いて送信されてくるリードデータを受信する。さらに、送受信部21は、リードデータに続いて送信されてくるプリアンプルの1ビット目を受信する。

【0106】

ステップS15において、マスタ12は、通信を継続するか否かを判定する。例えば、マスタ12は、次のリードデータまたはCRCワードが不要であると判断した場合、通信を継続しないと判定することができる。

10

【0107】

ステップS15において、マスタ12が通信を継続しないと判定した場合、処理はステップS16に進み、送受信部21は、通信を途中で遮断することを指示するアポート信号(pre[1]:0)をプリアンプルの2ビット目で送信する。その後、処理はステップS21に進み、送受信部21は、アポート信号に続いて、HDR終了コマンドを送信する。一方、ステップS15において、マスタ12が通信を継続すると判定した場合、送受信部21は、通信を途中で遮断しないことを指示する非アポート信号(pre[1]:1)をプリアンプルの2ビット目で送信して、処理はステップS17に進む。

【0108】

ステップS17において、送受信部21は、ステップS14で受信したプリアンプルの1ビット目に基づいて、リードデータおよびCRCワードのどちらの送信を指定しているかを判定する。

20

【0109】

ステップS17において、送受信部21が、プリアンプルはリードデータの送信を指定していると判定した場合、処理はステップS14に戻り、以下、同様の処理が繰り返される。一方、ステップS17において、送受信部21が、プリアンプルはCRCワードの送信を指定していると判定した場合、処理はステップS18に進む。

【0110】

ステップS18において、送受信部21は、ステップS13で受信したプリアンプルに続いて送信されてくる信号を受信し、エラー検出部22は、その信号にエラーが発生しているか否かを判定する。

30

【0111】

ステップS18において、エラー検出部22が、CRCワードの送信を指定しているプリアンプルに続いて送信されてくる信号にエラーが発生していると判定した場合、処理はステップS19に進む。即ち、この場合、エラー検出部22によりトークンエラーまたはCRCエラーが検出されると、コンフリクト回避部24は、プリアンプルにエラーが発生したものと推定する。

【0112】

ステップS19において、エラー検出部22は、図7を参照して説明したような追加クロックを送信し、その後に、通信を途中で遮断することを指示するアポート信号を送信するように、送受信部21に対する指示を行う。これに従い、送受信部21は、追加クロックを送信した後、スレーブ13にアポート信号を送信する。その後、処理はステップS21に進み、送受信部21は、アポート信号に続いて、HDR終了コマンドを送信する。

40

【0113】

一方、ステップS18において、エラー検出部22が、CRCワードの送信を指定しているプリアンプルに続いて送信されてくる信号にエラーが発生していないと判定した場合も、ステップS21において、送受信部21は、HDR終了コマンドを送信する。

【0114】

一方、ステップS13において、確認信号検出部23が、スレーブ13からNACKが送信されてきたと判定した場合、処理はステップS20に進む。ステップS20において、コ

50

ンフリクト回避部 24 は、リードデータのビット数に対応するコンフリクト防止クロック期間が経過した後に、通信を途中で遮断することを指示するアボート信号を送信するように、送受信部 21 に対する指示を行う。これに従い、図 6 を参照して上述したように、送受信部 21 は、スレーブ 13 にアボート信号を送信する。その後、処理はステップ S 21 に進み、送受信部 21 は、アボート信号に続いて、HDR 終了コマンドを送信する。

【0115】

これにより、マスタ 12 が DDR モードでスレーブ 13 からデータを読み出す通信処理 (DDR Read) は終了される。

【0116】

以上のように、バス IF 11 では、リードデータの直後のプリアンプルの 2 ビット目を常に、マスタ 12 が駆動することにより、その 2 ビット目がコンフリクトすることを回避することができる。また、バス IF 11 では、マスタ 12 が NACK を受信したと判定した場合、その NACK が ACK の 1 ビットエラーであったとしても、コンフリクトの発生を回避することができる。さらに、バス IF 11 では、スレーブ 13 が CRC ワードの送信を指定するプリアンプルに 1 ビットエラーが発生しても、マスタ 12 において CRC ワードに基づくエラー検出によりプリアンプルにエラーが発生したと推定することができ、コンフリクトの発生を回避することができる。

【0117】

従って、バス IF 11 では、プリアンプルにエラー検出が用意されていなくても、プリアンプルにエラーが発生することによるコンフリクトを回避して、より確実に通信を行うことができる。

【0118】

<プリアンプルの第 2 の定義例>

【0119】

図 12 には、バス IF 11 におけるプリアンプルの第 2 の定義例が示されている。

【0120】

また、バス IF 11 では、プリアンプルに対して冗長性を持たせるために、プリアンプルの 1 ビット前にプレパレーションビット (ppr) を送信するように定義されている。図 12 には、プレパレーションビットの定義例も示されている。

【0121】

HDR モードに入った直後のプリアンプルの 1 ビット前では、プレパレーションビットを送信しないように定義される。また、HDR モードに入った直後のプリアンプルは、図 2 と同様に定義されている。

【0122】

リードコマンドの直後のプリアンプルの 1 ビット前のプレパレーションビットは、マスタ 12 により駆動され、スレーブ 13 により受信される。そして、このプレパレーションビットが 1 であるとき、プリアンプルに続いてデータが送信されることが指定される。なお、このプレパレーションビットが 0 であるときの意味は、リザーブされている。

【0123】

また、リードコマンドの直後のプリアンプルは、1 ビット目はスレーブ 13 により駆動され、マスタ 12 により受信される。そして、この 1 ビット目が 0 であるとき、スレーブ 13 によるリードコマンドの受信が成功したことを示す ACK を意味し、この 1 ビット目が 1 であるとき、スレーブ 13 によるリードコマンドの受信が失敗したことを示す NACK を意味する。ここで、リードコマンドの直後のプリアンプルの 1 ビット目は、マスタ 12 によりデータ信号線 14 - 1 が H レベルに維持されることが必須とされている。即ち、リードコマンドの直後のプリアンプルの 1 ビット目は、その 2 ビット目と同一となるように定義されている。

【0124】

リードデータの直後のプリアンプルの 1 ビット前のプレパレーションビットは、スレーブ 13 により駆動され、マスタ 12 により受信される。そして、このプレパレーションビ

10

20

30

40

50

ットが0であるとき、リードデータに続いてCRCワードが送信されることが指定され、このプレパレーションビットが1であるとき、リードデータに続いてデータが送信されることが指定される。なお、リードデータの直後のプリアンブルは、図2と同様に定義されている。

【0125】

ライトコマンドの直後のプリアンブルの1ビット前のプレパレーションビットは、マスタ12により駆動され、スレーブ13により受信される。そして、このプレパレーションビットが1であるとき、ライトコマンドに続いてデータが送信されることが指定され、このプレパレーションビットが0であるときの意味は、リザーブされている。なお、ライトコマンドの直後のプリアンブルは、図2と同様に定義されている。

10

【0126】

ライトデータの直後のプリアンブルの1ビット前のプレパレーションビットは、マスタ12により駆動され、スレーブ13により受信される。そして、このプレパレーションビットが0であるとき、ライトデータに続いてCRCワードが送信されることが指定され、このプレパレーションビットが1であるとき、ライトデータに続いてデータが送信されることが指定される。なお、ライトデータの直後のプリアンブルは、図2と同様に定義されている。

【0127】

図12に示すようなプレパレーションビットを用いることで、プリアンブルに発生するエラーを検出可能とすることができる。

20

【0128】

例えば、プリアンブルにエラーが発生して、マスタ12およびスレーブ13のどちらもバスIF11を駆動しない場合に、パリティエラーを検出することが必要になるが、偶然、パリティが正解してしまう可能性がある。そこで、このような偶然に一致する可能性を排除し、プリアンブルにエラーが発生した場合には、マスタ12が確実にマスターアポートすることができるように、2ビットのパリティを1ビットに変更し、その1ビットにプレパレーションビットを用いるようにすることで、プリアンブルに発生するエラーを検出することができる。具体的には、コマンドおよびデータのパリティを1ビット削除し、図12に示したようなプレパレーションビットを定義する。

【0129】

例えば、上述したように、リードデータの後のプレパレーションビットと、プリアンブルの1ビット目の1ビットを用いて、そのプリアンブルに続いて、リードデータおよびCRCワードのどちらが送信されるかが明示される。これにより、プリアンブルエラーを検知することができる。

30

【0130】

また、リードデータに続くプリアンブルの2ビット目を、マスタ12が常に駆動するようにすることで、マスターアポートの際にマスタ12が次のクロックを出力しないために、スレーブ13が駆動することができない状態となり、コンフリクトの発生を回避することができる。

【0131】

また、リードコマンドに続くプリアンブルの1ビット目および2ビット目で、同一のビットを2回送信することで、ACKまたはNACKに発生するエラーを検出可能とすることができる。これによっても、マスタ12およびスレーブ13のどちらも駆動しない区間が発生することを回避することができ、パリティエラーが偶然一致することを回避して、マスタ12によりマスターアポートを行うことができる。この場合のプレパレーションビットは、マスタ12によりHレベルに維持されるように、1に吊り上げるために用いられる。

40

【0132】

<HDRモードでの通信についての説明>

【0133】

図13には、リード転送時におけるタイミングチャートが示されている。ここで、図1

50

3では、図4に示したタイミングチャートと異なる点について説明する。

【0134】

例えば、図4のタイミングチャートでは、コマンドワード(DDR command)の最後の2ビットがパリティであったのに対し、図13のタイミングチャートでは、その2ビットのうち、1ビット目がパリティとなっており、2ビット目がプレパレーションビットとなっている。同様に、図4のタイミングチャートでは、リードデータ(DDR Data)の最後の2ビットがパリティであったのに対し、図13のタイミングチャートでは、その2ビットのうち、1ビット目がパリティとなっており、2ビット目がプレパレーションビットとなっている。

【0135】

このように、例えば、リードコマンドに続いてリードデータが送信される場合、リードコマンドに続くプリアンブルは、同じ値が2回送信される。また、リードデータに続いてリードデータが送信される場合、リードデータの最後のプレパレーションビットと、リードデータに続くプリアンブルの1ビット目で、同じ値が2回送信される。さらに、リードデータに続いてCRCワードが送信される場合、リードデータの最後のプレパレーションビットと、リードデータに続くプリアンブルの1ビット目で、同じ値が2回送信される。

【0136】

このように、バスIF11では、プレパレーションビットを用いることで、同じビットを2回伝送することができ、冗長化を図ることができることより、プリアンブルに発生するエラーを検出することができる。

【0137】

<プレパレーションビットおよびプリアンブルのエラーの説明>

【0138】

図14乃至図16を参照して、プレパレーションビットおよびプリアンブルに発生するエラーについて説明する。

【0139】

図14には、リードコマンドに続いてリードデータが送信される際のプレパレーションビットおよびプリアンブルに1ビットエラーが発生する例が示されている。上述したように、リードコマンドの直後のプリアンブルの2ビット目は、スレーブ13からマスタ12に送信されるACKまたはNACKを示す。

【0140】

図14の左側に示すように、スレーブ13がACKを送信するときには、プレパレーションビットは1に駆動され、プリアンブルの1ビット目および2ビット目は0に駆動(ppr:1, pre[1]:0, pre[0]:0)される。

【0141】

また、図14の中央に示すように、スレーブ13がNACKを送信するときには、プレパレーションビットは1に駆動され、プリアンブルの1ビット目および2ビット目は1に駆動(ppr:1, pre[1]:1, pre[0]:1)される。なお、図14には、マスタ12がNACKを検出した後に、衝突防止用のクロックを1ビット挿入した後に、HDR終了コマンド(HDR Exit)を送信する例が示されている。また、マスタ12は、このような衝突防止用のクロックを挿入せずに、NACKを検出した直後にHDR終了コマンドを送信してもよい。

【0142】

このように、プレパレーションビットおよびプリアンブルの3ビットの組み合わせは、(ppr:1, pre[1]:0, pre[0]:0)または(ppr:1, pre[1]:1, pre[0]:1)のいずれかしか取り得ないため、図14の右側に示すようにエラーが発生したとき、マスタ12は、1ビットエラーの発生を必ず検出することができる。そして、マスタ12は、エラーを検出したとき、コンフリクトの発生を回避するため、追加クロックを送信してリードデータに一時的に遷移し(受信データは全て無視する)、その後、マスターアポート処理を行う。

【0143】

図15には、リードデータに続いてリードデータが送信される際のプレパレーション

10

20

30

40

50

ビットおよびプリアンブルに1ビットエラーが発生する例が示されている。

【0144】

図15の左側に示すように、リードデータに続いてリードデータを送信するとき、プレパレーションビットおよびプリアンブルの1ビット目は1に駆動(ppr:1, pre[1]:1)される。なお、プリアンブルの2ビット目は、マスタ12により1または0のどちらかに駆動されるが、マスタ12がマスターアポートしない場合は、この2ビット目は駆動されず、スレーブ13は、この値を参照しない。

【0145】

図15の中央に示すように、マスタ12は、マスターアポートするとき、プリアンブルの2ビット目を0に駆動する。このとき、この2ビット目をスレーブ13が駆動することはないため、コンフリクトが発生することなく、マスタ12は、安全に処理を中断することができる。

10

【0146】

そして、プレパレーションビットおよびプリアンブルの1ビット目の2ビットの組み合わせは、(ppr:1, pre[1]:1)または(ppr:0, pre[1]:0)のいずれかしか取り得ないため、図15の右側に示すようにエラーが発生したとき、マスタ12は、1ビットエラーの発生を必ず検出することができる。そして、マスタ12は、エラーを検出したとき、マスターアポート処理を行う。

【0147】

図16には、リードデータに続いてCRCワードが送信されるとき、プレパレーションビットおよびプリアンブルに1ビットエラーが発生する例が示されている。

20

【0148】

図16の左側に示すように、リードデータに続いてCRCワードを送信するとき、プレパレーションビットおよびプリアンブルの1ビット目は0に駆動(ppr:0, pre[1]:0)される。なお、プリアンブルの2ビット目は、マスタ12により1または0のどちらかに駆動されるが、マスタ12がマスターアポートしない場合は、この2ビット目は駆動されず、スレーブ13は、この値を参照しない。

【0149】

図16の中央に示すように、マスタ12は、マスターアポートするとき、プリアンブルの2ビット目を0に駆動する。このとき、この2ビット目をスレーブ13が駆動することはないため、コンフリクトが発生することなく、マスタ12は、安全に処理を中断することができる。

30

【0150】

そして、プレパレーションビットおよびプリアンブルの1ビット目の2ビットの組み合わせは、(ppr:1, pre[1]:1)または(ppr:0, pre[1]:0)のいずれかしか取り得ないため、図16の右側に示すようにエラーが発生したとき、マスタ12は、1ビットエラーの発生を必ず検出することができる。そして、マスタ12は、エラーを検出したとき、マスターアポート処理を行う。

【0151】

図14乃至図16に示したように、コンフリクトの発生を回避して、バスIF11がデッドロックすることなく、より確実に通信を行うことができる。

40

【0152】

なお、本技術は、I3Cの規格に従ったバスIF11に限定されることはなく、その他の規格に従ったバスIF11に適用することができる。また、図1に示すバスIF11では、スレーブ13-1乃至13-3が接続された構成例が示されているが、スレーブ13は、例えば、1台または2台でもよく、あるいは、3台以上でもよい。

【0153】

なお、上述のフローチャートを参照して説明した各処理は、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理(例えば、並列処理あるいはオブジェクトによる処理)も含むものである。また

50

、プログラムは、1のCPUにより処理されるものであっても良いし、複数のCPUによって分散処理されるものであっても良い。

【0154】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0155】

また、上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラムが記録されたプログラム記録媒体からインストールされる。

10

【0156】

<ハードウェアの構成例>

【0157】

図17は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【0158】

コンピュータにおいて、CPU (Central Processing Unit) 101, ROM (Read Only Memory) 102, RAM (Random Access Memory) 103、およびEEPROM (Electrically Erasable and Programmable Read Only Memory) 104は、バス105により相互に接続されている。バス105には、さらに、入出力インタフェース106が接続されており、入出力インタフェース106が外部(例えば、図1のデータ信号線14-1およびクロック信号線14-2)に接続される。

20

【0159】

以上のように構成されるコンピュータでは、CPU101が、例えば、ROM102およびEEPROM104に記憶されているプログラムを、バス105を介してRAM103にロードして実行することにより、上述した一連の処理が行われる。また、コンピュータ(CPU101)が実行するプログラムは、ROM102に予め書き込んでおく他、入出力インタフェース106を介して外部からEEPROM104にインストールしたり、更新したりすることができる。

30

【0160】

なお、本技術は以下のような構成も取ることができる。

(1)

他の通信装置と信号の送受信を行う送受信部を備え、

前記送受信部は、

前記他の通信装置から読み出されるリードデータを受信し、

前記リードデータの後に送受信されるプリアンプルの2ビット目に対する駆動を常に行う

通信装置。

40

(2)

前記送受信部は、前記プリアンプルの2ビット目により、次の読みだされるデータがリードデータかCRC (Cyclic Redundancy Check) であるかを問わず、前記他の通信装置に対して通信を途中で遮断すること、または、通信の遮断を行わないことを通知する

上記(1)に記載の通信装置。

(3)

前記送受信部は、

前記他の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記他の通信装置に送信するプリアンプルの1ビット目の値と2ビット目の値とが反転するように駆動する

50

上記(1)または(2)に記載の通信装置。

(4)

前記送受信部は、

前記他の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記他の通信装置に送信するプリアンプルの1ビット目の値と2ビット目の値とで2回同じ値を送信するように駆動する

上記(1)または(2)に記載の通信装置。

(5)

前記送受信部は、前記プリアンプルによって、そのプリアンプルに続いてCRC(Cyclic Redundancy Check)およびデータのどちらを送信するかを指定する

上記(1)から(4)までのいずれかに記載の通信装置。

10

(6)

前記送受信部は、前記プリアンプルに対して冗長性を持たせるための1ビットのプレパレーションビットを送信する

上記(1)から(5)までのいずれかに記載の通信装置。

(7)

前記送受信部は、前記プレパレーションビットの2ビットおよび前記プリアンプルの1ビットを用いて、同一の信号を2回送信する

上記(6)に記載の通信装置。

(8)

前記送受信部により、次に送信するデータのタイプを指定するプリアンプルが受信されて、そのプリアンプルに続いて受信された信号のビット列と、前記プリアンプルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンプルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

をさらに備える上記(1)から(7)までのいずれかに記載の通信装置。

20

(9)

前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

をさらに備える上記(1)から(8)までのいずれかに記載の通信装置。

30

(10)

前記エラー検出部は、前記データに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する

上記(8)に記載の通信装置。

40

(11)

前記送受信部は、前記他の通信装置がデータ信号線に対する駆動を行って送信するCRC(Cyclic Redundancy Check)ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

上記(1)から(10)までのいずれかに記載の通信装置。

(12)

前記送受信部は、通常の転送レートでデータ通信を行うSDR(Standard Data Rate)モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR(High Data Rate)モードで、信号の送受信を行うことができる

上記(1)から(11)までのいずれかに記載の通信装置。

50

(1 3)

前記送受信部は、1ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の2本の信号線を介して通信を行う

上記(1)から(12)までのいずれかに記載の通信装置。

(1 4)

前記送受信部、I3C(Improved Inter Integrated Circuit)の規格に準じた通信を行う
上記(1)から(13)までのいずれかに記載の通信装置。

(1 5)

他の通信装置と信号の送受信を行う送受信部により、
前記他の通信装置から読み出されるリードデータを受信し、
前記リードデータの後に送受信されるプリアンプルの2ビット目に対する駆動を常に
行う
ステップを含む通信方法。

10

(1 6)

他の通信装置と信号の送受信を行う送受信部により、
前記他の通信装置から読み出されるリードデータを受信し、
前記リードデータの後に送受信されるプリアンプルの2ビット目に対する駆動を常に
行う
ステップを含む通信処理をコンピュータに実行させるプログラム。

20

(1 7)

バスにおける制御の主導権を有する第1の通信装置と、
前記第1の通信装置による制御に従って通信を行う第2の通信装置と
を備え、
前記第1の通信装置が、前記第2の通信装置と信号の送受信を行う送受信部を備え、
前記送受信部は、
前記第2の通信装置から読み出されるリードデータを受信し、
前記リードデータの後に送受信されるプリアンプルの2ビット目に対する駆動を常に
行う
通信システム。

30

【 0 1 6 1 】

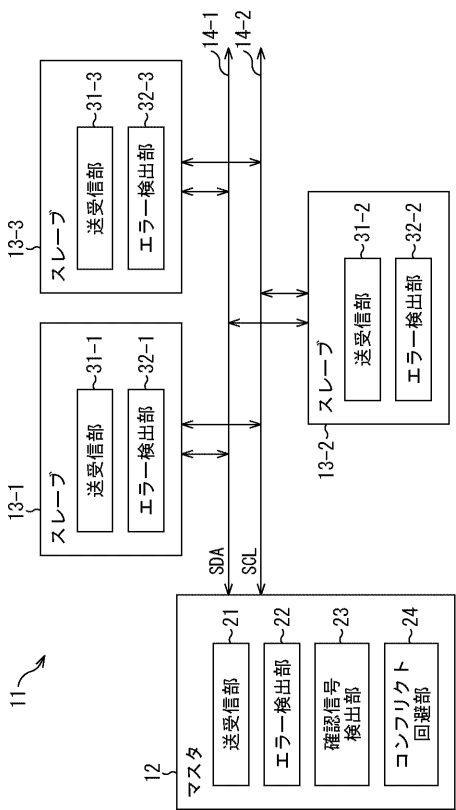
なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

【 0 1 6 2 】

1 1 バスIF, 1 2 マスタ, 1 3 スレーブ, 1 4 - 1 データ信号線,
1 4 - 2 クロック信号線, 2 1 送受信部, 2 2 エラー検出部, 2 3 確認信号検出部,
2 4 コンフリクト回避部, 3 1 送受信部, 3 2 エラー検出部

【 図 1 】
FIG. 1



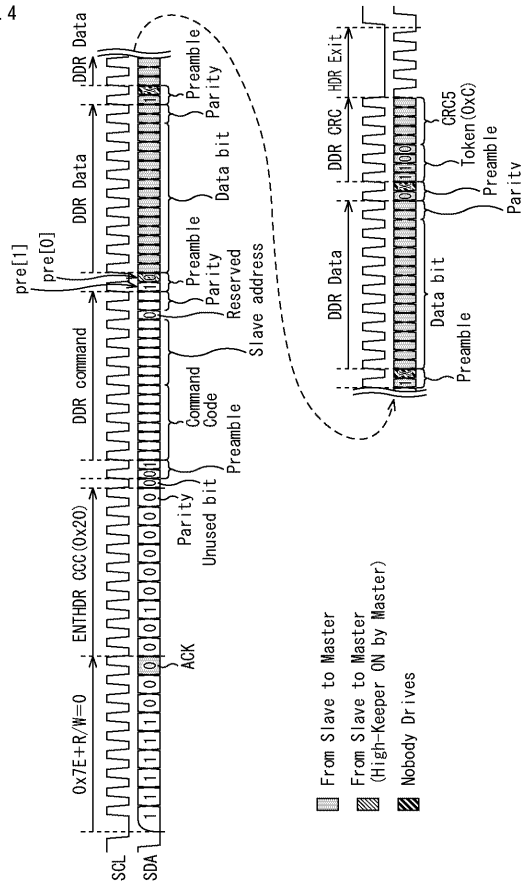
【 図 2 】
FIG. 2

After EnterHDR	After Read CMD	After Read DATA	After Write CMD	After Write DATA
Pre[1]	Pre[1]	Pre[0]	Pre[1]	Pre[0]
Master	Master	Master	Master	Master
0:Command Word follows 1:Reserved	0:Reserved 1:Command Word follows	0:Reserved 1:Data follows	0:Reserved 1:Data follows	0:Reserved 1:Reserved
Don't care	Don't care	Don't care	Don't care	Don't care
High Keeper	High Keeper	High Keeper	High Keeper	High Keeper
Slave	Slave	Slave	Slave	Slave

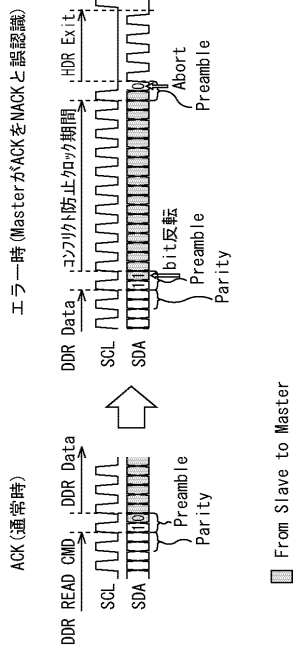
【 図 3 】
FIG. 3

After EnterHDR	After Read CMD	After Read DATA	After Write CMD	After Write DATA
Pre[1]	Pre[1]	Pre[0]	Pre[1]	Pre[0]
Master	Slave	Master	Master	Master
0:Command Word follows 1:Reserved	0:Reserved 1:Command Word follows	0:Reserved 1:Data follows	0:Reserved 1:Data follows	0:Reserved 1:Reserved
Don't care	Don't care	ON (必須)	Don't care	Don't care
High Keeper	High Keeper	High Keeper	High Keeper	High Keeper
Slave	Master	Slave	Slave	Slave

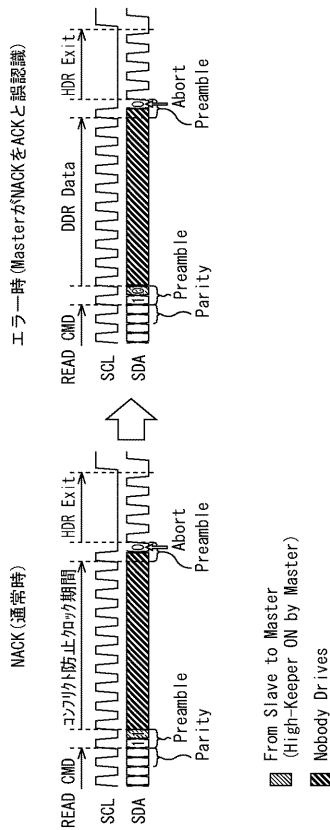
【 図 4 】
FIG. 4



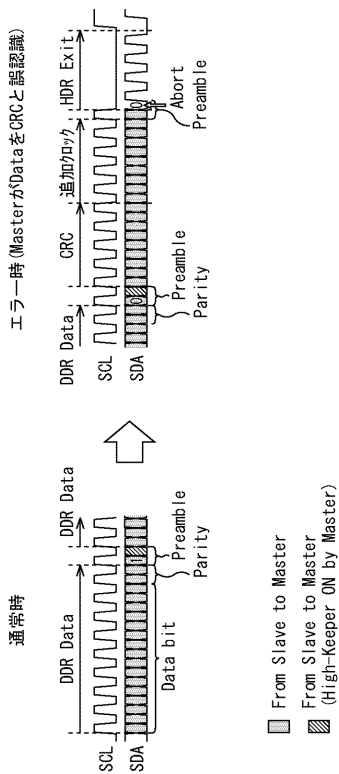
【 図 5 】
FIG. 5



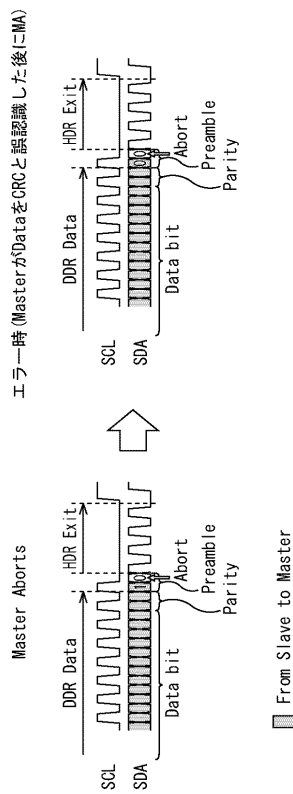
【 図 6 】
FIG. 6



【 図 7 】
FIG. 7

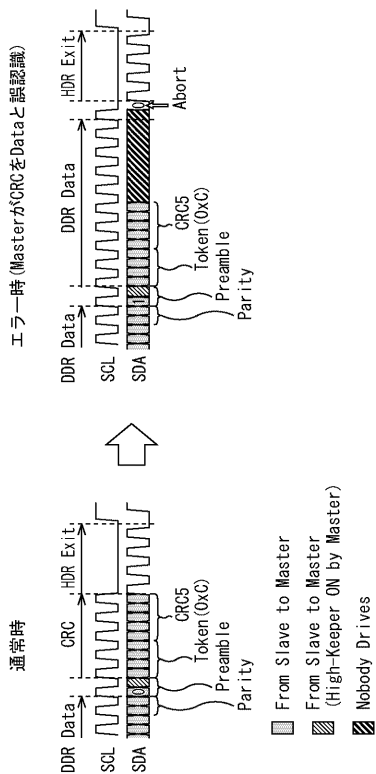


【 図 8 】
FIG. 8



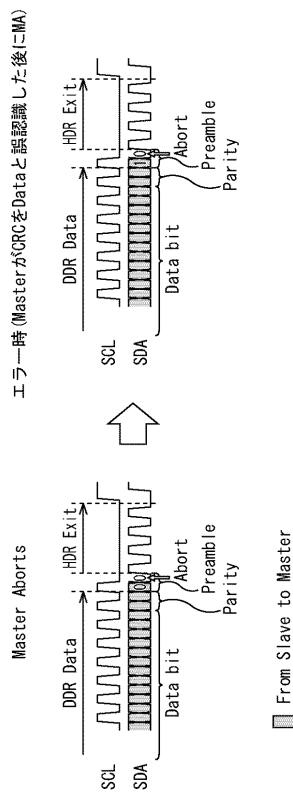
【図9】

FIG. 9



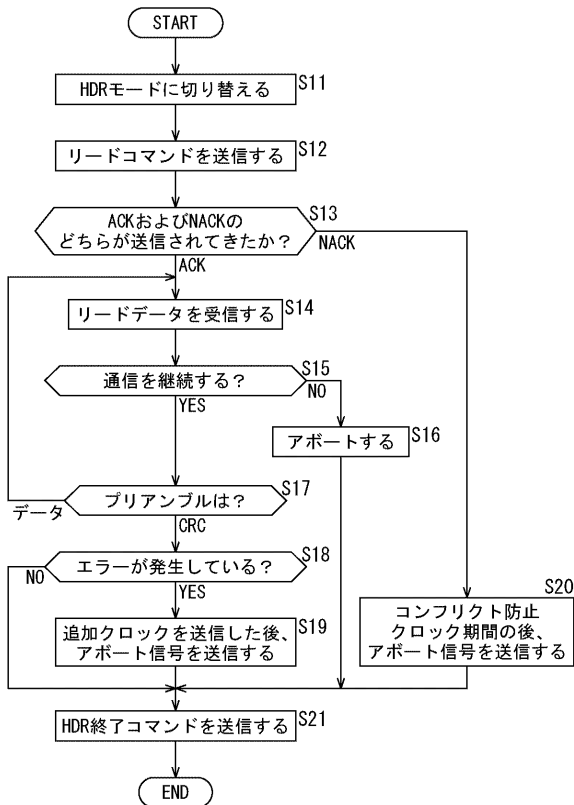
【図10】

FIG. 10



【図11】

FIG. 11



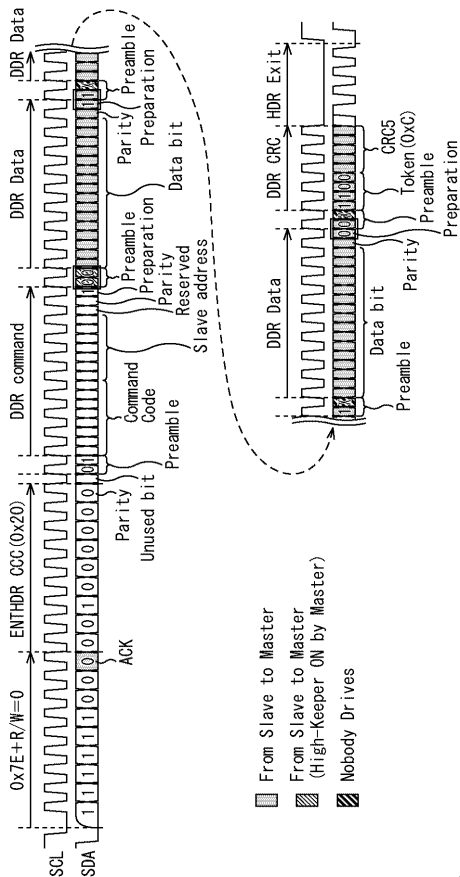
【図12】

FIG. 12

ppr	ドライブ主体	意味	High Keeper	受信者
After Enter HDR	Pre[1] Master	0: Command Word follows 1: Reserved	Don't care	Slave
	Pre[0] Master	0: Reserved 1: Command Word follows	Don't care	Slave
After Read CMD	ppr Master	0: Reserved 1: Data follows	Don't care	Slave
	Pre[1] Slave	0: Slave ACK 1: Slave NACK	ON	Master
	Pre[0] Slave	0: Slave ACK 1: Slave NACK	ON	Master
After Read DATA	ppr Slave	0: CRC Word follows 1: Data follows	Don't care	Master
	Pre[1] Slave	0: CRC Word follows 1: Data follows	Don't care	Master
	Pre[0] Master	0: Master aborts 1: Master doesn't abort	Don't care	Slave doesn't use this value.
After Write CMD	ppr Master	0: Reserved 1: Data follows	Don't care	Slave
	Pre[1] Master	0: Reserved 1: Data follows	Don't care	Slave
	Pre[0] Master	0: Data follows 1: Reserved	Don't care	Slave
After Write DATA	ppr Master	0: CRC Word follows 1: Data follows	Don't care	Slave
	Pre[1] Master	0: CRC Word follows 1: Data follows	Don't care	Slave
	Pre[0] Master	0: Reserved 1: CRC Word or Data follows	Don't care	Slave

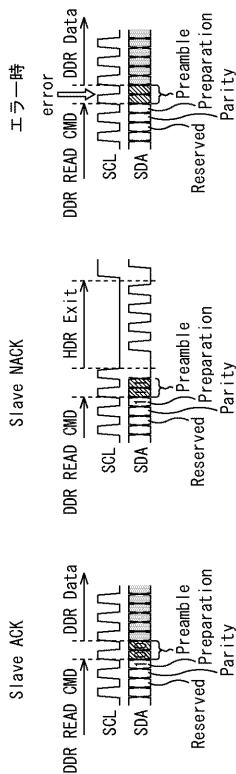
【 1 3 】

FIG. 13



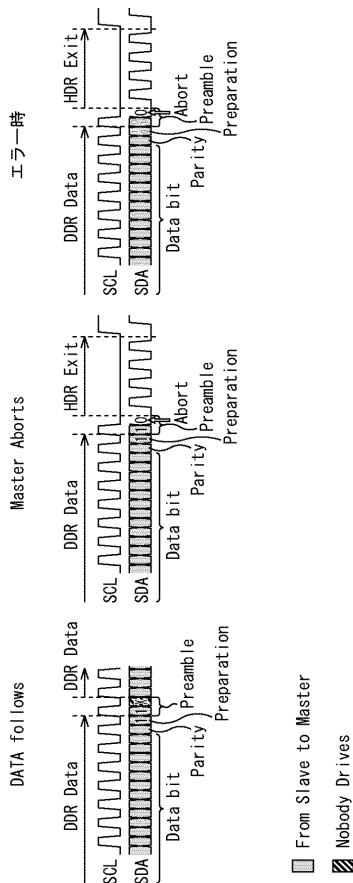
【 1 4 】

FIG. 14



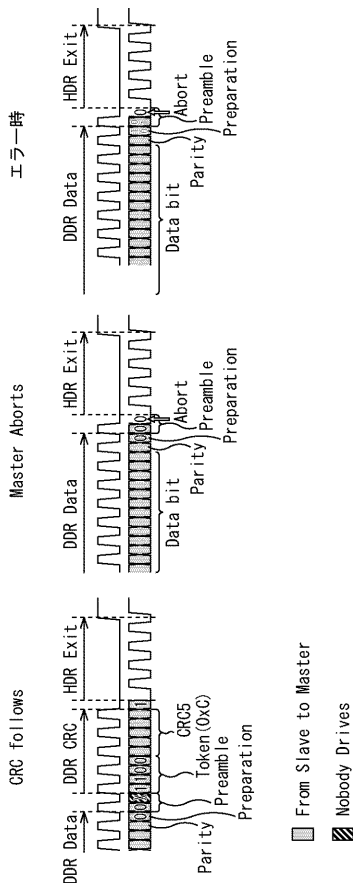
【 1 5 】

FIG. 15

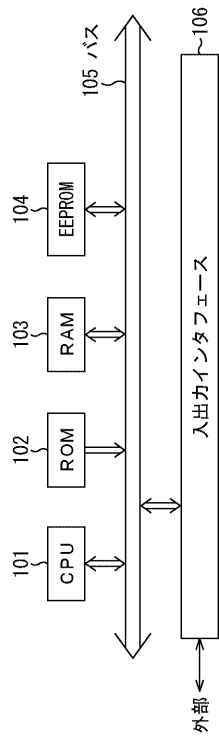


【 1 6 】

FIG. 16



【 図 17 】
FIG. 17



フロントページの続き

(72)発明者 李 惺薰

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 越坂 直弘

神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内

審査官 田名網 忠雄

(56)参考文献 国際公開第2015/053907(WO, A1)

特開2012-195639(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

G06F 13/10 - 13/14

G06F 13/20 - 13/42