

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6911282号
(P6911282)

(45) 発行日 令和3年7月28日(2021.7.28)

(24) 登録日 令和3年7月12日(2021.7.12)

(51) Int.Cl.

F 1

G06F 13/42	(2006.01)	G06F	13/42	310
G06F 13/38	(2006.01)	G06F	13/38	350
G06F 13/36	(2006.01)	G06F	13/36	510

請求項の数 21 (全 29 頁)

(21) 出願番号	特願2016-99953 (P2016-99953)
(22) 出願日	平成28年5月18日 (2016.5.18)
(65) 公開番号	特開2017-207934 (P2017-207934A)
(43) 公開日	平成29年11月24日 (2017.11.24)
審査請求日	令和1年5月20日 (2019.5.20)

(73) 特許権者	000002185 ソニーグループ株式会社 東京都港区港南1丁目7番1号
(74) 代理人	100121131 弁理士 西川 孝
(74) 代理人	100082131 弁理士 稲本 義雄
(72) 発明者	高橋 宏雄 東京都港区港南1丁目7番1号 ソニー株式会社内
(72) 発明者	横川 峰志 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】通信装置、通信方法、プログラム、および、通信システム

(57) 【特許請求の範囲】

【請求項 1】

バスにおける制御の主導権を有する第1の通信装置と、その第1の通信装置による制御に従って通信を行う第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit)に準じた通信により、信号の送受信を行う送受信部を備える第1の通信装置であって、

前記送受信部は、

前記第2の通信装置から読み出されるリードデータを受信し、

前記I3CのDDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う
通信装置。

10

【請求項 2】

前記送受信部は、前記プリアンブルの2ビット目により、次の読みだされるデータがリードデータかCRC (Cyclic Redundancy Check) であるかを問わず、前記第2の通信装置に対して通信を途中で遮断すること、または、通信の遮断を行わないことを通知する
請求項1に記載の通信装置。

【請求項 3】

前記送受信部は、

前記第2の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記第2の通信装置に送信するプリアンブルの1ビット目の

20

値と 2 ビット目の値とが反転するように駆動する

請求項 1 に記載の通信装置。

【請求項 4】

前記送受信部は、

前記第 2 の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記第 2 の通信装置に送信するプリアンブルの 1 ビット目の値と 2 ビット目の値とで 2 回同じ値を送信するように駆動する

請求項 1 に記載の通信装置。

【請求項 5】

前記プリアンブルによって、そのプリアンブルに続いてCRC (Cyclic Redundancy Check) およびデータのどちらが前記第 2 の通信装置から送信されるかが指定される

請求項 1 に記載の通信装置。

【請求項 6】

前記第 1 の通信装置および前記第 2 の通信装置の間で、前記プリアンブルに対して冗長性を持たせるための 1 ビットの

```
レパレーションビットが送受信される
```

請求項 1 に記載の通信装置。

【請求項 7】

前記第 2 の通信装置から前記第 1 の通信装置へ、前記

```
レパレーションビットの 1 ビット
```

および前記プリアンブルの 1 ビット目を用いて、同一の信号が 2 回送信される

請求項 6 に記載の通信装置。

20

【請求項 8】

データに含まれている 2 ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信した前記データに対するパリティチェックを行うことでエラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

をさらに備える請求項 1 に記載の通信装置。

【請求項 9】

前記コンフリクト回避部は、

30

前記送受信部により受信されたプリアンブルが、トークンおよびCRC (Cyclic Redundancy Check) 5 を含むCRCワードの送信を指定しているのに対して、前記プリアンブルに続いて受信された信号のビット列に基づいて、前記エラー検出部によりトークンエラーまたはCRCエラーが検出された場合、

前記プリアンブルに続いて、前記CRCワードのビット数、および、前記CRCワードのビット数と前記第 2 の通信装置から読み出されるリードデータのビット数との差に対応する追加クロックのビット数に応じたクロックを送信させる

請求項 8 に記載の通信装置。

【請求項 10】

前記コンフリクト回避部は、前記追加クロックを送信中に前記送受信部が受信した信号を無視する

40

請求項 9 に記載の通信装置。

【請求項 11】

前記送受信部は、前記第 2 の通信装置がデータ信号線に対する駆動を行って送信するCRC (Cyclic Redundancy Check) ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

請求項 9 に記載の通信装置。

【請求項 12】

前記送受信部は、前記所定ビット数に応じたクロックを送信したのに続いて、特定の通信モードの終了を指示するコマンドを送信する

50

請求項 8 に記載の通信装置。

【請求項 13】

前記送受信部から送信された信号を受信した前記第 2 の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視するように、前記送受信部に対する指示を行うコンフリクト回避部と

をさらに備える請求項 1 に記載の通信装置。

【請求項 14】

前記送受信部は、前記第 2 の通信装置がデータ信号線に対する駆動を行って送信するCRC (Cyclic Redundancy Check) ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

請求項 1 に記載の通信装置。

【請求項 15】

前記送受信部は、通常の転送レートでデータ通信を行うSDR (Standard Data Rate) モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR (High Data Rate) モードで、信号の送受信を行うことができる

請求項 1 に記載の通信装置。

【請求項 16】

前記HDRモードは、少なくとも前記DDRモード、TSP(Ternary Symbol Pure-Bus)モード、および、TSL(Ternary Symbol Legacy-inclusive-Bus)モードの3つのモードを含む

請求項 15 に記載の通信装置。

【請求項 17】

前記送受信部は、モードを変更するコマンドを送信することで、前記第 2 の通信装置を前記SDRモードと前記HDRモードとで切り替えさせる

請求項 15 に記載の通信装置。

【請求項 18】

前記送受信部は、1ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の2本の信号線を介して通信を行う

請求項 1 に記載の通信装置。

【請求項 19】

バスにおける制御の主導権を有する第 1 の通信装置と、その第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う前記第 1 の通信装置の送受信部が、

前記第 2 の通信装置から読み出されるリードデータを受信し、

前記I3CのDDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う

ステップを含む通信方法。

【請求項 20】

バスにおける制御の主導権を有する第 1 の通信装置と、その第 1 の通信装置による制御に従って通信を行う第 2 の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit) に準じた通信により、信号の送受信を行う送受信部を備える第 1 の通信装置のコンピュータに、

前記第 2 の通信装置から読み出されるリードデータを受信し、

前記I3CのDDR (Double Data Rate) モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う

ステップを含む通信処理を実行させるプログラム。

【請求項 21】

10

20

30

40

50

バスにおける制御の主導権を有する第1の通信装置と、
前記第1の通信装置による制御に従って通信を行う第2の通信装置と
を備え、

前記第1の通信装置が、前記第1の通信装置と前記第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit)に準じた通信により、前記第2の通信装置と信号の送受信を行う送受信部を備え、

前記送受信部は、

前記第2の通信装置から読み出されるリードデータを受信し、

前記I3CのDDR (Double Data Rate)モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う

10

通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、通信装置、通信方法、プログラム、および、通信システムに関し、特に、より確実に通信を行うことができるようとした通信装置、通信方法、プログラム、および、通信システムに関する。

【背景技術】

【0002】

従来、複数のデバイスが実装されたボード内でバスを介したデバイス間の通信に用いられるバスIF (Interface)として、例えば、I2C (Inter-Integrated Circuit)が多く利用されている。

20

【0003】

また、近年、I2Cの高速化を実現することが求められており、次世代の規格としてI3C (Improved Inter Integrated Circuit)の規定が進行している。I3Cでは、マスタおよびスレーブは、2本の信号線を用いて双方向に通信を行うことができ、例えば、マスタからスレーブへのデータ転送（ライト転送）と、スレーブからマスタへのデータ転送（リード転送）とが行われる。

【0004】

例えば、特許文献1には、ホスト・プロセッサとサブシステム・コントローラとを、I2Cにより相互接続するディジタル・データ処理システムが開示されている。また、特許文献2には、標準I2Cプロトコルの上部に層状に配置された通信プロトコルを実現する方法が開示されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-99448号公報

【特許文献2】特開2002-175269号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0006】

ところで、上述したようなI3Cでは、例えば、マスタおよびスレーブにおいて、パリティやCRC (Cyclic Redundancy Check)などによるエラー検出が行われることが規定されているが、そのようなエラー検出が用意されていない信号の送受信も行われる。そのため、エラー検出が用意されていない信号にエラーが発生したときに、マスタおよびスレーブが、正常な通信を行うことができなくなることが懸念される。

【0007】

本開示は、このような状況に鑑みてなされたものであり、より確実に通信を行うことができるようとするものである。

【課題を解決するための手段】

50

【0008】

本開示の第1の側面の通信装置は、バスにおける制御の主導権を有する第1の通信装置と、その第1の通信装置による制御に従って通信を行う第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit)に準じた通信により、信号の送受信を行う送受信部を備える第1の通信装置であって、前記送受信部は、前記第2の通信装置から読み出されるリードデータを受信し、前記I3CのDDR (Double Data Rate)モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う。

【0009】

本開示の第1の側面の通信方法またはプログラムは、バスにおける制御の主導権を有する第1の通信装置と、その第1の通信装置による制御に従って通信を行う第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit)に準じた通信により、信号の送受信を行う前記第1の通信装置の送受信部が、または、第1の通信装置のコンピュータが、前記第2の通信装置から読み出されるリードデータを受信し、前記I3CのDDR (Double Data Rate)モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行うステップを含む。

10

【0010】

本開示の第1の側面においては、第1の通信装置の送受信部により、第2の通信装置から読み出されるリードデータが受信され、I3CのDDR (Double Data Rate)モード時に、そのリードデータの後に送受信されるプリアンブルの2ビット目に対する駆動が常に行われる。

20

【0011】

本開示の第2の側面の通信システムは、バスにおける制御の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う第2の通信装置とを備え、前記第1の通信装置が、前記第1の通信装置と前記第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit)に準じた通信により、前記第2の通信装置と信号の送受信を行う送受信部を備え、前記送受信部は、前記第2の通信装置から読み出されるリードデータを受信し、前記I3CのDDR (Double Data Rate)モード時に、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う。

30

【0012】

本開示の第2の側面においては、バスにおける制御の主導権を有する第1の通信装置と、第1の通信装置による制御に従って通信を行う第2の通信装置とにより通信が行われる。そして、第1の通信装置が、第1の通信装置と第2の通信装置とが2本の信号線を介して通信を行う通信規格であるI3C (Improved Inter Integrated Circuit)に準じた通信により、第2の通信装置と信号の送受信を行う送受信部を備え、送受信部により、第2の通信装置から読み出されるリードデータが受信され、I3CのDDR (Double Data Rate)モード時に、リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動が常に行われる。

【発明の効果】

40

【0013】

本開示の第1および第2の側面によれば、より確実に通信を行うことができる。

【図面の簡単な説明】**【0014】**

【図1】本技術を適用したバスIFの一実施の形態の構成例を示すブロック図である。

【図2】プリアンブルの第1の定義例を示す図である。

【図3】プリアンブルの第1の定義例の変形例を示す図である。

【図4】リード転送時におけるタイミングチャートを示す図である。

【図5】リードコマンドの直後のプリアンブルにおいてACKに1ビットエラーが発生する例を示す図である。

50

【図6】リードコマンドの直後のプリアンブルにおいてNACKに1ビットエラーが発生する例を示す図である。

【図7】リードデータの直後のプリアンブルの1ビット目が1であるときに、その1ビット目に1ビットエラーが発生する第1の例を示す図である。

【図8】リードデータの直後のプリアンブルの1ビット目が1であるときに、その1ビット目に1ビットエラーが発生する第2の例を示す図である。

【図9】リードデータの直後のプリアンブルの1ビット目が0であるときに、その1ビット目に1ビットエラーが発生する第1の例を示す図である。

【図10】リードデータの直後のプリアンブルの1ビット目が0であるときに、その1ビット目に1ビットエラーが発生する第2の例を示す図である。

【図11】マスタのDDRモードでの通信処理を説明するフローチャートである。

【図12】プリアンブルの第2の定義例を示す図である。

【図13】リード転送時におけるタイミングチャートを示す図である。

【図14】リードコマンドに続いてリードデータが送信されるときのプレパレーションビットおよびプリアンブルに1ビットエラーが発生する例を示す図である。

【図15】リードデータに続いてリードデータが送信されるときのプレパレーションビットおよびプリアンブルに1ビットエラーが発生する例を示す図である。

【図16】リードコマンドに続いてCRCワードが送信されるときのプレパレーションビットおよびプリアンブルに1ビットエラーが発生する例を示す図である。

【図17】本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

【発明を実施するための形態】

【0015】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0016】

<バスIFの構成例>

【0017】

図1は、本技術を適用したバスIFの一実施の形態の構成例を示すブロック図である。

【0018】

図1に示されているバスIF11は、マスタ12と3台のスレーブ13-1乃至13-3とが、データ信号線14-1およびクロック信号線14-2を介して接続されて構成される。

【0019】

マスタ12は、バスIF11における制御の主導権を有しており、データ信号線14-1およびクロック信号線14-2を介して、スレーブ13-1乃至13-3と通信を行うことができる。

【0020】

スレーブ13-1乃至13-3は、マスタ12による制御に従って、データ信号線14-1およびクロック信号線14-2を介して、マスタ12と通信を行うことができる。なお、スレーブ13-1乃至13-3は、それぞれ同様に構成されており、以下、それらを区別する必要がない場合、単にスレーブ13と称し、スレーブ13を構成する各ブロックについても同様とする。

【0021】

データ信号線14-1およびクロック信号線14-2は、マスタ12およびスレーブ13の間で信号を伝送するのに用いられる。例えば、バスIF11では、データ信号線14-1を介して、1ビットずつ逐次的にシリアルデータ(SDA : Serial Data)が传送され、クロック信号線14-2を介して、所定の周波数のシリアルクロック(SCL : Serial Clock)が传送される。

【0022】

10

20

30

40

50

また、バス I F 1 1 では、I3Cの規格に準じて、通信速度が異なる複数の伝送方式が規定されており、マスタ 1 2 は、それらの伝送方式を切り替えることができる。例えば、バス I F 1 1 では、データの転送レートに応じて、通常の転送レートでデータ通信を行うSDR (Standard Data Rate) モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR (High Data Rate) モードが規定されている。また、HDRモードでは、DDR (Double Data Rate) モード、TSP(Ternary Symbol Pure-Bus)モード、および、TSL(Ternary Symbol Legacy-inclusive-Bus)モードの3つのモードが規格で定義されている。なお、バス I F 1 1 では、通信を開始するときにはSDRモードで通信を行うことが規定されている。

【 0 0 2 3 】

10

マスタ 1 2 は、送受信部 2 1 、エラー検出部 2 2 、確認信号検出部 2 3 、およびコンフリクト回避部 2 4 を備えて構成される。

【 0 0 2 4 】

送受信部 2 1 は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して、スレーブ 1 3 と信号の送受信を行う。例えば、送受信部 2 1 は、クロック信号線 1 4 - 2 を駆動することにより送信するシリアルクロックのタイミングに合わせて、データ信号線 1 4 - 1 に対する駆動を行う（電位を H レベルまたは L レベルに切り替える）ことにより、スレーブ 1 3 に信号を送信する。また、送受信部 2 1 は、クロック信号線 1 4 - 2 のシリアルクロックのタイミングに合わせて、スレーブ 1 3 がデータ信号線 1 4 - 1 に対する駆動を行うことによって、スレーブ 1 3 から送信されてくる信号を受信する。なお、クロック信号線 1 4 - 2 に対する駆動は、常に、マスタ 1 2 側により行われる。

20

【 0 0 2 5 】

エラー検出部 2 2 は、送受信部 2 1 が受信した信号に発生しているエラーを検出する。例えば、エラー検出部 2 2 は、送受信部 2 1 が受信した信号に対するパリティチェックや巡回冗長検査 (CRC) などを行ったり、スレーブ 1 3 からマスタ 1 2 へ送信権を移行する際に発行されるトークンを確認したりすることで、エラーを検出することができる。そして、エラー検出部 2 2 は、送受信部 2 1 が受信した信号にエラーが発生していることを検出した場合、例えば、送受信部 2 1 に対してスレーブ 1 3 との通信を最初からやり直すように指示することができる。

【 0 0 2 6 】

30

例えば、エラー検出部 2 2 は、スレーブ 1 3 から送信されてくるデータに含まれている 2 ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、送受信部 2 1 が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する。これにより、エラー検出部 2 2 は、マスタ 1 2 およびスレーブ 1 3 のどちらもデータ信号線 1 4 - 1 に対する駆動が行われないような状態が発生しても、データが正しいものであるか否かを検出することができる。

【 0 0 2 7 】

確認信号検出部 2 3 は、送受信部 2 1 から送信された信号を受信したスレーブ 1 3 から送信されてくるACK (受信確認信号) またはNACK (非受信確認信号) を検出することにより、スレーブ 1 3 がコマンドやデータなどの受信に成功したか否かを確認する。例えば、バス I F 1 1 では、信号にエラーが発生せずに、スレーブ 1 3 がコマンドやデータなどの受信に成功したときには、スレーブ 1 3 からマスタ 1 2 にACKを送信するように規定されている。また、バス I F 1 1 では、信号にエラーが発生して、スレーブ 1 3 がコマンドやデータなどの受信に失敗したときには、スレーブ 1 3 からマスタ 1 2 にNACKを送信するように規定されている。

40

【 0 0 2 8 】

従って、確認信号検出部 2 3 は、マスタ 1 2 から送信されるコマンドやデータなどに対して、スレーブ 1 3 から送信されてくるACKを検出した場合には、スレーブ 1 3 がコマンドやデータなどを受信することに成功したと確認することができる。一方、確認信号検出部 2 3 は、マスタ 1 2 から送信されるコマンドやデータなどに対して、スレーブ 1 3 から

50

送信されてくるNACKを検出した場合には、スレーブ13がコマンドやデータなどを受信することに失敗したと確認することができる。

【0029】

コンフリクト回避部24は、例えば、図5を参照して後述するように、確認信号検出部23によりNACKが検出された場合、NACKに続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信するように、送受信部21に対する指示を行う。これにより、コンフリクト回避部24は、例えば、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

【0030】

また、コンフリクト回避部24は、例えば、図7を参照して後述するように、トーケンおよびCRC5に基づいてエラーが発生していることを検出したときに、プリアンブルにエラーが発生しているものと推定して、所定数のビットの追加クロックを送信した後にアボート信号を送信するように、送受信部21に対する指示を行う。これにより、コンフリクト回避部24は、例えば、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

【0031】

スレーブ13は、送受信部31およびエラー検出部32を備えて構成される。

【0032】

送受信部31は、データ信号線14-1およびクロック信号線14-2を介して、マスタ12と信号の送受信を行う。例えば、送受信部31は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、マスタ12がデータ信号線14-1に対する駆動を行うことによって、マスタ12から送信されてくる信号を受信する。また、送受信部31は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、データ信号線14-1に対する駆動を行うことによって、マスタ12に信号を送信する。

【0033】

エラー検出部32は、マスタ12のエラー検出部22と同様に、送受信部31が受信した信号に発生しているエラーを検出する。そして、エラー検出部32は、送受信部31が受信した信号にエラーが発生していない場合、その信号により伝送されるコマンドやデータなどの受信に成功したことを伝えるACKを、送受信部31によりマスタ12に送信させる。一方、エラー検出部32は、送受信部31が受信した信号にエラーが発生していた場合、その信号により伝送されるコマンドやデータなどの受信に失敗したことを伝えるNACKを、送受信部31によりマスタ12に送信させる。

【0034】

さらに、エラー検出部32は、例えば、送受信部31が受信した信号にエラーが発生し、正常な通信を行うことができない場合には、その後の一切の通信を無視し、マスタ12に対する応答を停止してスレーブ13を待機状態とさせる。

【0035】

以上のようにバスIF11は構成されており、マスタ12およびスレーブ13は、データ信号線14-1およびクロック信号線14-2を介して信号を送受信することができる。そして、バスIF11では、マスタ12が、コンフリクト回避部24によってコンフリクトの発生を回避することができる。

【0036】

ここで、バスIF11では、DDRモード時において、例えば、図2に示すように、プリアンブルと呼ばれる2ビットの信号を使用して、次に送信するデータのタイプを指定するように規定されている。ところで、プリアンブルには、パリティやCRCによるエラー検出が用意されていないため、プリアンブルにエラーが発生した場合には、そのエラーを検出することができない。

【0037】

また、バスIF11では、リードデータに続くプリアンブルの2ビット目を、マスタ1

10

20

30

40

50

2が常に駆動するようにプリアンブルが定義される。これにより、バスI/F1/1では、例えば、その2ビット目がコンフリクトすることを回避して、より確実に通信を行うことができる。

【0038】

<プリアンブルの第1の定義例>

【0039】

図2には、バスI/F1/1におけるプリアンブルの第1の定義例が示されている。以下で説明するように、プリアンブルは、1ビット目(pre[1])および2ビット目(pre[0])からなる2ビットの信号により構成される。

【0040】

HDRモードに入った直後のプリアンブルの1ビット目および2ビット目は、マスター1/2により駆動され、スレーブ1/3により受信される。

【0041】

そして、HDRモードに入った直後のプリアンブルの1ビット目が0であるとき、プリアンブルに続いてコマンドワードが送信されることが指定される。なお、この1ビット目が1であるときの意味は、リザーブされている。また、HDRモードに入った直後のプリアンブルの2ビット目が1であるとき、プリアンブルに続いてコマンドワードが送信されることが指定される。また、この2ビット目が0であるときの意味は、リザーブされている。

【0042】

リードコマンドの直後のプリアンブルの1ビット目は、マスター1/2により駆動され、スレーブ1/3により受信される。また、リードコマンドの直後のプリアンブルの2ビット目は、スレーブ1/3により駆動され、マスター1/2により受信される。

【0043】

そして、リードコマンドの直後のプリアンブルの1ビット目が1であるとき、プリアンブルに続いてデータが送信されることが指定される。なお、この1ビット目が0であるときの意味は、リザーブされている。また、リードコマンドの直後のプリアンブルの2ビット目が0であるとき、スレーブ1/3によるリードコマンドの受信が成功したことを示すACKを意味し、この2ビット目が1であるとき、スレーブ1/3によるリードコマンドの受信が失敗したことを示すNACKを意味する。

【0044】

ここで、リードコマンドの直後のプリアンブルの2ビット目は、マスター1/2によりデータ信号線1/4-1がHレベルに維持されること(High Keeper : weak pull up)が必須とされている。これにより、データ信号線1/4-1がHレベルに維持されるビットは、マスター1/2およびスレーブ1/3のどちらにも駆動されない場合、その直前のビットが1である場合に限って1となる。

【0045】

リードデータの直後のプリアンブルの1ビット目は、スレーブ1/3により駆動され、マスター1/2により受信される。また、リードデータの直後のプリアンブルの2ビット目は、マスター1/2により常に駆動され、スレーブ1/3により受信されるとともに、スレーブ1/3による使用が禁止される。

【0046】

そして、リードデータの直後のプリアンブルの1ビット目が0であるとき、プリアンブルに続いてCRCワードが送信され、この1ビット目が1であるとき、プリアンブルに続いてデータが送信されることが指定される。また、リードデータの直後のプリアンブルの2ビット目が0であるとき、マスター1/2により通信が途中で遮断(Master aborts)されることを意味し、この2ビット目が1であるとき、マスター1/2により通信を途中で遮断しないこと(Master doesn't aborts)を意味する。ここで、リードデータの直後のプリアンブルの2ビット目は、マスター1/2によりデータ信号線1/4-1がHレベルに維持されるが、これは必須ではなく、不定回避のためである。

【0047】

10

20

30

40

50

ライトコマンドの直後のプリアンブルの1ビット目および2ビット目は、マスター12により駆動され、スレーブ13により受信される。

【0048】

そして、ライトコマンドの直後のプリアンブルの1ビット目が1であるとき、ライトコマンドに続いてデータが送信されることが指定される。なお、この1ビット目が0であるときの意味は、リザーブされている。また、ライトコマンドの直後のプリアンブルの2ビット目が0であるとき、ライトコマンドに続いてデータが送信されることが指定される。なお、この1ビット目が1であるときの意味は、リザーブされている。

【0049】

ライトデータの直後のプリアンブルの1ビット目および2ビット目は、マスター12により駆動され、スレーブ13により受信される。 10

【0050】

そして、ライトデータの直後のプリアンブルの1ビット目が0であるとき、プリアンブルに続いてCRCワードが送信され、この1ビット目が1であるとき、プリアンブルに続いてデータが送信されることが指定される。また、ライトデータの直後のプリアンブルの2ビット目が1であるとき、CRCワードまたはデータが送信されることが指定される。なお、この2ビット目が0であるときの意味は、リザーブされている。

【0051】

このように、バスIF11におけるプリアンブルが定義されている。そして、例えば、リードデータの直後のプリアンブルの2ビット目が、マスター12により常に駆動されるよう定義されることにより、コンフリクトの発生を回避することができる。 20

【0052】

例えば、仮に、リードデータの直後のプリアンブルの2ビット目について、CRCワードを伝送する時にはスレーブ13が駆動し、それ以外はマスター12が駆動するように規定したとする。この場合、リードデータを送信する際のプリアンブルにエラーが発生し、スレーブ13が、CRCワードを送信しようとしたところ、マスター12が、リードデータと誤認識したとき、その2ビット目がコンフリクトすることが想定される。即ち、この場合、プリアンブルの1ビット目をマスター12が誤認識した場合など、その2ビット目を駆動する主体が異なるため、バスIF11において信号が衝突することが発生する恐れがある。さらに、この場合、スレーブ13がCRCワードを送信する場合には、マスター12がアボート信号を出力することができないことが想定される。 30

【0053】

これに対し、バスIF11では、リードデータの後に送信されるプリアンブルの2ビット目を、常に、マスター12が駆動するように規定される。これにより、例えば、マスター12が、アボート信号を出力する際に次のクロックを出さないため、スレーブ13が駆動することができない状態となり、バスIF11がコンフリクトすることは発生しない。さらに、上述したように、スレーブ13がCRCワードを送信する場合には、マスター12がアボート信号を出力することができなくなることも回避され、スレーブ13がCRCワードを送信する場合でも、マスター12がアボート信号を出力することができる。

【0054】

このように、バスIF11では、マスター12が、スレーブ13から読み出されるリードデータを受信し、そのリードデータの後に送受信されるプリアンブルの2ビット目を常に駆動することで、その2ビット目がコンフリクトすることを回避し、より確実に通信を行うことができる。 40

【0055】

図3には、バスIF11におけるプリアンブルの第1の定義例の変形例が示されている。

【0056】

図3に示すプリアンブルでは、ライトデータの後に送信されるプリアンブルの2ビット目が、図2と異なるものとなっている。なお、それ以外は、図2と同一であり、それらの 50

詳細な説明は省略する。

【0057】

即ち、図3に示すように、ライトデータの後に送信されるプリアンブルの2ビット目が0であるとき、そのプリアンブルの次にデータが送信されることが指定される。また、ライトデータの後に送信されるプリアンブルの2ビット目が1であるとき、そのプリアンブルの次にCRCワードが送信されることが指定される。つまり、この例では、ライトデータの後に送信されるプリアンブルの1ビット目と2ビット目の値が反転するよう定義される。例えば、プリアンブルの1ビット目が0であり、2ビット目が1であるときにCRCワードが送信され、プリアンブルの1ビット目が1であり、2ビット目が0であるときにライトデータが送信されると定義される。

10

【0058】

また、別の例として、例えば、CRCワードが送信されるときにはプリアンブルの1ビット目および2ビット目に0を送信し、データが送信されるときにはプリアンブルの1ビット目および2ビット目に1を送信してもよい。即ち、マスタ12が、プリアンブルの1ビット目および2ビット目の値を反転させることなく、2回連続して同じ値を送ることで、プリアンブルに発生する1ビットエラーを検出できる。ただし、この場合、マスタ12およびスレーブ13のいずれもデータ信号線14-1に対する駆動を行わない状態と区別することが困難になることより、図3に示すように、プリアンブルの1ビット目と2ビット目の値が反転していたほうが望ましい。

20

【0059】

このように、バスIF11において、ライトデータの後に送信されるプリアンブルの2ビット目を定義することで、例えば、プリアンブルに1ビットエラーが発生したことをスレーブ13が容易に検出することができる。

【0060】

<HDRモードでの通信についての説明>

【0061】

図4には、リード転送時におけるタイミングチャートが示されている。

【0062】

なお、以下の図面において、グレーのハッチングが施されている部分は、スレーブ13により駆動が行われていることを表している。また、細線の斜線のハッチングが施されている部分は、スレーブ13により駆動が行われ、マスタ12によりデータ信号線14-1がHレベルに維持されることを表しており、太線の斜線のハッチングが施されている部分は、駆動が行われないこと表している。

30

【0063】

図4に示すように、マスタ12は、まず、SDRモードにおいて、バスIF11を構成する全てのスレーブ13を対象として一斉にコマンドを送信することを通知するブロードキャストコマンド($0 \times 7E+R/W=0$)を送信する。その後、マスタ12は、ブロードキャストコマンドの受信が成功したことを確認するためにスレーブ13から送信されてくるACKを受信して、HDRモードに入るためのコモンコマンドコード(ENTHDR CCC(0×20))を送信する。このように、マスタ12は、スレーブ13に対してHDRモードに入ることを通知してHDRモードに移行する。

40

【0064】

その後、HDRモードに移行した直後のプリアンブルの1ビット目および2ビット目は、マスタ12により駆動され、図4の例では、プリアンブルの次にコマンドワード(DDR command)を送信することが指定(pre[1]:0, pre[0]:1)されている。そして、そのプリアンブルに続いて、マスタ12によりコマンドワード(Command Code, Slave address, Reserved, Parity)が送信される。

【0065】

さらに、コマンドワードを送信した直後のプリアンブルについては、1ビット目はマスタ12により駆動され、2ビット目はスレーブ13により駆動される。図4の例では、1

50

ビット目により、プリアンブルの次にデータ (DDR Data) を送信することが指定 (pre[1]:1) されるとともに、2 ビット目により、スレーブ 1 3 においてコマンドの受信に成功したこと (pre[0]:0) が示されている。そして、そのプリンブルに続いて、スレーブ 1 3 によりリードデータ (Data bit, Parity) が送信される。

【0066】

続いて、リードデータを送信した直後のプリアンブルについては、1 ビット目はスレーブ 1 3 により駆動され、2 ビット目はマスタ 1 2 により駆動される。図 4 の例では、1 ビット目により、プリアンブルの次にデータ (DDR Data) を送信することが指定 (pre[1]:1) されている。また、2 ビット目により、次の読みだされるデータがリードデータかCRC であるかを問わず、マスタ 1 2 によりアボート信号 (pre[1]:0) または非アボート信号 (pre[1]:1) のいずれかが送信され、マスタ 1 2 が、アボート信号を送信した場合には通信が遮断され、非アボート信号を送信した場合には通信が継続される。この 2 ビット目は、
10 上述したように、常に、マスタ 1 2 により駆動される。

【0067】

そして、通信が継続される場合、以下、同様に、リードデータの送信が繰り返して行われ、スレーブ 1 3 は、マスタ 1 2 から要求された全てのデータの送信を行う。

【0068】

その後、最後のリードデータを送信した直後のプリアンブルの 1 ビット目により、プリアンブルの次にCRCワード (DDR CRC) を送信することが指定 (pre[1]:0) される。なお、
20 CRCワードの送信直前のプリアンブルの 2 ビット目は、スレーブ 1 3 により駆動されることは禁止される。

【0069】

そして、そのプリンブルに続いて、スレーブ 1 3 によりCRCワード (Token(0xC), CRC5) が送信された後、マスタ 1 2 によりHDR終了コマンド (HDR Exit) が送信され、HDRモードでの通信が終了される。なお、HDR終了コマンドの 1 ビット目 (セットアップ) はマスタ 1 2 により出力される。また、図示するように、CRCワードの受信直後のビットから、データ信号線 1 4 - 1 対する駆動が、スレーブ 1 3 からマスタ 1 2 に切り替えられるよう¹にすることで、安全に早く通信を終了させることができる。

【0070】

このように、バス IF 1 1 では、HDRモードでリード転送が行われる。そして、バス IF 1 1 では、リードデータの直後のプリアンブルの 2 ビット目を常に、マスタ 1 2 が駆動することにより、その 2 ビット目がコンフリクトすることを回避することができる。これにより、バス IF 1 1 では、より確実に通信を行うことができる。
30

【0071】

<プリアンブルエラーの説明>

【0072】

図 5 乃至図 10 を参照して、プリアンブルに発生するエラーと、プリアンブルにエラーが発生したときの処理について説明する。

【0073】

図 5 および図 6 を参照して、リードコマンドに続いてリードデータが送信されるときのプリアンブルの 2 ビット目に、ビットの値が反転する 1 ビットエラーが発生する例について説明する。上述したように、リードコマンドの直後のプリアンブルの 2 ビット目は、スレーブ 1 3 からマスタ 1 2 に送信されるACKまたはNACKを示す。
40

【0074】

図 5 には、リードコマンドの直後のプリアンブルにおいて、スレーブ 1 3 から送信されるACKに 1 ビットエラーが発生する例が示されている。

【0075】

図 5 の左側に示すように、通常時には、スレーブ 1 3 が、プリアンブルの 2 ビット目を 0 に駆動することにより、マスタ 1 2 はACKが送信されてきたと認識する。この場合、マ
50 スタ 1 2 は、ACKを検出したことに応じて、プリアンブルに続いてスレーブ 1 3 から送信

されてくるリードデータを受信する処理を行う。

【0076】

これに対し、エラー時には、図5の右側に示すように、プリアンブルの2ビット目がビット反転して1になるため、マスタ12は、NACKが送信されてきたものと誤認識してしまう。この場合、マスタ12は、プリアンブルに発生したエラーを検出することはできないが、NACKを検出したときの通常の処理を行って通信を終了させることができる。即ち、マスタ12は、スレーブ13から送信されてくるリードデータのビット数に対応するコンフリクト防止ロック期間が経過した後のプリアンブルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。

【0077】

このように、マスタ12は、ACKをNACKと誤認識しても、スレーブ13に対して通信の遮断することを正常に通知することができる、その誤認識に基づいてコンフリクトが発生することは回避される。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0078】

図6には、リードコマンドの直後のプリアンブルにおいて、スレーブ13から送信されるNACKに1ビットエラーが発生する例が示されている。

【0079】

図6の左側に示すように、通常時には、スレーブ13が、プリアンブルの2ビット目を1に駆動することにより、マスタ12はNACKが送信されてきたと認識する。この場合、マスタ12は、NACKを検出したことに応じて、リードデータのビット数に対応するコンフリクト防止ロック期間が経過した後のプリアンブルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0080】

これに対し、図6の右側に示すように、エラー時には、プリアンブルの2ビット目がビット反転して0になるため、マスタ12は、ACKが送信されてきたものと誤認識してしまう。この場合、マスタ12は、スレーブ13から送信されてくるリードデータを受信する処理を行うが、スレーブ13がリードコマンドの受信に失敗しているため、リードデータが送信されてくることはない。そのため、この期間は、マスタ12およびスレーブ13のどちらもデータ信号線14-1に対する駆動を行わない状態になる。

【0081】

このとき、マスタ12は、リードデータが送信されると誤認識している期間において受信した信号に対してパリティチェックなどを行うことによってエラーを検出すること、即ち、リードデータが正常に送信されていないことを検出することができる。例えば、リードデータに含まれるパリティには、リードデータが送信されるとマスタ12により誤認識されている期間において、データ信号線14-1に対する駆動が行われないときにエラーが発生したことを検出することができるように定義されている。

【0082】

このエラーの検出に従い、マスタ12は、リードデータが送信されると誤認識している期間の直後のプリアンブルの2ビット目を0に駆動して、スレーブ13にアボート信号を送信する。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0083】

次に、図7および図8を参照して、リードデータに続いてリードデータが送信されるときのプリアンブルの1ビット目に、ビットの値が反転する1ビットエラーが発生する例について説明する。上述したように、リードデータの直後のプリアンブルの1ビット目は、プリアンブルに続いてCRCワードが送信されるとき1に駆動され、プリアンブルに続いてリードデータが送信されるとき0に駆動される。

【0084】

10

20

30

40

50

図7には、リードデータの直後のプリアンブルの1ビット目が1であるときに、その1ビット目に1ビットエラーが発生する第1の例が示されている。

【0085】

図7の左側に示すように、通常時には、スレーブ13が、プリアンブルの1ビット目を1に駆動することにより、マスタ12は、プリアンブルに続いてリードデータが送信されると認識する。この場合、マスタ12は、そのリードデータを受信する処理を行う。

【0086】

これに対し、エラー時には、図7の右側に示すように、プリアンブルの1ビット目がビット反転して0になるため、マスタ12は、プリアンブルに続いてCRCワードが送信されると誤認識してしまう。この場合、マスタ12は、CRCワードに含まれるトークンおよびCRC5に基づいてエラーが発生していることを検出することができ、プリアンブルにエラーが発生しているものと推定する。10

【0087】

従って、この場合、マスタ12は、リードデータのビット数(18ビット)と、CRCワードのビット数(9ビット)との差に対応するビット数の追加クロック(9ビット)を送信した後のプリアンブルの2ビット目を0に駆動して、スレーブ13にアポート信号を送信する。その後、マスタ12が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0088】

図8には、リードデータの直後のプリアンブルの1ビット目が1であるときに、その1ビット目に1ビットエラーが発生する第2の例が示されている。20

【0089】

図8の左側に示すように、スレーブ13が、リードデータに続いてリードデータを送信しようとする一方で、マスタ12が、アポート信号を送信して、通信を途中で遮断することがある。

【0090】

このとき、図7の右側に示すように、リードデータの直後のプリアンブルの1ビット目に1ビットエラーが発生すると、マスタ12は、プリアンブルに続いてリードデータが送信されると誤認識する。このとき、マスタ12は、そのプリアンブルの2ビット目でアポート信号を送信するため、そのような誤認識があったとしても、問題が発生することなく、HDRモードでの通信が終了される。30

【0091】

次に、図9および図10を参照して、リードデータに続いてCRCワードが送信されるときのプリアンブルの1ビット目に、ビットの値が反転する1ビットエラーが発生する例について説明する。上述したように、リードデータの直後のプリアンブルの1ビット目は、プリアンブルに続いてCRCワードが送信されるとき1に駆動され、プリアンブルに続いてリードデータが送信されるとき0に駆動される。

【0092】

図9には、リードデータの直後のプリアンブルの1ビット目が0であるときに、その1ビット目に1ビットエラーが発生する第1の例が示されている。40

【0093】

図9の左側に示すように、通常時には、スレーブ13が、プリアンブルの1ビット目を0に駆動することにより、マスタ12は、プリアンブルに続いてCRCワードが送信されると認識する。この場合、マスタ12は、そのCRCワードを受信する処理を行い、その後にHDR終了コマンドを送信する。

【0094】

これに対し、エラー時には、図9の右側に示すように、プリアンブルの1ビット目がビット反転して1になるため、マスタ12は、プリアンブルに続いてリードデータが送信されると誤認識してしまう。この場合、リードデータが送信されるとマスタ12において誤認識されている期間のうちの、トークンおよびCRCを受信した後の期間は、デー50

タ信号線 14 - 1 に対する駆動が行われない状態になる。従って、マスタ 12 は、リードデータが送信されると誤認識している期間において受信した信号に対するパリティチェックを行うことによってエラーを検出すること、即ち、リードデータが正常に送信されていないことを検出することができる。

【0095】

このエラーの検出に従い、マスタ 12 は、リードデータが送信されると誤認識している期間の直後のプリアンブルの 2 ビット目を 0 に駆動して、スレーブ 13 にアボート信号を送信する。その後、マスタ 12 が、HDR終了コマンドを送信することで、HDRモードでの通信が終了される。

【0096】

図 10 には、リードデータの直後のプリアンブルの 1 ビット目が 0 であるときに、その 1 ビット目に 1 ビットエラーが発生する第 2 の例が示されている。

【0097】

図 10 の左側に示すように、スレーブ 13 が、リードデータに続いて CRCワードを送信しようとする一方で、マスタ 12 が、アボート信号を送信して、通信を途中で遮断することがある。

【0098】

このとき、図 10 の右側に示すように、リードデータの直後のプリアンブルの 1 ビット目に 1 ビットエラーが発生すると、マスタ 12 は、プリアンブルに続いてリードデータが送信されてくると誤認識する。このとき、マスタ 12 は、そのプリアンブルの 2 ビット目でアボート信号を送信するため、そのような誤認識があったとしても、問題が発生することなく、HDRモードでの通信が終了される。

【0099】

以上のように、バス I/F 11 では、プリアンブルに対するエラー検出が用意されていなくても、マスタ 12 により、バス I/F 11 がデッドロックすることを回避することができ、より確実に通信を行うことができる。

【0100】

<コンフリクトの発生を回避する通信方法>

【0101】

図 11 は、マスタ 12 が、HDRモードのひとつである DDRモードでスレーブ 13 からデータを読み出す通信処理 (DDR Read) を説明するフローチャートである。

【0102】

ステップ S11において、マスタ 12 は、通信を SDRモードから HDRモードに切り替える処理を行う。具体的には、マスタ 12 では、送受信部 21 が、データ信号線 14 - 1 およびクロック信号線 14 - 2 を駆動して、SDRモードにおいて、バス I/F 11 を構成する全てのスレーブ 13 を対象として一斉にコマンドを送信することを通知するプロードキャストコマンド ($0 \times 7E + R/W = 0$) を送信する。その後、マスタ 12 では、確認信号検出部 23 が、プロードキャストコマンドの受信が成功したことを確認するためにスレーブ 13 から送信されてくるACKを受信すると、送受信部 21 が、HDRモードに入るためのコモンコマンドコード (ENTHDR CCC(0×20)) を送信する。

【0103】

ステップ S12において、マスタ 12 の送受信部 21 は、データ信号線 14 - 1 およびクロック信号線 14 - 2 を駆動して、リードコマンドを送信する。

【0104】

ステップ S13において、確認信号検出部 23 は、リードコマンドを送信した後のプリアンブルの 2 ビット目の値を検出し、スレーブ 13 から ACK および NACK のどちらが送信されてきたかを判定する。即ち、確認信号検出部 23 は、リードコマンドを送信した後のプリアンブルの 2 ビット目が 0 であることを検出した場合、スレーブ 13 から ACK が送信されてきたと判定する。一方、確認信号検出部 23 は、リードコマンドを送信した後のプリアンブルの 2 ビット目が 1 であることを検出した場合、スレーブ 13 から NACK が送信されて

10

20

30

40

50

きたと判定する。

【0105】

ステップS13において、確認信号検出部23が、スレーブ13からACKが送信されてきたと判定した場合、処理はステップS14に進み、送受信部21は、ブリアンブルに続いて送信されてくるリードデータを受信する。さらに、送受信部21は、リードデータに続いて送信されてくるブリアンブルの1ビット目を受信する。

【0106】

ステップS15において、マスタ12は、通信を継続するか否かを判定する。例えば、マスタ12は、次のリードデータまたはCRCワードが不要であると判断した場合、通信を継続しないと判定することができる。

10

【0107】

ステップS15において、マスタ12が通信を継続しないと判定した場合、処理はステップS16に進み、送受信部21は、通信を途中で遮断することを指示するアボート信号($pre[1]:0$)をブリアンブルの2ビット目で送信する。その後、処理はステップS21に進み、送受信部21は、アボート信号に続いて、HDR終了コマンドを送信する。一方、ステップS15において、マスタ12が通信を継続すると判定した場合、送受信部21は、通信を途中で遮断しないことを指示する非アボート信号($pre[1]:1$)をブリアンブルの2ビット目で送信して、処理はステップS17に進む。

【0108】

ステップS17において、送受信部21は、ステップS14で受信したブリアンブルの1ビット目に基づいて、リードデータおよびCRCワードのどちらの送信を指定しているかを判定する。

20

【0109】

ステップS17において、送受信部21が、ブリアンブルはリードデータの送信を指定していると判定した場合、処理はステップS14に戻り、以下、同様の処理が繰り返される。一方、ステップS17において、送受信部21が、ブリアンブルはCRCワードの送信を指定していると判定した場合、処理はステップS18に進む。

【0110】

ステップS18において、送受信部21は、ステップS13で受信したブリアンブルに続いて送信されてくる信号を受信し、エラー検出部22は、その信号にエラーが発生しているか否かを判定する。

30

【0111】

ステップS18において、エラー検出部22が、CRCワードの送信を指定しているブリアンブルに続いて送信されてくる信号にエラーが発生していると判定した場合、処理はステップS19に進む。即ち、この場合、エラー検出部22によりトークンエラーまたはCRCエラーが検出されると、コンフリクト回避部24は、ブリアンブルにエラーが発生したものと推定する。

【0112】

ステップS19において、エラー検出部22は、図7を参照して説明したような追加クロックを送信し、その後に、通信を途中で遮断することを指示するアボート信号を送信するように、送受信部21に対する指示を行う。これに従い、送受信部21は、追加クロックを送信した後、スレーブ13にアボート信号を送信する。その後、処理はステップS21に進み、送受信部21は、アボート信号に続いて、HDR終了コマンドを送信する。

40

【0113】

一方、ステップS18において、エラー検出部22が、CRCワードの送信を指定しているブリアンブルに続いて送信されてくる信号にエラーが発生していないと判定した場合も、ステップS21において、送受信部21は、HDR終了コマンドを送信する。

【0114】

一方、ステップS13において、確認信号検出部23が、スレーブ13からNACKが送信されてきたと判定した場合、処理はステップS20に進む。ステップS20において、コ

50

ンフリクト回避部 24 は、リードデータのビット数に対応するコンフリクト防止クロック期間が経過した後に、通信を途中で遮断することを指示するアボート信号を送信するよう に、送受信部 21 に対する指示を行う。これに従い、図 6 を参照して上述したように、送受信部 21 は、スレーブ 13 にアボート信号を送信する。その後、処理はステップ S21 に進み、送受信部 21 は、アボート信号に続いて、HDR終了コマンドを送信する。

【0115】

これにより、マスタ 12 が DDR モードでスレーブ 13 からデータを読み出す通信処理 (DDR Read) は終了される。

【0116】

以上のように、バス IF 11 では、リードデータの直後のプリアンブルの 2 ビット目を常に、マスタ 12 が駆動することにより、その 2 ビット目がコンフリクトすることを回避することができる。また、バス IF 11 では、マスタ 12 が NACK を受信したと判定した場合、その NACK が ACK の 1 ビットエラーであったとしても、コンフリクトの発生を回避することができる。さらに、バス IF 11 では、スレーブ 13 が CRC ワードの送信を指定するプリアンブルに 1 ビットエラーが発生しても、マスタ 12 において CRC ワードに基づくエラー検出によりプリアンブルにエラーが発生したと推定することができ、コンフリクトの発生を回避することができる。

10

【0117】

従って、バス IF 11 では、プリアンブルにエラー検出が用意されていなくても、プリアンブルにエラーが発生することによるコンフリクトを回避して、より確実に通信を行うことができる。

20

【0118】

< プリアンブルの第 2 の定義例 >

【0119】

図 12 には、バス IF 11 におけるプリアンブルの第 2 の定義例が示されている。

【0120】

また、バス IF 11 では、プリアンブルに対して冗長性を持たせるために、プリアンブルの 1 ビット前にプレパレーションビット (ppr) を送信するように定義されている。図 12 には、プレパレーションビットの定義例も示されている。

【0121】

30

HDR モードに入った直後のプリアンブルの 1 ビット前では、プレパレーションビットを送信しないように定義される。また、HDR モードに入った直後のプリアンブルは、図 2 と同様に定義されている。

【0122】

リードコマンドの直後のプリアンブルの 1 ビット前のプレパレーションビットは、マスタ 12 により駆動され、スレーブ 13 により受信される。そして、このプレパレーションビットが 1 であるとき、プリアンブルに続いてデータが送信されることが指定される。なお、このプレパレーションビットが 0 であるときの意味は、リザーブされている。

【0123】

また、リードコマンドの直後のプリアンブルは、1 ビット目はスレーブ 13 により駆動され、マスタ 12 により受信される。そして、この 1 ビット目が 0 であるとき、スレーブ 13 によるリードコマンドの受信が成功したことを示す ACK を意味し、この 1 ビット目が 1 であるとき、スレーブ 13 によるリードコマンドの受信が失敗したことを示す NACK を意味する。ここで、リードコマンドの直後のプリアンブルの 1 ビット目は、マスタ 12 によりデータ信号線 14 - 1 が H レベルに維持されることが必須とされている。即ち、リードコマンドの直後のプリアンブルの 1 ビット目は、その 2 ビット目と同一となるように定義されている。

40

【0124】

リードデータの直後のプリアンブルの 1 ビット前のプレパレーションビットは、スレーブ 13 により駆動され、マスタ 12 により受信される。そして、このプレパレーションビ

50

ットが 0 であるとき、リードデータに続いてCRCワードが送信されることが指定され、このプレパレーションビットが 1 であるとき、リードデータに続いてデータが送信されることが指定される。なお、リードデータの直後のプリアンブルは、図 2 と同様に定義されている。

【 0 1 2 5 】

ライトコマンドの直後のプリアンブルの 1 ビット前のプレパレーションビットは、マスター 1 2 により駆動され、スレーブ 1 3 により受信される。そして、このプレパレーションビットが 1 であるとき、ライトコマンドに続いてデータが送信されることが指定され、このプレパレーションビットが 0 であるときの意味は、リザーブされている。なお、ライトコマンドの直後のプリアンブルは、図 2 と同様に定義されている。

10

【 0 1 2 6 】

ライトデータの直後のプリアンブルの 1 ビット前のプレパレーションビットは、マスター 1 2 により駆動され、スレーブ 1 3 により受信される。そして、このプレパレーションビットが 0 であるとき、ライトデータに続いてCRCワードが送信されることが指定され、このプレパレーションビットが 1 であるとき、ライトデータに続いてデータが送信されることが指定される。なお、ライトデータの直後のプリアンブルは、図 2 と同様に定義されている。

【 0 1 2 7 】

図 1 2 に示すようなプレパレーションビットを用いることで、プリアンブルに発生するエラーを検出可能とすることができます。

20

【 0 1 2 8 】

例えば、プリアンブルにエラーが発生して、マスター 1 2 およびスレーブ 1 3 のどちらもバス I/F 1 1 を駆動しない場合に、パリティエラーを検出することが必要になるが、偶然、パリティが正解してしまう可能性がある。そこで、このような偶然に一致する可能性を排除し、プリアンブルにエラーが発生した場合には、マスター 1 2 が確実にマスターアポートすることができるよう、2 ビットのパリティを 1 ビットに変更し、その 1 ビットにプレパレーションビットを用いるようにすることで、プリアンブルに発生するエラーを検出することができる。具体的には、コマンドおよびデータのパリティを 1 ビット削除し、図 1 2 に示したようなプレパレーションビットを定義する。

【 0 1 2 9 】

30

例えば、上述したように、リードデータの後のプレパレーションビットと、プリアンブルの 1 ビット目の 1 ビットを用いて、そのプリアンブルに続いて、リードデータおよびCRCワードのどちらが送信されるかが明示される。これにより、プリアンブルエラーを検知することができる。

【 0 1 3 0 】

また、リードデータに続くプリアンブルの 2 ビット目を、マスター 1 2 が常に駆動するようにすることで、マスターアポートの際にマスター 1 2 が次のクロックを出力しないために、スレーブ 1 3 が駆動することができない状態となり、コンフリクトの発生を回避することができる。

【 0 1 3 1 】

40

また、リードコマンドに続くプリアンブルの 1 ビット目および 2 ビット目で、同一のビットを 2 回送信することで、ACKまたはNACKに発生するエラーを検出可能とすることができる。これによっても、マスター 1 2 およびスレーブ 1 3 のどちらも駆動しない区間が発生することを回避することができ、パリティエラーが偶然一致することを回避して、マスター 1 2 によりマスターアポートを行うことができる。この場合のプレパレーションビットは、マスター 1 2 により H レベルに維持されるように、1 に吊り上げるために用いられる。

【 0 1 3 2 】

<HDRモードでの通信についての説明>

【 0 1 3 3 】

図 1 3 には、リード転送時におけるタイミングチャートが示されている。ここで、図 1

50

3では、図4に示したタイミングチャートと異なる点について説明する。

【0134】

例えば、図4のタイミングチャートでは、コマンドワード(DDR command)の最後の2ビットがパリティであったのに対し、図13のタイミングチャートでは、その2ビットのうち、1ビット目がパリティとなっており、2ビット目がプレパレーションビットとなっている。同様に、図4のタイミングチャートでは、リードデータ(DDR Data)の最後の2ビットがパリティであったのに対し、図13のタイミングチャートでは、その2ビットのうち、1ビット目がパリティとなっており、2ビット目がプレパレーションビットとなっている。

【0135】

このように、例えば、リードコマンドに続いてリードデータが送信される場合、リードコマンドに続くプリアンブルは、同じ値が2回送信される。また、リードデータに続いてリードデータが送信される場合、リードデータの最後のプレパレーションビットと、リードデータに続くプリアンブルの1ビット目で、同じ値が2回送信される。さらに、リードデータに続いてCRCワードが送信される場合、リードデータの最後のプレパレーションビットと、リードデータに続くプリアンブルの1ビット目で、同じ値が2回送信される。

【0136】

このように、バスIF11では、プレパレーションビットを用いることで、同じビットを2回传送することができ、冗長化を図ることができることより、プリアンブルに発生するエラーを検出することができる。

【0137】

<プレパレーションビットおよびプリアンブルのエラーの説明>

【0138】

図14乃至図16を参照して、プレパレーションビットおよびプリアンブルに発生するエラーについて説明する。

【0139】

図14には、リードコマンドに続いてリードデータが送信されるときのプレパレーションビットおよびプリアンブルに1ビットエラーが発生する例が示されている。上述したように、リードコマンドの直後のプリアンブルの2ビット目は、スレーブ13からマスター12に送信されるACKまたはNACKを示す。

【0140】

図14の左側に示すように、スレーブ13がACKを送信するときには、プレパレーションビットは1に駆動され、プリアンブルの1ビット目および2ビット目は0に駆動(ppr:1, pre[1]:0, pre[0],0)される。

【0141】

また、図14の中央に示すように、スレーブ13がNACKを送信するときには、プレパレーションビットは1に駆動され、プリアンブルの1ビット目および2ビット目は1に駆動(ppr:1, pre[1]:1, pre[0],1)される。なお、図14には、マスター12がNACKを検出した後に、衝突防止用のクロックを1ビット挿入した後に、HDR終了コマンド(HDR Exit)を送信する例が示されている。また、マスター12は、このような衝突防止用のクロックを挿入せずに、NACKを検出した直後にHDR終了コマンドを送信してもよい。

【0142】

このように、プレパレーションビットおよびプリアンブルの3ビットの組み合わせは、(ppr:1, pre[1]:0, pre[0],0)または(ppr:1, pre[1]:1, pre[0],1)のいずれかしか取り得ないため、図14の右側に示すようにエラーが発生したとき、マスター12は、1ビットエラーの発生を必ず検出することができる。そして、マスター12は、エラーを検出したとき、コンフリクトの発生を回避するため、追加クロックを送信してリードデータに一時的に遷移し(受信データは全て無視する)、その後、マスターAポート処理を行う。

【0143】

図15には、リードデータに続いてリードデータが送信されるときのプレパレーション

10

20

30

40

50

ビットおよびプリアンブルに1ビットエラーが発生する例が示されている。

【0144】

図15の左側に示すように、リードデータに続いてリードデータを送信するとき、プレパレーションビットおよびプリアンブルの1ビット目は1に駆動(ppr:1, pre[1]:1)される。なお、プリアンブルの2ビット目は、マスター12により1または0のどちらかに駆動されるが、マスター12がマスターアポートしない場合は、この2ビット目は駆動されず、スレーブ13は、この値を参照しない。

【0145】

図15の中央に示すように、マスター12は、マスターアポートするとき、プリアンブルの2ビット目を0に駆動する。このとき、この2ビット目をスレーブ13が駆動することはないため、コンフリクトが発生することなく、マスター12は、安全に処理を中断することができる。

10

【0146】

そして、プレパレーションビットおよびプリアンブルの1ビット目の2ビットの組み合わせは、(ppr:1, pre[1]:1)または(ppr:0, pre[1]:0)のいずれかしか取り得ないため、図15の右側に示すようにエラーが発生したとき、マスター12は、1ビットエラーの発生を必ず検出することができる。そして、マスター12は、エラーを検出したとき、マスターアポート処理を行う。

【0147】

図16には、リードデータに続いてCRCワードが送信されるときのプレパレーションビットおよびプリアンブルに1ビットエラーが発生する例が示されている。

20

【0148】

図16の左側に示すように、リードデータに続いてCRCワードを送信するとき、プレパレーションビットおよびプリアンブルの1ビット目は0に駆動(ppr:0, pre[1]:0)される。なお、プリアンブルの2ビット目は、マスター12により1または0のどちらかに駆動されるが、マスター12がマスターアポートしない場合は、この2ビット目は駆動されず、スレーブ13は、この値を参照しない。

【0149】

図16の中央に示すように、マスター12は、マスターアポートするとき、プリアンブルの2ビット目を0に駆動する。このとき、この2ビット目をスレーブ13が駆動することはないため、コンフリクトが発生することなく、マスター12は、安全に処理を中断することができる。

30

【0150】

そして、プレパレーションビットおよびプリアンブルの1ビット目の2ビットの組み合わせは、(ppr:1, pre[1]:1)または(ppr:0, pre[1]:0)のいずれかしか取り得ないため、図16の右側に示すようにエラーが発生したとき、マスター12は、1ビットエラーの発生を必ず検出することができる。そして、マスター12は、エラーを検出したとき、マスターアポート処理を行う。

【0151】

図14乃至図16に示したように、コンフリクトの発生を回避して、バスIF11がデッドロックすることなく、より確実に通信を行うことができる。

40

【0152】

なお、本技術は、I3Cの規格に従ったバスIF11に限定されることではなく、その他の規格に従ったバスIF11に適用することができる。また、図1に示すバスIF11では、スレーブ13-1乃至13-3が接続された構成例が示されているが、スレーブ13は、例えば、1台または2台でもよく、あるいは、3台以上でもよい。

【0153】

なお、上述のフローチャートを参照して説明した各処理は、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。また

50

、プログラムは、1のCPUにより処理されるものであっても良いし、複数のCPUによって分散処理されるものであっても良い。

【0154】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0155】

また、上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラムが記録されたプログラム記録媒体からインストールされる。

【0156】

<ハードウェアの構成例>

【0157】

図17は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【0158】

コンピュータにおいて、CPU(Central Processing Unit)101, ROM(Read Only Memory)102, RAM(Random Access Memory)103、およびEEPROM(Electronically Erasable and Programmable Read Only Memory)104は、バス105により相互に接続されている。バス105には、さらに、入出力インターフェース106が接続されており、入出力インターフェース106が外部(例えば、図1のデータ信号線14-1およびクロック信号線14-2)に接続される。

【0159】

以上のように構成されるコンピュータでは、CPU101が、例えば、ROM102およびEEPROM104に記憶されているプログラムを、バス105を介してRAM103にロードして実行することにより、上述した一連の処理が行われる。また、コンピュータ(CPU101)が実行するプログラムは、ROM102に予め書き込んでおく他、入出力インターフェース106を介して外部からEEPROM104にインストールしたり、更新したりすることができる。

【0160】

なお、本技術は以下のような構成も取ることができる。

(1)

他の通信装置と信号の送受信を行う送受信部を備え、

前記送受信部は、

前記他の通信装置から読み出されるリードデータを受信し、

前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う

通信装置。

(2)

前記送受信部は、前記プリアンブルの2ビット目により、次の読みだされるデータがリードデータかCRC(Cyclic Redundancy Check)であるかを問わず、前記他の通信装置に対して通信を途中で遮断すること、または、通信の遮断を行わないことを通知する

上記(1)に記載の通信装置。

(3)

前記送受信部は、

前記他の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記他の通信装置に送信するプリアンブルの1ビット目の値と2ビット目の値とが反転するように駆動する

10

20

30

40

50

上記(1)または(2)に記載の通信装置。

(4)

前記送受信部は、

前記他の通信装置に対して書き込まれるライトデータを送信し、

前記ライトデータの後に前記他の通信装置に送信するプリアンブルの1ビット目の値と2ビット目の値とで2回同じ値を送信するように駆動する

上記(1)または(2)に記載の通信装置。

(5)

前記送受信部は、前記プリアンブルによって、そのプリアンブルに続いてCRC(Cyclic Redundancy Check)およびデータのどちらを送信するかを指定する

10

上記(1)から(4)までのいずれかに記載の通信装置。

(6)

前記送受信部は、前記プリアンブルに対して冗長性を持たせるための1ビットのプレバレーションビットを送信する

上記(1)から(5)までのいずれかに記載の通信装置。

(7)

前記送受信部は、前記プレバレーションビットの2ビットおよび前記プリアンブルの1ビットを用いて、同一の信号を2回送信する

上記(6)に記載の通信装置。

(8)

前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信され、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、

20

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアボート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とをさらに備える上記(1)から(7)までのいずれかに記載の通信装置。

(9)

前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

30

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とをさらに備える上記(1)から(8)までのいずれかに記載の通信装置。

(10)

前記エラー検出部は、前記データに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する

上記(8)に記載の通信装置。

40

(11)

前記送受信部は、前記他の通信装置がデータ信号線に対する駆動を行って送信するCRC(Cyclic Redundancy Check)ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

上記(1)から(10)までのいずれかに記載の通信装置。

(12)

前記送受信部は、通常の転送レートでデータ通信を行うSDR(Standard Data Rate)モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR(High Data Rate)モードで、信号の送受信を行うことができる

上記(1)から(11)までのいずれかに記載の通信装置。

50

(1 3)

前記送受信部は、1ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の2本の信号線を介して通信を行う

上記(1)から(12)までのいずれかに記載の通信装置。

(1 4)

前記送受信部、I3C(Improved Inter Integrated Circuit)の規格に準じた通信を行う
上記(1)から(13)までのいずれかに記載の通信装置。

(1 5)

他の通信装置と信号の送受信を行う送受信部により、

10

前記他の通信装置から読み出されるリードデータを受信し、

前記リードデータの後に送受信されるブリアンブルの2ビット目に対する駆動を常に
行う

ステップを含む通信方法。

(1 6)

他の通信装置と信号の送受信を行う送受信部により、

前記他の通信装置から読み出されるリードデータを受信し、

前記リードデータの後に送受信されるブリアンブルの2ビット目に対する駆動を常に
行う

ステップを含む通信処理をコンピュータに実行させるプログラム。

20

(1 7)

バスにおける制御の主導権を有する第1の通信装置と、

前記第1の通信装置による制御に従って通信を行う第2の通信装置と
を備え、

前記第1の通信装置が、前記第2の通信装置と信号の送受信を行う送受信部を備え、

前記送受信部は、

前記第2の通信装置から読み出されるリードデータを受信し、

前記リードデータの後に送受信されるブリアンブルの2ビット目に対する駆動を常に
行う

通信システム。

30

【 0 1 6 1 】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨
を逸脱しない範囲において種々の変更が可能である。

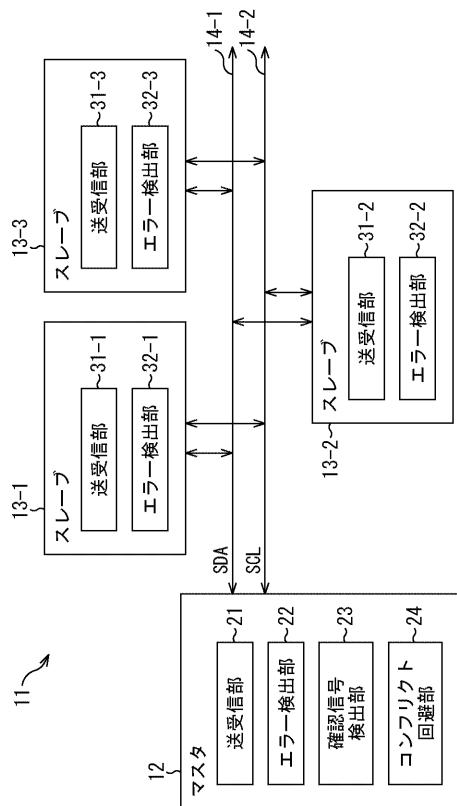
【 符号の説明 】

【 0 1 6 2 】

1 1 バスIF, 1 2 マスター, 1 3 スレーブ, 1 4 - 1 データ信号線,
1 4 - 2 クロック信号線, 2 1 送受信部, 2 2 エラー検出部, 2 3 確認信
号検出部, 2 4 コンフリクト回避部, 3 1 送受信部, 3 2 エラー検出部

【図 1】

FIG. 1



【図 3】

FIG. 3

	ドライバ主体	意味	High Keeper	受信者
After EnterHBR	Pre[1]	Master 0:Command Word follows 1:Reserved	Don't care	Slave
	Pre[0]	Master 0:Reserved 1:Command Word follows	Don't care	Slave
After Read CMD	Pre[1]	Master 0:Reserved 1:Data follows	Don't care	Slave
	Pre[0]	Slave 0:Slave ACK 1:Slave NACK	ON (必ずしも、不正回避のため)	Master
After Read DATA	Pre[1]	Slave 0:CRC Word follows 1:Data follows	Don't care	Master
	Pre[0]	Master 0:Master aborts 1:Master doesn't abort	ON (必ずしも、不正回避のため)	Slave
After Write CMD	Pre[1]	Master 0:Reserved 1:Data follows	Don't care	Slave
	Pre[0]	Master 0:Data follows 1:Master follows	Don't care	Slave
After Write DATA	Pre[1]	Master 0:Data follows 1:CRC Word follows	Don't care	Slave
	Pre[0]	Master 0:Data follows 1:CRC Word follows	Don't care	Slave

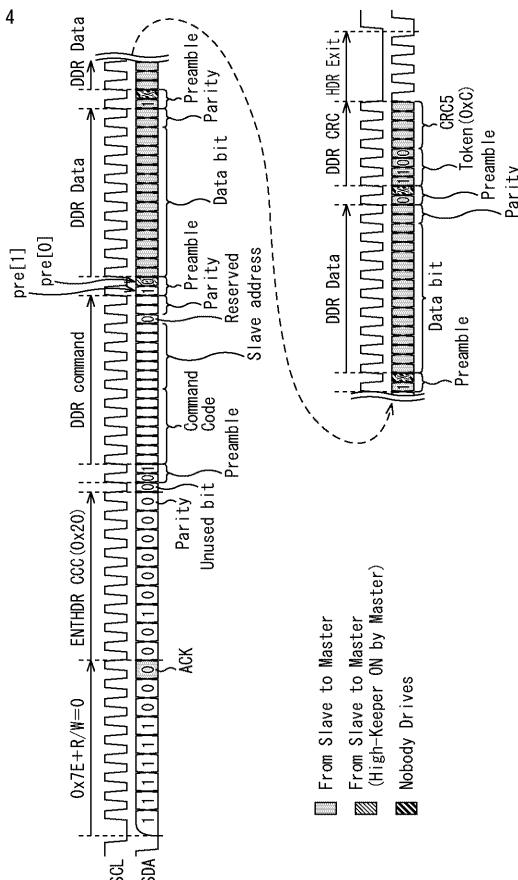
【図 2】

FIG. 2

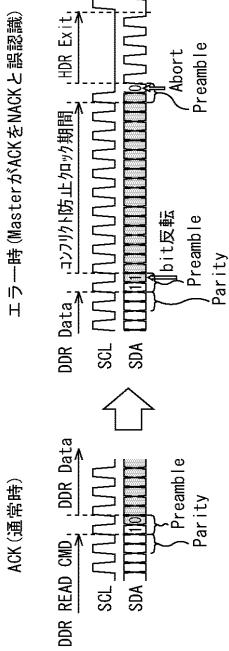
	ドライバ主体	意味	High Keeper	受信者
After EnterHBR	Pre[1]	Master	0:Command Word follows 1:Reserved	Don't care
	Pre[0]	Master	0:Reserved 1:Command Word follows	Don't care
After Read CMD	Pre[1]	Master	0:Reserved 1:Data follows	Don't care
	Pre[0]	Slave	0:Slave ACK 1:Slave NACK	ON (必ずしも、不正回避)
After Read DATA	Pre[1]	Slave	0:Data follows	Don't care
	Pre[0]	Master	0:Master aborts 1:Master doesn't abort	Slave
After Write CMD	Pre[1]	Master	0:Reserved 1:Data follows	Don't care
	Pre[0]	Master	0:Data follows 1:Master follows	Slave
After Write DATA	Pre[1]	Master	0:Master aborts 1:Master doesn't abort	Slave
	Pre[0]	Master	0:Data follows 1:Master follows	Slave

【図 4】

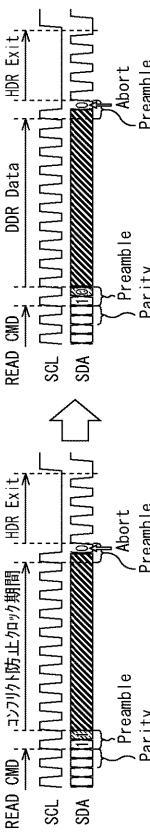
FIG. 4



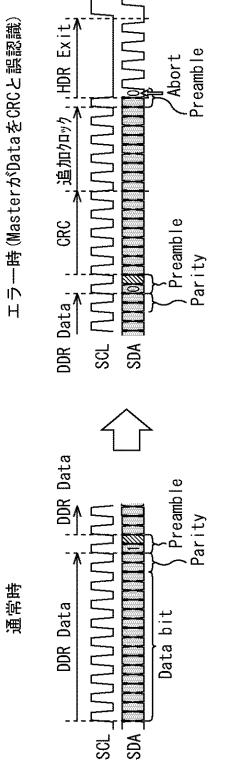
【図5】
FIG. 5



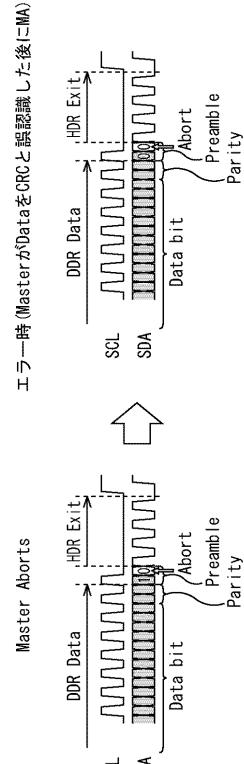
【図6】
FIG. 6



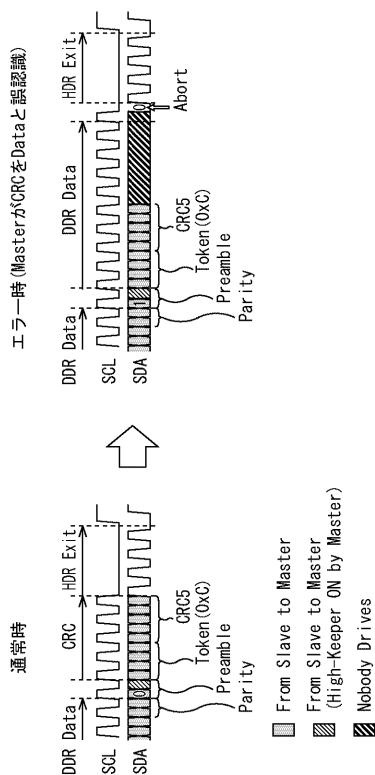
【図7】
FIG. 7



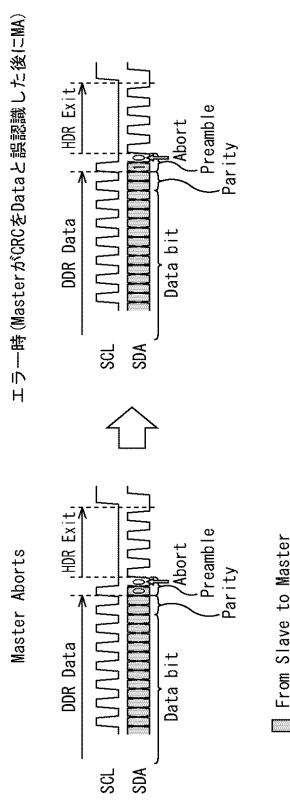
【図8】
FIG. 8



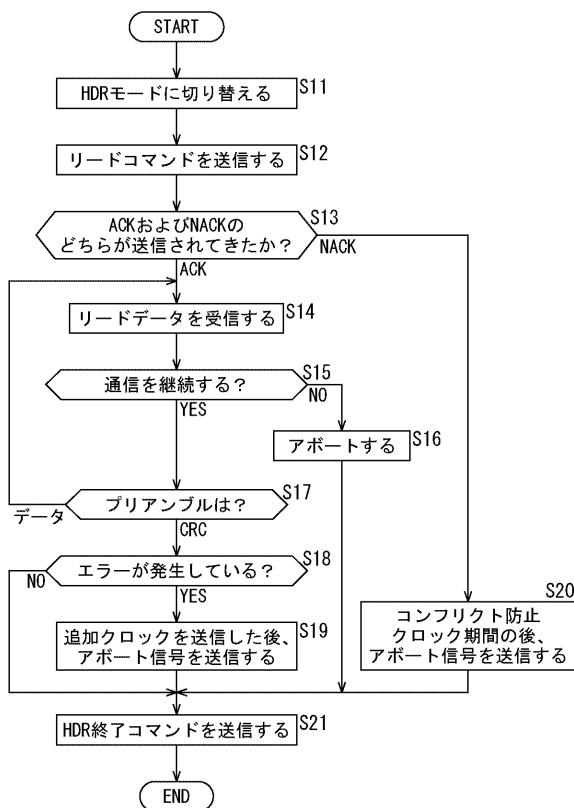
【図9】
FIG.9



【図10】
FIG.10



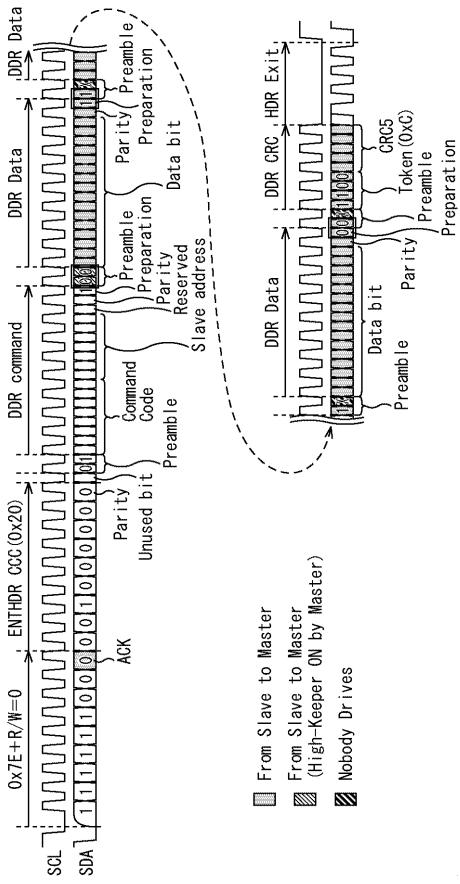
【図11】
FIG.11



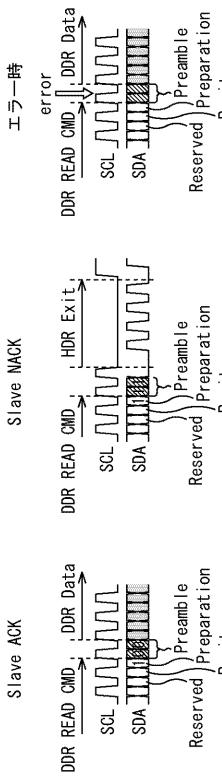
【図12】
FIG.12

ドライブ主体		意味	High Keeper 受信者
After EnterHDR	ppr	0: Command Word Follows 1: Reserved	Don't care
Pre[1]	Master	0: Reserved 1: Command Word Follows	Slave
Pre[0]	Master	0: Reserved 1: Data follows	Don't care
After Read CMD	ppr	0: Reserved 1: Data follows	Slave
Pre[1]	Slave	0: Slave ACK 1: Slave NACK	Master
Pre[0]	Master	0: Slave ACK 1: Slave NACK	Master
After Read DATA	ppr	0: CRC Word Follows 1: Data follows	Don't care
Pre[1]	Slave	0: CRC Word Follows 1: Data follows	Master
Pre[0]	Master	0: Master aborts 1: Master doesn't abort	Slave
After Write CMD	ppr	0: Reserved 1: Data follows	Don't care
Pre[1]	Master	0: Reserved 1: Data follows	Slave
Pre[0]	Master	0: Data follows 1: Reserved	Slave
After Write DATA	ppr	0: CRC Word Follows 1: Data follows	Slave
Pre[1]	Master	0: CRC Word Follows 1: Data follows	Slave
Pre[0]	Master	0: Reserved 1: CRC Word or Data follows	Slave

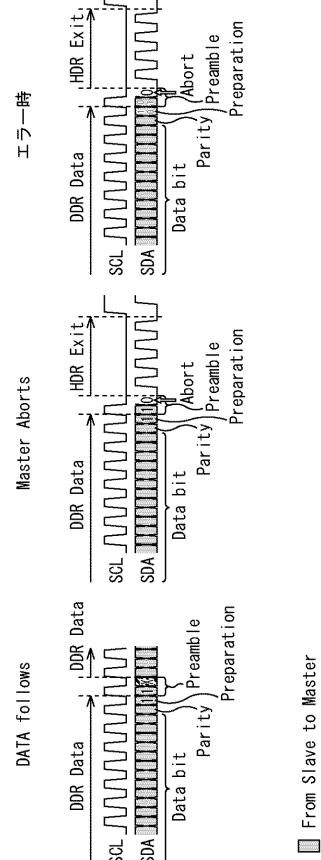
【図 1 3】
FIG. 13



【図 1 4】
FIG. 14



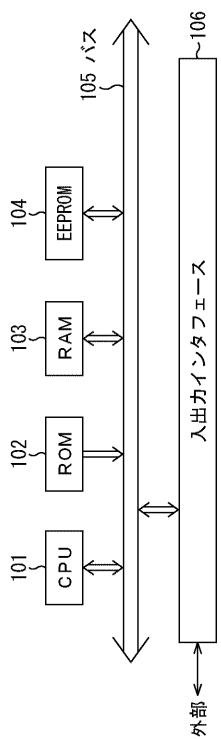
【図 1 5】
FIG. 15



【図 1 6】
FIG. 16



【図17】
FIG. 17



フロントページの続き

(72)発明者 李 惺薰
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 越坂 直弘
神奈川県厚木市岡田四丁目16番1号 ソニーエスアイデザイン株式会社内

審査官 田名綱 忠雄

(56)参考文献 国際公開第2015/053907(WO,A1)
特開2012-195639(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 3 / 00
G 06 F 13 / 10 - 13 / 14
G 06 F 13 / 20 - 13 / 42